

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 8 月 11 日(11.08.2011)



(10) 国際公開番号
WO 2011/096175 A1

- (51) 国際特許分類:
H03F 3/217 (2006.01) H03K 17/06 (2006.01)
- (21) 国際出願番号: PCT/JP2011/000428
- (22) 国際出願日: 2011 年 1 月 26 日(26.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-025289 2010 年 2 月 8 日(08.02.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (Panasonic Corporation) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP). ローランド株式会社 (Roland Corporation) [JP/JP]; 〒4311304 静岡県浜松市北区細江町中川 2036-1 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 菅原 宙 (SUGAWARA, Hiroshi). 佐々木 寿幸 (SASAKI, Hisayuki). 前田 佳樹 (MAEDA, Yoshiki). ▲高▼野智臣 (TAKANO, Toshimi). 庭山 茂樹 (NIWAYAMA, Shigeki).
- (74) 代理人: 小栗 昌平, 外 (OGURI, Shohei et al.); 〒1050003 東京都港区西新橋一丁目 7 番 1 3 号

虎ノ門イーストビルディング 10 階 栄光特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

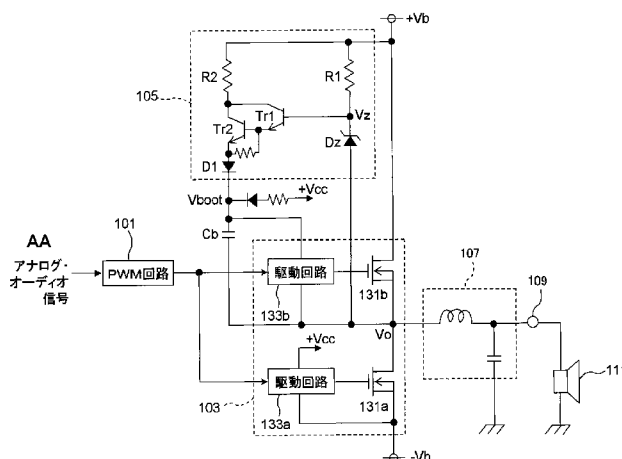
- 国際調査報告 (条約第 21 条(3))

[続葉有]

(54) Title: DIGITAL AMPLIFIER

(54) 発明の名称: デジタルアンプ

[図1]



AA ANALOG/AUDIO SIGNAL
101 PWM CIRCUIT
133a, 133b DRIVE CIRCUIT

(57) Abstract: Disclosed is a digital amplifier provided with an amplifier unit, a bootstrap capacitor, and a bootstrap control unit. The amplifier unit comprises two serially connected switching units, a first drive unit that activates by way of a supply of power of a predetermined voltage to drive one of the switching units, and a second drive unit that activates by way of a supply of power of higher voltage than the predetermined voltage to drive the other switching unit; wherein digital pulse signals are amplified by alternating the two switching units between on and off states. The bootstrap capacitor bootstraps a power supply for supplying the second drive unit. The bootstrap control unit controls charging of the bootstrap capacitor. The bootstrap control unit performs charging of the bootstrap capacitor if a boot voltage, which is the output voltage of the bootstrap capacitor added to the predetermined voltage, is less than a predetermined value. Therefore, it is possible to provide a digital amplifier for reliably performing charging of the bootstrap capacitor at startup time

by way of simple control.

(57) 要約:

[続葉有]

WO 2011/096175 A1



デジタルアンプは、直列接続された２つのスイッチング部と、所定電圧の電源供給により動作して一方のスイッチング部を駆動する第１駆動部と、所定電圧より高い電圧の電源供給によって動作して他方のスイッチング部を駆動する第２駆動部とを有し、２つのスイッチング部を交互にオンオフすることによってデジタルパルス信号を増幅する増幅部と、第２駆動部に供給する電源をブートストラップするブートストラップコンデンサと、ブートストラップコンデンサの充電を制御するブートストラップ制御部とを備える。ブートストラップ制御部は、所定電圧にブートストラップコンデンサの出力電圧を加えたブート電圧が所定値未満であれば、ブートストラップコンデンサの充電を行う。したがって、起動時にブートストラップコンデンサの充電を簡単な制御で確実に行うデジタルアンプを提供できる。

明 細 書

発明の名称： デジタルアンプ

技術分野

[0001] 本発明は、起動時にブートストラップコンデンサを充電するデジタルアンプに関する。

背景技術

[0002] D級アンプの出力段は、 N_{ch} のMOSFET（以下、単に「FET」という）を上下2段に組み合わせて構成されている。図3は、D級アンプの出力段の構成を示す回路図である。図3に示すように、D級アンプでは、PWM（Pulse Width Modulation）回路101によって、例えばアナログオーディオ信号がデジタルパルス信号に変換される。デジタルパルス信号は、それぞれ上下2段に構成されたFET131a、131b及び駆動回路133a、133bを有する増幅回路103によって増幅された後、LC回路で構成された復調回路107によってアナログ信号に復号される。なお、当該D級アンプには、上段のFET131b用の駆動回路133bに供給する電源をブートストラップするためのブートストラップコンデンサCbが設けられている。

[0003] 増幅回路103は、上下2段のFET131a、131bを交互にオンオフすることによってデジタルパルス信号を増幅する。まず、下段（ローサイド側）のFET131aがオンして、上段（ハイサイド側）のFET131bがオフすると、増幅回路103の出力は $-V_b$ となり、ブートストラップコンデンサCbに蓄電される。次に、ローサイド側のFET131aがオフして、ハイサイド側のFET131bがオンする際には、ブートストラップコンデンサCbの電圧が加わった電源がハイサイド側の駆動回路133bに供給される。

[0004] このように、ハイサイド側のFET131bを駆動する際には、駆動回路133bに供給する電源をブートストラップする必要がある。したがって、

予めブートストラップコンデンサC_bを充電するために、ローサイド側のFET 131aからオンする必要がある。すなわち、当該D級アンプの起動時には、ローサイド側のFET 131aからオンする必要がある。

- [0005] 特許文献1には、スタートアップ前又は発振器から信号を転送する前にブートストラップコンデンサをプリチャージするブートストラップ回路を含むプリチャージ回路を有するドライバが開示されている。当該ドライバでは、タイミング回路が、ハイ側ドライバがドライブ信号を受け取る前にハイ側ドライバに給電するため、プリチャージ回路を制御するプリチャージタイミング信号を供給している。

先行技術文献

特許文献

- [0006] 特許文献1：日本国特開2009-33736号公報

発明の概要

発明が解決しようとする課題

- [0007] 上記説明した特許文献1のドライバにはタイミング回路が必要であり、かつ、プリチャージ回路の制御シーケンスが複雑である。
- [0008] 本発明の目的は、起動時にブートストラップコンデンサの充電を簡単な制御で確実に行うことができるデジタルアンプを提供することである。

課題を解決するための手段

- [0009] 本発明のデジタルアンプは、アナログ信号をデジタルパルス信号に変換するデジタルパルス信号変換部と、直列接続された2つのスイッチング部、所定電圧の電源供給によって動作して前記2つのスイッチング部の一方を駆動する第1の駆動部、および前記所定電圧より高い電圧の電源供給によって動作して前記2つのスイッチング部の他方を駆動する第2の駆動部を有し、前記2つのスイッチング部を交互にオンオフすることによって前記デジタルパルス信号を増幅する増幅部と、前記第2の駆動部に供給する電源をブートストラップするブートストラップコンデンサと、前記ブートストラップコンデ

ンサの充電を制御するブートストラップ制御部と、前記増幅部によって増幅されたデジタルパルス信号をアナログ信号に変換するアナログ信号変換部と、を備え、前記ブートストラップ制御部は、前記所定電圧に前記ブートストラップコンデンサの出力電圧を加えたブート電圧が所定値未満であれば、前記ブートストラップコンデンサの充電を行う構成を有している。

この構成により、ブートストラップコンデンサの充電を簡単な制御で確実に行うことができる。

[0010] また、本発明のデジタルアンプにおいて、前記ブートストラップ制御部は、前記増幅部の出力電圧に対する前記ブート電圧を監視する監視部を有し、前記ブート電圧に応じて前記ブートストラップコンデンサへの電流経路を開閉する構成を有している。

この構成により、A C電源が一時的に低下したとき又はデジタルアンプがフルパワーで動作しているときに、ブート電圧が低下しても、ブートストラップコンデンサの再充電を自動で行うことができる。また、ブートストラップコンデンサへの充電が完了すれば、充電を停止できるため消費電力の低減も可能となる。なお、監視部は、例えば、実施の形態でのツェナーダイオードD_zである。

発明の効果

[0011] 本発明に係るデジタルアンプによれば、起動時にブートストラップコンデンサの充電を簡単な制御で確実に行うことができる。

図面の簡単な説明

[0012] [図1]本発明に係る一実施形態のデジタルアンプの構成を示す回路図

[図2]ブート電圧 V_{boot} が低下した際のブート電圧 V_{boot} 及びデジタルアンプの出力を示すグラフ

[図3]D級アンプの出力段の構成を示す回路図

[図4]本発明に係る他の実施形態のデジタルアンプの構成を示す回路図

発明を実施するための形態

[0013] 以下、本発明の実施形態について、図面を参照して説明する。

[0014] 図1は、本発明に係る一実施形態のデジタルアンプの出力段の構成を示す回路図である。なお、図1では、図3と共通する構成要素には同じ参照符号が付されている。図1に示すデジタルアンプは、D級アンプであって、PWM (Pulse Width Modulation) 回路101と、増幅回路103と、ブートストラップコンデンサC_bと、ブートストラップ制御回路105と、復調回路107とを備える。本実施形態のデジタルアンプが図3に示したD級アンプと異なる点は、ブートストラップ制御回路105を備えたことである。なお、図1では、負荷としてスピーカ111がデジタルアンプの出力端109に接続されている。以下、本実施形態のデジタルアンプが備える各構成要素について説明する。

[0015] PWM回路101は、図示しないマイクロフォンにより集音されたアナログオーディオ信号又は各種音源ソースからのアナログオーディオ信号をパルス幅変調してデジタルパルス信号に変換する。

[0016] 増幅回路103は、上下2段に直列接続されたFET131a, 131bと、各FETを駆動する駆動回路133a, 133bとを有する。下段（ローサイド側）の駆動回路133aは、ローサイド側のFET131aをスイッチング制御し、上段（ハイサイド側）の駆動回路133bは、ハイサイド側のFET131bをスイッチング制御する。増幅回路103は、これら上下2段のFET131a, 131bを交互にオンオフすることによって、PWM回路101から出力されたデジタルパルス信号を増幅する。

[0017] ローサイド側の駆動回路133aには、正電源V_{cc} (+V_{cc}) が供給される。正電源V_{cc}は、駆動回路133aがFET131aをオン駆動するために必要な電圧であって、例えば、「 $-V_b + \alpha$ 」(V)である。なお、 $-V_b$ は負電源電圧であり、 α は例えば+5～+10 (V)である。一方、ハイサイド側の駆動回路133bには、正電源V_b (+V_b) にブートストラップコンデンサC_bの出力電圧を加えたブート電圧V_{boot}の電源が供給される。ハイサイド側のFET131bは、ブート電圧V_{boot}が「 $+V_b + \alpha$ 」(V)以上であればオン駆動する。

[0018] ブートストラップコンデンサ C_b は、ハイサイド側の駆動回路133bに供給する電源をブートストラップするためのコンデンサである。なお、ブートストラップコンデンサ C_b の一端はハイサイド側の駆動回路133bに接続され、他端は増幅回路103の出力に接続されている。

[0019] ブートストラップ制御回路105は、抵抗 R_1 と、ツェナーダイオード D_z と、ダーリントン接続されたトランジスタ T_{r1} 、 T_{r2} と、ダイオード D_1 と、抵抗 R_2 とを有する。抵抗 R_1 及びツェナーダイオード D_z は、電源電圧(+ V_b)の正電源と増幅回路103の出力の間で直列接続されている。また、抵抗 R_2 、ダーリントン接続されたトランジスタ T_{r1} 、 T_{r2} 及びダイオード D_1 は、電源電圧(+ V_b)の正電源とブートストラップコンデンサ C_b の間で直列接続されている。さらに、図1に示すように、ツェナーダイオード D_z のカソードは、1段目のトランジスタ T_{r1} のベースに接続されている。

[0020] 以下、本実施形態のデジタルアンプの起動時におけるブートストラップ制御回路105の動作について説明する。

本実施形態のデジタルアンプの起動時、ローサイド側のFET131aからオン駆動した場合、増幅回路103の出力電圧 V_o は $-V_b$ となる。このとき、ハイサイド側のFET131bはオフ状態であるため、ブートストラップコンデンサ C_b は、ブート電圧 V_{boot} がしきい値「 $V_z - 2V_{be} - V_f$ 」に到達するまで充電される（このときは、正電源(+ V_{cc})が十分に高い電圧になっていないため、正電源(+ V_{cc})からブートストラップコンデンサ C_b は充電されない。）。なお、 V_z は、ツェナーダイオード D_z のカソード側の電圧であって、正電源電圧(+ V_b)から抵抗 R_1 によって電圧降下した電圧である。 V_{be} は、トランジスタ T_{r1} 、 T_{r2} のベース・エミッタ間電圧である。 V_f は、ダイオード D_1 の順方向電圧である。また、ブートストラップコンデンサ C_b の充電電流は、抵抗 R_2 の抵抗値に依存する。

[0021] やがて正電源(+ V_{cc})が十分に高い電圧になると、正電源(+ V_{cc})か

らブートストラップコンデンサ C_b が充電され、ブート電圧 V_{boot} がしきい値「 $V_z - 2V_{be} - V_f$ 」に到達すると、ダーリントン接続されたトランジスタ T_{r1} , T_{r2} はベース・エミッタ間電圧が V_{be} 以下となってオフ状態となり、電源電圧(+ V_b)の正電源からブートストラップコンデンサ C_b への電流経路を遮断する。このように、ブート電圧 V_{boot} がしきい値「 $V_z - 2V_{be} - V_f$ 」に到達すると、ブートストラップコンデンサ C_b の充電は停止する。

[0022] 一方、本実施形態のデジタルアンプの起動時、ハイサイド側の FET_{131b} からオン駆動する場合、ブートストラップコンデンサ C_b の出力電圧が十分ではなく、ブート電圧 V_{boot} が「 $+V_b + \alpha$ 」(V)未満であると、ハイサイド側の駆動回路 $133b$ は FET_{131b} をオン駆動できない。このとき、2つの FET_{131a} , $131b$ はどちらもオフ状態であり、増幅回路 103 の出力電圧 V_o は0 (V)に近い値となる。したがって、ブートストラップコンデンサ C_b が「 $V_z - 2V_{be} - V_f$ 」に満たないため充電される。その結果、ブート電圧 V_{boot} が上がり、駆動回路 $133b$ が FET_{131b} をオン駆動するために必要な電圧(+ $V_b + \alpha$)を出力できる状態になると、ハイサイド側の FET_{131b} がオンする。但し、上記説明と同様に、ブートストラップコンデンサ C_b の充電は、ブート電圧 V_{boot} が「 $V_z - 2V_{be} - V_f$ 」に等しくなると停止する。

[0023] 復調回路 107 は、LC回路で構成され、増幅回路 103 によって増幅されたデジタルパルス信号を復調してアナログオーディオ信号に変換する。復調回路 107 によって変換されたアナログオーディオ信号は、出力端 109 を経てスピーカ 111 より出力される。

[0024] 以上説明したように、本実施形態のデジタルアンプによれば、当該デジタルアンプの起動時に、増幅回路 103 のハイサイド側の FET_{131b} からオン駆動する場合であっても、起動直後からブートストラップコンデンサ C_b が充電されるためハイサイド側の駆動回路 $133b$ が FET_{131b} をオン駆動することが可能となる。当該機能は、ブートストラップ制御回路 10

5によって実現される。ブートストラップ制御回路105が行う制御は、ハイサイド側のFET131bからオン駆動する場合であっても、ローサイド側のFET131aからオン駆動する場合であっても、ブートストラップコンデンサCbの蓄電状態に応じて充電するといった簡単なものである。このように、当該デジタルアンプの起動時に、ブートストラップコンデンサの充電を簡単な制御で確実に行うことができる。その結果、デジタルアンプが確実に起動する。

[0025] ブートストラップコンデンサCbが十分に充電され、デジタルアンプが起動した後も上記説明した充電が継続して行われると、ローサイド側のFET131aがオン駆動している期間、無駄に電力が消費される。しかし、本実施形態では、ブートストラップコンデンサCbが充電されることによってブート電圧 V_{boot} が所定値($V_z - 2V_{be} - V_f$)まで上がると、ブートストラップ制御回路105は充電を停止する。したがって、デジタルアンプの消費電力を低減できる。

[0026] AC電源が一時的に低下したとき又はデジタルアンプがフルパワーで動作しているときには、図2に示すように、ブート電圧 V_{boot} が低下する。本実施形態では、ブート電圧 V_{boot} が所定値を下回ると、ブートストラップ制御回路105はブートストラップコンデンサCbの充電を再び行う。こうして充電されたブートストラップコンデンサCbの出力電圧がブート電圧 V_{boot} の低下を補うことができる。

[0027] なお、上記実施形態では、増幅回路103が上下2段に構成されたFET131a, 131bを有するが、バイポーラトランジスタ又はIGBTであっても良い。

[0028] なお、上記実施形態では、ハイサイド側の駆動回路133bに対してブートストラップコンデンサCb及びブートストラップ制御回路105を設けたが、図4に示すように、ローサイド側に同様の手段を設けても良い。この場合、起動時に、ローサイド側の駆動回路133aに供給する正電源($+V_{cc}$)の電圧が十分でない場合であっても、確実に起動できる。なお、図4に示し

た電圧検出手段（ツェナーダイオード D_z に対応）は、点線で示したように、ローサイド側の駆動回路 133a に供給される電圧を検出しても良い。

[0029] また、上記実施形態では、デジタルアンプが PWM 回路 101 および復調回路 107 を含むものとして説明したが、これらをまとめて、または個別にデジタルアンプとは別体のものとして構成しても良い。

[0030] 本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

[0031] 本出願は、2010年2月8日出願の日本特許出願（特願2010-025289）に基づくものであり、その内容はここに参照として取り込まれる。

産業上の利用可能性

[0032] 本発明は、起動時にブートストラップコンデンサを充電するデジタルアンプ等として有用である。

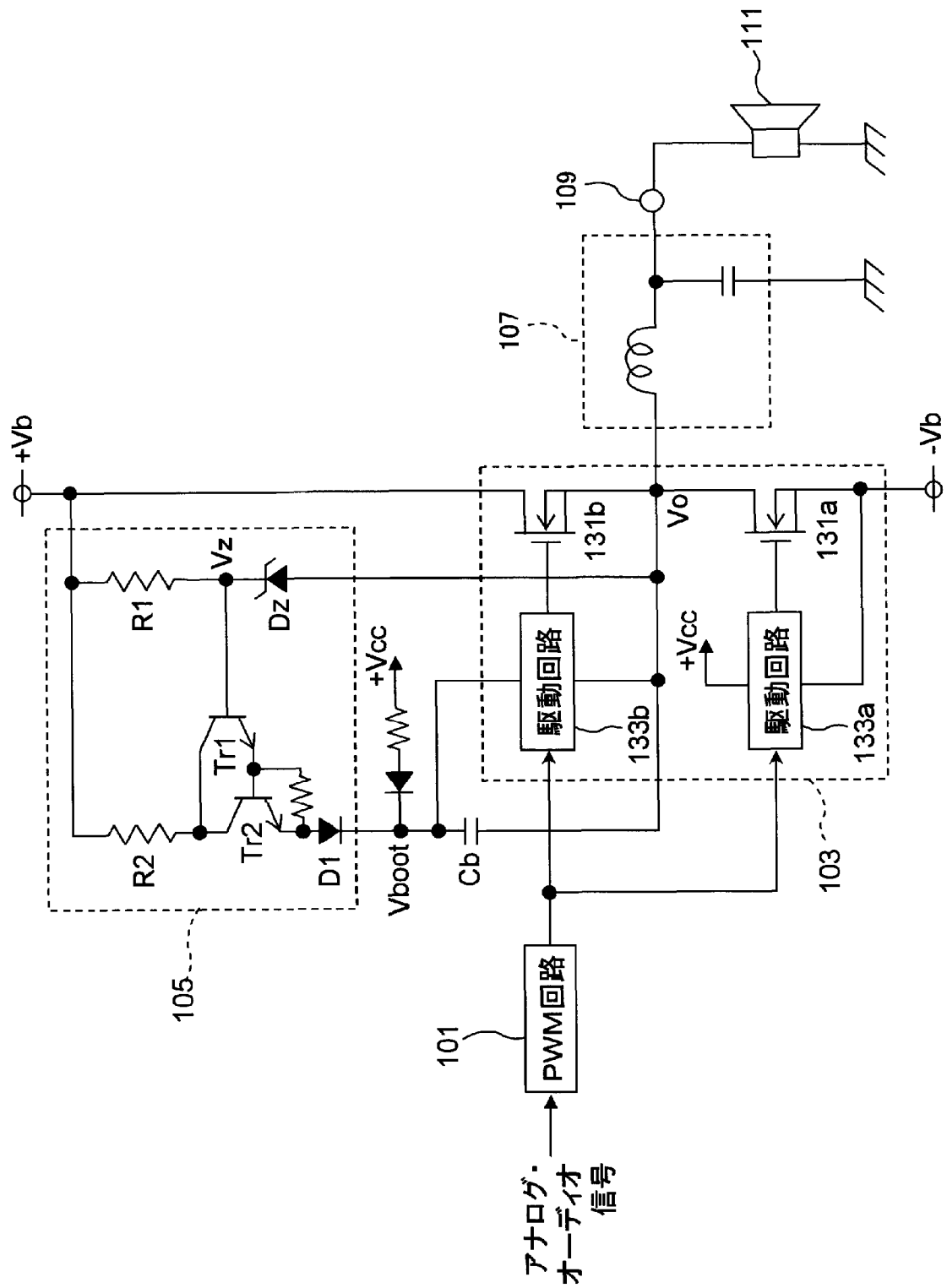
符号の説明

- [0033] 101 PWM回路
103 増幅回路
105 ブートストラップ制御回路
107 復調回路
131a, 131b FET
133a, 133b 駆動回路
Cb ブートストラップコンデンサ
R1, R2 抵抗
 D_z ツェナーダイオード
 $Tr1$, $Tr2$ トランジスタ
D1 ダイオード

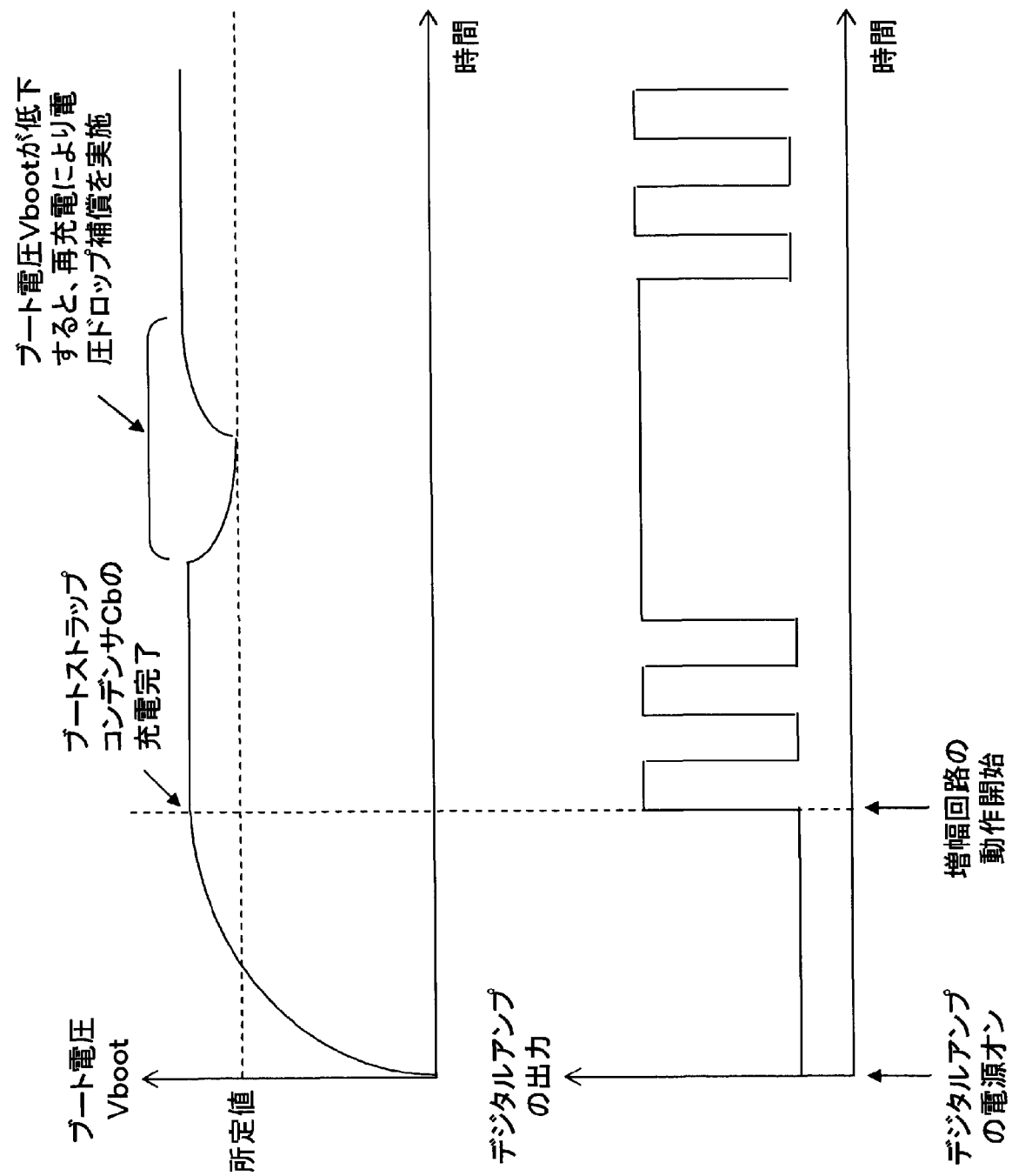
請求の範囲

- [請求項1] アナログ信号をデジタルパルス信号に変換するデジタルパルス信号変換部と、
- 直列接続された2つのスイッチング部、所定電圧の電源供給によって動作して前記2つのスイッチング部の一方を駆動する第1の駆動部、および前記所定電圧より高い電圧の電源供給によって動作して前記2つのスイッチング部の他方を駆動する第2の駆動部を有し、前記2つのスイッチング部を交互にオンオフすることによって前記デジタルパルス信号を増幅する増幅部と、
- 前記第2の駆動部に供給する電源をブートストラップするブートストラップコンデンサと、
- 前記ブートストラップコンデンサの充電を制御するブートストラップ制御部と
- 前記増幅部によって増幅されたデジタルパルス信号をアナログ信号に変換するアナログ信号変換部とを備え、
- 前記ブートストラップ制御部は、前記所定電圧に前記ブートストラップコンデンサの出力電圧を加えたブート電圧が所定値未満であれば、前記ブートストラップコンデンサの充電を行うことを特徴とするデジタルアンプ。
- [請求項2] 請求項1に記載のデジタルアンプであって、
- 前記ブートストラップ制御部は、
- 前記増幅部の出力電圧に対する前記ブート電圧を監視する監視部を有し、
- 前記ブート電圧に応じて前記ブートストラップコンデンサへの電流経路を開閉することを特徴とするデジタルアンプ。

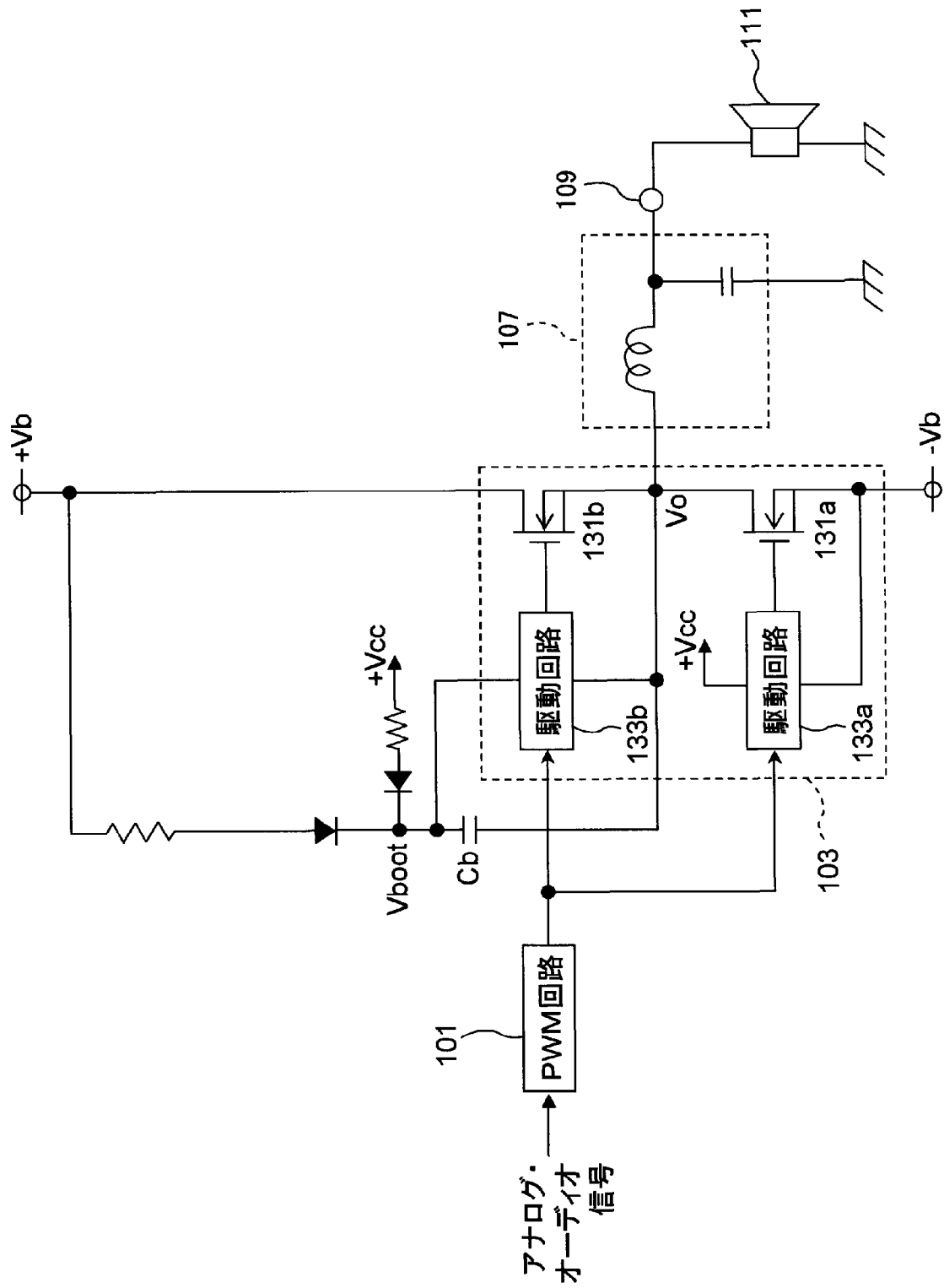
[図1]



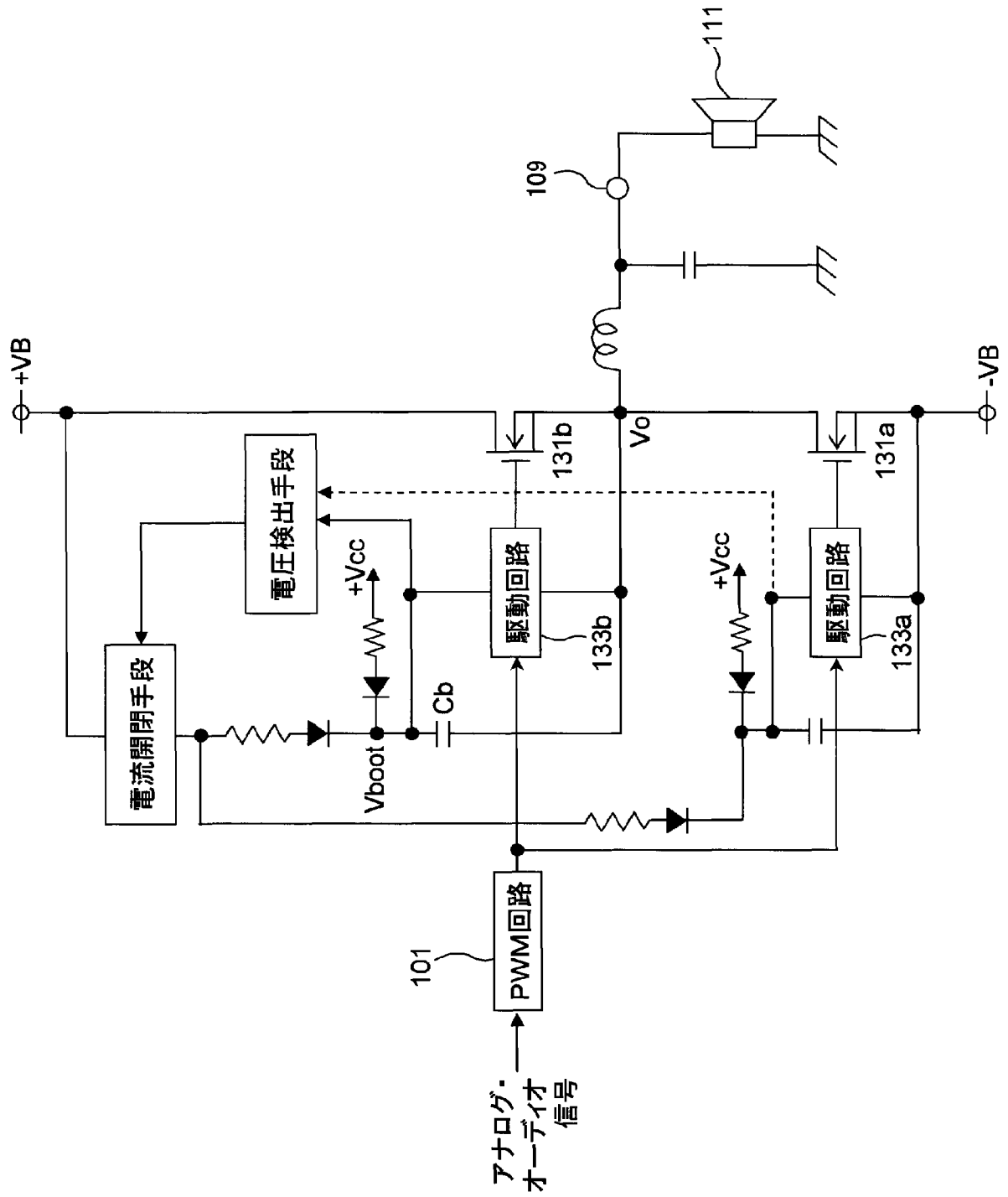
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000428

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/217(2006.01) i, H03K17/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/217, H03K17/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-092730 A (Denso Corp.), 17 April 2008 (17.04.2008), paragraphs [0002] to [0007], [0022] to [0051]; fig. 1, 4, 7 (Family: none)	1, 2
Y	JP 2004-228912 A (Matsushita Electric Industrial Co., Ltd.), 12 August 2004 (12.08.2004), fig. 3 (Family: none)	1, 2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

06 April, 2011 (06.04.11)

Date of mailing of the international search report

19 April, 2011 (19.04.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/217(2006.01)i, H03K17/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F3/217, H03K17/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-092730 A（株式会社デンソー）2008.04.17, 段落【0002】－【0007】、【0022】－【0051】、図1, 4, 7（ファミリーなし）	1, 2
Y	JP 2004-228912 A（松下電器産業株式会社）2004.08.12, 図3（ファミリーなし）	1, 2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 9 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 秀一

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8

5 T

3 3 5 7