

PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



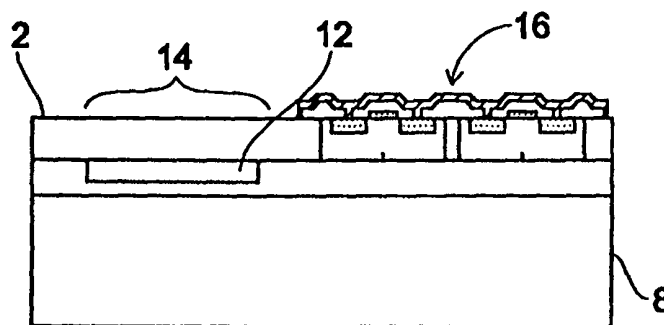
(51) Internationale Patentklassifikation ⁷ : G01L 9/12, 9/06	A1	(11) Internationale Veröffentlichungsnummer: WO 00/36385 (43) Internationales Veröffentlichungsdatum: 22. Juni 2000 (22.06.00)
(21) Internationales Aktenzeichen: PCT/EP99/07206 (22) Internationales Anmeldedatum: 29. September 1999 (29.09.99) (30) Prioritätsdaten: 198 57 741.9 15. Dezember 1998 (15.12.98) DE 199 27 971.3 18. Juni 1999 (18.06.99) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V. [DE/DE]; Leonrodstrasse 54, D-80636 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): SEITZ, Stefan [DE/DE]; Georgenstrasse 29, D-82152 Planegg (DE). HÖFTER, Leonhard [DE/DE]; Situlistrasse 71a, D-80939 München (DE). KRUCKOW, Jürgen [DE/DE]; Triftstrasse 9, D-80538 München (DE). NEUMEIER, Karl [DE/DE]; Münchener Strasse 111, D-82008 Unterhaching (DE). BOLLMANN, Dieter [DE/DE]; Solothurner Strasse 5, D-81475 München (DE). (74) Anwalt: SCHOPPE, Fritz; Schoppe, Zimmermann & Stöckeler, Postfach 71 08 67, D-81458 München (DE).	(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Mit internationalem Recherchenbericht.</i>	

(54) Title: METHOD OF PRODUCING A MICROMECHANICAL STRUCTURE FOR A MICRO-ELECTROMECHANICAL ELEMENT

(54) Bezeichnung: VERFAHREN ZUM ERZEUGEN EINER MIKROMECHANISCHEN STRUKTUR FÜR EIN MIKRO-ELEKTROMECHANISCHES ELEMENT

(57) Abstract

The invention relates to a method of producing a micromechanical structure for a micro-electromechanical element. According to said method, a first intermediate layer (4) which is applied to a first main surface of a first semiconductor wafer (2) is structured to produce a recess (6). Said first semiconductor (2) is linked with a second semiconductor wafer (8) via the first intermediate layer (4) in such a manner that the recess (6) defines a hermetically sealed cavity (12). The thickness of a surface facing away from the first intermediate layer of one of the wafers is reduced so as to produce a membrane-type structure (14) above the cavity (12).



(57) Zusammenfassung

Bei einem Verfahren zum Erzeugen einer mikromechanischen Struktur für ein mikro-elektromechanisches Element wird zunächst eine erste Zwischenschicht (4), die auf eine erste Hauptoberfläche eines ersten Halbleiterwafers (2) aufgebracht ist, strukturiert, um eine Ausnehmung (6) zu erzeugen. Der erste Halbleiterwafer (2) wird dann über die erste Zwischenschicht (4) mit einem zweiten Halbleiterwafer (8) verbunden, derart, daß durch die Ausnehmung (6) ein hermetisch abgeschlossener Hohlraum (12) definiert wird. Abschließend wird einer der Wafer von einer der ersten Zwischenschicht abgewandten Oberfläche her gedünnt, um eine membranartige Struktur (14) über dem Hohlraum (12) zu erzeugen.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidtschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Verfahren zum Erzeugen einer mikromechanischen Struktur für ein mikro-elektromechanisches Element

Beschreibung

Die vorliegende Erfindung bezieht sich auf ein Verfahren zum Erzeugen einer mikromechanischen Struktur für ein mikro-elektromechanisches Element, und insbesondere auf ein Verfahren zum Erzeugen einer membranartigen Struktur in einem Halbleiterwafer, in dem später unter Verwendung herkömmlichen Standard-Halbleiterprozesse eine integrierte Schaltung erzeugt werden soll.

Aufgrund der schnellen Entwicklung auf dem Gebiet der Halbleiterindustrie und der Mikroelektronik verdrängen mikromechanische Elemente, beispielsweise mikromechanische Druckmeßzellen auf Siliziumbasis, mehr und mehr klassische mechanische Druckwandler. Mikromechanische Elemente werden beispielsweise in der Automatisierungs- und Medizin-Technik, sowie in Kfz-Anwendungen in großen Mengen eingesetzt. Vorzugsweise werden dabei mikro-elektromechanische integrierte Systeme verwendet, die die Verbindung von mechanischen und elektronischen Funktionen auf einem Substrat realisieren. Neben den in CMOS- oder ähnlicher Technologie hergestellten elektronischen Bauelementen, bei denen es sich beispielsweise um Meßwandler, Verstärker, Speicher, Mikrocontroller, usw., handelt, befinden sich dabei in denselben Schichten mechanische Bauelemente. Diese können beispielsweise Membranen von Drucksensoren, elastische Platten von Ventilen oder Pumpen, schwingende Massen von Beschleunigungssensoren, bewegliche Finger oder einseitig eingespannte Arme von Schaltern und dergleichen sein. Über die von der Planartechnologie gewohnte mehr oder weniger glatte Oberfläche hinaus sind diese mechanischen Strukturen dreidimensional und umfassen freitragende Strukturen und vergrabene Hohlräume.

Es war bisher bekannt, solche Hohlräume durch naßchemisches

- 2 -

Ätzen zu erzeugen, bzw. durch Verbinden zweier zuvor einzeln fertig bearbeiteter Scheiben. Als Verbindungstechnik zum Verbinden der einzeln bearbeiteten Scheiben kommen dabei ein Waferbonden (Silicon Fusion Bonding), ein anodisches Bonden oder ein Kleben in Frage. In jedem Fall sind bei herkömmlichen Verfahren vor dem Verbinden der einzelnen Scheiben dieselben vollständig bearbeitet, so daß danach keine Verarbeitungsschritte mehr stattfinden müssen, die zu einer Beeinträchtigung der mechanischen Strukturen führen können.

Beim naßchemischen Unterätzen von Strukturen tritt das Problem des sogenannten "Sticking" auf, bei dem die freitragende Struktur beim Trocknen der Flüssigkeit durch Kapillarkräfte an der benachbarten Oberflächen haften bleibt und somit ihre Beweglichkeit verliert. Kleine Gräben, Löcher und Spalten bereiten überdies Probleme beim Benetzen mit Flüssigkeiten (beispielsweise mit Ätzlösungen, Reinigungswasser, Photolack) und beim Entfernen der Flüssigkeiten, beispielsweise durch Blasen, die in Ecken haften bleiben können. Beim Abschleudern können Tropfen zurückbleiben, die beim Eintrocknen Ränder erzeugen. Auch die Reinigung durch Bürsten ist problematisch, da die beweglichen Strukturen dabei abgebrochen werden können. Andererseits ist jedoch eine reine Oberfläche der Strukturen notwendig, um die Herstellungsverfahren zum Erzeugen der Auswertestrukturen, wie z.B. ein CMOS-Verfahren, anwenden zu können. Durch die Gefahr der Verschleppung von Partikeln und Kontaminationen kann bei offenen Strukturen die CMOS-Fähigkeit nicht mehr gegeben sein, d.h. bestimmte Prozeßabläufe sind in einer CMOS-Linie nicht erlaubt. Darüberhinaus wird beim Vereinzeln der Chips aus dem Waferverbund mit einer Wafersäge mit Wasser gespült, das in offene Hohlräume eindringen kann, und somit das Problem bezüglich Partikeln und Kontaminationen noch erschweren kann.

Überdies ist es bekannt, membranartige Strukturen durch die Verwendung eines KOH-Rückseitenätzens zu erzeugen, nachdem die elektronischen Komponenten auf der Vorderseite eines Wa-

fers fertiggestellt sind. Durch die bei einer KOH-Ätzung auftretenden schrägen Ätzkanten tritt hier jedoch ein hoher Verlust an Integrationsdichte auf, insbesondere, wenn eine hohe Stückzahl mikro-elektromechanischer Komponenten aus einem Wafer gebildet wird.

Unterschiedliche Verfahren zum Herstellen von Halbleiterdruckfühlern sind ferner in der DE 3743080 A1 beschrieben.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren zum Erzeugen einer mikromechanischen Struktur zu schaffen, das die Verwendung herkömmlicher Standard-Verfahren zum Erzeugen von Auswerteschaltungen in dem gleichen Substrat, in dem die mikromechanische Struktur gebildet ist, ermöglicht, wobei für die resultierenden mikro-elektromechanischen Elemente eine hohe Ausbeute erzielt werden kann.

Diese Aufgabe wird durch ein Verfahren zum Erzeugen einer mikromechanischen Struktur nach Anspruch 1 gelöst.

Die vorliegende Erfindung schafft ein Verfahren zum Erzeugen einer mikromechanischen Struktur für ein mikro-elektromechanisches Element, bei dem zunächst eine erste Zwischenschicht, die auf eine erste Hauptoberfläche eines ersten Halbleiterwafers aufgebracht ist, strukturiert wird, um eine Ausnehmung zu erzeugen. Nachfolgend wird der erste Halbleiterwafer über die erste Zwischenschicht mit einem zweiten Halbleiterwafer derart verbunden, daß durch die Ausnehmung ein hermetisch abgeschlossener Hohlraum definiert wird. Abschließend wird einer der Wafer von einer der ersten Zwischenschicht abgewandten Oberfläche her gedünnt, um eine membranartige Struktur über dem Hohlraum zu erzeugen.

Bei der derart erzeugten mikromechanischen Struktur, bei der der Hohlraum nach dem Dünnen von einem der Wafer weiterhin hermetisch abgeschlossen bleibt, kann nun eine integrierte Schaltung unter Verwendung herkömmlicher Standard-Halbleiterfertigungsprozesse in dem gedünnten Wafer integriert

werden. Dabei bleibt der Hohlraum, der zusammen mit der membranartigen Struktur das mikromechanische Element definiert, stets hermetisch abgeschlossen, so daß die oben beschriebenen Probleme bei der Anwendung beispielsweise eines CMOS-Verfahrens zur Erzeugung einer integrierten Schaltung erfindungsgemäß nicht auftreten. Überdies entfallen aufgrund des hermetisch abgeschlossenen Hohlraums die vorher erwähnten Probleme des Beseitigens der Ätzflüssigkeiten aus den Hohlräumen, da aufgrund der hermetischen Abgeschlossenheit während der Herstellung der integrierten Schaltung keine Flüssigkeiten, Gase oder Feststoffe in den Hohlraum eindringen können. Folglich ermöglicht das erfindungsgemäße Verfahren zum Erzeugen einer mikromechanischen Struktur die Herstellung von mikro-elektromechanischen Elementen, beispielsweise Drucksensoren oder gesteuerten Ventilen, mit einer verringerten Anzahl von Bearbeitungsschritten, so daß die vorliegende Erfindung eine kostengünstige Herstellung ermöglicht.

Diese Vorteile werden erfindungsgemäß erreicht, indem ein hermetisch abgeschlossener Hohlraum in einer Zwischenschicht gebildet wird, die zum Verbinden zweier Halbleiterwafer verwendet wird. Bei bevorzugten Ausführungsbeispielen der Erfindung ist auf beiden Halbleiterwafern eine Zwischenschicht aufgebracht, von denen eine oder beide strukturiert werden, um nach dem Verbinden den Hohlraum zu bilden, wobei es sich bei den Zwischenschichten um isolierende oder leitende Schichten handelt, die beispielsweise aus Oxid (thermisch oder TEOS), Polysilizium, Nitrid oder Metall bestehen können. Diese Zwischenschichten können mittels bekannter Verbindungsverfahren, beispielsweise einem Waferbonden (Silicon Fusion Bonding), einem anodischen Bonden oder einem Kleben, miteinander verbunden werden. Alternativ kann eine größere Anzahl von Zwischenschichten zwischen den zu verbindenden Wafern verwendet werden, um damit die Erzeugung eines Hohlraums mit Bereichen einer variablen Höhe zu ermöglichen.

Die erfindungsgemäß erzeugten mikromechanischen Strukturen eignen sich insbesondere zum Einsatz in Drucksensoren, bei-

spielsweise Absolutdrucksensoren oder Differenzdrucksensoren. Überdies können mittels des erfindungsgemäßen Verfahrens auch mikromechanische Strukturen erzeugt werden, die eine Mehrzahl von voneinander unabhängigen Membranbereichen aufweisen, um damit die Herstellung eines Drucksensorarrays zu ermöglichen. In gleicher Weise ist die vorliegende Erfindung jedoch auch einsetzbar, um mikromechanische Strukturen zur Verwendung in anderen mikro-elektromechanischen Bauelementen zu schaffen, beispielsweise elastische Platten von Ventilen oder Pumpen, schwingende Massen von Beschleunigungssensoren, bewegliche Finger oder Cantilever von mikromechanischen Relais und dergleichen.

Weiterbildungen der vorliegenden Anmeldung sind in den abhängigen Ansprüchen dargelegt.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1a) bis 1c) schematische Querschnittansichten zur Erläuterung eines Ausführungsbeispiels des erfindungsgemäßen Verfahrens; und

Fig. 2 eine Querschnittansicht eines elektrisch isolierten Schaltungselements in einem SOI-Substrat.

Bezugnehmend auf die Fig. 1a) bis 1c) wird nachfolgend ein bevorzugtes Ausführungsbeispiel des erfindungsgemäßen Verfahrens zum Herstellen eines mikromechanischen Elements erläutert, wobei das Verfahren zum Herstellen der mikromechanischen Struktur eines Drucksensors und nachfolgend zum Erzeugen einer integrierten Schaltung in dem Substrat, in dem die Membran des Drucksensors gebildet ist, dient.

Wie in Fig. 1a) gezeigt ist, wird zunächst eine auf einen ersten Halbleiterwafer 2 aufgebrachte Zwischenschicht 4 strukturiert, um eine Ausnehmung 6 in derselben zu bilden.

Der Halbleiterwafer 2 wird nachfolgend über die Zwischenschicht 4 mit einem zweiten Halbleiterwafer 8 verbunden, der bei dem dargestellten Ausführungsbeispiel ebenfalls mit einer Zwischenschicht 10 versehen ist. Durch das Verbinden der beiden Wafer 2 und 8 wird durch die Ausnehmung 6 ein hermetisch abgeschlossener Hohlraum 12 definiert, wie in Fig. 1b) zu sehen ist. Nach dem Verbinden der beiden Wafer 2 und 8 wird der erste Wafer 2 von der dem Wafer 8 abgewandten Hauptoberfläche desselben her gedünnt, um oberhalb des Hohlraums 12 eine membranartige Struktur 14 zu erzeugen. Dabei bleibt der in der Zwischenschicht 4 gebildete Hohlraum 12 hermetisch abgeschlossen.

Fig. 1b) zeigt die durch das erfindungsgemäße Verfahren hergestellte mikromechanische Struktur, wobei durch das Herstellungsverfahren derselben ermöglicht ist, daß in dem gedünnten Wafer 2, in dem die membranartige Struktur 14 gebildet ist, integrierte Schaltungsstrukturen 16 mittels herkömmlicher Standard-Halbleiterprozesse erzeugt werden, die zur Auswertung von durch die Membran 14 erzeugten Signalen dienen kann. Dadurch wird aus der mikromechanischen Struktur die in Fig. 1c) gezeigte mikro-elektromechanische Struktur, bei der in einem Halbleiterwafer 2 zum einen eine mikromechanische gefertigte Membran 14 als auch eine integrierte Schaltung 16, die beispielsweise mittels herkömmlicher CMOS-Techniken hergestellt ist, gebildet ist. Das erfindungsgemäße Verfahren zum Herstellen einer mikromechanischen Struktur ermöglicht diese Herstellung eines mikro-elektromechanischen Elements unter Verwendung herkömmlicher Standard-Halbleiterfertigungsprozesse, beispielsweise CMOS-Prozesse, da bis zur Vollendung der integrierten Schaltung der Hohlraum 12 stets hermetisch verschlossen bleibt. Somit ermöglicht die vorliegende Erfindung die kostengünstige Herstellung von mikro-elektromechanischen Elementen mit einer, verglichen mit herkömmlichen Verfahren, reduzierten Anzahl von Verfahrensschritten.

Bei dem erfindungsgemäßen Verfahren wird als Material für

die Halbleiterwafer vorzugsweise Silizium verwendet, wobei die Zwischenschicht, bzw. die Zwischenschichten 4 und 10 in Fig. 1, vorzugsweise aus einem Oxid (thermisch oder TEOS), aus Polysilizium, aus einem Nitrid oder aus Metall besteht bzw. bestehen. Hierbei ist anzumerken, daß, obwohl bei dem oben beschriebenen Ausführungsbeispiel auf beiden Wafern eine Zwischenschicht angeordnet ist, bei dem erfindungsgemäßen Verfahren lediglich eine Zwischenschicht notwendig ist, in der die Ausnehmung strukturiert wird. Bei alternativen Ausführungsbeispielen kann eine Mehrzahl von Zwischenschichten zwischen den Wafern vorgesehen werden, so daß es möglich ist, durch unterschiedliche Strukturierung der einzelnen Schichten Hohlräume mit Bereichen unterschiedlicher Höhen zu erzeugen. Ferner wäre es alternativ zu dem in Fig. 1 gezeigten Verfahren möglich, auch in der auf das zweite Substrat 8 aufgebrachten Zwischenschicht 10 eine Strukturierung vorzusehen, so daß diese zusammen mit der in der Zwischenschicht 4 vorgesehenen Strukturierung nach dem Verbinden der Wafer den Hohlraum definiert. Dabei ist anzumerken, daß eine quasi unbegrenzte Möglichkeit der Strukturierung von Zwischenschichten zum Erzeugen unterschiedlicher Hohlräume existiert, solange die Hohlräume nach dem Verbinden der beiden Wafer hermetisch abgeschlossen sind. Die Strukturierung zur Erzeugung dieser Hohlräume kann durch bekannte Strukturierungsverfahren, beispielsweise Photolithographie, Naß- bzw. Trocken-Ätzen oder durch selektive Abscheidung erfolgen.

Die Verbindung der Wafer kann mittels bekannter Verbindungsverfahren erfolgen, wobei die beiden Wafer mit der oder den Verbindungsschichten aufeinandergelegt und mittels spezieller Prozesse miteinander verbunden werden, beispielsweise anodischen Bondverfahren, Klebverfahren oder dem sogenannten Silicon Fusion Bonding. Nach diesem Verbinden entsteht aus den zunächst in der bzw. den Zwischenschichten strukturierten Ausnehmung, bzw. den Ausnehmungen, ein hermetisch abgeschlossener Hohlraum 12, wie er in Fig. 1b) gezeigt ist. Im Anschluß wird einer der beiden Halbleiterwafer auf eine

vorgegebene Dicke gedünnt, so daß über dem Hohlraum eine membranartige Struktur entsteht. Dabei kann der zu dünnende Wafer vorzugsweise aus einem SOI-Material (Silicon on Isolator) bestehen, wodurch ein exaktes Dünnen erleichtert wird. Durch dieses Dünnen wird oberhalb der strukturierten Bereiche, d.h. über den Hohlräumen, eine sensorspezifische Zone bzw. eine Membran erzeugt, während die übrige Fläche des gedünnten Wafers für die Integration elektronischer Schaltungen dienen kann.

Die nach diesem Verfahren hergestellten mechanischen Strukturen, von denen beispielhaft eine in Fig. 1b) gezeigt ist, weisen jetzt noch eine nach oben geschlossene und planare Oberfläche und in der Tiefe einen oder mehrere hermetisch abgeschlossene Hohlräume auf. Damit kann der gedünnte Wafer mit den üblichen CMOS-Technologien bearbeitet werden.

Die Form der hermetisch abgeschlossenen Hohlräume ist im Grundriß beliebig, im einfachsten Fall rechteckig, vieleckig oder rund, und kann langgestreckte und gewundene Kanäle enthalten oder aus mehreren isolierten oder mit Kanälen verbundenen Strukturen bestehen. Die Höhe der Hohlräume ist durch die Dicke der strukturierten Schicht gegeben, wie in Fig. 1a) gezeigt ist, und damit im einfachsten Fall einheitlich. Durch eine mehrfache Strukturierung einer einzelnen Schicht oder durch eine Strukturierung mehrerer Schichten kann jedoch, wie bereits oben erwähnt wurde, die Höhe der Hohlräume beliebig variiert werden, das heißt, es können Hohlräume mit Bereichen unterschiedlicher Höhe erzeugt werden.

Bei bevorzugten Ausführungsbeispielen des erfindungsgemäßen Verfahrens zum Erzeugen einer mikromechanischen Struktur wird der Schritt des Verbindens der beiden Wafer in einem Vakuum durchgeführt, so daß bei möglichen nachfolgenden Hochtemperaturprozessen kein Überdruck durch die thermische Expansion eines in den hermetisch abgeschlossen Hohlräumen enthaltenen Gases entsteht. Somit kann eine Beschädigung der über dem oder den Hohlräumen erzeugten membranartigen Struk-

turen vermieden werden, da beispielsweise einem Unterdruck von 1 bar im kalten Zustand, der beispielsweise bei einem Vakuum in dem Hohlraum vorliegt, leichter zu widerstehen ist, als einem Überdruck von 3 bar in einem Diffusionsofen bei beispielsweise 1100°C, wenn die Verbindung der Wafer nicht in einem Vakuum stattfindet. Je nach Anwendung der erfindungsgemäß erzeugten mikromechanischen Struktur ist es jedoch auch möglich, den Hohlraum mit einem speziellen Gas bei einem beliebigen Druck zu füllen.

Das erfindungsgemäße Verfahren zum Erzeugen einer mikromechanischen Struktur eignet sich insbesondere zur Herstellung mikromechanischer Teile unterschiedlicher Drucksensoren. Das Sensorsignal solcher Drucksensoren kann auf unterschiedliche Weise erzeugt werden, beispielsweise mittels integrierter piezoelektrischer Widerstände auf, in oder neben der erfindungsgemäß erzeugten Membran, oder mittels kapazitiver Meßverfahren durch das Anbringen einer beweglichen Elektrode auf der Membran und einer entsprechenden Gegenelektrode. Nach dem Fertigstellen der mikro-elektromechanischen Elemente unter Verwendung des erfindungsgemäßen Verfahrens zum Erzeugen einer mikromechanischen Struktur können die noch im Waferverbund befindlichen Elemente vereinzelt werden, um dadurch einzelne Sensorelemente zu erzeugen. Beispielsweise zeigt Fig. 1c) einen Absolutdrucksensor, bei dem der Hohlraum 12 hermetisch abgeschlossen bleibt, so daß durch den Sensor ein auf die Außenseite der Membran 14 wirkender Druck erfaßt werden kann.

Alternativ können durch das erfindungsgemäße Verfahren jedoch auch mikromechanische Strukturen für Differenzdrucksensoren oder Drucksensorarrays erzeugt werden.

Beispielsweise kann eine mikromechanische Struktur für einen Differenzdrucksensor erzeugt werden, indem der unter der membranartigen Struktur angeordnete Hohlraum mit einer Öffnung versehen wird, die den Hohlraum mit der Umwelt verbindet. Dadurch können auf den beiden Seiten der Membran unter-

schiedliche Drücke angelegt werden, so daß das Ausgangssignal des durch den Hohlraum und die Membran gebildeten Sensors die Differenz zwischen diesen Drücken anzeigt. Zum Herstellen einer mikromechanischen Struktur für einen solchen Differenzdrucksensor wird oder werden vor dem Verbinden der beiden Wafer in dem Wafer, der später nicht gedünnt wird, eine oder mehrere vertikale Öffnungen gebildet, die den Wafer nicht vollständig durchdringen. Diese Öffnungen können vorzugsweise geätzt werden. Nach dem Verbinden der Wafer ist diese Öffnung direkt mit dem Sensorhohlraum verbunden oder kann auch über einen Kanal mit dem Hohlraum verbunden sein. Nach der vollständigen Herstellung des mikro-elektromechanischen Elements, d.h. nach dem Integrieren der integrierten Schaltung in dem gedünnten Wafer, wird diese vergrabene Öffnung durch den nicht gedünnten Wafer geöffnet. Dieses Öffnen kann beispielsweise durch einen weiteren Ätzprozeß oder durch einen Dünnporeprozeß von der Rückseite her durchgeführt werden.

Alternativ kann ein Differenzdrucksensor realisiert werden, indem bei dem erfindungsgemäßen Verfahren zwei Hohlräume mit jeweils zugeordneten Membranen in der oder den Zwischenschichten strukturiert werden, die über einen oder mehrere vertikale oder laterale Kanäle miteinander verbunden sind. Die vertikalen Kanäle, die vorzugsweise eine geringere Höhe aufweisen als die Hohlräume, können durch unterschiedliches Strukturieren einer Zwischenschicht oder durch Strukturieren einer Mehrzahl von Zwischenschichten erzeugt werden. Einer der Hohlräume wird dann wiederum nach dem Erzeugen der integrierten Schaltung in dem Wafer nach außen geöffnet, um das Anlegen eines Druckes an die Unterseite der Membran zu ermöglichen, so daß ein Differenzdruck zwischen Unterseite und Oberseite der Membran erfaßt werden kann. Daneben ist es möglich, daß zwei oder mehr Sensoren, die jeweils aus Hohlraum und zugeordneter Membran bestehen, einen oder mehrere Differenzverstärker ansteuern.

Die Erzeugung einer Mehrzahl von Hohlräumen mit zugeordneten

Membranen kann ferner genutzt werden, um ein Drucksensorarray, das eine hohe Auflösung bietet, zu realisieren. Dazu werden beispielsweise mehrere Hohlräume in einer Matrix nebeneinander in einer oder mehreren Zwischenschichten strukturiert, so daß sich nach dem Verbinden der Wafer ein Drucksensorarray ergibt. Nach dem Herstellen der mikromechanischen Struktur für das Drucksensorarray auf die erfindungsgemäße Art und Weise wird dann eine entsprechend angepaßte integrierte Schaltung in dem gedünnten Wafer erzeugt. Diese integrierte Schaltung kann beispielsweise angepaßt sein, um zur Erhöhung der Empfindlichkeit der Sensoren bzw. zur Erzielung eines höheren Sensorsignals die Sensorsignale zu addieren. Dabei wird bei dem für das System höchsten spezifizierten Druck beispielsweise nur das Signal eines Sensors auf der Matrix verarbeitet, während bei abnehmendem Druck das zu verarbeitende Signal durch die Addition der Signale mehrerer Sensoren aus der Matrix erhöht wird. Dabei kann es notwendig sein, daß jedes einzelne Sensorelement für sich kalibriert werden muß, um eine Fehleraddition zu vermeiden. Enthält die integrierte Schaltung einen Mikrocontroller, existiert die Möglichkeit, das System selbstkalibrierend aufzubauen. Beispielsweise kann von einem Mikrocontroller ein automatischer Nullabgleich gesteuert werden. Das Sensorsignal kann dann über eine integrierte Datenausgabekomponente, beispielsweise eine I²C-Schnittstelle, ausgelesen werden.

Mit dem erfindungsgemäßen Verfahren zum Erzeugen einer mikromechanischen Struktur ist es überdies auch möglich, hochtemperaturtaugliche integrierte Sensoren herzustellen. Eine solche Hochtemperaturfestigkeit kann bei nach den oben beschriebenen Verfahren hergestellten Differenzdrucksensoren und Drucksensorarrays beispielsweise durch designtechnische Maßnahmen erreicht werden, indem die sensitiven Elemente "gekapselt" werden, was beispielsweise durch ein Trench-Prozeßmodul oder durch Ausführung der Piezowiderstände in strukturiertem Polysilizium erreicht werden kann. Durch die Erweiterung des Standardprozesses mit einem Trenchmodul wird die Umhüllung einer elektronischen Schaltungskomponente oder

eines mikromechanisch gebildeten Sensors mit einer isolierenden Schicht, z.B. einer Siliziumdioxid-Schicht, gewährleistet.

In gleicher Weise kann eine Hochtemperaturfestigkeit der integrierten Schaltung durch designtechnische Maßnahme erreicht werden. Die allseitige elektrische Isolation des Transistors reduziert das Volumen, aus dem thermisch generierte Minoritätsladungsträger in das aktive Gebiet diffundieren können und zu einem erhöhten Leckstrom führen. Diese Maßnahme ermöglicht also den Betrieb des Transistors auch bei hoher Temperatur. Beispielsweise ist in Fig. 2 ein SOI-Transistor im Querschnitt dargestellt, der durch ein "Trench-Prozeßmodul" gekapselt und somit elektrisch isoliert ist. Die elektrische Isolation des SOI-Transistors, der schematisch mit einem Source-Anschluß S, einem Gate-Anschluß G und einem Drain-Anschluß D in einer p-Typ Siliziumschicht gezeigt ist, wird zum einen durch die Isolatorschicht 30 des SOI-Substrats, das aus einer Trägerschicht 32, der Isolatorschicht 30 und einer auf der Isolatorschicht angeordneten Siliziumschicht 34 besteht, gebildet. Ferner ist der SOI-Transistor von Gräben 36, die als Trenches bezeichnet werden, umgeben, die den SOI-Transistor elektrisch isolieren. Auf der Oberfläche der Siliziumschicht 34 ist eine Passivierungsschicht 38 vorgesehen, die entweder zusammen mit dem Füllen der Gräben 36 oder danach aufgebracht wird.

Die vorliegende Erfindung ermöglicht somit Verfahren zum Erzeugen mikromechanischer Strukturen für mikro-elektromechanische Elemente, bei denen sämtliche Hohlräume der mikromechanischen Strukturen nach dem Erzeugen derselben hermetisch abgeschlossen sind, während eine nach oben geschlossen und planare Oberfläche geliefert wird, so daß die Wafer von oben unter Verwendung üblicher CMOS-Technologien bearbeitet werden können. Somit sind erfindungsgemäß Probleme, die bei herkömmlichen Verfahren durch das Reinigen von Waferoberflächen bzw. das Eindringen von Flüssigkeiten in Hohlräume und die Verschleppung von Partikeln und Kontaminationen bewirkt

werden, beseitigt. Damit schafft die vorliegende Erfindung ein wenig aufwendiges Verfahren, das die Herstellung von mikromechanischen Elementen kostengünstig und mit hoher Ausbeute ermöglicht.

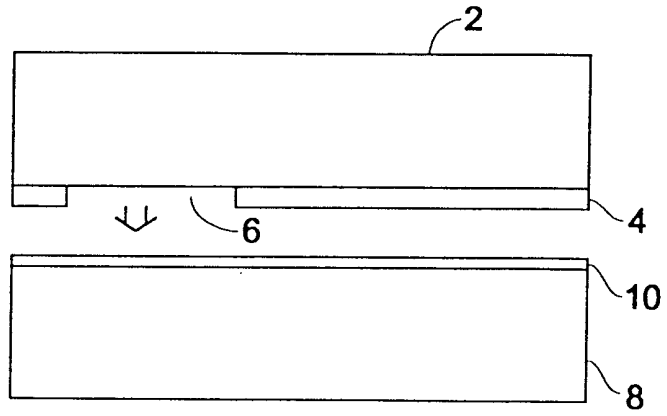
Patentansprüche

1. Verfahren zum Erzeugen einer mikromechanischen Struktur für ein mikro-elektromechanisches Element, mit folgenden Schritten:
 - a) Strukturieren einer ersten Zwischenschicht (4), die auf eine erste Hauptoberfläche eines ersten Halbleiterwafers (2) aufgebracht ist, um eine Ausnehmung (6) zu erzeugen;
 - b) Verbinden des ersten Halbleiterwafers (2) über die erste Zwischenschicht (4) mit einem zweiten Halbleiterwafer (8), derart, daß durch die Ausnehmung (6) ein hermetisch abgeschlossener Hohlraum (12) definiert wird; und
 - c) Dünnen von einem der Wafer (2) von einer der ersten Zwischenschicht (4) abgewandten Oberfläche her, um eine membranartige Struktur (14) über dem Hohlraum (12) zu erzeugen.
2. Verfahren nach Anspruch 1, bei dem auf die Hauptoberfläche des zweiten Halbleiterwafers (8), der über die Zwischenschicht (4) mit dem ersten Halbleiterwafer (2) verbunden wird, vor dem Verbinden eine zweite Zwischenschicht (10) aufgebracht wird.
3. Verfahren nach Anspruch 2, bei dem die zweite Zwischenschicht strukturiert wird, derart, daß nach dem Verbinden die Strukturierung der zweiten Zwischenschicht und die Ausnehmung in der ersten Zwischenschicht den Hohlraum definieren.
4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem zusätzlich zu der ersten Zwischenschicht (4) weitere

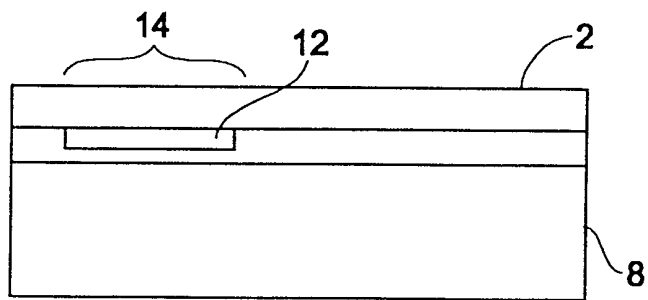
Zwischenschichten zwischen den beiden Halbleiterwafern (2, 8) vorgesehen werden, die vor dem Verbinden der beiden Halbleiterwafer strukturiert werden, um einen Hohlraum mit Bereichen variabler Höhe zu erzeugen.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem der erste und der zweite Wafer (2, 8) aus Silizium bestehen.
6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem die eine oder die mehreren Zwischenschichten (4, 10) aus einem Oxid, aus Polysilizium, aus einem Nitrid oder aus Tetraethylorthosilikat bestehen.
7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem die eine oder die mehreren Zwischenschichten (4, 10) derart strukturiert werden, daß nach dem Verbinden der beiden Wafer mehrere, durch Kanäle verbundene, nach außen hermetisch abgeschlossene Hohlräume definiert sind.
8. Verfahren nach einem der Ansprüche 1 bis 7, bei dem nach dem Schritt c) eine integrierte Schaltung (16) in dem gedünnten Halbleiterwafer (2) erzeugt wird.
9. Verfahren nach Anspruch 8, bei dem die integrierte Schaltung unter Verwendung von Standard-Halbleiterprozessen erzeugt wird.
10. Verfahren nach einem der Ansprüche 1 bis 9, bei dem elektrisch isolierende Gräben (36) in dem gedünnten Halbleiterwafer gebildet werden, um elektrisch voneinander isolierte Bereiche in dem gedünnten Halbleiterwafer zu erzeugen.
11. Verfahren nach einem der Ansprüche 1 bis 10, bei dem das Verbinden im Schritt b) in einem Vakuum durchgeführt wird.

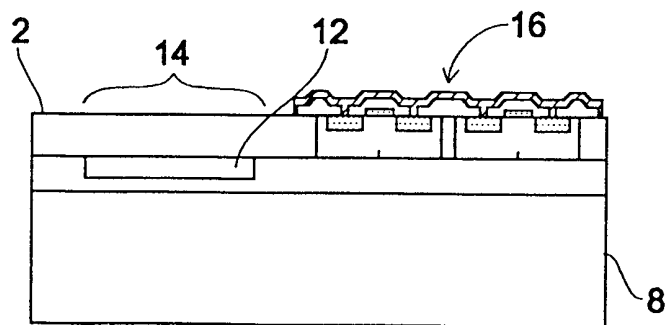
12. Verfahren nach einem der Ansprüche 1 bis 11, bei dem als erster und/oder zweiter Wafer ein SOI-Wafer verwendet wird.



a)



b)



c)

Fig. 1

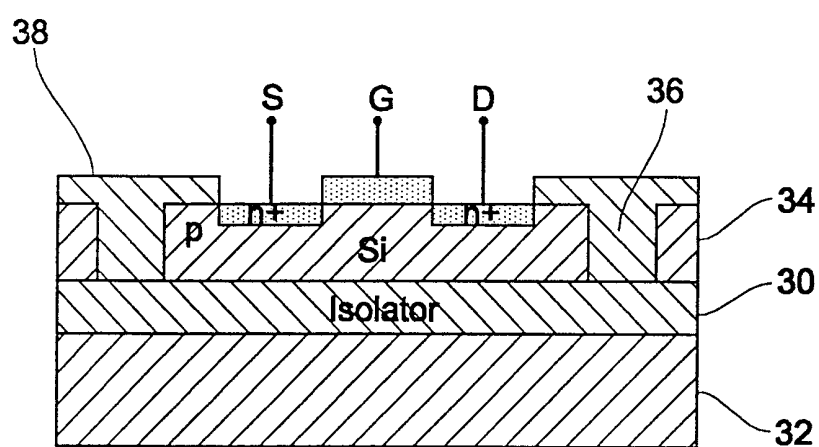


Fig. 2

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 99/07206

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G01L9/12 G01L9/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 744 725 A (SHIUH-HUI STEVEN CHEN ET AL.) 28 April 1998 (1998-04-28)	1-3,5,6
Y	column 2, line 42 -column 4, line 64; figures 2A-2L	4,8-12
X	EP 0 639 761 A (CSEM, CENTRE SUISSE D'ELECTRONIQUE ET DE MICROTECHNIQUE S.A.) 22 February 1995 (1995-02-22)	1,5-7,11
	column 5, line 39 -column 6, line 58; figures 3-5	
X	US 5 600 072 A (SHIUH-HUI S. CHEN ET AL.) 4 February 1997 (1997-02-04)	1,5-7
	column 1, line 56 -column 2, line 25; figures 1-5	
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

18 January 2000

Date of mailing of the international search report

25/01/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Van Assche, P

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 99/07206

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 96 18872 A (OTTER CONTROLS LIMITED) 20 June 1996 (1996-06-20) page 7, line 5 -page 8, line 24; figures 1-6 ----	1,5-7,11
Y	US 4 203 128 A (H. GUCKEL ET AL.) 13 May 1980 (1980-05-13) column 4, line 2 - line 17; figure 1 ----	1
Y	EP 0 610 806 A (CSEM, CENTRE SUISSE D'ELECTRONIQUE ET DE MICROTECHNIQUE S.A.) 17 August 1994 (1994-08-17) column 8, line 46 -column 9, line 4; figures 7,8 ----	1
Y	US 4 513 348 A (D.H. GRANTHAM) 23 April 1985 (1985-04-23) the whole document ----	4
Y	L.J. SPANGLER ET AL.: "A BULK SILICON SOI PROCESS FOR ACTIVE INTEGRATED SENSORS" SENSORS AND ACTUATORS A., vol. A24, no. 2, July 1990 (1990-07), pages 117-1221, XP000148921 ELSEVIER SEQUOIA S.A., LAUSANNE., CH ISSN: 0924-4247 page 120, column 2, paragraph 3; figure 6 ----	8-12
Y	EP 0 702 221 A (DELCO ELECTRONICS CORPORATION) 20 March 1996 (1996-03-20) abstract; figure 1 -----	8-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 99/07206

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5744725 A	28-04-1998	NONE	
EP 639761 A	22-02-1995	CH 688745 A FI 943048 A JP 7027646 A NO 942410 A	13-02-1998 26-12-1994 31-01-1995 27-12-1994
US 5600072 A	04-02-1997	NONE	
WO 9618872 A	20-06-1996	NONE	
US 4203128 A	13-05-1980	CA 1094229 A DE 2749937 A GB 1591948 A JP 53063880 A	20-01-1981 11-05-1978 01-07-1981 07-06-1978
EP 610806 A	17-08-1994	FR 2701564 A DE 69418740 D DE 69418740 T FI 940589 A JP 6249733 A NO 940472 A US 5488869 A	19-08-1994 08-07-1999 23-12-1999 13-08-1994 09-09-1994 15-08-1994 06-02-1996
US 4513348 A	23-04-1985	NONE	
EP 702221 A	20-03-1996	JP 8097439 A US 5719069 A	12-04-1996 17-02-1998

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 99/07206

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G01L9/12 G01L9/06

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^o	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 744 725 A (SHIUH-HUI STEVEN CHEN ET AL.) 28. April 1998 (1998-04-28)	1-3, 5, 6
Y	Spalte 2, Zeile 42 - Spalte 4, Zeile 64; Abbildungen 2A-2L	4, 8-12
X	EP 0 639 761 A (CSEM, CENTRE SUISSE D'ELECTRONIQUE ET DE MICROTECHNIQUE S.A.) 22. Februar 1995 (1995-02-22)	1, 5-7, 11
	Spalte 5, Zeile 39 - Spalte 6, Zeile 58; Abbildungen 3-5	
X	US 5 600 072 A (SHIUH-HUI S. CHEN ET AL.) 4. Februar 1997 (1997-02-04)	1, 5-7
	Spalte 1, Zeile 56 - Spalte 2, Zeile 25; Abbildungen 1-5	
	--- -/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

^o Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. Januar 2000

Absenddatum des internationalen Recherchenberichts

25/01/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Van Assche, P

INTERNATIONALER RECHERCHENBERICHT

Internationale Aktenzeichen

PCT/EP 99/07206

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 96 18872 A (OTTER CONTROLS LIMITED) 20. Juni 1996 (1996-06-20) Seite 7, Zeile 5 -Seite 8, Zeile 24; Abbildungen 1-6 ----	1,5-7,11
Y	US 4 203 128 A (H. GUCKEL ET AL.) 13. Mai 1980 (1980-05-13) Spalte 4, Zeile 2 - Zeile 17; Abbildung 1 ----	1
Y	EP 0 610 806 A (CSEM, CENTRE SUISSE D'ELECTRONIQUE ET DE MICROTECHNIQUE S.A.) 17. August 1994 (1994-08-17) Spalte 8, Zeile 46 -Spalte 9, Zeile 4; Abbildungen 7,8 ----	1
Y	US 4 513 348 A (D.H. GRANTHAM) 23. April 1985 (1985-04-23) das ganze Dokument ----	4
Y	L.J. SPANGLER ET AL.: "A BULK SILICON SOI PROCESS FOR ACTIVE INTEGRATED SENSORS" SENSORS AND ACTUATORS A., Bd. A24, Nr. 2, Juli 1990 (1990-07), Seiten 117-1221, XP000148921 ELSEVIER SEQUOIA S.A., LAUSANNE., CH ISSN: 0924-4247 Seite 120, Spalte 2, Absatz 3; Abbildung 6 ----	8-12
Y	EP 0 702 221 A (DELCO ELECTRONICS CORPORATION) 20. März 1996 (1996-03-20) Zusammenfassung; Abbildung 1 -----	8-11

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 99/07206

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5744725	A	28-04-1998	KEINE		
EP 639761	A	22-02-1995	CH	688745 A	13-02-1998
			FI	943048 A	26-12-1994
			JP	7027646 A	31-01-1995
			NO	942410 A	27-12-1994
US 5600072	A	04-02-1997	KEINE		
WO 9618872	A	20-06-1996	KEINE		
US 4203128	A	13-05-1980	CA	1094229 A	20-01-1981
			DE	2749937 A	11-05-1978
			GB	1591948 A	01-07-1981
			JP	53063880 A	07-06-1978
EP 610806	A	17-08-1994	FR	2701564 A	19-08-1994
			DE	69418740 D	08-07-1999
			DE	69418740 T	23-12-1999
			FI	940589 A	13-08-1994
			JP	6249733 A	09-09-1994
			NO	940472 A	15-08-1994
			US	5488869 A	06-02-1996
US 4513348	A	23-04-1985	KEINE		
EP 702221	A	20-03-1996	JP	8097439 A	12-04-1996
			US	5719069 A	17-02-1998