

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 29/70

(45) 공고일자 1992년06월26일  
(11) 공고번호 특 1992-0005127

|           |                                        |           |                |
|-----------|----------------------------------------|-----------|----------------|
| (21) 출원번호 | 특 1989-0020454                         | (65) 공개번호 | 특 1991-0013578 |
| (22) 출원일자 | 1989년12월30일                            | (43) 공개일자 | 1991년08월08일    |
| (71) 출원인  | 삼성전자 주식회사 김광호<br>경기도 수원시 권선구 매탄동 416번지 |           |                |

(72) 발명자 김명성  
서울특별시 양천구 신월 1동 230-7  
(74) 대리인 전채훈, 김양오

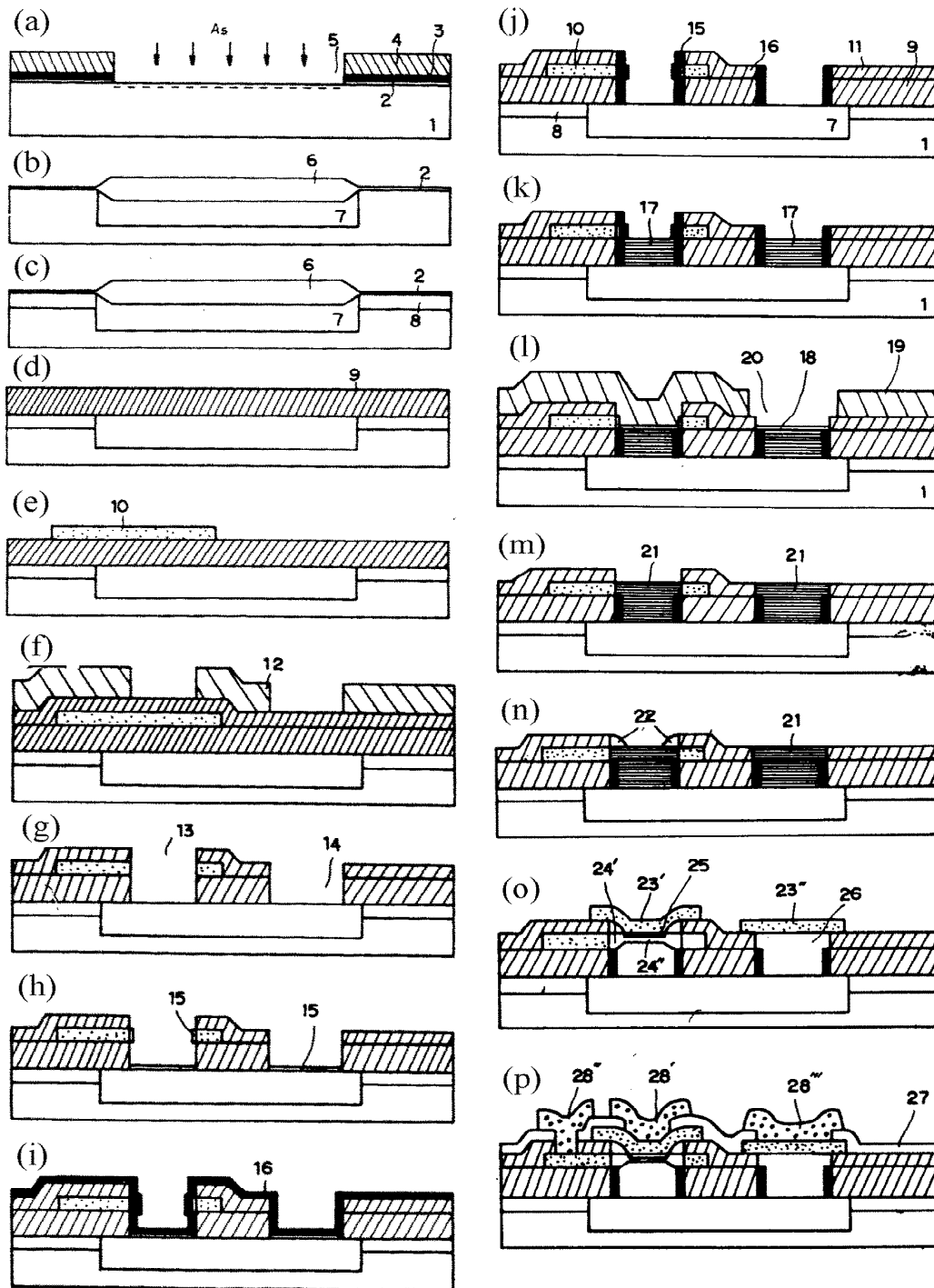
**심사관 :** 김정국 (책자공보 제2827호)

**(54) 선택적 에피택시를 이용한 자기정합된 바이폴라 트랜지스터의 제조방법**

**요약**

내용 없음.

대표도



명세서

[발명의 명칭]

선택적 에피택시를 이용한 자기정합된 바이폴라 트랜지스터의 제조방법

[도면의 간단한 설명]

첨부 도면은 본 발명의 선택적 에피택시를 이용한 자기정합된 바이폴라 트랜지스터의 제조공정도이다.

\* 도면의 주요부분에 대한 부호의 설명

- |            |                   |
|------------|-------------------|
| 1 : 기판     | 2,6,9,11,18 : 산화막 |
| 3,16 : 질화막 | 7 : 매몰층           |

5, 13, 14 : 창

8 : P형 채널영역

[발명의 상세한 설명]

본 발명은 선택적 에피택시를 이용한 바이폴라 트랜지스터의 제조방법에 관한 것이다.

종래의 바이폴라 트랜지스터를 제조하는 방법은 소자 분리용 산화막을 형성하기 위하여 선택산화 방법을 이용하였는데, 이러한 선택산화방법을 이용하는 경우에는 버드빅(bird's beak)현상에 의해 활성영역이 감소되고, 장시간 열처리공정에 의해 불순물 농도 분포가 변하게 되며, 선택산화시 스트레스에 의한 누설전류가 증가하게 된다.

또한, 에미터 및 베이스영역이 자기정합된 구조로 되어 있어서 진성 베이스면적에 의한 접합용량이 증가하여 고속동작이 불리한 문제점이 있었다.

본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로서, 선택산화 대신 저압(vt)산화막 및 선택적 에피택시를 이용함으로써 장시간 열처리에 의한 불순물 농도 분포의 변화를 방지하고, 액티브영역을 감소시키지 않는 선택적 에피택시를 이용한 바이폴라 트랜지스터의 제조방법을 제공하는데 그 목적이 있다.

또한, 본 발명의 다른 목적은 고통도 P+베이스 영역을 측면 확산법으로 이온 주입된 불순물을 확산시켜 형성함으로써 고통도 P+베이스 영역의 면적을 최소화시켜 고속도의 바이폴라 트랜지스터의 제조방법을 제공하는 데 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명은, 실리콘 기판상에 산화막과 질화막을 순차적으로 침적시킨 후 NPN트랜지스터의 N+매몰층을 형성하기 위한 창을 형성하고, 비소이온을 이온주입하는 제1공정과, 열산화방식으로 산화막을 성장시키고 동시에 비소이온을 실리콘 기판으로 깊숙히 침투 확산시켜 NPN트랜지스터의 N+매몰층을 형성하는 제2공정과, 질화막을 제거한 후 보론이온을 주입하고 N2분위기로 어닐링하여 P형의 채널영역을 형성하는 제3공정과, 산화막을 식각한 후, 저압(Vt)산화막을 침적시키는 제4공정과, 불순물이 도우핑되지 않은 다결정실리콘막을 상기 산화막상의 전면에 걸쳐 침적시키고, 보론을 이온주입한 후, NPN트랜지스터의 베이스전극이 형성될 부분의 다결정 실리콘막만을 제외한 그이외 부분을 식각하는 제5공정과, 산화막을 형성시키고, 비등방성 플라즈마 에칭법으로 상기 산화막, 다결정 실리콘막 및 산화막을 순차적으로 식각하여 에미터 및 컬렉터 영역을 형성하기 위한 창을 형성하는 제6공정과, 질화막을 기판의 전면에 침적시킨 후, 활성영역이 형성될 부분인 창(5)의 측벽에 형성된 질화막만이 남아 있도록 상기 질화막을 비등방성 플라즈마 에칭법으로 이등방성식각하는 제7공정과, 선택적 에피택시공정을 이용하여 N형의 에피택셀층을 상기 창(5)의 내부에 1차로 성장시키는 제8공정과, 산화막을 성장시키고, 창(5)의 측벽에 형성된 질화막중에서 산화막상부의 질화막만을 제거하는 제9공정과, 컬렉터 영역을 형성하기 위한 이온 주입창을 형성한 후, 인이온을 이온 주입하는 제10공정과, 상기 이온 주입공정후, 산화막(8)을 제거하고 선택적 에피택시 공정을 이용하여 에피택셀층을 2차로 성장시키는 제11공정과, 상기 에피택셀층상에 저압 CVD방법으로 산화막을 침적시킨 후, 비등방성 플라즈마 에칭법으로 산화막을 이등방성 식각하여 산화막 측벽을 형성하는 제12공정과, 다결정실리콘막을 침적시킨 후, 보론이온을 이온 주입한 후 활성화시키고, 다시 비소이온을 이온 주입한 후 활성화시키는 제13공정과, 상기 다결정실리콘을 식각하여 에미터전극 및 컬렉터전극을 형성하는 제14공정과, 산화막을 침적시키고, 에미터, 베이스 및 컬렉터 전극을 형성하기 위한 콘택을 형성한 후 금속으로 에미터 전극, 베이스 전극 및 컬렉터 전극을 형성하는 제15공정을 포함하여 이루어지는 것을 특징으로 한다.

이하, 본 발명의 실시예를 첨부된 도면에 의거하여 설명한다.

첨부 도면은 본 발명의 선택적 에피택시를 이용한 자기 정합된 바이폴라 트랜지스터의 제조공정도를 나타낸 것이다.

부호 1은 비저항이 10 내지  $30\Omega\text{-cm}$ 이고, 결정면이  $\langle 100 \rangle$ 인 P형 실리콘기판을 나타낸 것이다.

도면(a)를 참조하면, 상기 실리콘 기판(1)상에 통상의 열산화방식으로 400Å 내지 700Å의 산화막(2)과 통상의 저압 CVD증착법으로 1000Å 내지 1500Å의 질화막(3)을 순차적으로 침적시킨다.

그위에, 감광액(4)을 도포하고 통상의 사진공정을 수행하고, 상기 감광액(4)을 마스크로 하여 질화막(3)과 산화막(2)을 드라이 에칭하여 NPN트랜지스터의 N+매몰층을 형성하기 위한 창(5)을 형성한다.

창(5)을 형성한 다음, 창(5)을 통하여 N+형 매몰층을 형성하기 위한 비소(As)이온을 80KeV 내지 100KeV의 에너지로  $3\sim 5 \times 10^{15} \text{ ions/cm}^2$ 의 양으로 이온 주입한다.

도면(b)를 참조하면, 상기 이온주입공정후, 감광액(4)을 제거하고, 통상의 열산화방식으로 7000Å 내지 9000Å의 두께로 산화막(6)을 성장시키는데, 이와 동시에 비소(As)이온이 실리콘 기판(1)으로 깊숙히 침투 확산되어 NPN트랜지스터의 N+매몰층(7)이 형성된다.

도면(c)를 참조하면, N+매몰층(7)을 형성한 후, 150℃ 내지 180℃의 H3PO4용액으로 상기 질화막(3)을 제거하고, P형의 채널영역을 형성하기 위한 보론(B)을 40KeV 내지 80KeV의 에너지로  $5\sim 10 \times 10^{13} \text{ ions/cm}^2$ 의 양을 기판(1)의 전면에 걸쳐 이온주입한다. 기판(1)상에 이온을 주입한 후 1000℃의 N2분위기로 어닐링(Annealing)하여 P형의 채널영역(8)을 형성한다.

상기 P형의 채널영역(8)을 형성한 후, 상기 기판(1)상에 형성된 산화막(2),(6)을 통상의 식각공정을 통하여 모두 제거한 후, 도면(d)와 같이 0.7μm 내지 1.0μm의 두께로 저압 CVD방법을 통하여 산화막(9)을 침적시킨다.

도면(e)를 참조하면, 저압 CVD방법으로 불순물이 도우핑되지 않은 다결정실리콘막(10)을 상기 산화막(9)상의 전면에 걸쳐 4000Å 내지 5000Å 두께로 침적시키고, 보론(B)을 20KeV 내지 40KeV에서 2~5

$\times 10^{15}$  ions/cm<sup>2</sup>의 량으로 상기 다결정실리콘막(10)으로 이온주입한다.

보론(B)을 이온주입한 후, 900℃ 내지 950℃에서 어닐링하여 보론이온을 활성화시킨다. 그 후, 통상의 사진 식각공정을 통하여 NPN트랜지스터의 베이스전극이 형성될 부분의 다결정 실리콘막(10)만을 제외한 그이외 부분을 식각하여 제거한다.

도면(f)는 NPN트랜지스터의 활성영역을 형성하기 위한 공정을 나타낸 것으로서, 상기 기판의 전면에 걸쳐 저압 CVD방법으로 산화막(11)을 형성시키고, 감광액(12)을 도포한 후 사진식각공정을 수행하여 에미터 및 콜렉터가 형성될 부위의 감광액(12)을 식각한다.

그 다음, 비등방성 플라즈마 에칭법(Reactive Ion Etching)으로 상기 산화막(11), 다결정 실리콘막(10) 및 산화막(9)을 순차적으로 식각하여 도면(g)와 같이 에미터 및 콜렉터 영역을 형성하기 위한 창(13), (14)을 형성한다.

도면(h)를 참조하면, 850℃ 내지 900℃에서 열산화방법으로 200Å 내지 300Å 두께의 산화막(15)을 성장시킨 후, 도면(i)와 같이 저압 화학침적법(LPCVD)을 이용하여 질화막(16)을 기판의 전면에 걸쳐 800Å 내지 1200Å의 두께로 침적시킨다.

도면(j)를 참조하면, 상기 질화막(16)을 비등방성 플라즈마 이온 에칭법으로 이등방성 식각하여 활성영역이 형성될 부분인 창(13), (14)의 측벽에 형성된 질화막(16)만을 남겨둔다.

이때, 상기 질화막(16)을 식각하는 공정에서, 창(13), (14)내부의 N+매몰층(7)상에 형성되어 있던 산화막(15)도 동시에 식각되어 N+매몰층(7)의 액티브영역에는 산화막(15)이 존재하지 않고, 다결정 실리콘막(10)의 측면에 형성된 산화막(15)만이 남아 있게 된다.

그 다음, 선택적 에피택시공정을 이용하여 비저항이 0.3 내지 0.5 Ω-cm인 N형의 에피택셜층(17)을 상기 창(13), (14)의 내부에 1차로 성장시키는데, 이때 에피택셜층(17)이 형성되는 두께는 성장된 에피택셜층이 베이스전극인 다결정 실리콘막(10)과 접촉되지 않는 두께로 성장시킨다. 도면(k)에 나타난 바와 같이, 상기 에피택셜층(17)은 상기 산화막(9)의 두께정도로 형성되게 된다.

도면(l)을 참조하면, 선택적 에피택시공정에 의해 에피택셜층(17)을 형성한 후, 열산화방법으로 850℃ 내지 900℃에서 200Å 내지 300Å 정도의 산화막(18)을 성장시키고, 150℃ 내지 180℃에서 H<sub>3</sub>PO<sub>4</sub> 용액을 이용하여 창(13), (14)의 측벽에 형성된 질화막(17)중에서 산화막(18)상부의 질화막(16)만을 제거한다.

그 다음, 상기 기판(1)의 전면에 걸쳐 감광액(19)을 도포한 후, 사진공정을 수행하여 콜렉터가 형성될 부위의 감광액(19)을 제거하여 도면(l)과 같이 콜렉터 영역을 형성하기 위한 이온주입창(20)을 형성한다.

도면(m)을 참조하면, 상기 이온주입창(20)을 통하여 인(Phosphorus)이온을 80KeV 내지 100KeV에서  $2-4 \times 10^{15}$  ions/cm<sup>2</sup> 정도로 이온 주입하고, 상기 감광액(19)을 제거한 후 900℃ 내지 1000℃에서 어닐링하여 상기 인이온을 활성화 및 침투시킨다. 상기 이온주입공정후, 통상의 습식 식각 방식으로 상기 산화막(18)을 식각하고 다시 선택적 에피택시 공정을 이용하여 베이스전극인 다결정실리콘막(10)까지 2차로 에피택셜층(21)을 성장시킨다.

도면(n)을 참조하면, 에피택셜층(21)상에 저압화학침적법으로 4000Å 내지 7000Å 두께의 산화막을 침적시킨 후, 비등방성 플라즈마 에칭법으로 산화막을 이등방성 식각하여 산화막 측벽(side wall)(22)을 형성한다.

그 다음, 도면(o)를 참조하면 기판의 전면에 걸쳐 다결정실리콘막(23)을 2000Å 내지 3000Å 두께로 침적시키고, 100KeV 내지 160KeV에서  $1-5 \times 10^{13}$  ions./cm<sup>2</sup> 정도로 보론(B)이온을 주입한다. 상기의 이온주입 공정후 급속열적 어닐링(RTA, Rapid Thermal Annealing)공정을 이용하여 1000℃ 내지 1100℃에서 30내지 60초 정도로 어닐링하여 보론이온을 활성화 및 침투시킨다. 그 다음, 100KeV 내지 140KeV에서  $9-15 \times 10^{15}$  ions/cm<sup>2</sup> 정도로 비소(As)이온을 이온주입하고, 어닐링하여 비소이온을 활성화시킨다.

그 다음, 사진공정을 수행하여 상기 다결정실리콘막(23)을 식각하여 에미터전극(23')을 콜렉터전극(23'')을 형성한다.

이때, 상기 어닐링공정에서 베이스전극인 다결정실리콘막(10)에 이온주입되어 있던 보론이온이 측면 확산(lateral diffusion)되어 P+(extrinsic)베이스영역(24')을 형성하고, 에미터전극인 다결정실리콘막(23')을 통해 이온주입된 P-진성(intrinsic)베이스영역(24'')이 형성되어 진성 베이스영역(24'')과 P+베이스영역(24')이 링크(link)되어 형성된다.

또한, 이온주입된 인이온은 N+형 에미터 영역(25)을 형성하게 되며, 콜렉터 영역이 형성될 부위에 이온주입된 인이온은 상하로 확산되어 N형 콜렉터 영역(26)을 형성하게 된다.

도면(p)를 참조하면, 기판(1)의 전면에 걸쳐 저압화학침적법으로 산화막(28)을 3000Å 내지 5000Å 두께로 침적시킨 후, 통상의 사진공정을 하여 에미터, 베이스 및 콜렉터 전극을 형성하기 위한 콘택을 형성하고, 금속을 침적하고 식각하여 에미터 전극(28'), 베이스 전극(28'') 및 콜렉터 전극(28''')을 형성한 후 400℃ 내지 450℃에서 열로이하여 본 발명의 바이폴라 트랜지스터를 제조한다.

상기한 본 발명에 의하면, 선택적 산화(LOCOS)공정을 사용하지 않고, 저압 산화막과 선택적 에피택시공정을 이용하여 도우핑 프로파일의 변화나 액티브영역의 감소없이 고속도 및 고집적 바이폴라 트랜지스터를 제조할 수 있으며, 또한, P+베이스영역(extrinsic base)의 면적을 최소화하여 소자의 고속 특성을 향상시킬 수 있는 이점이 있다.

## (57) 청구의 범위

### 청구항 1

실리콘기판(1)상에 산화막(2)과 질화막(3)을 순차적으로 침적시킨 후 NPN트랜지스터의 N+매몰층을 형성하기 위한 창(5)을 형성하고, 인이온을 이온주입하는 제1공정과, 열산화방식으로 산화막(6)을 성장시키고 동시에 비소(As)이온을 실리콘기판(1)으로 깊숙히 침투 확산시켜 NPN트랜지스터의 N+매몰층(7)을 형성하는 제2공정과, 질화막(2)을 제거한 후 보론이온을 주입하고 N2분위기로 어닐링하여 P형의 채널영역(8)을 형성하는 제3공정과, 산화막(2), (6)을 식각한 후, 저압(CVD)산화막(9)을 침적시키는 제4공정과, 불순물이 도우핑되지 않은 다결정실리콘막(10)을 상기 산화막(9)상의 전면에 걸쳐 침적시키고, 보론(B)을 이온주입한 후, NPN트랜지스터의 베이스전극이 형성될 부분의 다결정실리콘막(10)만을 제외한 그이외 부분을 식각하는 제5공정과, 산화막(11)을 형성시키고, 비등방성 플라즈마 에칭법으로 상기 산화막(11), 다결정실리콘막(10) 및 산화막(9)을 순차적으로 식각하여 에미터 및 컬렉터 영역을 형성하기 위한 창(13), (14)을 형성하는데 제6공정과, 질화막(16)을 기판의 전면에 침적시킨 후, 활성영역이 형성될 부분인 창(13), (14)의 측벽에 형성된 질화막(16)만이 남아 있도록 상기 질화막을 비등방성 플라즈마 에칭법으로 이등방성식각하는 제7공정과, 선택적 에피택시 공정을 이용하여 N형의 에피택셜층(17)을 상기 창(13), (14)의 내부에 1차로 성장시키는 제8공정과, 산화막(18)을 성장시키고, 창(13), (14)의 측벽에 형성된 질화막(16)중에서 산화막(18)상부의 질화막(17)만을 제거하는 제9공정과, 컬렉터 영역을 형성하기 위한 이온 주입창(20)을 형성한 후, 인이온을 이온 주입하는 제10공정과, 상기 이온주입공정후, 산화막(18)을 제거하고, 선택적 에피택시 공정을 이용하여 에피택셜층(21)을 2차로 성장시키는 제11공정과, 상기 에피택셜층(21)상에 저압화학 침적법으로 산화막을 침적시킨 후, 비등방성 플라즈마 에칭법으로 산화막을 이등방성 식각하여 산화막 측벽(22)을 형성하는 제12공정과, 다결정실리콘막(23)을 침적시킨 후, 보론(B)이온을 이온 주입한후 활성화시키고, 다시 비소(As)이온을 이온 주입한 후 활성화시키는 제13공정과, 상기 다결정실리콘막(23)을 식각하여 에미터전극(23') 및 컬렉터전극(23'')을 형성하는 제14공정과, 산화막(27)을 침적시키고, 에미터, 베이스 및 컬렉터 전극을 형성하기 위한 콘택을 형성한 후 금속으로 에미터 전극(28'), 베이스 전극(28'') 및 컬렉터 전극(28''')을 형성하는 제15공정을 포함하여 이루어지는 것을 특징으로 하는 선택적 에피택시를 이용한 자기정합된 바이폴라 트랜지스터의 제조방법.

### 청구항 2

제1항에 있어서, 액티브 영역 및 분리영역이 선택적 에피택셜층(17) 및 산화막(9), (11)에 의하여 분리되어지는 것을 특징으로 하는 선택적 에피택시를 이용한 자기정합된 바이폴라 트랜지스터의 제조방법.

### 청구항 3

제1항에 있어서, 제8공정 및 11공정에서 상기1차 선택적 에피택셜층(17)이 베이스전극인 다결정실리콘막(10)과 접촉되지 않도록 상기 산화막(9)과 같은 두께로 형성되고, 2차 선택적 에피택셜층(21)이 다결정실리콘막(10)의 높이까지 형성되는 것을 특징으로 하는 선택적 에피택시를 이용한 바이폴라 트랜지스터의 제조방법.

### 청구항 4

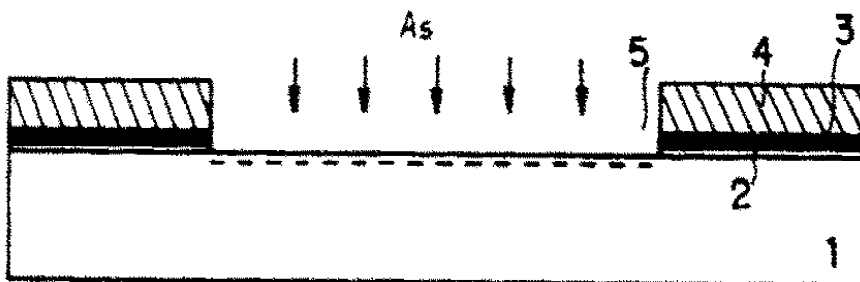
제1항에 있어서, 제13공정에서 보론이온 주입공정후, 금속 열적 어닐링 공정을 수행하여 보론이온을 침투시키고 활성화시키는 것을 특징으로 하는 선택적 에피택시를 이용한 자기정합된 바이폴라 트랜지스터의 제조방법.

### 청구항 5

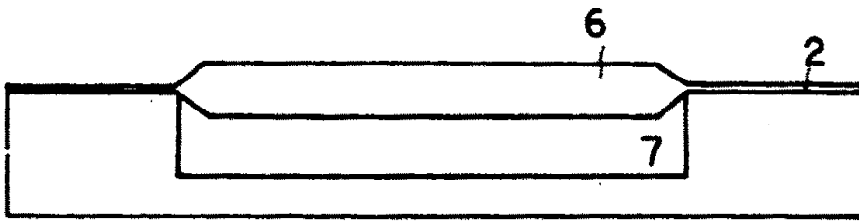
제1항에 있어서, 제14공정에서 P+베이스영역(24')이 베이스 전극인 다결정실리콘막(10)에 이온주입된 보론이온이 측면 확산되어 진성베이스 영역(24'')과 링크되어 형성되어지는 것을 특징으로 하는 선택적에피택시를 이용한 자기정합된 바이폴라 트랜지스터의 제조방법.

## 도면

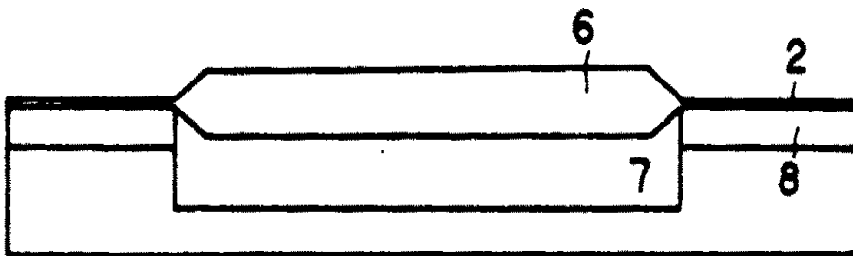
도면1-A



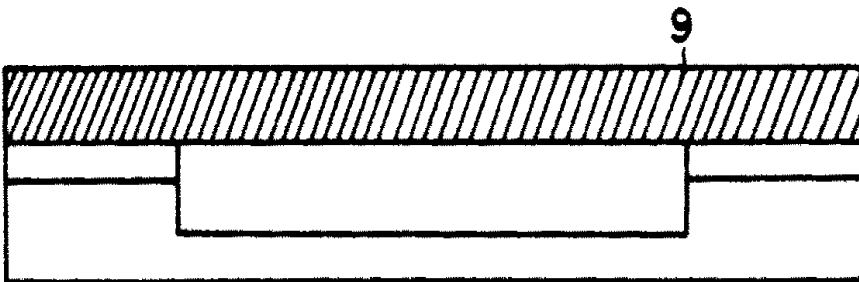
도면1-B



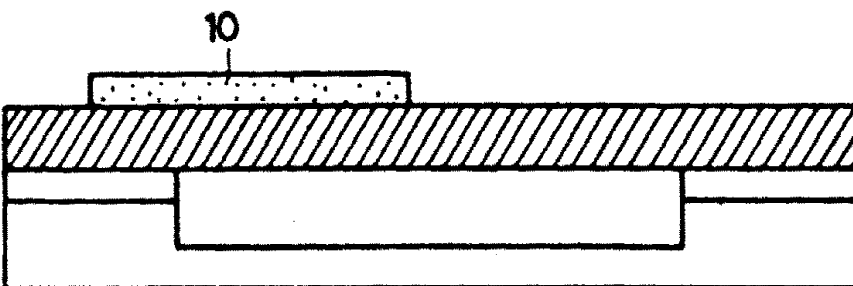
도면1-C



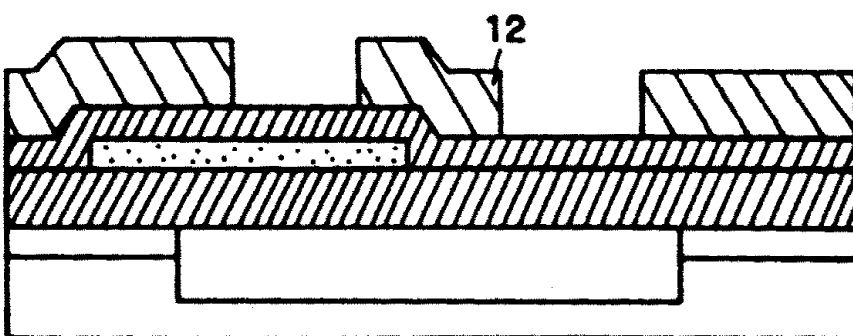
도면1-D



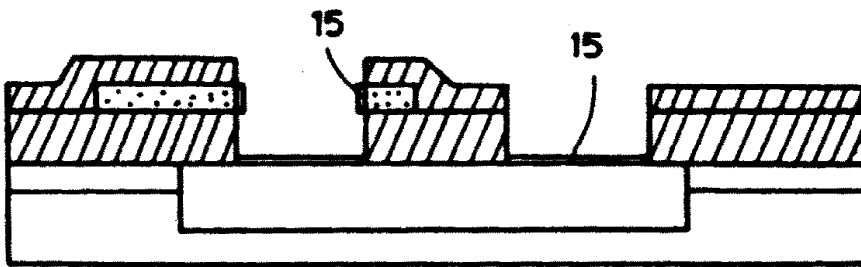
도면1-E



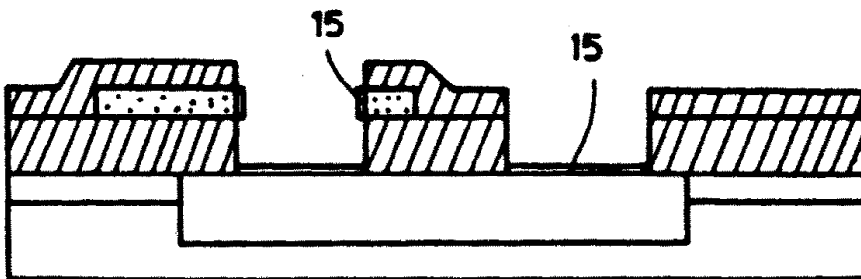
도면1-F



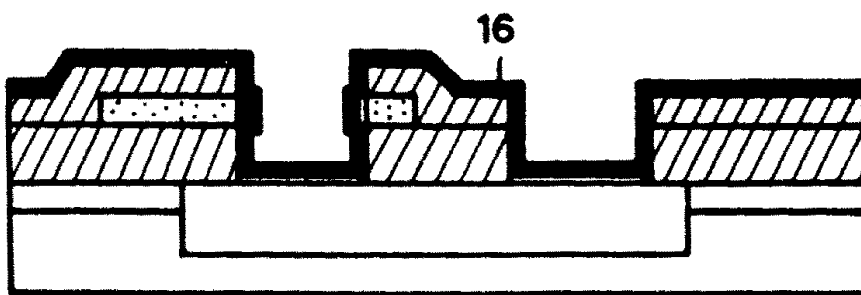
도면1-G



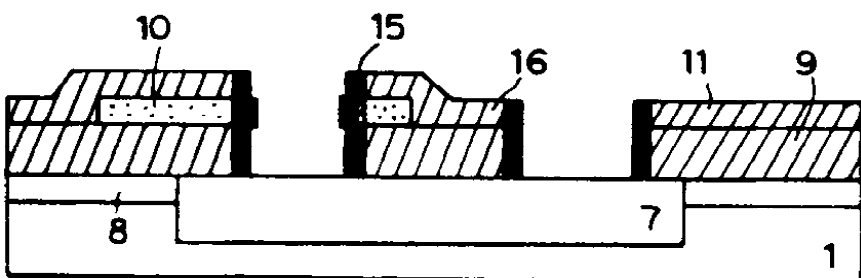
도면1-H



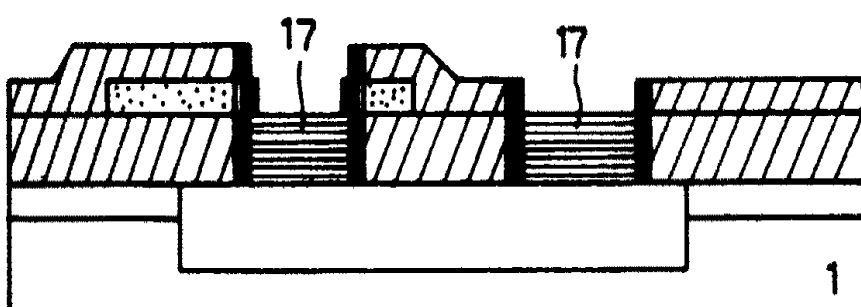
도면1-I



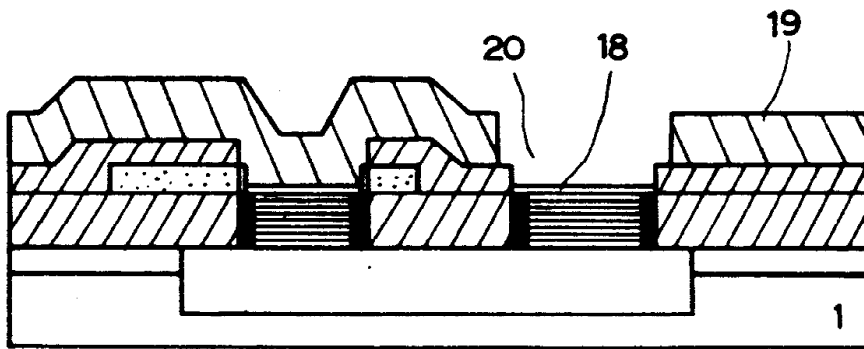
도면1-J



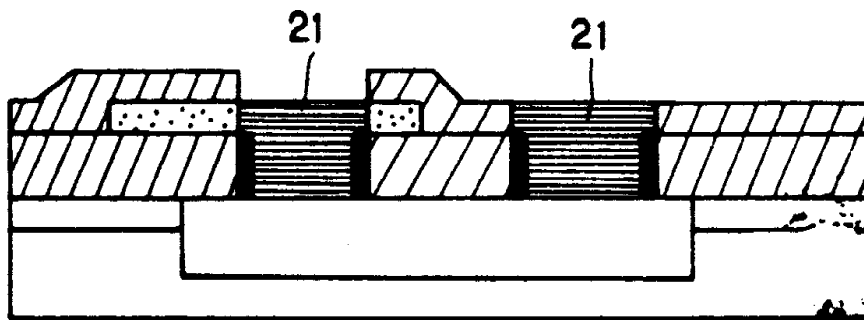
도면1-K



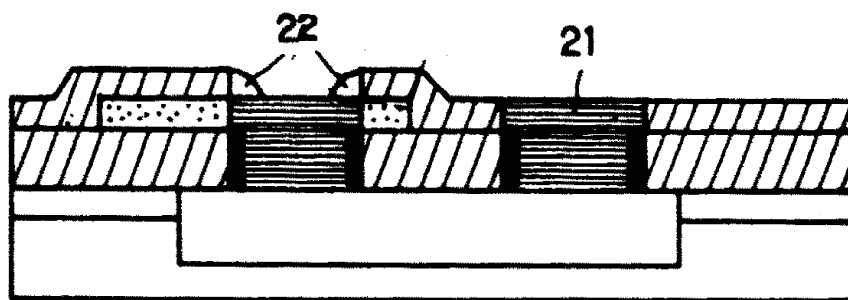
도면1-L



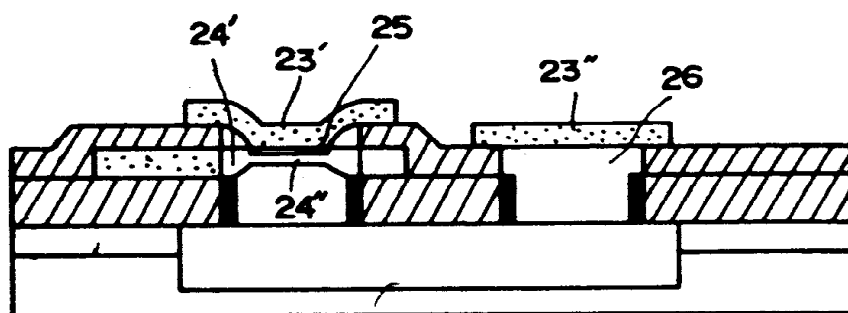
도면1-M



도면1-N



도면1-O



도면1-P

