

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

59920

Patent dodatkowy
do patentu _____

Zgłoszono: 01.VI.1968 (P 127 309)

Pierwszeństwo: _____

Opublikowano: 30.V.1970

Kl. 21 a¹, 36/04

MKP H 03 k 5104

BIBLIOTEKA

UKD

Urząd Patentowy
Warszawa

Twórca wynalazku: mgr inż. Janusz Książek

Właściciel patentu: Wrocławskie Zakłady Elektroniczne „Elwro”, Wrocław (Polska)

Układ RC z tranzystorem, do opóźniania czoła impulsu

1

Przedmiotem wynalazku jest układ RC z tranzystorem, do opóźniania czoła impulsu, przeznaczony do stosowania we wszelkich układach elektronicznych, w których wymagane jest opóźnienie czoła impulsu napięcia wyjściowego w stosunku do napięcia wejściowego, oraz jako układ pośredni przy generacji ciągów impulsów rozłożonych w czasie.

Układ według wynalazku przeznaczony jest szczególnie do układów pamięciowych elektronicznych maszyn cyfrowych.

Znane układy do opóźniania czoła impulsu są zbudowane z opóźniających linii LC z układami formującymi np. tranzystorowymi. Do znanych układów opóźniania czoła impulsu należą także układy wykorzystujące generatory samodławne lub multiwibratory monostabilne z układami całkującymi RC.

Wadą układów opóźniających zbudowanych z linii opóźniających LC jest konieczność stosowania w przypadku opóźnień rzędu 1 μ s, znacznie długich linii, co uniemożliwia miniaturyzację układu, wymaga ponadto tranzystorowego układu formującego.

W przypadku układów opóźniających bazujących na generatorze samodławnym zachodzi konieczność stosowania transformatora opóźniającego, układu RC i układów iloczynowych, co znacznie komplikuje układ.

Układy opóźniające wykorzystujące multiwibrato-

2

ry monostabilne wymagają zastosowania dwóch tranzystorów oraz układu opóźniającego RC.

Celem wynalazku jest umożliwienie realizacji opóźnienia czoła impulsu przy użyciu minimalnej ilości elementów, przy wykorzystaniu tylko jednego elementu czynnego. Zadaniem wynalazku jest opracowanie układu realizującego postawiony cel.

Cel ten został osiągnięty przez zbudowanie układu, który posiada kondensator umieszczony w obwodzie emiter-baza tranzystora przy czym baza tranzystora jest polaryzowana ze źródła ujemnego napięcia poprzez szeregowo połączony opornik, a próg polaryzacji bazy jest określony dzielnikiem oporowym zasilanym ujemnym napięciem.

Regulacja czasu opóźnienia jest realizowana przez zmianę oporności opornika włączonego między bazę tranzystora a ujemnym napięciem polaryzującym lub przez zmianę pojemności kondensatora, bądź też przez zmianę polaryzacji emitera.

Układ według wynalazku zawiera tylko jeden tranzystor, jest znacznie prostszy konstrukcyjnie od wszystkich znanych układów, pozwala na znaczną miniaturyzację, wykazuje się wysokim stopniem niezawodności. Układ według wynalazku wykazuje niezależność czasu opóźnienia od znacznych nawet wahań napięcia zasilającego.

Wynalazek zostanie bliżej przedstawiony na przykładzie wykonania podanym na załączonym rysunku na którym fig. 1 przedstawia układ elektryczny według wynalazku, fig. 2 drugi przykład wykona-

nia układu, a fig. 3 przedstawia zależności czasowe w poszczególnych węzłach układu.

Układ według wynalazku zawiera tranzystor 1 którego emiter jest połączony z bazą przez kondensator 2. Polaryzacja emitera tranzystora 1 jest uzyskiwana przez opornik 3 ze źródła napięcia ujemnego U. Wejście U_{we} układu stanowi separująca dioda 4 połączona szeregowo z emiterem. Baza tranzystora 1 jest polaryzowana ujemnym napięciem przez oporniki 5. Baza tranzystora 1 jest ponadto połączona przez diodę 6 z dzielnikiem napięciowym 7 zasilanym z ujemnego napięcia -U przez co uzyskuje się próg polaryzacji. Opornik 5 lub kondensator 2 mogą być regulowane.

Drugi przykład wykonania układu według wynalazku posiada kondensator 2 i opornik 5 stałe, a opornik 3 przez który jest podawane napięcie polaryzacji emitera jest połączony z potencjometrem 8. Napięcie wyjściowe U_{wy} zbierane jest z kolektora tranzystora 1.

Działanie układu będącego przedmiotem wynalazku przebiega następująco. Gdy wejście układu nie jest sterowane impulsem wejściowym U_{we} kondensator 2 naładowany jest do potencjału będącego różnicą wartości bezwzględnych napięć U' i U_o. Potencjał bazy U_b tranzystora 1 jest równy potencjałowi -U_o, a emiter jest na potencjale -U'. Tranzystor 1 jest zatkany, kolektor jest na potencjale źródła napięcia ujemnego -U. W chwili wystereowania wejścia układu impulsem wejściowym U_{we} emiter tranzystora 1 posiada potencjał około zera, baza zaś potencjał dodatni będący różnicą wartości bezwzględnych napięć U' i U_o, uzyskany z kondensatora 2.

Tranzystor 1 będzie zatkany do chwili, gdy kondensator 2 rozładowuje się przez opornik 5 do potencjału około zera V. W tym momencie następuje odetkanie tranzystora 1 i napięcie w kolektorze uzyskuje poziom równy różnicy napięcia wejściowego i bezwzględnej wartości sumy napięć na diodzie 4 oraz napięcia kolektor - emiter. Czoło impulsu wyjściowego jest opóźnione o czas τ w stosunku do czoła impulsu wejściowego.

Gdy impuls wejściowy U_{we} kończy się, potencjał bazy tranzystora 1 jest utrzymany na poziomie napięcia U_o określonego, przez niskoomowy dzielnik

7. Na emiterze tranzystora 1 napięcie spada do -U', tranzystor zostaje zatkany, kolektor wraca do napięcia -U.

Pomijając spadki napięć na diodzie specjalnej 4 i diodzie 6 w obwodzie kolektor - baza oraz na złączu baza - emiter tranzystora 1 czas opóźnienia T układu można wyrazić ogólnie jako iloczyn oporności opornika 5 przez pojemność kondensatora 2 i logarytm naturalny odwrotności różnicy liczby 2 i stosunku napięć U_o i U.

$$T = \text{opornik } 5 \times \text{kondensator } 2 \times \ln \frac{1}{2 - \frac{U_o}{U}}$$

gdzie U_o oznacza napięcie na napięciowym dzielniku 7

a U wielkość napięcia zasilającego

zaś dla układu z fig. 2:

$$T = \text{opornik } 5 \times \text{kondensator } 2 \times \ln \frac{1}{\frac{U_1}{U} - \frac{U_o}{U} + 1}$$

gdzie U₁ jest napięciem na suwaku potencjometru 8.

Ponieważ napięcia U_o i U₁ wytworzone są przez dzielniki oporowe z napięcia -U, opóźnienie układu nie zależy od zmian napięcia ujemnego źródła -U zasilającego układ.

Zastrzeżenia patentowe

1. Układ RC z tranzystorem do opóźniania czoła impulsu, w którym sterowanie odbywa się poprzez diodę separującą włączoną w obwodzie emitera **znamienny tym**, że w obwodzie emiter - baza tranzystora (1) jest włączony kondensator (2) przy czym baza tranzystora (1) jest spolaryzowana ze źródła ujemnego napięcia (-U) przez szeregowo połączone oporniki (5), podczas gdy próg polaryzacji bazy jest określony dzielnikiem oporowym (7) zasilanym ze źródła ujemnego napięcia.

2. Układ według zastrz. 1 **znamienny tym**, że emiter tranzystora (1) jest połączony ze źródłem ujemnego napięcia (-U) przez potencjometr (8).

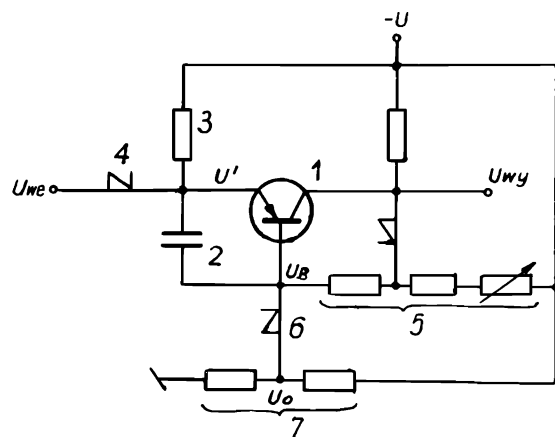


Fig. 1.

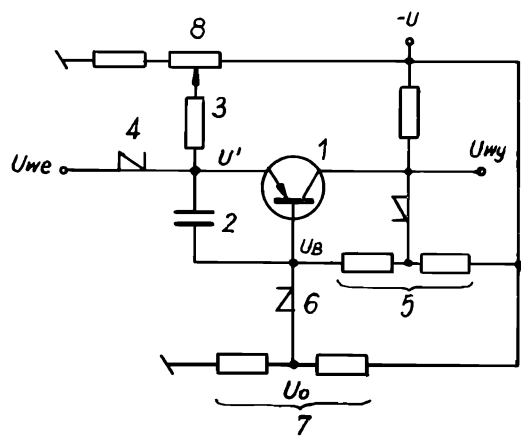


Fig. 2.

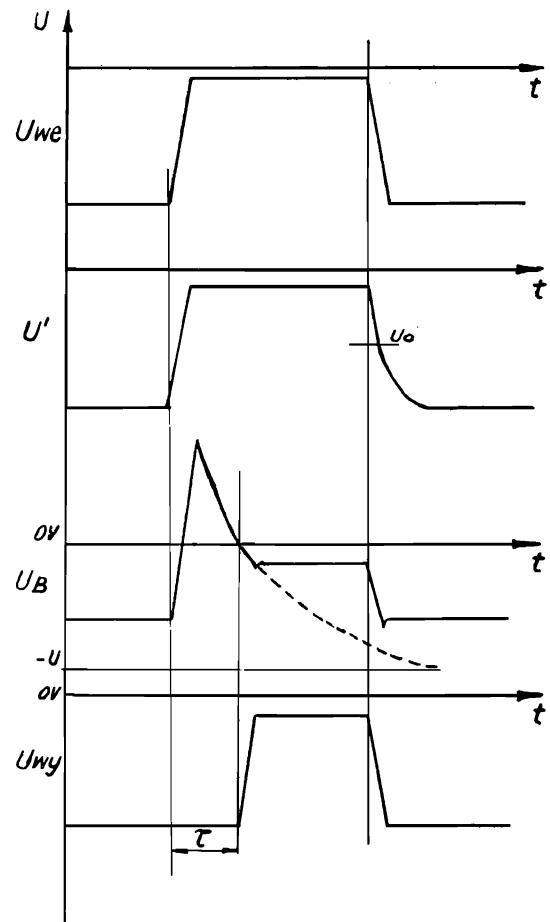


Fig. 3.