

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月18日(18.08.2016)



(10) 国際公開番号
WO 2016/129149 A1

- (51) 国際特許分類:
H03K 3/037 (2006.01)
- (21) 国際出願番号: PCT/JP2015/079743
- (22) 国際出願日: 2015年10月21日(21.10.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-023440 2015年2月9日(09.02.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 飯島 正統(IIJIMA, Masanori); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 新富 雄二(SHINTOMI, Yuji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 松村 哲(MATSUMURA, Satoshi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 稲葉 良幸, 外(INABA, Yoshiyuki et al.); 〒1066123 東京都港区六本木6-10-1 六

本木ヒルズ森タワー23階 TMI総合法律事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: REGISTER CIRCUIT

(54) 発明の名称: レジスタ回路

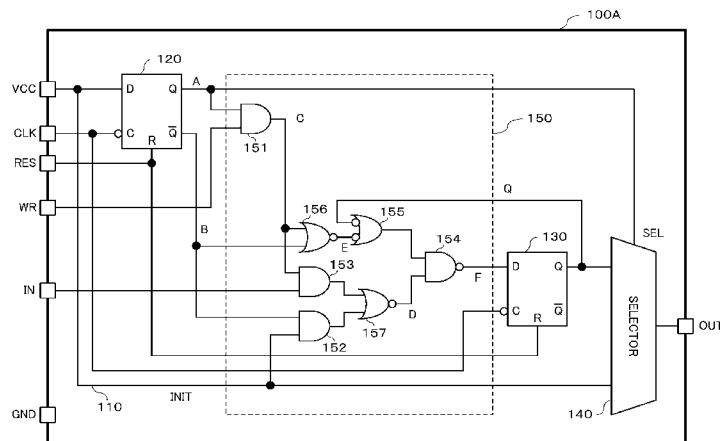


図1

(57) Abstract: Provided is a register circuit the initial value of which is changeable without using a flip-flop having both a set terminal and a reset terminal. The register circuit is provided with: a first flip-flop that changes a first signal from a first value to a second value in response to input of a clock signal; an output control circuit that, when the first signal has the first value, outputs, as a second signal, the initial value of an output signal supplied from an initial value line, and when the first signal has the second value, outputs, as the second signal, an input signal in response to a write signal indicating writing of the input signal; a second flip-flop that latches and outputs the second signal on the basis of the clock signal; and a selector that, when the first signal has the first value, outputs, as the output signal, the initial value, and when the first signal has the second value, outputs, as the output signal, the second signal supplied from the second flip-flop.

(57) 要約:

[続葉有]

WO 2016/129149 A1



セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値を変更可能なレジスタ回路を提供する。レジスタ回路は、クロック信号の入力に応じて、第1の信号を第1の値から第2の値に変化させる第1のフリップフロップと、前記第1の信号が前記第1の値の場合に、初期値配線から供給される出力信号の初期値を第2の信号として出力し、前記第1の信号が前記第2の値の場合に、入力信号の書き込みを指示するライト信号に応じて前記入力信号を前記第2の信号として出力する出力制御回路と、前記クロック信号に基づいて前記第2の信号をラッチして出力する第2のフリップフロップと、前記第1の信号が前記第1の値の場合に、前記初期値を前記出力信号として出力し、前記第1の信号が前記第2の値の場合に、前記第2のフリップフロップから供給される前記第2の信号を前記出力信号として出力するセレクタと、を備える。

明 細 書

発明の名称：レジスタ回路

技術分野

[0001] 本発明は、レジスタ回路に関する。

背景技術

[0002] 入力信号を記憶するレジスタ回路は、様々な電子機器において用いられている。例えば、M I P I (Mobile Industry Processor Interface) 等のデータ転送インタフェースにおいて、転送データを保持するためにレジスタ回路が用いられる（例えば、特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特表2013-520081号公報

発明の概要

発明が解決しようとする課題

[0004] レジスタ回路の初期値は、レジスタ回路が用いられる電子機器の仕様に依って決定される。従って、例えば、1ビットのレジスタ回路の初期値は、0である場合もあるし、1である場合もある。このように、初期値を0または1に設定することが可能なレジスタ回路は、例えば、セット端子及びリセット端子を有するフリップフロップを用いて構成することができる。しかしながら、レジスタ回路を設計する際のスタンダードセルライブラリには、セット端子及びリセット端子の両方を有するフリップフロップが用意されていない場合もある。

[0005] 本発明はこのような事情に鑑みてなされたものであり、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値を変更可能なレジスタ回路を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一側面に係るレジスタ回路は、入力信号が入力され、出力信号を

出力するレジスタ回路であって、前記出力信号の初期値を供給するための初期値配線と、前記入力信号が入力される入力端子と、前記入力信号の書き込みを指示するライト信号が入力されるライト信号端子と、クロック信号が入力されるクロック信号端子と、前記クロック信号の入力に応じて、第1の信号を第1の値から第2の値に変化させる第1のフリップフロップと、前記第1の信号が前記第1の値の場合に、前記初期値を第2の信号として出力し、前記第1の信号が前記第2の値の場合に、前記ライト信号に応じて前記入力信号を前記第2の信号として出力する出力制御回路と、前記クロック信号に基づいて前記第2の信号をラッチして出力する第2のフリップフロップと、前記第1の信号が前記第1の値の場合に、前記初期値配線から供給される前記初期値を前記出力信号として出力し、前記第1の信号が前記第2の値の場合に、前記第2のフリップフロップから供給される前記第2の信号を前記出力信号として出力するセレクトと、を備える。

発明の効果

[0007] 本発明によれば、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値を変更可能なレジスタ回路を提供することができる。

図面の簡単な説明

[0008] [図1]本発明の一実施形態であるレジスタ回路100Aの構成を示す図である。

[図2]レジスタ回路100Aの動作の一例を示すタイミングチャートである。

[図3]本発明の他の実施形態であるレジスタ回路100Bの構成を示す図である。

[図4]レジスタ回路100Bの動作の一例を示すタイミングチャートである。

[図5]本発明の他の実施形態であるレジスタ回路100Cの構成を示す図である。

[図6]レジスタ回路100Cの動作の一例を示すタイミングチャートである。

[図7]本発明の他の実施形態であるレジスタ回路100Dの構成を示す図であ

る。

[図8]レジスタ回路100Dの動作の一例を示すタイミングチャートである。

発明を実施するための形態

[0009] 以下、図面を参照して本発明の一実施形態について説明する。図1は、本発明の一実施形態であるレジスタ回路100Aの構成を示す図である。レジスタ回路100Aは、1ビットのデータ（0または1）を記憶する回路である。複数のレジスタ回路100Aを用いて、複数ビットのレジスタ回路を構成することも可能である。レジスタ回路100Aは、例えば、MIP1等のデータ転送インタフェースにおいて、転送データを保持するために用いることができる。なお、レジスタ回路100Aの用途はこれに限られない。

[0010] 図1に示すように、レジスタ回路100Aは、端子VCC、CLK、RES、WR、IN、GND、OUTを備える。また、レジスタ回路100Aは、初期値配線110、Dフリップフロップ（以下、単に「フリップフロップ」という。）120、130、セクタ140、及び出力制御回路150を備える。

[0011] 端子VCC（電源端子）には、レジスタ回路100Aを駆動するための電源電圧が供給される。端子CLKには、レジスタ回路100Aの動作に用いられるクロック信号が入力される。端子RESには、フリップフロップ120、130をリセットするためのリセット信号が入力される。端子WRには、レジスタ回路100Aへのデータの書き込みを指示するライト信号が入力される。端子INには、レジスタ回路100Aに書き込むための入力信号（0または1）が入力される。端子GND（接地端子）には、接地電位が供給される。端子OUTからは、レジスタ回路100Aに記憶されている値を有する出力信号が出力される。なお、図1では、端子と各要素との接続関係が簡略的に示されている。例えば、端子VCCは、電源電圧を供給するために各要素と接続されるが、図1においては省略されている。また、例えば、端子GNDは、接地電位を供給するために各要素と接続されるが、図1においては省略されている。

- [0012] 初期値配線 110 には、レジスタ回路 100A の初期値 INIT が供給される。レジスタ回路 100A では、初期値配線 110 は、端子 VCC に接続されている。即ち、レジスタ回路 100A では、初期値 INIT が 1 に設定されている。
- [0013] フリップフロップ 120（第 1 のフリップフロップ）は、データ入力端子 D、クロック端子 C、データ出力端子 Q、反転データ出力端子 /Q、及びリセット端子 R を備える。フリップフロップ 120 では、リセット信号が 1（ハイレベル）となることにより、データ出力端子 Q の出力が 0、反転データ出力端子 /Q の出力が 1 にリセットされる。また、フリップフロップ 120 では、データ入力端子 D に電源電圧（値 1）が入力され、クロック端子 C にクロック信号が反転入力される。従って、クロック信号の立ち下がりタイミングで、値 1 がラッチされ、データ出力端子 Q の出力が 1 に変化し、反転データ出力端子 /Q の出力（第 1 の信号）が 0 に変化する。
- [0014] フリップフロップ 130（第 2 のフリップフロップ）は、データ入力端子 D、クロック端子 C、データ出力端子 Q、データ反転出力端子 /Q、及びリセット端子 R を備える。フリップフロップ 130 では、リセット信号が 1（ハイレベル）となることにより、データ出力端子 Q の出力が 0、反転データ出力端子 /Q の出力が 1 にリセットされる。また、フリップフロップ 130 では、データ入力端子 D に、出力制御回路 150 から出力される信号 F（第 2 の信号）が入力され、クロック端子 C にクロック信号が反転入力される。従って、クロック信号の立ち下がりタイミングで、信号 F の値がラッチされ、データ出力端子 Q の出力が信号 F の値に変化する。
- [0015] セクタ 140 は、選択信号 SEL に基づいて、初期値 INIT またはフリップフロップ 130 のデータ出力端子 Q の出力を、出力信号として出力する。レジスタ回路 100A では、フリップフロップ 120 のデータ出力端子 Q の出力が、選択信号 SEL としてセクタ 140 に入力されている。そして、セクタ 140 は、フリップフロップ 120 のデータ出力端子 Q の出力が 0（リセットされた値）の場合は、初期値 INIT を出力信号として出力

し、フリップフロップ120のデータ出力端子Qの出力が1の場合は、フリップフロップ130のデータ出力端子Qの出力を出力信号として出力する。即ち、セクタ140は、フリップフロップ120の反転データ出力端子／Qの出力（第1の信号）の変化の前は、初期値INITを出力信号として出力し、フリップフロップ120の反転データ出力端子／Qの出力（第1の信号）の変化の後には、フリップフロップ130のデータ出力端子Qの出力を出力信号として出力する。

[0016] 出力制御回路150は、初期値INITまたは端子INからの入力信号を信号F（第2の信号）として出力する論理回路である。具体的には、出力制御回路150は、フリップフロップ120の反転データ出力端子／Qの出力（第1の信号）の変化の前は、初期値INITを信号F（第2の信号）として出力し、フリップフロップ120の反転データ出力端子／Qの出力（第1の信号）の変化の後には、ライト信号に応じて、入力信号を信号F（第2の信号）として出力する。

[0017] 図1に示すように、出力制御回路150は、例えば、AND回路151～153、NAND回路154、OR回路155、及びNOR回路156、157を用いて構成することができる。

[0018] AND回路151には、フリップフロップ120のデータ出力端子Qの出力（信号A）と、ライト信号とが入力されている。従って、AND回路151は、信号A及びライト信号の論理積を示す信号Cを出力する。

[0019] AND回路152には、初期値INITと、フリップフロップ120の反転データ出力／Qの出力（信号B）とが入力されている。従って、AND回路152は、初期値INIT及び信号Bの論理積を示す信号を出力する。

[0020] AND回路153には、AND回路151からの信号Cと、端子INからの入力信号とが入力されている。従って、AND回路153は、信号C及び入力信号の論理積を示す信号を出力する。

[0021] NOR回路156には、AND回路151からの信号Cと、フリップフロップ120の反転データ出力／Qの出力（信号B）とが入力されている。従

って、NOR回路156は、信号C及び信号Bの否定論理和を示す信号を出力する。

[0022] OR回路155には、フリップフロップ130のデータ出力端子Qの出力（信号Q）と、NOR回路156の出力とが反転入力されている。従って、OR回路155は、信号Qの反転信号と、NOR回路156の出力の反転信号との論理和を示す信号を出力する。

[0023] NOR回路157には、AND回路152，153の出力が入力されている。従って、NOR回路157は、AND回路152，153の出力の否定論理和を示す信号Dを出力する。

[0024] NAND回路154には、OR回路155の出力と、NOR回路157の出力とが入力されている。従って、NAND回路154は、OR回路155の出力と、NOR回路157（信号D）の出力との否定論理積を示す信号Fを出力する。

[0025] なお、図1に示す出力制御回路150の論理回路の構成は一例であり、同様の論理を実現する任意の構成を採用することができる。

[0026] 図2は、レジスタ回路100Aの動作の一例を示すタイミングチャートである。なお、図2に示すタイミングチャートでは、端子INからの入力信号は0（固定値）となっている。

[0027] レジスタ回路100Aの動作が開始すると、初期値配線110に供給される初期値INTは、電源電圧に応じた値1になる。また、フリップフロップ120では、リセット信号により、データ出力端子Qの出力（信号A）が0となり、反転データ出力端子/Qの出力（信号B）が1となっている。従って、セクタ140は、初期値配線110の初期値INT（1）を端子OUTから出力する。

[0028] このとき、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、リセット信号により0となっている。また、出力制御回路150の出力（信号F）は、初期値INTに応じた値1となっている。

[0029] その後、クロック信号が入力されると、1つ目の立ち下がり（時刻T1）

で、フリップフロップ120は、電源電圧に応じた値1をラッチする。これにより、フリップフロップ120では、データ出力端子Qの出力（信号A）が1に変化し、反転データ出力端子/Qの出力（信号B）が0に変化する。

[0030] また、フリップフロップ130は、信号Fの値1をラッチする。これにより、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、初期値配線110から読み込まれた初期値INIT（1）となる。そして、信号Aが1であるため、セクタ140は、信号Q（1）を端子OUTから出力する。

[0031] 時刻T1において、ライト信号は0であるため、AND回路151の出力（信号C）は0のままである。また、信号Bが0に変化したことにより、NOR回路157の出力（信号D）は1に変化し、NOR回路156の出力（信号E）は1に変化する。そして、信号Q及び信号Eが1であるため、信号Fは1（初期値INITの値1）となる。その後、ライト信号が入力されるまでは、この状態が継続される。

[0032] 時刻T2に、端子WRからのライト信号が1になると、AND回路151の出力（信号C）が1に変化する。これにより、NOR回路156の出力（信号E）が0に変化し、NAND回路154の出力（信号F）が0（端子INからの入力信号の値0）に変化する。その後のクロック信号の立ち下がり（時刻T3）で、フリップフロップ130は、信号Fの値0（端子INからの入力信号の値0）をラッチする。これにより、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、端子INからの入力信号の値0となる。そして、セクタ140は、信号Q（0）を端子OUTから出力する。

[0033] 以後同様に、ライト信号に応じて、入力信号の値（0または1）がフリップフロップ130にラッチされ、端子OUTから出力される。

[0034] 以上のように、レジスタ回路100Aでは、初期値配線110に供給される値1を初期値とすることができる。従って、レジスタ回路100Aによれば、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値配線110に供給される値を初期値とするレジスタ回路を

構成することができる。

[0035] 図3は、本発明の他の実施形態であるレジスタ回路100Bの構成を示す図である。なお、図1に示したレジスタ回路100Aと同一の要素には同一の符号を付して説明を省略する。レジスタ回路100Bは、初期値配線110が端子GNDに接続されている点を除き、レジスタ回路100Aと同一である。

[0036] 図4は、レジスタ回路100Bの動作の一例を示すタイミングチャートである。なお、図4に示すタイミングチャートでは、端子INからの入力信号は1（固定値）となっている。以下、レジスタ回路100Aと同様の動作については適宜省略しつつ、レジスタ回路100Bの動作を説明する。

[0037] レジスタ回路100Bでは、初期値配線110が端子GNDに接続されているため、初期値配線110に供給される初期値INITは、接地電位に応じた値0（固定値）である。従って、セクタ140は、初期値配線110の初期値INIT（0）を端子OUTから出力する。このとき、出力制御回路150の出力（信号F）は、初期値INITに応じた値0となっている。

[0038] その後、クロック信号が入力されると、1つ目の立ち下がり（時刻T1）で、フリップフロップ120は、電源電圧に応じた値1をラッチする。これにより、フリップフロップ120では、データ出力端子Qの出力（信号A）が1に変化し、反転データ出力端子/Qの出力（信号B）が0に変化する。

[0039] また、フリップフロップ130は、信号Fの値0をラッチする。これにより、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、初期値配線110から読み込まれた初期値INIT（0）となる。そして、信号Aが1となったことにより、セクタ140は、信号Q（0）を端子OUTから出力する。

[0040] 時刻T2に、端子WRからのライト信号が1になると、NAND回路154の出力（信号F）が1（端子INからの入力信号の値1）に変化する。その後のクロック信号の立ち下がり（時刻T3）で、フリップフロップ130は、信号Fの値1（端子INからの入力信号の値1）をラッチする。これに

より、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、端子INからの入力信号の値1となる。そして、セクタ140は、信号Q（1）を端子OUTから出力する。

[0041] 以後同様に、ライト信号に応じて、入力信号の値（0または1）がフリップフロップ130にラッチされ、端子OUTから出力される。

[0042] 以上のように、レジスタ回路100Bによれば、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値配線110に設定された値0を初期値とするレジスタ回路を構成することができる。

[0043] 図1～図4に示したように、初期値配線110に設定される初期値INTを変更することにより、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値を変更可能なレジスタ回路を提供することができる。

[0044] 図5は、本発明の他の実施形態であるレジスタ回路100Cの構成を示す図である。なお、図1に示したレジスタ回路100Aと同一の要素には同一の符号を付して説明を省略する。レジスタ回路100Cは、レジスタ回路100Aの構成に加えて、フリップフロップ500を備える。

[0045] フリップフロップ500（第3のフリップフロップ）は、データ入力端子D、クロック端子C、データ出力端子Q、データ反転出力端子/Q、及びリセット端子Rを備える。フリップフロップ500では、リセット信号が1（ハイレベル）となることにより、データ出力端子Qの出力が0、反転データ出力端子/Qの出力が1にリセットされる。また、フリップフロップ500では、データ入力端子Dに、フリップフロップ120のデータ出力端子Qの出力（信号A）が入力され、クロック端子Cにクロック信号が反転入力される。従って、クロック信号の立ち下がりのタイミングで、信号A（第3の信号）の値がラッチされ、データ出力端子Qの出力（第4の信号）が信号Aの値に変化する。そして、フリップフロップ500のデータ出力端子Qの出力が、選択信号SELとして、セクタ140に供給される。

[0046] 図6は、レジスタ回路100Cの動作の一例を示すタイミングチャートで

ある。なお、図6に示すタイミングチャートでは、端子INからの入力信号は0（固定値）となっている。以下、レジスタ回路100Aと同様の動作については適宜省略しつつ、レジスタ回路100Cの動作を説明する。

[0047] レジスタ回路100Cの動作が開始され、クロック信号が入力されると、1つ目の立ち下がり（時刻 $T1-1$ ）で、フリップフロップ120は、電源電圧に応じた値1をラッチする。これにより、フリップフロップ120では、データ出力端子Qの出力（信号A）が1に変化し、反転データ出力端子／Qの出力（信号B）が0に変化する。

[0048] また、フリップフロップ130は、信号Fの値1をラッチする。これにより、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、初期値配線110から読み込まれた初期値INIT（1）となる。このとき、フリップフロップ500のデータ出力端子Qの出力（信号SEL）は、リセットされた初期値0である。従って、セクタ140は、初期値配線110の初期値INIT（1）を端子OUTから出力する。

[0049] 続いて、クロック信号の次の立ち下がり（時刻 $T1-2$ ）で、フリップフロップ500は、データ出力端子Qの出力（信号A）の値1をラッチする。これにより、フリップフロップ500のデータ出力端子Qの出力（信号SEL）は1に変化する。従って、セクタ140は、フリップフロップ130のデータ出力端子Qの出力（信号Q）の値1（初期値配線110から読み込まれた値1）を端子OUTから出力する。

[0050] 以後は、レジスタ回路100Aと同様の動作であるため説明を省略する。

[0051] 以上のように、レジスタ回路100Cによれば、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値配線110に設定された値1を初期値とするレジスタ回路を構成することができる。また、レジスタ回路100Cでは、フリップフロップ500が設けられていることにより、フリップフロップ130のラッチのタイミング（ $T1-1$ ）と、セクタ140の切り替えのタイミング（ $T1-2$ ）とをずらすことができる。これにより、セクタ140の切り替え時のノイズを抑制することが

可能となる。

[0052] なお、レジスタ回路100Bと同様に、レジスタ回路100Cの初期値配線110を端子GNDに接続することにより、初期値配線110に設定された値0を初期値とするレジスタ回路を構成することが可能である。

[0053] 図7は、本発明の他の実施形態であるレジスタ回路100Dの構成を示す図である。なお、図1に示したレジスタ回路100Aと同一の要素には同一の符号を付して説明を省略する。レジスタ回路100Dは、フリップフロップ120、130のクロック端子Cにクロック信号が反転されずに入力される点を除き、レジスタ回路100Aと同一である。

[0054] 図8は、レジスタ回路100Dの動作の一例を示すタイミングチャートである。なお、図8に示すタイミングチャートでは、端子INからの入力信号は1（固定値）となっている。以下、レジスタ回路100Aと同様の動作については適宜省略しつつ、レジスタ回路100Dの動作を説明する。

[0055] レジスタ回路100Dの動作が開始され、クロック信号が入力されると、1つ目の立ち上がり（時刻T1）で、フリップフロップ120は、電源電圧に応じた値1をラッチする。これにより、フリップフロップ120では、データ出力端子Qの出力（信号A）が1に変化し、反転データ出力端子/Qの出力（信号B）が0に変化する。

[0056] また、フリップフロップ130は、信号Fの値1をラッチする。これにより、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、初期値配線110から読み込まれた初期値INIT（1）となる。そして、信号Aが1であるため、セクタ140は、信号Q（1）を端子OUTから出力する。

[0057] 時刻T2に、端子WRからのライト信号が1になると、NAND回路154の出力（信号F）が0（端子INからの入力信号の値0）に変化する。その後のクロック信号の立ち上がり（時刻T3）で、フリップフロップ130は、信号Fの値0（端子INからの入力信号の値0）をラッチする。これにより、フリップフロップ130のデータ出力端子Qの出力（信号Q）は、端

子 I N からの入力信号の値 0 となる。そして、セクタ 1 4 0 は、信号 Q (0) を端子 O U T から出力する。

[0058] 以後同様に、ライト信号に応じて、入力信号の値 (0 または 1) がフリップフロップ 1 3 0 にラッチされ、端子 O U T から出力される。

[0059] 以上のように、レジスタ回路 1 0 0 D によれば、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値配線 1 1 0 に設定された値 1 を初期値とするレジスタ回路を構成することができる。

[0060] なお、レジスタ回路 1 0 0 B と同様に、レジスタ回路 1 0 0 D の初期値配線 1 1 0 を端子 G N D に接続することにより、初期値配線 1 1 0 に設定された値 0 を初期値とするレジスタ回路を構成することが可能である。また、レジスタ回路 1 0 0 C についても、レジスタ回路 1 0 0 D と同様に、クロックの立ち上がりでラッチが行われる構成とすることができる。

[0061] 以上、本発明のいくつかの実施形態について説明した。レジスタ回路 1 0 0 A ~ 1 0 0 D によれば、初期値配線 1 1 0 に設定される値を変更することにより、セット端子及びリセット端子の両方を有するフリップフロップを用いることなく、初期値を変更可能なレジスタ回路を提供することができる。

[0062] なお、レジスタ回路 1 0 0 A ~ 1 0 0 D では、リセット端子を有するフリップフロップが用いられているが、セット端子を有するフリップフロップを用いることも可能である。

[0063] また、レジスタ回路 1 0 0 C では、フリップフロップ 5 0 0 (第 3 のフリップフロップ) を備えることにより、フリップフロップ 1 3 0 のラッチのタイミングと、セクタ 1 4 0 の切り替えのタイミングとをずらすことができる。これにより、セクタ 1 4 0 の切り替え時のノイズを抑制することが可能となる。

[0064] また、レジスタ回路 1 0 0 A ~ 1 0 0 D では、初期値配線 1 1 0 の接続先を端子 V C C または端子 G N D にすることにより、初期値配線 1 1 0 に設定される値を変更することができる。これにより、初期値配線 1 1 0 の接続変更によって、レジスタ回路の初期値を変更することができる。なお、初期値

配線 1 1 0 に設定される値が入力される端子が別途設けられてもよい。

[0065] 以上説明した各実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るとともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実施形態が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。また、各実施形態が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

符号の説明

[0066] 1 0 0 A, 1 0 0 B, 1 0 0 C, 1 0 0 D レジスタ回路
1 1 0 初期値配線
1 2 0, 1 3 0, 5 0 0 フリップフロップ
1 4 0 セレクタ
1 5 0 出力制御回路
1 5 1 ~ 1 5 3 A N D 回路
1 5 4 N A N D 回路
1 5 5 O R 回路
1 5 6, 1 5 7 N O R 回路

請求の範囲

[請求項1]

入力信号が入力され、出力信号を出力するレジスタ回路であって、
前記出力信号の初期値を供給するための初期値配線と、
前記入力信号が入力される入力端子と、
前記入力信号の書き込みを指示するライト信号が入力されるライト
信号端子と、
クロック信号が入力されるクロック信号端子と、
前記クロック信号の入力に応じて、第1の信号を第1の値から第2
の値に変化させる第1のフリップフロップと、
前記第1の信号が前記第1の値の場合に、前記初期値を第2の信号
として出力し、前記第1の信号が前記第2の値の場合に、前記ライト
信号に応じて前記入力信号を前記第2の信号として出力する出力制御
回路と、
前記クロック信号に基づいて前記第2の信号をラッチして出力する
第2のフリップフロップと、
前記第1の信号が前記第1の値の場合に、前記初期値配線から供給
される前記初期値を前記出力信号として出力し、前記第1の信号が前
記第2の値の場合に、前記第2のフリップフロップから供給される前
記第2の信号を前記出力信号として出力するセレクトと、
を備えるレジスタ回路。

[請求項2]

請求項1に記載のレジスタ回路であって、
前記クロック信号に基づいて、前記第1の信号に応じた第3の信号
をラッチし、第4の信号の値を変化させる第3のフリップフロップを
さらに備え、
前記セレクトは、前記第4の信号の値の前記変化に応じて、前記出
力信号を、前記初期値配線から供給される前記初期値から、前記第2
のフリップフロップから供給される前記第2の信号に切り替える、
レジスタ回路。

[請求項3] 請求項 1 または 2 に記載のレジスタ回路であって、
 電源電圧が供給される電源端子と、接地される接地端子とをさらに
 備え、
 前記初期値配線が、前記電源端子または前記接地端子に接続された
 、
 レジスタ回路。

[図1]

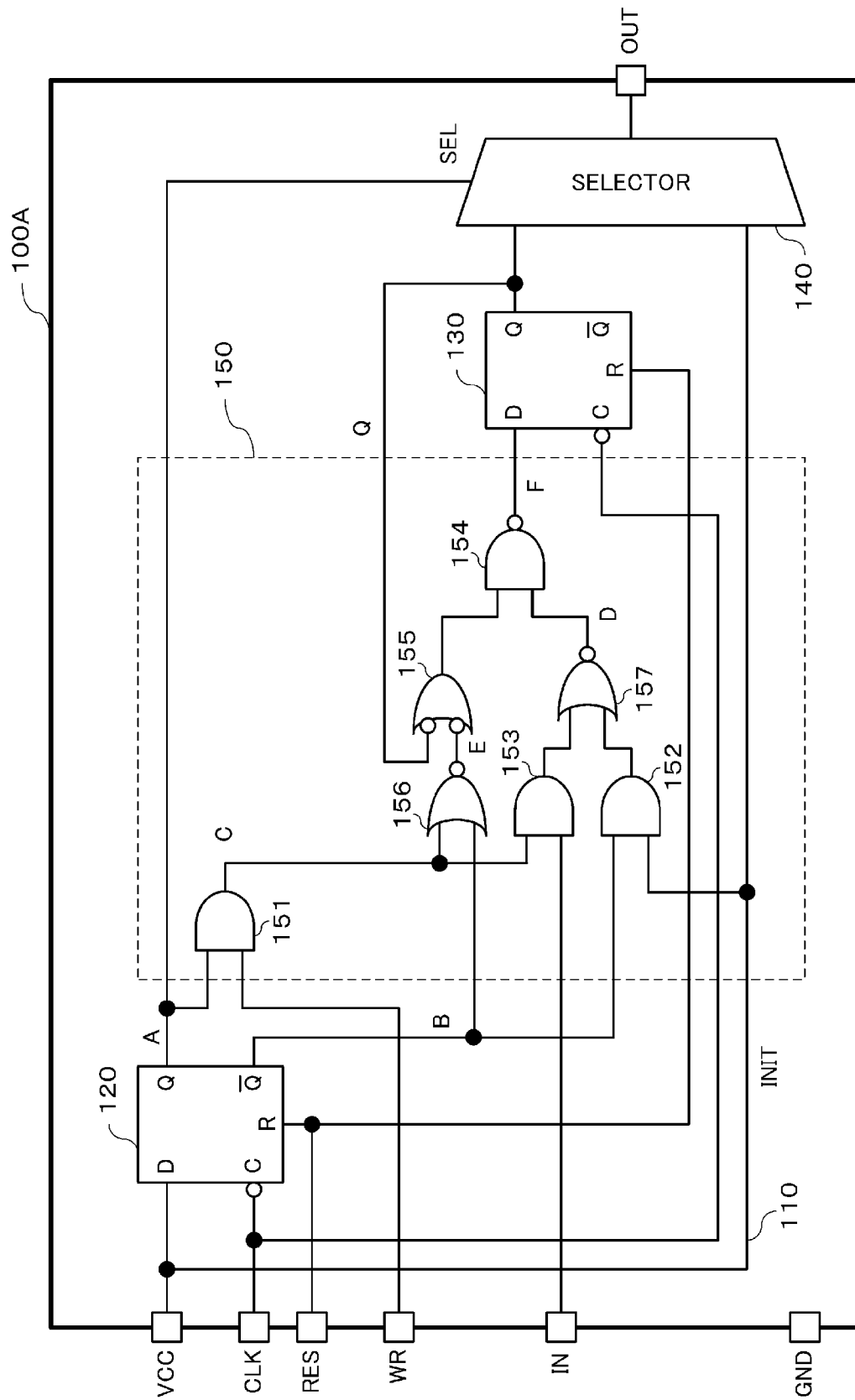


図 1

[図2]

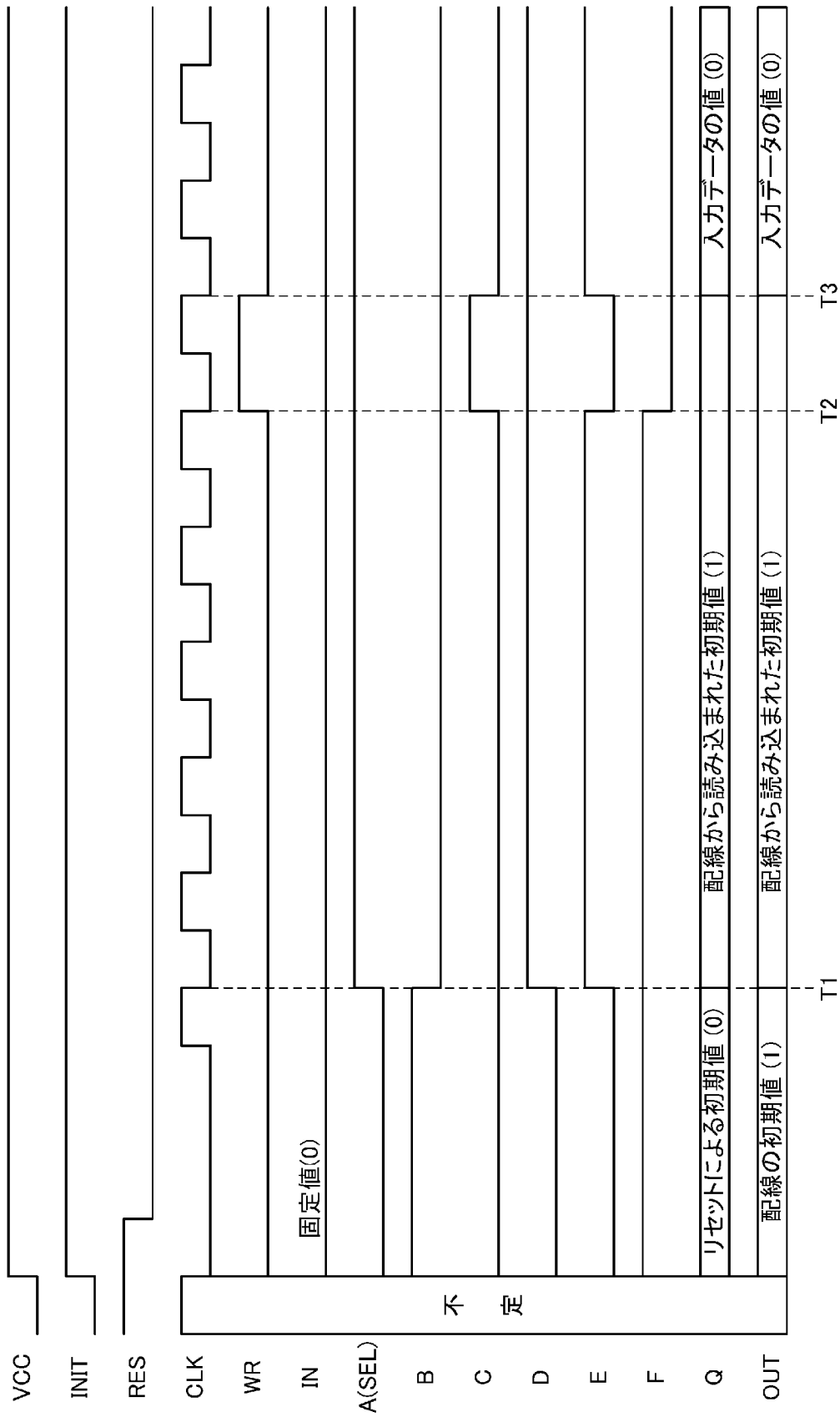


図2

[図3]

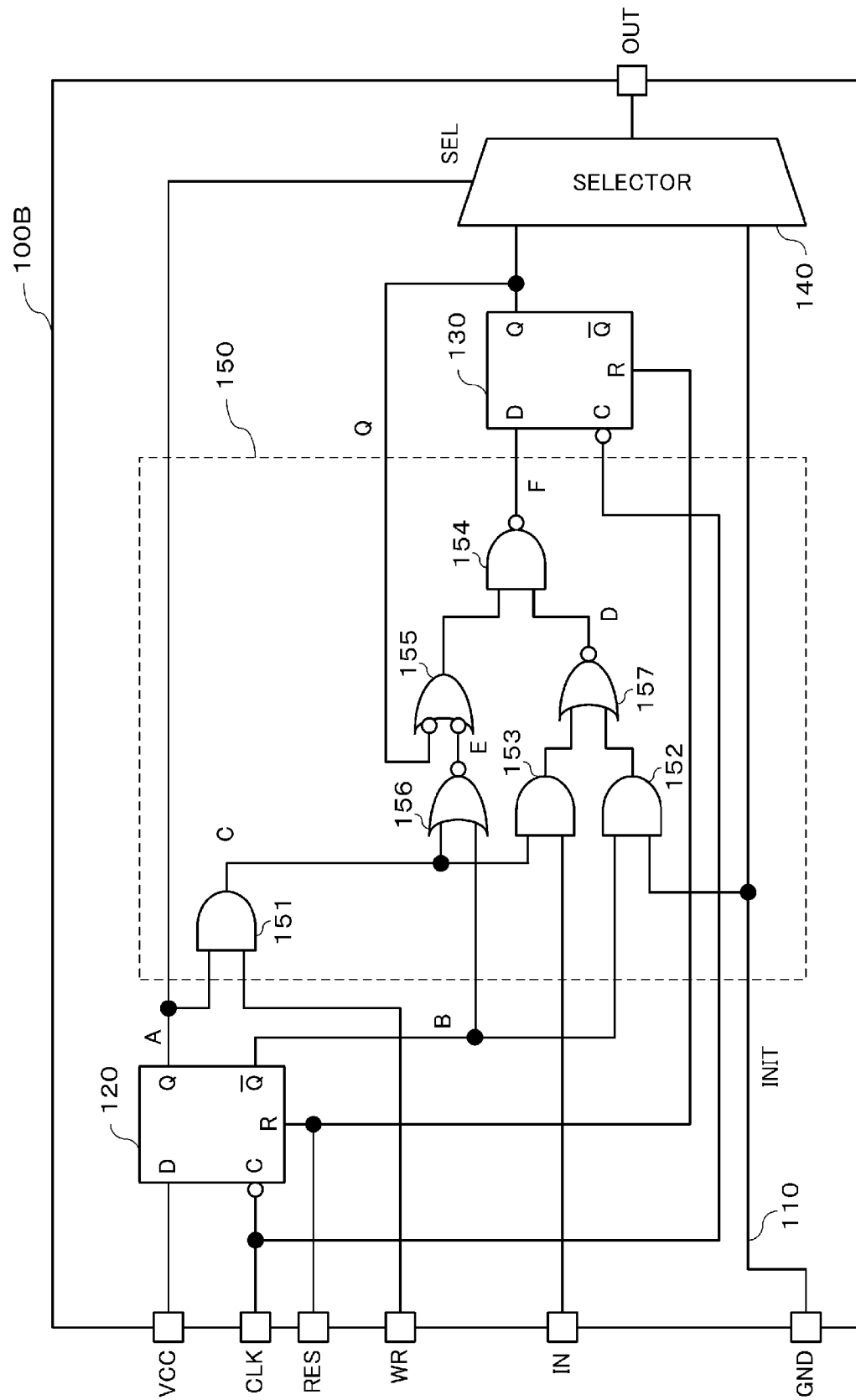


図3

[図4]

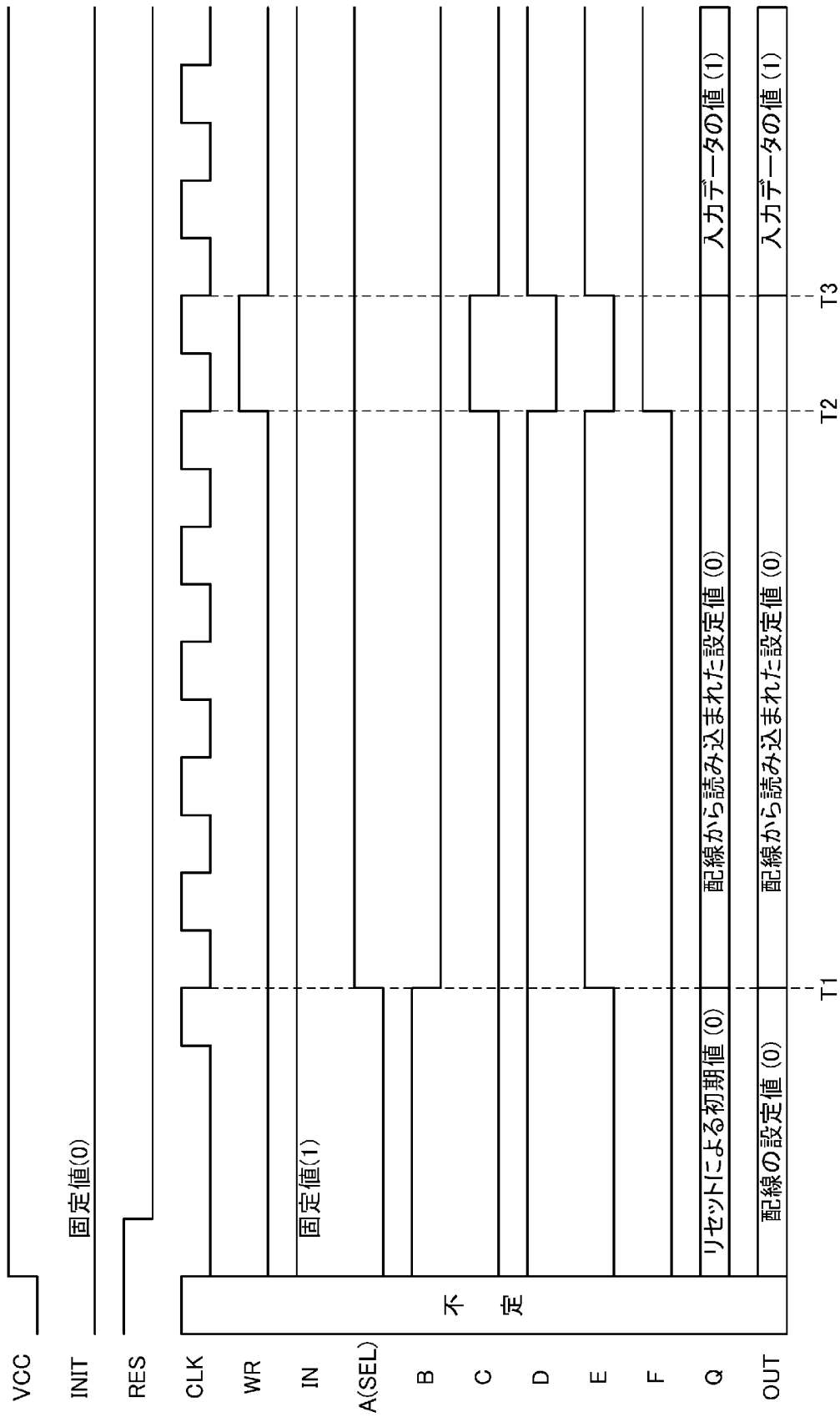


図4

[図5]

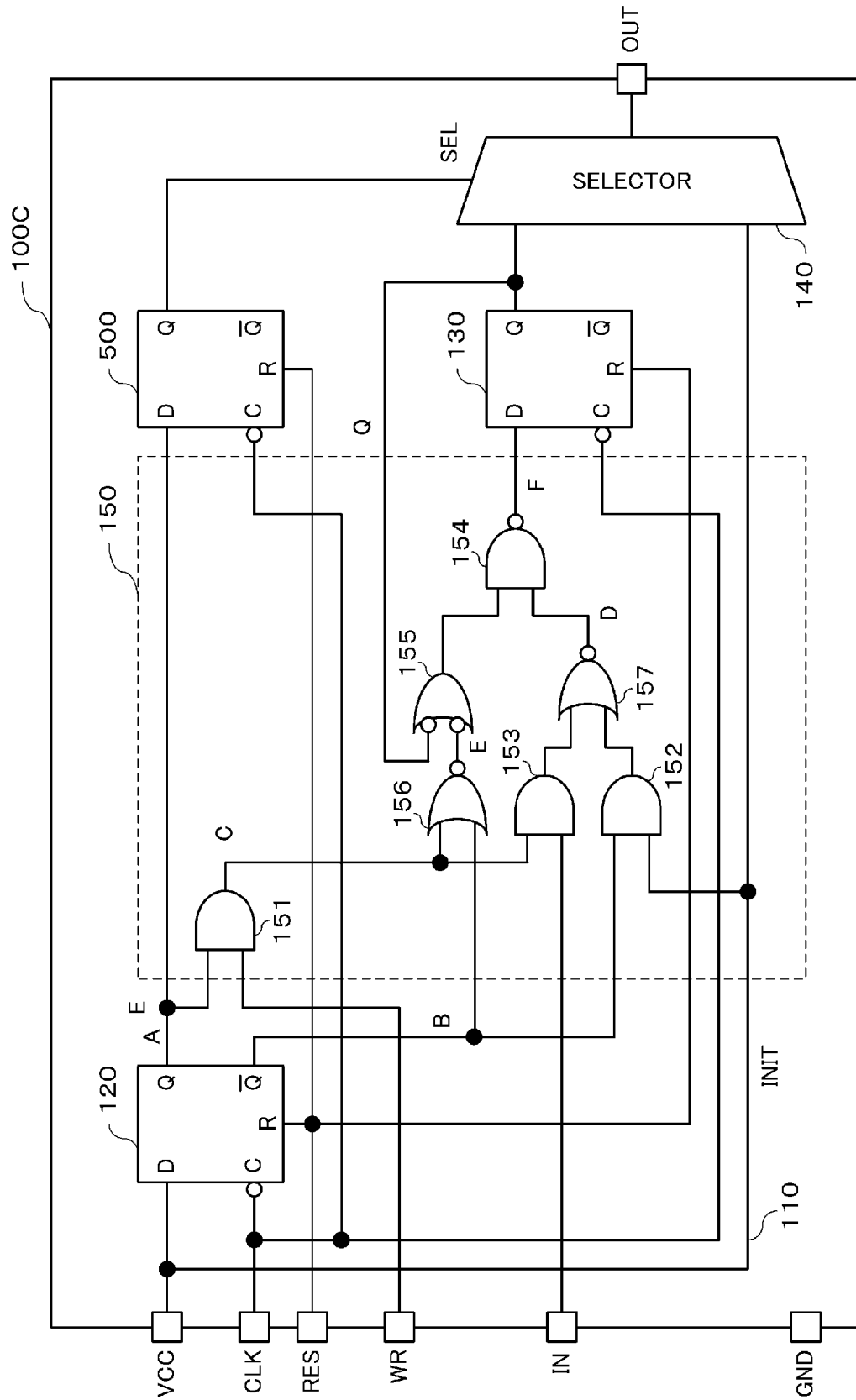


図5

[図6]

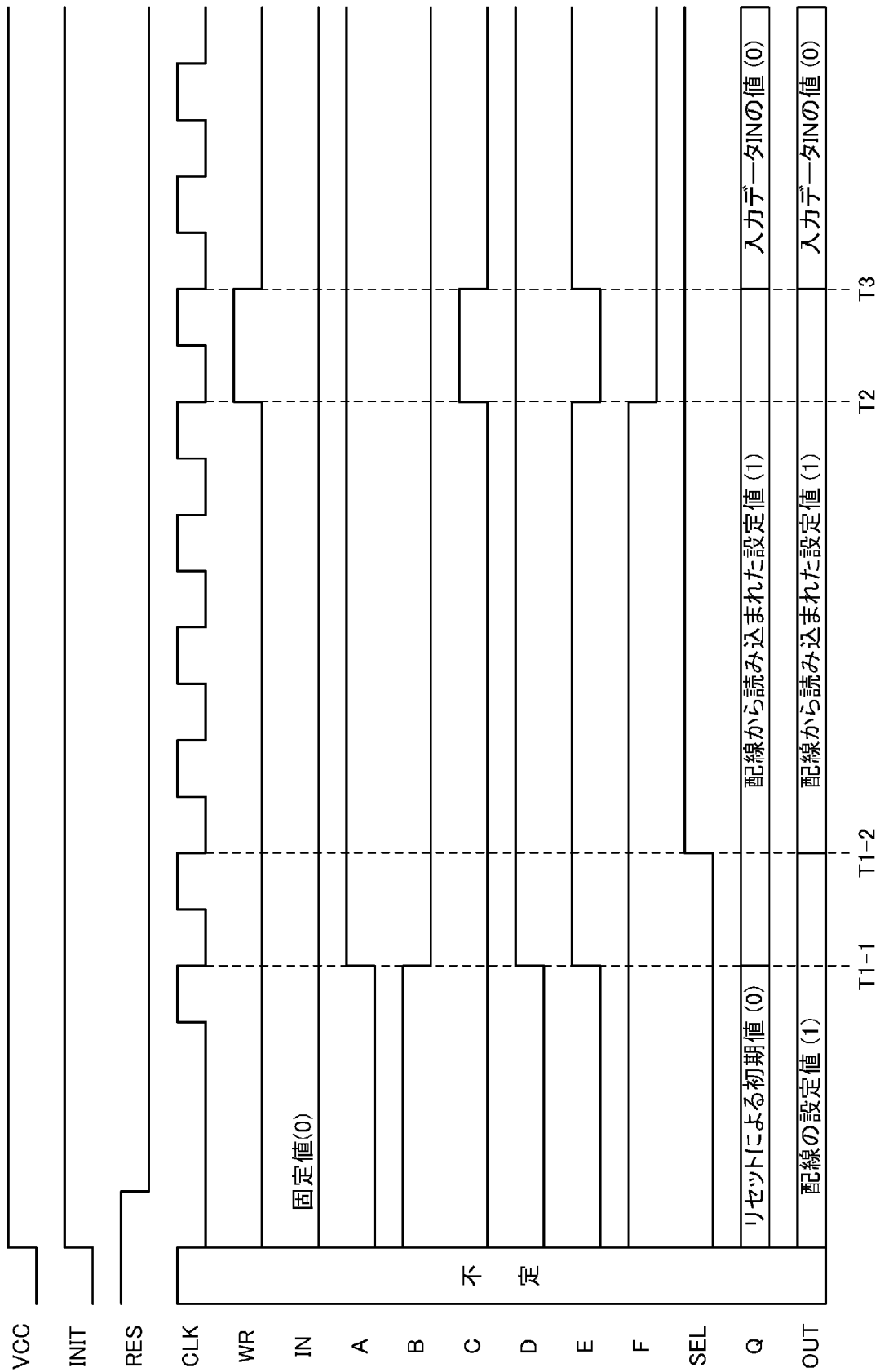


図6

[図7]

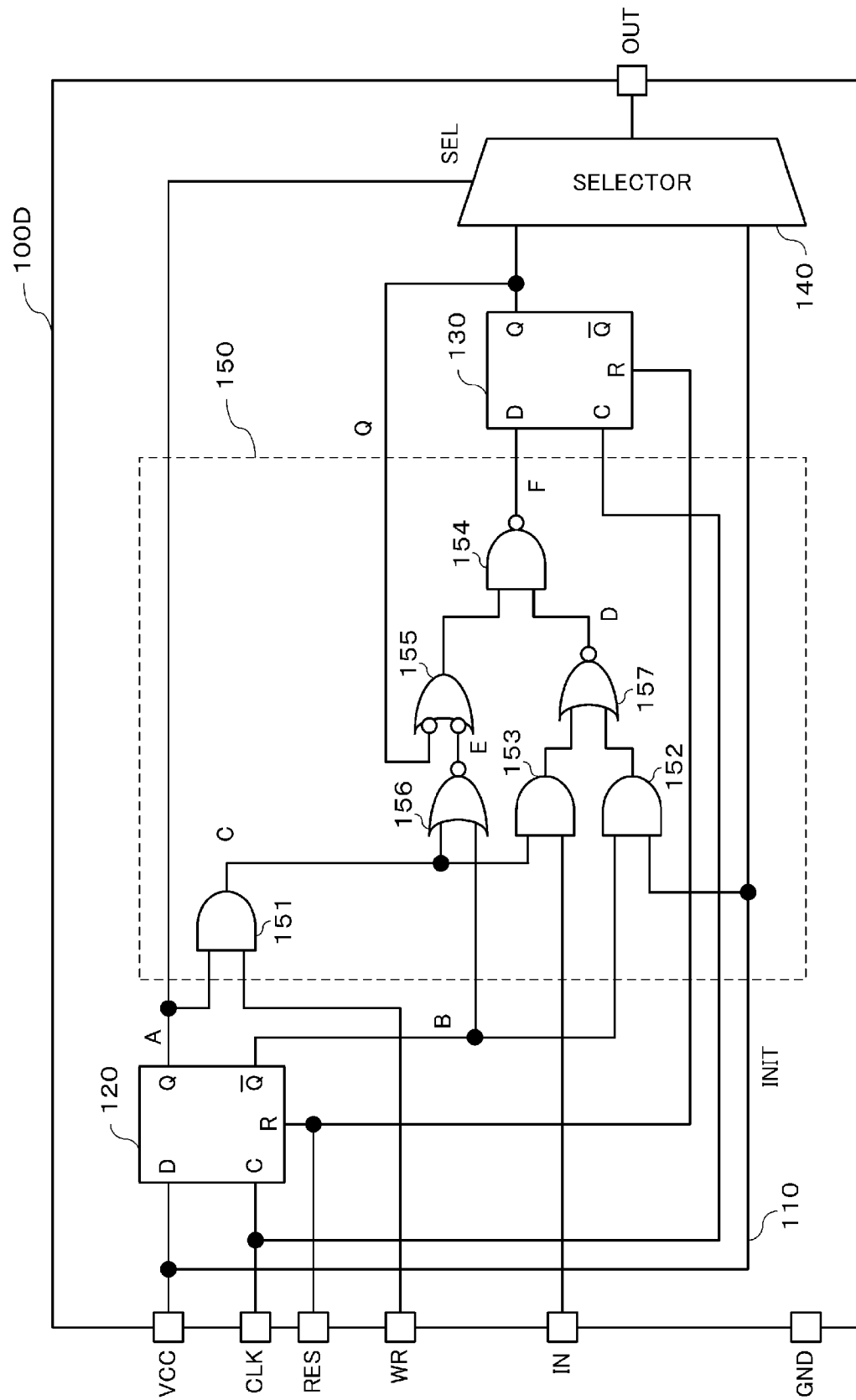
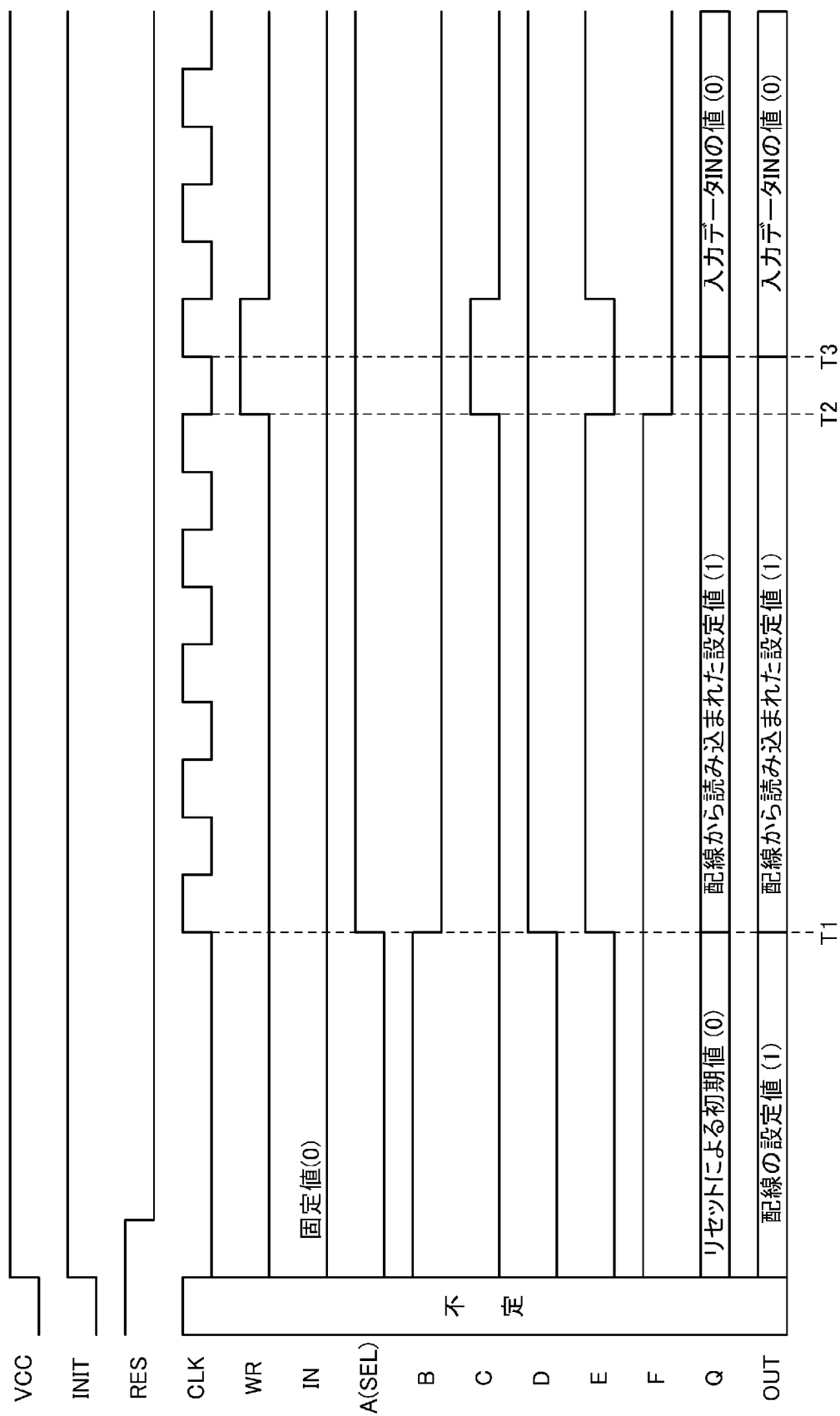


図7

[図8]



8
✕

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/079743

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/037(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/037

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 07-170155 A (Toshiba Corp.), 04 July 1995 (04.07.1995), fig. 1 (Family: none)	1-3
A	JP 2009-027424 A (Yamaha Corp.), 05 February 2009 (05.02.2009), fig. 1, 3 (Family: none)	1-3
A	JP 2013-520081 A (Silicon Image, Inc.), 30 May 2013 (30.05.2013), entire text; all drawings & US 2011/0196997 A1 entire text; all drawings & US 2013/0290581 A1 & WO 2011/100164 A2 & CN 102726032 A & KR 10-2012-0125572 A	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 November 2015 (09.11.15)

Date of mailing of the international search report
17 November 2015 (17.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K3/037(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K3/037

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 07-170155 A（株式会社東芝）1995.07.04, 図1 (ファミリーなし)	1-3
A	JP 2009-027424 A（ヤマハ株式会社）2009.02.05, 図1, 3 (ファミリーなし)	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 1 . 2 0 1 5

国際調査報告の発送日

1 7 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 亮

5 X

3 3 6 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-520081 A (シリコン イメージ, インコーポレイテッド) 2013.05.30, 全文, 全図 & US 2011/0196997 A1, 全文, 全図 & US 2013/0290581 A1 & WO 2011/100164 A2 & CN 102726032 A & KR 10-2012-0125572 A	1-3