



ÚŘAD
PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

202805
(11) (B1)

(51) Int. Cl.³
H 03 K 5/13

(22) Přihlášeno 26 10 78
(21) (PV 6973-78)
(23) Právo přednosti od 13 09 78 Mezinárodní
strojírenský veletrh, Brno.

(40) Zveřejněno 30 05 80

(45) Vydáno 15 03 82

(75)
Autor vynálezu

BARTŮŇEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing. a STRONER
PETR ing., PRAHA

(54) Zapojení pro spuštění sekvence řídicích povelů jednobitovými jednoduchými signály

Vynález se týká zapojení obvodu pro spuštění sekvence řídicích signálů pro řízení vnějšího bloku ovládaného z řídicího bloku. Spuštění řídicí sekvence se provádí jednobitovým signálem z vnějšího bloku. Délka jednotlivých řídicích slov je několik bitů.

Známa zapojení řeší problém spuštění stanovené řídicí sekvence řídicích signálů využitím společné spojové cesty, jak pro přenášení informace o požadavku na spuštění řídicí sekvence, tak i řídicí signály samotné. Tímto způsobem je kapacita spojové cesty mezi řídicím blokem a vnějším blokem značně omezena, neboť je třeba časově oddělit signálová data a data řídicí. V případě, že řídicí blok spolupracuje s více vnějšími zařízeními je situace komplikovanější, neboť známá zapojení využívají společné spojové cesty. Po této cestě se přenášejí data, řídicí signály a ještě signály požadavku na spuštění řídicí sekvence. Uvedená zapojení způsobují podstatné zpomalení přenosů řídicích informací i dalších datových informací. Kapacita společné přenosové cesty se snižuje. Další nevýhodou známých zapojení je nutnost složitého dekódování požadavku na spuštění řídicí sekvence.

Tyto nedostatky odstraňuje zapojení obvodu pro spuštění sekvence řídicích povelů jednobitovými signály podle vynálezu. Sestává z řídicí-

ho bloku, vnějšího bloku, časového generátoru, dvou dekodérů, tří klopných obvodů a registračního bloku. Jeho podstata spočívá v tom, že hromadný vstup řídicího bloku je spojen s hromadným výstupem vnějšího bloku. Hromadný vstup vnějšího bloku je spojen s prvním hromadným vstupem řídicího bloku. Hodinový výstup řídicího bloku je spojen s hodinovým vstupem časového generátoru. První výstup časového generátoru je spojen s prvním hodinovým vstupem vnějšího bloku. Druhý hodinový vstup vnějšího bloku je spojen s hodinovým vstupem druhého klopného obvodu a s druhým výstupem časového generátoru. Třetí hodinový výstup časového generátoru je spojen se strobovacím vstupem prvního dekodéru. Hromadný vstup prvního dekodéru je spojen s druhým hromadným výstupem řídicího bloku. Informační vstup řídicího bloku je spojen s informačním výstupem prvního dekodéru. Podmínkový výstup prvního dekodéru je spojen s prvním vstupem prvního klopného obvodu. Druhý vstup prvního klopného obvodu je spojen s adresovým výstupem prvního dekodéru a s adresovým vstupem vnějšího bloku. První spouštěcí výstup vnějšího bloku je spojen s prvním spouštěcím vstupem druhého klopného obvodu a s prvním spouštěcím vstupem druhého dekodéru. Výstup druhého dekodéru je spojen s adresovacím vstupem registračního bloku. Hro-

hromadný výstup je spojen s adresovým vstupem řídicího bloku. Podmínkový výstup řídicího bloku je spojen s podmínkovým vstupem registračního bloku. Hodinový vstup registračního bloku je spojen se čtvrtým výstupem časového generátoru. Pátý výstup časového generátoru je spojen s hodinovým vstupem třetího klopného obvodu. Výstup třetího klopného obvodu je spojen s podmínkovým vstupem druhého klopného obvodu. Výstup druhého klopného obvodu je spojen se startovacím vstupem řídicího bloku. Synchronizační výstup řídicího bloku je spojen se synchronizačním vstupem druhého klopného obvodu. Druhý spouštěcí vstup druhého klopného obvodu je spojen se druhým spouštěcím vstupem druhého dekodéru a se druhým spouštěcím vstupem vnějšího bloku. Hradlovací vstup vnějšího bloku je spojen s výstupem prvního klopného obvodu. Hradlovací výstup řídicího bloku je spojen s podmínkovým vstupem třetího klopného obvodu.

Zapojení pro spuštění řídicích povelů je zejména vhodné pro svoji jednoduchost. Hlavním kladem je fakt, že ke spuštění libovolně dlouhé řídicí sekvence stačí jednobitová informace. Vzhledem k tomu, že řídicí blok může spolupracovat i s několika vnějšími zařízeními — vnější blok — je zapojení výhodné z hlediska využívání spojových cest mezi řídicím blokem a vnějšími zařízeními. Každé z vnějších zařízení může vyvolat spuštění odpovídající předem zvolené řídicí sekvence signálů uložené v řídicím bloku. Signály o požadavku na spuštění řídicí sekvence je vedena nezávisle na datové přenosové cestě, po níž se pohybují data a řídicí signály. Zapojení svojí jednoduchostí zvyšuje spolehlivost jako celku. Nezpomaluje korespondenci mezi řídicím blokem a vnějšími zařízeními — vnější blok — a jednoznačně umožňuje určit, které vnější zařízení si vyžádalo spuštění odpovídající řídicí sekvence.

Příklad zapojení obvodu pro spuštění sekvence řídicích povelů jednobitovými signály podle vynálezu je znázorněno v blokovém schématu a na připojeném výkrese.

Hromadný vstup 11 řídicího bloku 1 je spojen s hromadným výstupem 21 vnějšího bloku 2. Řídicí blok 1 je sestaven z logických číslicových integrovaných obvodů jako čítače, řadiče, komparátory a podobně. Hromadný vstup 22 vnějšího bloku 2 je spojen s prvním hromadným výstupem 12 řídicího bloku 1. Vnější blok 2 je sestaven z různých zařízení jako jsou tiskárna, psací stroj, displej a dále z integrovaných obvodů. Hodinový výstup 14 řídicího bloku 1 je spojen s hodinovým vstupem 31 časového generátoru 3. Časový generátor 3 je postaven z logických hradel, čítačů a klopných obvodů realizovaných jako integrované obvody. První výstup 32 časového generátoru 3 je spojen s prvním hodinovým vstupem 23 vnějšího bloku 2. Druhý hodinový vstup 24 vnějšího bloku 2 je spojen s hodinovým vstupem 71 druhého klopného obvodu 7 a s druhým výstupem 33 časového generátoru 3. Všechny klopné obvody 6, 7, 8 jsou stejného charakteru a jsou sestaveny z logických

hradel a z klopných integrovaných obvodů. Třetí hodinový výstup 34 časového generátoru 3 je spojen se strobovacím vstupem 41 prvního dekodéru 4. První dekodér 4 a druhý dekodér 5 jsou sestaveny z integrovaných dekoderových logických obvodů. Hromadný vstup 42 prvního dekodéru 4 je spojen s druhým hromadným výstupem 13 řídicího bloku 1. Informační vstup 15 řídicího bloku 1 je spojen s informačním výstupem 43 prvního dekodéru 4. Podmínkový výstup 44 prvního dekodéru 4 je spojen s prvním vstupem 61 prvního klopného obvodu 6. Druhý vstup 62 prvního klopného obvodu 6 je spojen s adresovým výstupem 45 prvního dekodéru 4 a s adresovacím vstupem 25 vnějšího bloku 2. První spouštěcí výstup 26 vnějšího bloku 2 je spojen s prvním spouštěcím vstupem 72 druhého klopného obvodu 7 a s prvním spouštěcím vstupem 51 druhého dekodéru 5. Výstup 53 druhého dekodéru 5 je spojen s adresovacím vstupem 91 registračního bloku 9. Registrační blok 9 je sestaven z integrovaných obvodů registrového typu a z integrovaných hradel. Hromadný výstup 92 registračního bloku 9 je spojen s adresovým vstupem 16 řídicího bloku 1. Podmínkový výstup 17 řídicího bloku 1 je spojen s podmínkovým vstupem 93 registračního bloku 9. Hodinový vstup 94 registračního bloku 9 je spojen se čtvrtým výstupem 35 časového generátoru 3. Pátý výstup 36 časového generátoru 3 je spojen s hodinovým výstupem 81 třetího klopného obvodu 8. Výstup 82 třetího klopného obvodu 8 je spojen s podmínkovým vstupem 76 druhého klopného obvodu 7. Výstup 74 druhého klopného obvodu 7 je spojen se startovacím vstupem 18 řídicího bloku 1. Synchronizační výstup 19 řídicího bloku 1 je spojen se synchronizačním vstupem 75 druhého klopného obvodu 7. Druhý spouštěcí vstup 73 druhého klopného obvodu 7 je spojen se druhým spouštěcím vstupem 52 druhého dekodéru 5 a se druhým spouštěcím výstupem 27 vnějšího bloku 2. Hradlovací vstup 28 vnějšího bloku 2 je spojen s výstupem 83 prvního klopného obvodu 6. Hradlovací výstup 100 řídicího bloku 1 je spojen s podmínkovým vstupem 83 třetího klopného obvodu 8.

Zapojení obvodu pro spuštění sekvence řídicích povelů jednobitovými signály podle vynálezu pracuje takto: Řídicí blok 1 posílá řídicí a datové signály ze svého prvního hromadného výstupu 12 do vnějšího bloku 2 přes jeho hromadný vstup 22. Vnější blok 2 odpovídá řídicímu bloku 1 datovými signály přes svůj hromadný výstup 21 do jeho hromadného vstupu 11. Z hodinového výstupu 14 řídicího bloku 1 se přesouvají základní hodinové impulsy do hodinového vstupu 31 časového generátoru 3, který generuje několik základních hodinových průběhů používaných pro činnost zapojení. Druhý hromadný výstup 13 řídicího bloku 1 posílá základní informaci o adrese vnějšího zařízení, které je součástí vnějšího bloku 2, do hromadného vstupu 42 prvního dekodéru 4. Informace o požadavku na spuštění řídicí sekvence povelů je dekodována ve druhém dekodéru 5 a jeho výstup 53 posílá dekodovanou informaci do registračního bloku 9, jeho adresovacím vstupem

91. Činnost registračního bloku 9 je řízena jednak z řídicího bloku 1, a to z podmínkového výstupu 17 do jeho podmínkového vstupu 93, jednak signálem ze čtvrtého výstupu 35 časového generátoru 3 do hodinového vstupu 94 registračního bloku 9. Registrační blok 9 posílá přes svůj hromadný výstup 92 informaci o startu řídicí sekvence do řídicího bloku 1, a to do jeho adresového vstupu 16. První dekodér 4 vysílá přes svůj informační výstup 43 informaci o ukončení dekodování do základního bloku 1, do jeho informačního vstupu 15. Hradlovací výstup 100 základního bloku 1 blokuje třetí klopný obvod 8 přes jeho podmínkový vstup 83 v případě, že se právě provádí určitá řídicí sekvence povelů pro některé vnější zařízení obsažené ve vnějším bloku 2. Třetí klopný obvod 8 je ovládán přes svůj hodinový vstup 81, a to signálem z pátého výstupu 36 časového generátoru 3. Třetí hodinový výstup 34 časového generátoru 3 strobuje činnost prvního dekodéru 4 přes jeho strobovací vstup 41. První dekodér 4 svým adresovým výstupem 45 posílá adresu vnějšího zařízení jednak do druhého vstupu 62 prvního klopného obvodu 6 a jednak do vnějšího bloku 2 přes jeho adresový vstup 25. Podmínkový výstup 44 prvního dekodéru 4 vysílá signál blokující nastavení klopného obvodu 6 přes jeho první vstup 61. První klopný obvod 6 uvolňuje nebo hradluje řídicí sekvenci povelů signálem ze svého výstupu 63 do hradlovacího vstupu 28 vnějšího bloku 2. První spouštěcí výstup 26 vnějšího

bloku 2 posílá informaci o adrese vnějšího zařízení, které vyžaduje spuštění řídicí sekvence, jednak do druhého dekodéru 5 do jeho prvního spouštěcího vstupu 51 a dále pak do prvního spouštěcího vstupu 72 druhého klopného obvodu 7. Přes svůj druhý spouštěcí výstup 27 posílá vnější blok 2 jednobitovou informaci o požadavku na spuštění řídicí sekvence do druhého spouštěcího vstupu 52 druhého dekodéru 5 a do druhého startovacího vstupu 73 druhého klopného obvodu 7. Činnost druhého klopného obvodu 7 je podmíněna stavem na výstupu 82 třetího klopného obvodu 8. Informace o tomto stavu přichází do podmínkového vstupu 76 třetího klopného obvodu 7. Druhý klopný obvod 7 přes svůj výstup 74 informuje řídicí blok 1 o požadavku na spuštění řídicí sekvence, a to do jeho startovacího vstupu 18. Řídicí blok 1 zpětně nastavuje druhý klopný obvod 7 přes jeho synchronizační vstup 75 ze svého synchronizačního výstupu 19. Činnost celého zapojení je sledována signálem z druhého výstupu 33 časového generátoru 3, a to do druhého hodinového vstupu 24 vnějšího bloku 2 a do hodinového vstupu 71 druhého klopného obvodu 7. Dále je sledována součinnost vnějšího bloku 2 z řídicího bloku 1 signálem z prvního výstupu 32 časového generátoru 3 do prvního hodinového vstupu 23 vnějšího bloku 2.

Vynálezu se využije v základní jednotce pro řízení obráběcích strojů.

PŘEDMĚT VYNÁLEZU

Zapojení pro spuštění sekvence řídicích povelů jednobitovými jednoduchými signály sestávajících se z řídicího bloku, vnějšího bloku, časového generátoru, dekodérů, klopných obvodů a registračního bloku, vyznačující se tím, že hromadný vstup [11] řídicího bloku [1] je spojen s hromadným výstupem [21] vnějšího bloku [2], jehož hromadný vstup [22] je spojen s prvním hromadným výstupem [12] řídicího bloku [1], jehož hodinový výstup [14] je spojen s hodinovým vstupem [31] časového generátoru [3], jehož první výstup [32] je spojen s prvním hodinovým vstupem [23] vnějšího bloku [2], jehož druhý hodinový vstup [24] je spojen s hodinovým vstupem [71] druhého klopného obvodu [7] a s druhým výstupem [33] časového generátoru [3], jehož třetí hodinový výstup [34] je spojen se strobovacím vstupem [41] prvního dekodéru [4], jehož hromadný vstup [42] je spojen s druhým hromadným výstupem [13] řídicího bloku [1], jehož informační vstup [15] je spojen s informačním výstupem [43] prvního dekodéru [4], jehož podmínkový výstup [44] je spojen s prvním vstupem [61] prvního klopného obvodu [6], jehož druhý vstup [62] je spojen s adresovým výstupem [45] prvního dekodéru [4] a s adresovým vstupem [25] vnějšího bloku [2], jehož první spouštěcí výstup [26] je spojen s prvním

spouštěcím vstupem [72] druhého klopného obvodu [7] a s prvním spouštěcím vstupem [51] druhého dekodéru [5], jehož výstup [53] je spojen s adresovým vstupem [91] registračního bloku [9], jehož hromadný výstup [92] je spojen s adresovým vstupem [16] řídicího bloku [1], jehož podmínkový výstup [17] je spojen s podmínkovým vstupem [93] registračního bloku [9], jehož hodinový vstup [94] je spojen se čtvrtým výstupem [35] časového generátoru [3], jehož pátý výstup [36] je spojen s hodinovým vstupem [81] třetího klopného obvodu [8], jehož výstup [82] je spojen s podmínkovým vstupem [76] druhého klopného obvodu [7], jehož výstup [74] je spojen se startovacím vstupem [18] řídicího bloku [1], jehož synchronizační výstup [19] je spojen se synchronizačním vstupem [75] druhého klopného obvodu [7], jehož druhý spouštěcí vstup [73] je spojen s druhým spouštěcím vstupem [52] druhého dekodéru [5] a s druhým spouštěcím výstupem [27] vnějšího bloku [2], jehož hradlovací vstup [28] je spojen s výstupem [63] prvního klopného obvodu [6], přičemž hradlovací výstup [100] řídicího bloku [1] je spojen s podmínkovým vstupem [83] třetího klopného obvodu [8].

