

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2022 年 11 月 24 日 (24.11.2022)

(10) 国际公布号
WO 2022/242002 A1

(51) 国际专利分类号:
G06F 30/30 (2020.01)

(21) 国际申请号: PCT/CN2021/120533

(22) 国际申请日: 2021 年 9 月 26 日 (26.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110554254.8 2021年5月20日 (20.05.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 翁坤 (WENG, Kun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: MODELLING METHOD AND APPARATUS, COMPUTER DEVICE, AND STORAGE MEDIUM

(54) 发明名称: 建模方法、装置、计算机设备及存储介质

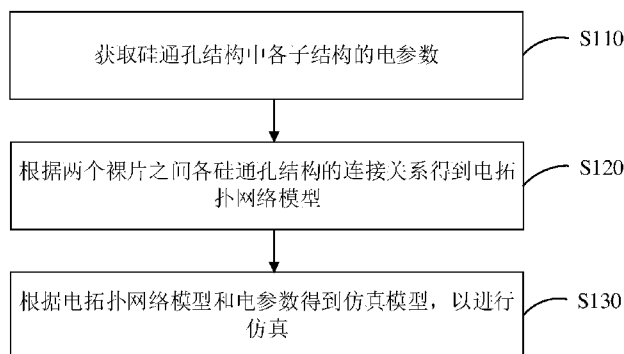


图 1

- S110 Acquire electrical parameters of each sub-structure in a through silicon via structure
- S120 On the basis of the connection relationship of the through silicon via structures between two dies, obtain an electrical topological network model
- S130 On the basis of the electrical topological network model and the electrical parameters, obtain a simulation model in order to perform simulation

(57) Abstract: A modelling method and apparatus, a computer device, and a storage medium, the method comprising: acquiring electrical parameters of each sub-structure in a through silicon via structure (S110); on the basis of the connection relationship of the through silicon via structures between two dies, obtaining an electrical topological network model (S120); and, on the basis of the electrical topological network model and the electrical parameters, obtaining a simulation model in order to perform simulation (S130).

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。
-

(57) 摘要: 一种建模方法、装置、计算机设备及存储介质, 所述方法包括: 获取硅通孔结构中各子结构的电参数 (S110); 根据两个裸片之间各所述硅通孔结构的连接关系得到电拓扑网络模型 (S120); 根据所述电拓扑网络模型和所述电参数得到仿真模型, 以进行仿真 (S130)。

建模方法、装置、计算机设备及存储介质

本申请要求于 2021 年 05 月 20 日提交的申请号为 202110554254.8、名称为“建模方法、装置、计算机设备及存储介质”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及集成电路技术领域，特别是涉及一种建模方法、装置、计算机设备及存储介质。

背景技术

目前，硅通孔（TSV，through silicon via）技术是三维集成电路中堆叠芯片实现互联的一种新的技术解决方案。硅通孔技术通过在相邻两个半导体芯片（也称为裸片，Die）之间形成硅通孔结构以实现相邻两个 Die 之间的电性连接。

譬如，动态随机存取存储器（DRAM，Dynamic Random Access Memory）的双倍速率（DDR，Double Data Rate）产品会用到硅通孔（TSV，through silicon via）技术，将两片甚至多片 DDR 芯片叠加起来。硅通孔结构形成于相邻两片 DDR 芯片之间使得实现相邻 DDR 芯片电性连接，形成 3D 堆叠结构，从而减小因为封装带来的额外损耗。

然而，传统技术无法对包含硅通孔结构的三维集成电路进行仿真，从而无法知晓硅通孔结构对三维集成电路的影响。

发明内容

一方面，本申请提供了一种建模方法，包括：获取硅通孔结构中各子结构的电参数；根据两个裸片之间各所述硅通孔结构的连接关系得到电拓扑网络模型；根据所述电拓扑网络模型和所述电参数得到仿真模型，以进行仿真。

本申请另一方面提供一种建模装置，包括：获取模块，用于获取硅通孔结构中各子结构的电参数；电拓扑网络模型处理模块，用于根据两个裸片之间各所述硅通孔结构的连接关系得到电拓扑网络模型；仿真模型处理模块，用于根据所述电拓扑网络模型和所述电参数得到仿真模型，以进行仿真。

本申请再一方面提供一种计算机设备，包括存储器和处理器，所述存储器存储有计算机程序，所述处理器执行所述计算机程序时实现如上所述的方法的步骤。

本申请再一方面提供一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现如上所述的方法的步骤。

本申请的各个实施例的细节将在下面的附图和描述中进行说明。根据说明书、附图以及权利要求书的记载，本领域技术人员将容易理解本申请的其它特征、解决的问题以及技术效果。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，用于描述附图的附加细节或示例不应当被认为是对本申请的发明创造、目前所描述的实施例或优选方式中任何一者的范围的限制。

图 1 为本申请一实施例中提供的建模方法的流程图；

图 2 为本申请一实施例中提供的三维集成电路的内部结构示意图；

图 3 为本申请一具体实施例中提供的建模方法的流程图；

图 4 为本申请一实施例中提供的凸起焊盘子结构的剖面图；

图 5 为本申请一实施例中提供的硅通孔子结构的剖面图；

图 6 为本申请一实施例中提供的电拓补网络模型的示意图；

图 7 为本申请一实施例中提供的第一电路模型的示意图；

图 8 为本申请另一实施例中提供的步骤 S130 的具体步骤流程图；

图 9 为本申请一实施例中提供的第二电路模型的示意图；

图 10 为本申请一实施例中提供的建模装置的结构框图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直

接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂类型成为第二掺杂类型，且类似地，可以将第二掺杂类型成为第一掺杂类型；第一掺杂类型与第二掺杂类型为不同的掺杂类型，譬如，第一掺杂类型可以为 P 型且第二掺杂类型可以为 N 型，或第一掺杂类型可以为 N 型且第二掺杂类型可以为 P 型。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转 90 度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本申请的理想实施例(和中间结构)的示意图的横截面图来描述申请的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本申请的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本申请的范围。

请参阅图 1，本申请提供一种建模方法，包括如下步骤：

步骤 S110，获取硅通孔结构中各子结构的电参数。

步骤 S120，根据两个裸片之间各硅通孔结构的连接关系得到电拓扑网络模型。

步骤 S130，根据电拓扑网络模型和电参数得到仿真模型，以进行仿真。

在上述实施例中的建模方法通过获取硅通孔结构中各子结构的电参数和两个裸片之间各硅通孔结构的总的电拓扑网络模型，根据电拓扑网络模型和电参数得到三维集成电路的仿真模型，使得能够对包含硅通孔结构的三维集成电路进行仿真，从而知晓硅通孔结构对整个三维集成电路的影响。

在步骤 S110 中，请参阅图 1 中的 S110 步骤，获取硅通孔结构中各子结构的电参数。

在一些示例中，请参阅图 2，三维集成电路中可以包括两个或大于两个裸片。各裸片可以为同种类型的芯片，也可以为不同类型的芯片。譬如裸片可以为 DRAM 芯片，进一步的，可以为 DDR 芯片。其中两个裸片分别称为第一裸片 30 和第二裸片 20。

各子结构可以包括凸起焊盘子结构 11 及硅通孔子结构 12。凸起焊盘子结构 11 的一端与第二裸片 20 电连接。凸起焊盘子结构 11 的另一端与硅通孔子结构 12 的一端电连接，第一裸片 30 上开设有通孔供硅通孔子结构 12 穿过以将硅通孔子结构 12 的另一端与第一裸片 30 电连接，电参数包括凸起焊盘子结构 11 的电参数和硅通孔子结构 12 的电参数。

在一些示例中，请参阅图 2，硅通孔结构 10 可以包括依次叠置的第一金属层 111、第二金属层 112、焊球 113、第三金属层 114 及第四金属层 121。可以配置凸起焊盘子结构 11 包括第一金属层 111 至第三金属层 114，硅通孔子结构 12 包括第四金属层 121。

在其他示例中，还可以根据实际需求将硅通孔结构 10 中各层划分为不同于凸起焊盘子结构 11 和硅通孔子结构 12 的其他子结构。

在一些示例，请参阅图 2，第二裸片 20 可以包括依次叠置的第二基材层 21 及多个金属层。硅通孔结构 10 的第一金属层 111 可以与第二裸片 20 中的任意一个金属层电性连接。譬如，第二裸片 20 可以包括依次叠置于第二基材层 21 下方的第五金属层 22、第六金属层 23、第七金属层 24 及第八金属层 25。第一金属层 111 可以与第八金属层 25 接触电性连接，使得凸起焊盘子结构 11 的一端与第二裸片 20 接触电性连接。由于第三金属层 114 与第四金属层 121 接触，使得凸起焊盘子结构 11 的另一端与硅通孔子结构 12 的一端接触电性连接。

在一些示例，请参阅图 2，第一裸片 30 可以包括基材层 31 及多个金属层，多个金属层依次叠置于基材层 31 的下方。基材层 31 上开设有通孔供硅通孔子结构 12 穿过，硅通孔结构 10 的第四金属层 121 可以与第一裸片 30 中的任意一个金属层电性连接。譬如，第一裸片 30 可以包括依次叠置于基材层 31 下方的第九金属层 32、第十金属层 33、第十一金属层 34 及第十二金属层 35，第四金属层 121 可以与第十金属层 33 接触电性连接，使得硅通孔子结构 12 的另一端与第一裸片 30 接触电性连接。

在一些示例中，请参阅图 3，步骤 S110 具体包括步骤 S111 至步骤 S113。

步骤 S111，获取硅通孔结构的结构示意图。

具体的，操作人员可以利用鼠标、键盘、触控屏等输入设备构建裸片至裸片（Die-to-Die）之间硅通孔结构 10 的结构示意图，从而获取硅通孔结构 10 的结构示意图，该结构示意图可以为立体示意图也可以为平面示意图。裸片至裸片之间的硅通孔结构 10 的数量可以为一个，也可以为多个。当裸片至裸片之间的硅通孔结构 10 的数量为多个时，各硅通孔结构 10 可以相同也可以不同。下面以各硅通孔结构 10 相同为例进行说明。

步骤 S112，根据硅通孔结构的结构示意图得到硅通孔结构中各子结构的材料组成剖面图；子结构的材料组成剖面图包括子结构的材料信息及尺寸信息。

具体的，根据硅通孔结构 10 的结构示意图可以构建硅通孔结构 10 中各子结构的材料组成剖面图。本实施例中，硅通孔结构 10 可以包括凸起焊盘子结构 11 及硅通孔子结构 12。请参阅图 4 和图 5，根据硅通孔结构 10 的结构示意图分别得到凸起焊盘子结构 11 的材料组成剖面图及硅通孔子结构 12 的材料组成剖面图。凸起焊盘子结构 11 的材料组成剖面图包括凸起焊盘子结构 11 的材料信息及尺寸信息，硅通孔子结构 12 的材料组成剖面图包括硅通孔子结构 12 的材料信息及尺寸信息。

在一些示例中，请参阅图 2 和图 4，凸起焊盘子结构 11 的材料组成剖面图中，凸起焊盘子结构 11 包括依次堆叠的第一金属层 111、第二金属层 112、焊球 113 及第三金属层 114（图 4 未示出）。第一金属层 111 可以包括第一铜层 1111 及第二铜层 1112。在三维集成电路中第一铜层 1111 的底部外围还可以设置第一绝缘层 27，第一绝缘层 27 可以包括第一氮化硅层，起到隔离绝缘作用。第二裸片 20 还可以包括第一氧化硅衬底 28，第一氧化硅衬底 28 可以位于第一绝缘层 27 上方并包覆第八金属层 25。第二金属层 112 可以包括第一镍层。焊球 113 可以包括锡银合金层。第三金属层 114 可以包括第二镍层。也即凸起焊盘子结构 11 可以包括依次堆叠的第一铜层 1111、第二铜层 1112、第一镍层、锡银合金层及第二镍层。凸起焊盘子结构 11 的材料组成剖面图中还包括各层的尺寸信息，图 4 中未示出尺寸信息。

请参阅图 2 和 5，硅通孔子结构 12 的材料组成剖面图中，硅通孔子结构 12 包括第四金属层 121，第四金属层 121 可以包括第三铜层。在三维集成电路中第四金属层 121 的底部外围还可以设置第二绝缘层 38，第二绝缘层 38 包括第二氮化硅层，起到隔离绝缘作用。第一裸片 30 还可以包括第二氧化硅衬底 37，第二氧化硅衬底 37 可以位于第二绝缘层 38 上方并包覆于第四金属层 121 的部分侧面。硅通孔子结构 12 的材料组成剖面图中还包括各层的尺寸信息，图 5 中未示出尺寸信息。

步骤 S113，根据每个子结构的材料信息及尺寸信息得到电参数。

具体的，可以先根据硅通孔结构 10 中各子结构每层的材料信息及尺寸信息得到每层的电

参数,再根据子结构中每层的电参数计算该子结构的电参数。本实施例中,根据第一铜层 1111、第二铜层 1112、第一镍层、锡银合金层及第二镍层的材料信息及各层尺寸信息得到凸起焊盘子结构 11 的电参数。本实施例中,还可以根据第三铜层的材料信息及尺寸信息得到第三铜层的电参数即硅通孔子结构 12 的电参数。

在一些示例中,电参数包括电阻参数、电容参数及电感参数。譬如,可以根据第一铜层 1111、第二铜层 1112、第一镍层、锡银合金层及第二镍层的材料信息及各层尺寸信息得到凸起焊盘子结构 11 的电阻参数和凸起焊盘子结构 11 的电容参数。可以根据第三铜层的材料信息及尺寸信息得到硅通孔子结构 12 的电阻参数和硅通孔子结构 12 的电容参数。具体的,第一铜层 1111 的宽度为 8-12 μm ,高度为 2-6 μm 。第二铜层 1112 的宽度为 20-40 μm ,高度为 2-6 μm 。第一镍层的宽度为 20-40 μm ,高度为 1-4 μm 。锡银合金层的宽度为 20-40 μm ,高度为 4-9 μm 。第二镍层的宽度为 20-40 μm ,高度为 3-8 μm 。第三铜层的宽度为 4-8 μm ,高度为 40-70 μm 。

在一些示例中,在计算凸起焊盘子结构 11 及硅通孔子结构 12 的电参数时可以根据下式计算。其中,式(1)为计算电阻参数的公式,式(2)为计算电感参数的公式,式(3)为计算电容参数的公式。式(1)至式(3)中的参数均可以根据凸起焊盘子结构 11 及硅通孔子结构 12 中各层材料信息及各层尺寸信息计算得到,可以利用式(1)至(3)先分别计算各子结构中每层的电阻参数、电感参数及电容参数,再根据子结构中每层的电参数计算各子结构的电阻参数、电感参数及电容参数。

$$R = \rho L/S \quad (1)$$

其中, ρ 为电阻的电阻率, L 表示电阻的长度, S 表示电阻的横截面积。

$$L = \mu_0 N^2 S/L \quad (2)$$

其中, μ_0 为螺线管的磁导率, N 为螺线管的总匝数, S 为螺线管的截面积, L 为螺线管的长度。

$$C = \epsilon A/d \quad (3)$$

其中, ϵ 为电容的介电常数, A 为电容的两个极板间正对面积, d 为电容的两个极板间距离。

在步骤 S120 中,请参阅图 1 中的步骤 S120,根据两个裸片之间各硅通孔结构的连接关系得到电拓扑网络模型。

具体的,两个裸片之间的硅通孔结构 10 的数量可以为一个,也可以为多个。当两个裸片之间硅通孔结构 10 的数量为多个时,各硅通孔结构 10 可以相同也可以不同,并且相同的硅通孔结构 10 与两个裸片的连接方式也可以相同。譬如,两个裸片之间的硅通孔结构 10 的数量为 2,两个硅通孔结构 10 均包括凸起焊盘子结构 11 和硅通孔子结构 12,并且都是凸起焊

盘子结构 11 与第二裸片 20 接触电性连接且硅通孔结构 12 与第一裸片 30 接触电性连接。电拓扑网络模型为两个裸片之间的各硅通孔结构 10 的总的等效电路模型。

在一些示例中,请参阅图 6,两个裸片之间硅通孔结构 10 的数量为多个时,各硅通孔结构 10 相同。电拓扑网络模型包括多个子网络模型,子网络模型的数量与硅通孔结构 10 的数量相等。每个子网络模型均包括凸起焊盘子电阻 R_{bp} 、硅通孔电阻 R_{tsv} 、凸起焊盘子电容 C_{bp} 、硅通孔电容 C_{tsv} 、凸起焊盘子电感 L_{bp} 及硅通孔电感 L_{tsv} 。凸起焊盘子电阻 R_{bp} 、凸起焊盘子电感 L_{bp} 、硅通孔电感 L_{tsv} 及硅通孔电阻 R_{tsv} 依次串联于第二裸片 20 和第一裸片 30 之间。凸起焊盘子电容 C_{bp} 的一端连接于第二裸片 20 和凸起焊盘子电阻 R_{bp} 之间,凸起焊盘子电容 C_{bp} 的另一端连接于预设远端。预设远端可以为无穷远处。硅通孔电容 C_{tsv} 的一端连接于凸起焊盘子电感 L_{bp} 和硅通孔电感 L_{tsv} 之间,硅通孔电容 C_{tsv} 的另一端与另一个子网络模型中的硅通孔电容 C_{tsv} 连接。

本实施例中,通过设置各个子结构的等效电气元件,能够实现在不需要布局版图的情况下得到精确的仿真结果。

在一些示例中,两个硅通孔结构 10 的硅通孔电容 C_{tsv} 之间通过基材电阻 R_{sub} 和基材电容 C_{sub} 连接。基材电阻 R_{sub} 可以为基材层 31 的等效电阻,基材电容 C_{sub} 可以为基材层 31 的等效电容。基材电阻 R_{sub} 和基材电容 C_{sub} 并联后的两端分别与两个硅通孔结构 10 的硅通孔电容 C_{tsv} 连接。发明人创造性的发现基材电阻 R_{sub} 相比于凸起焊盘子电阻 R_{bp} 和硅通孔电阻 R_{tsv} 均近似于无限大且基材电容 C_{sub} 相比于凸起焊盘子电容 C_{bp} 和硅通孔电容 C_{tsv} 均近似于无限小,故在电拓扑网络模型中忽略基材电阻 R_{sub} 和基材电容 C_{sub} ,从而简化电拓扑网络模型。

在步骤 S130 中,请参阅图 1 中的 S130 步骤,根据电拓扑网络模型和电参数得到仿真模型,以进行仿真。

具体的,电参数包括了电拓扑网络模型中各等效电子元器件的参数值。电拓扑网络模型为两个裸片之间的各硅通孔结构 10 的总的等效电路模型。仿真模型为三维集成电路的仿真模型。根据电拓扑网络模型及电参数即能够得到三维集成电路的仿真模型进行仿真使得能够得到硅通孔结构对于三维集成电路的影响。

在一些示例中,请参阅图 3,步骤 S130 具体包括步骤 S131 至步骤 S133。

步骤 S131,根据子网络模型和电参数得到仿真模型文件。

具体的,本实施例以各个硅通孔结构 10 相同即电拓扑网络模型中各子网络模型相同为例进行说明,在其他示例中若各子网络模型不同,可以根据子网络模型和对应的电参数得到对应的仿真模型文件。仿真模型文件可以根据预定义的格式定义电网络拓扑模型与第二裸片 20

的连接点（即顶部 Top）和电网络拓扑模型与第一裸片 30 的连接点（即底部 Bottom）之间的各个等效电子元器件的参数标识及各个等效电子元器件的参数值。譬如，仿真模型文件可以包括凸起焊盘子电容的参数标识 C_bp 及其参数值 a、凸起焊盘子电阻的参数标识 R_bp 及其参数值 b、凸起焊盘子电感的参数标识 L_bp 及其参数值 c、硅通孔电容的参数标识 C_tsv 及其参数值 d、硅通孔电感的参数标识 L_tsv 及其参数值 e、硅通孔电阻的参数标识 R_tsv 及其参数值 f。仿真模型文件还可以根据这些参数标识和参数值计算硅通孔结构的电阻值 tsv_r、电感值 tsv_l 和电容值 tsv_c 等等。

步骤 S132，根据两个裸片之间硅通孔结构的数量在第一裸片的电路模型和第二裸片的电路模型之间配置硅通孔结构符号，以得到第一电路模型。

具体的，请参阅图 7，第一电路模型为三维集成电路的等效电路模型。根据第一裸片 30 和第二裸片 20 之间硅通孔结构 10 的数量在第一裸片的电路模型 36 和第二裸片的电路模型 26 之间配置硅通孔结构符号 13，以得到第一电路模型。图 7 实施例中，第一裸片 30 和第二裸片 20 之间硅通孔结构 10 的数量为 6。本实施例中，第一裸片 30 也可以叫做主（Master）裸片，第二裸片 20 也可以叫做从（Slave）裸片。

步骤 S133，根据第一电路模型和仿真模型文件得到仿真模型，以进行仿真。

具体的，可以将第一电路模型中的硅通孔结构 10 符号与仿真模型文件相关联，使得利用关联操作后的第一电路模型进行仿真，从而可以得到硅通孔结构 10 对于三维集成电路的影响。

本实施例中，第一电路模型中包含第一裸片的电路模型 36、第二裸片的电路模型 26 及在这两个电路模型之间配置的硅通孔结构符号 13，利用第一电路模型及仿真模型文件得到仿真模型进行仿真是针对整个三维集成电路的仿真，相比于仅针对第一裸片 30 或第二裸片 20 进行的仿真更能够体现硅通孔结构 10 对整个三维集成电路的影响。

在另一些示例中，请参阅图 8，步骤 S130 具体包括步骤 S134 至步骤 S136。

步骤 S134，根据子网络模型和电参数得到仿真模型文件。

具体的，步骤 S134 可以与步骤 S131 的具体执行过程相同。

步骤 S135，根据相邻两个裸片之间硅通孔结构 10 的数量分别在所有相邻两个裸片之间配置硅通孔结构符号，以得到第二电路模型。

本实施例中，裸片的数量大于两个。三维集成电路可以包括第一裸片 30、第二裸片 20……第 X 裸片，X 为大于 2 的整数。本实施例中，第一裸片 30 也可以叫做主裸片，第二裸片 20 至第 X 裸片均可以叫做从裸片。各相邻的裸片之间硅通孔的数量可以相同也可以不同。请参阅图 9，可以构建第一裸片的电路模型 36 至第 X 裸片的电路模型 50，并在所有的相邻两个

裸片的电路模型之间根据硅通孔结构 10 的数量设置硅通孔结构符号 13，从而得到第二电路模型。第二电路模型为三维集成电路的等效电路模型。图 9 实施例中，所有相邻裸片之间的硅通孔结构 10 数量均为 6。

在一些示例中，在第一电路模型和第二电路模型中，第一裸片的电路模型 36 至第 X 裸片的电路模型 50 均可以分别用对应的符号代替，各个符号与对应的裸片的信息相关联。

步骤 S136，根据第二电路模型和仿真模型文件得到仿真模型，以进行仿真。

具体的，可以将第二电路模型中各硅通孔结构符号 13 与仿真模型文件相关联，使得利用关联操作后的第二电路模型进行仿真，从而可以得到硅通孔结构 10 对于三维集成电路的影响。

在一些示例中，请参阅图 3，建模方法还包括步骤 S140。

步骤 S140，根据仿真结果得到硅通孔结构的优化结构。

具体的，仿真结果可以包括三维集成电路中各裸片的电流参数、电压参数等等。譬如，在裸片的电压值偏小时，可以理解为硅通孔结构 10 的电阻值偏大，从而可以通过调节影响硅通孔结构 10 的电阻参数的因素。如此，可以通过仿真结果对硅通孔结构 10 进行优化，避免硅通孔结构 10 对三维集成电路的功能造成负面影响。

在一些示例中，步骤 S140 包括对凸起焊盘子结构 11 的高度和/或宽度进行优化、对硅通孔结构 12 的宽度和/或高度进行优化、对凸起焊盘子结构 11 中的材料组成及比例进行优化、对两个裸片之间各硅通孔结构 10 之间的间距进行优化中的至少一个。

在一些示例中，请参阅图 2，对凸起焊盘子结构 11 的高度进行优化时具体可以改变凸起焊盘子结构 11 中第一金属层 111、第二金属层 112、焊球 113 及第三金属层 114 任意一层或多层的高度。对凸起焊盘子结构 11 的宽度进行优化时具体可以改变凸起焊盘子结构 11 中第一金属层 111、第二金属层 112、焊球 113 及第三金属层 114 任意一层或多层的宽度。对硅通孔结构 12 的宽度进行优化时可以改变第四金属层 121 的宽度。对硅通孔结构 12 的高度进行优化时可以改变第四金属层 121 的高度。对凸起焊盘子结构 11 中的材料组成及比例进行优化时可以改变第一金属层 111、第二金属层 112、焊球 113 及第三金属层 114 任一层或多层的材料及比例。对两个裸片之间各硅通孔结构 10 之间的间距进行优化时可以仅改变部分硅通孔结构 10 之间的间距；也可以同时改变所有硅通孔结构 10 之间的间距使得各硅通孔结构 10 之间的间距相等，从而便于简化硅通孔结构 10 的制程。

在另一些示例中，步骤 S140 可以包括重新确定与硅通孔结构 12 电连接的金属层。

具体的，请参阅图 2，第一裸片 30 包括基材层 31 及多个金属层，多个金属层依次叠置于基材层 31 下方，基材层 31 上开设有通孔供硅通孔结构 12 穿过，硅通孔结构 12 与其

中一个金属层电连接。图 2 示例中，硅通孔结构 12 与第十金属层 33 接触电连接。在其他示例中，可以根据仿真结构确定与硅通孔结构 12 接触电连接的金属层为第九金属层 32、第十一金属层 34 或第十二金属层 35。本实施例中根据仿真结果重新确定与硅通孔结构 12 接触连接的金属层，有利于使得寄生效应最小，且对三维集成电路的布局最有利，并且改变硅通孔结构 12 接触连接的金属层也能够改变金属层的布局（Layout）。

在一些示例中，请参阅图 2，三维集成电路还可以在第二裸片 30 的底部设置底部凸起焊盘结构 40。底部凸起焊盘结构 40 可以包括第十三金属层 41 和第十四金属层 42。在上述实施例中建立仿真模型时，还可以考虑底部凸起焊盘结构 40 的模型，从而得到凸起焊盘结构 40 对于三维集成电路的影响。具体的建立凸起焊盘结构 40 的模型的方式可以与硅通孔结构 40 的建模方式类似，此处不再赘述。

应该理解的是，虽然图 1、3 及 8 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 1、3 及 8 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

请参阅图 10，本申请还提供一种建模装置 60。建模装置 60 包括：获取模块 61、电拓扑网络模型处理模块 62 及仿真模型处理模块 63。获取模块 61 用于获取硅通孔结构中各子结构的电参数；电拓扑网络模型处理模块 62 用于根据两个裸片之间各硅通孔结构的连接关系得到电拓扑网络模型；仿真模型处理模块 63 用于根据电拓扑网络模型和电参数得到仿真模型，以进行仿真。

在一些示例中，两个裸片分别为第一裸片和第二裸片，各子结构包括凸起焊盘子结构及硅通孔子结构，凸起焊盘子结构的一端与第二裸片电连接，凸起焊盘子结构的另一端与硅通孔子结构的一端电连接，第一裸片上开设有通孔供硅通孔子结构穿过以将硅通孔子结构的另一端与第一裸片电连接，电参数包括凸起焊盘子结构的电参数和硅通孔子结构的电参数。

在一些示例中，获取模块 61 包括：结构示意图获取单元、剖面图获取单元及电参数获取单元。结构示意图获取单元用于获取硅通孔结构的结构示意图；剖面图获取单元用于根据硅通孔结构的结构示意图得到硅通孔结构中各子结构的材料组成剖面图；子结构材料的组成剖面图包括子结构的材料信息及尺寸信息；电参数获取单元用于根据每个子结构的材料信息及尺寸信息得到电参数。

在一些示例中，电参数包括电阻参数、电容参数及电感参数。

在一些示例中，两个裸片之间硅通孔结构的数量为多个时，各硅通孔结构相同，电拓扑网络模型包括多个子网络模型，子网络模型的数量与硅通孔结构的数量相等；每个所述子网络模型包括凸起焊盘子电阻、硅通孔电阻、凸起焊盘子电容、硅通孔电容、凸起焊盘子电感及硅通孔电感，凸起焊盘子电阻、凸起焊盘子电感、硅通孔电感及硅通孔电阻依次串联于第二裸片和第一裸片之间，凸起焊盘子电容的一端连接于第二裸片和凸起焊盘子电阻之间，凸起焊盘子电容的另一端连接于预设远端，硅通孔电容的一端连接于凸起焊盘子电感和硅通孔电感之间，硅通孔电容的另一端与另一个子网络模型中的硅通孔电容连接。

在一些示例中，仿真模型处理模块 63 包括：仿真模型文件处理单元、硅通孔符号处理单元及仿真模型处理单元。仿真模型文件处理单元根据子网络模型和电参数得到仿真模型文件；硅通孔符号处理单元根据两个裸片之间硅通孔结构的数量在第一裸片的电路模型和第二裸片的电路模型之间配置硅通孔结构符号，以得到第一电路模型；仿真模型处理单元根据第一电路模型和仿真模型文件得到仿真模型，以进行仿真。

在一些示例中，当裸片的数量大于两个时，仿真模型处理模块 63 包括：仿真模型文件处理单元、硅通孔符号处理单元及仿真模型处理单元。仿真模型文件处理单元用于根据子网络模型和电参数得到仿真模型文件；硅通孔符号处理单元用于根据相邻两个裸片之间硅通孔结构的数量分别在所有相邻两个裸片之间配置硅通孔结构符号，以得到第二电路模型；仿真模型处理单元用于根据第二电路模型和仿真模型文件得到所述仿真模型，以进行仿真。

在一些示例中，凸起焊盘子结构包括依次堆叠的第一铜层、第二铜层、第一镍层、锡银合金层及第二镍层；硅通孔子结构包括第三铜层；电参数获取单元根据第一铜层、第二铜层、第一镍层、锡银合金层及第二镍层的材料信息及尺寸信息得到凸起焊盘子结构的电参数，并根据第三铜层的材料信息及尺寸信息得到硅通孔子结构的电参数。

在一些示例中，还包括优化模块，用于根据仿真结果得到所述硅通孔结构的优化结构。

在一些示例中，优化模块用于对凸起焊盘子结构的高度和/或宽度进行优化、对硅通孔子结构的宽度和/或高度进行优化、对凸起焊盘子结构中的材料组成及比例进行优化、对两个裸片之间各硅通孔结构之间的间距进行优化中的至少一个。

在另一些示例中，第一裸片包括基材层及多个金属层，多个金属层依次叠置于基材层下方，基材层上开设有通孔供硅通孔子结构穿过，硅通孔子结构与其中一个金属层电连接；优化模块用于重新确定与硅通孔子结构电连接的金属层。

本申请还提供一种计算机设备，包括存储器和处理器，所述存储器存储有计算机程序，所述处理器执行所述计算机程序时实现如上任一项实施例所述的方法的步骤。

本申请还提供一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处

理器执行时实现如上任一项实施例所述的方法的步骤。

本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程，是可以通过计算机程序来指令相关的硬件来完成，所述的计算机程序可存储于一非易失性计算机可读取存储介质中，该计算机程序在执行时，可包括如上述各方法的实施例的流程。其中，本申请所提供的各实施例中所使用的对存储器、存储、数据库或其它介质的任何引用，均可包括非易失性和易失性存储器中的至少一种。非易失性存储器可包括只读存储器（Read-Only Memory, ROM）、磁带、软盘、闪存或光存储器等。易失性存储器可包括随机存取存储器（Random Access Memory, RAM）或外部高速缓冲存储器。作为说明而非局限，RAM 可以是多种形式，比如静态随机存取存储器（Static Random Access Memory, SRAM）或动态随机存取存储器（Dynamic Random Access Memory, DRAM）等。

上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1.一种建模方法，包括：

获取硅通孔结构中各子结构的电参数；

根据两个裸片之间各所述硅通孔结构的连接关系得到电拓扑网络模型；

根据所述电拓扑网络模型和所述电参数得到仿真模型，以进行仿真。

2.根据权利要求1所述的建模方法，其中，所述两个裸片分别为第一裸片和第二裸片，各所述子结构包括凸起焊盘子结构及硅通孔子结构，所述凸起焊盘子结构的一端与所述第二裸片电连接，所述凸起焊盘子结构的另一端与所述硅通孔子结构的一端电连接，所述第一裸片上开设有通孔供所述硅通孔子结构穿过以将所述硅通孔子结构的另一端与所述第一裸片电连接，所述电参数包括所述凸起焊盘子结构的电参数和所述硅通孔子结构的电参数。

3.根据权利要求2所述的建模方法，其中，所述获取硅通孔结构中各子结构的电参数，包括：

获取所述硅通孔结构的结构示意图；

根据所述硅通孔结构的结构示意图得到所述硅通孔结构中各所述子结构的材料组成剖面图；所述子结构的材料组成剖面图包括所述子结构的材料信息及尺寸信息；

根据每个所述子结构的材料信息及尺寸信息得到所述电参数。

4.根据权利要求3所述的建模方法，其中，所述电参数包括电阻参数、电容参数及电感参数。

5.根据权利要求4所述的建模方法，其中，所述两个裸片之间硅通孔结构的数量为多个时，各所述硅通孔结构相同，所述电拓扑网络模型包括多个子网络模型，所述子网络模型的数量与所述硅通孔结构的数量相等；

每个所述子网络模型包括凸起焊盘子电阻、硅通孔电阻、凸起焊盘子电容、硅通孔电容、凸起焊盘子电感及硅通孔电感，所述凸起焊盘子电阻、所述凸起焊盘子电感、所述硅通孔电感及所述硅通孔电阻依次串联于所述第二裸片和所述第一裸片之间，所述凸起焊盘子电容的一端连接于所述第二裸片和所述凸起焊盘子电阻之间，所述凸起焊盘子电容的另一端连接于预设远端，所述硅通孔电容的一端连接于所述凸起焊盘子电感和所述硅通孔电感之间，所述硅通孔电容的另一端与另一个所述子网络模型中的硅通孔电容连接。

6.根据权利要求5所述的建模方法，其中，所述根据所述电拓扑网络模型和所述电参数得到仿真模型，以进行仿真，包括：

根据所述子网络模型和所述电参数得到仿真模型文件；

根据两个裸片之间所述硅通孔结构的数量在所述第一裸片的电路模型和所述第二裸片

的电路模型之间配置硅通孔结构符号，以得到第一电路模型；

根据所述第一电路模型和所述仿真模型文件得到所述仿真模型，以进行仿真。

7.根据权利要求5所述的建模方法，其中，当所述裸片的数量大于两个时，所述根据所述电拓扑网络模型和所述电参数得到仿真模型，以进行仿真，包括：

根据所述子网络模型和所述电参数得到仿真模型文件；

根据相邻两个裸片之间所述硅通孔结构的数量分别在所有相邻两个所述裸片之间配置硅通孔结构符号，以得到第二电路模型；及

根据所述第二电路模型和所述仿真模型文件得到所述仿真模型，以进行仿真。

8.根据权利要求3所述的建模方法，其中，所述凸起焊盘子结构包括依次堆叠的第一铜层、第二铜层、第一镍层、锡银合金层及第二镍层；所述硅通孔子结构包括第三铜层；

所述根据每个所述子结构的材料信息及尺寸信息得到所述电参数的步骤中根据所述第一铜层、所述第二铜层、所述第一镍层、所述锡银合金层及所述第二镍层的材料信息及尺寸信息得到所述凸起焊盘子结构的电参数，并根据所述第三铜层的材料信息及尺寸信息得到所述硅通孔子结构的电参数。

9.根据权利要求8所述的建模方法，还包括：

根据仿真结果得到所述硅通孔结构的优化结构。

10.根据权利要求9所述的建模方法，其中，所述根据仿真结果得到所述硅通孔结构的优化结构包括对所述凸起焊盘子结构的高度和/或宽度进行优化、对所述硅通孔子结构的宽度和/或高度进行优化、对所述凸起焊盘子结构中的材料组成及比例进行优化、对两个所述裸片之间各所述硅通孔结构之间的间距进行优化中的至少一个。

11.根据权利要求9所述的建模方法，其中，所述第一裸片包括基材层及多个金属层，所述多个金属层依次叠置于所述基材层下方，所述基材层上开设有通孔供所述硅通孔子结构穿过，所述硅通孔子结构与其中一个所述金属层电连接；所述根据仿真结果得到所述硅通孔结构的优化结构包括：重新确定与所述硅通孔子结构电连接的金属层。

12.一种建模装置，包括：

获取模块，用于获取硅通孔结构中各子结构的电参数；

电拓扑网络模型处理模块，用于根据两个裸片之间各所述硅通孔结构的连接关系得到电拓扑网络模型；

仿真模型处理模块，用于根据所述电拓扑网络模型和所述电参数得到仿真模型，以进行仿真。

13.根据权利要求12所述的建模装置，其中，所述两个裸片分别为第一裸片和第二裸片，

各所述子结构包括凸起焊盘子结构及硅通孔子结构，所述凸起焊盘子结构的一端与所述第二裸片电连接，所述凸起焊盘子结构的另一端与所述硅通孔子结构的一端电连接，所述第一裸片上开设有通孔供所述硅通孔子结构穿过以将所述硅通孔子结构的另一端与所述第一裸片电连接，所述电参数包括所述凸起焊盘子结构的电参数和所述硅通孔子结构的电参数。

14.一种计算机设备，包括存储器和处理器，所述存储器存储有计算机程序，所述处理器执行所述计算机程序时实现权利要求 1 至 11 中任一项所述的方法的步骤。

15、一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现权利要求 1 至 11 中任一项所述的方法的步骤。

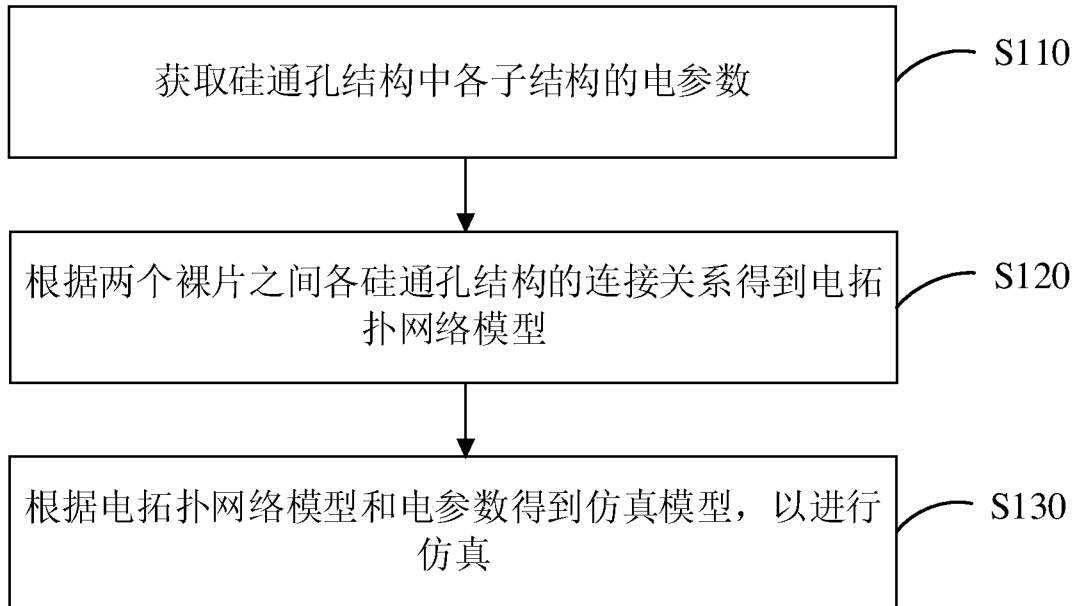


图 1

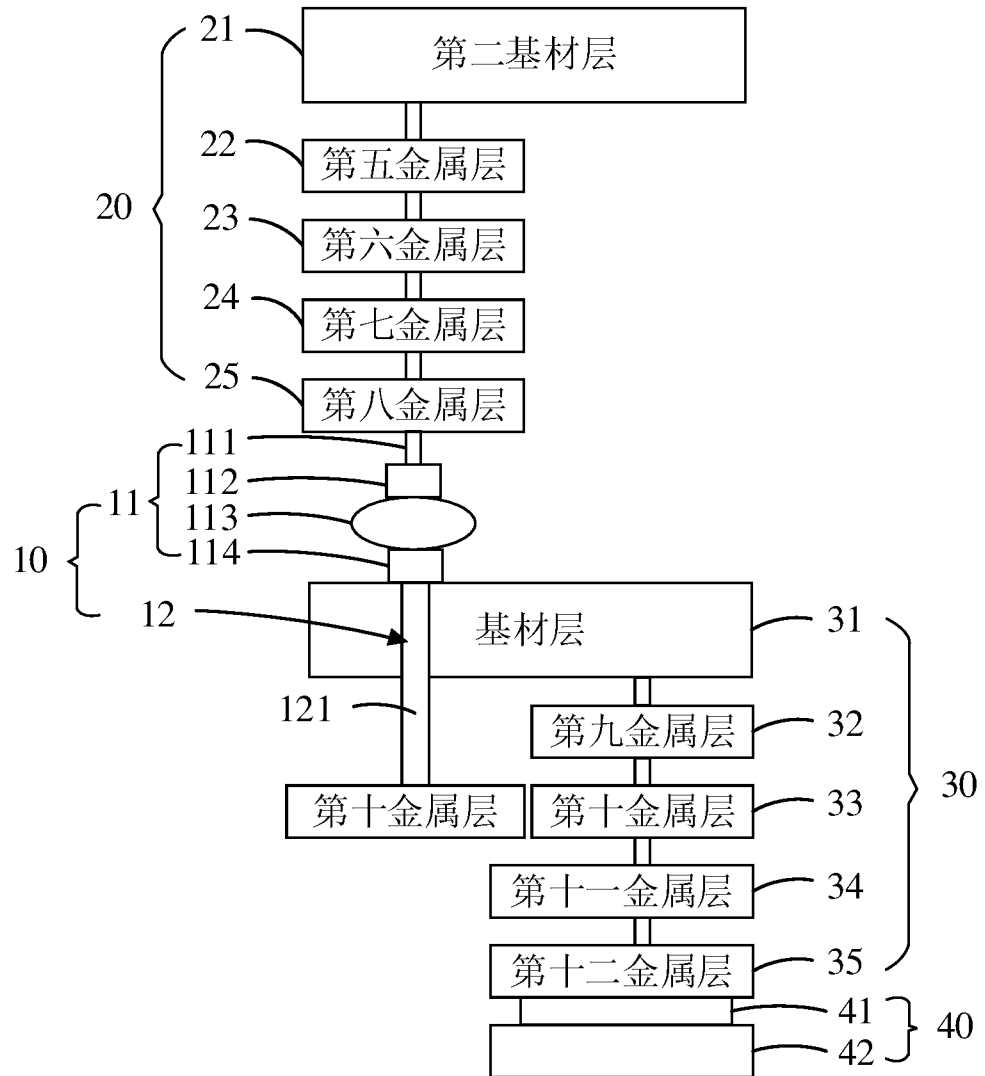


图 2

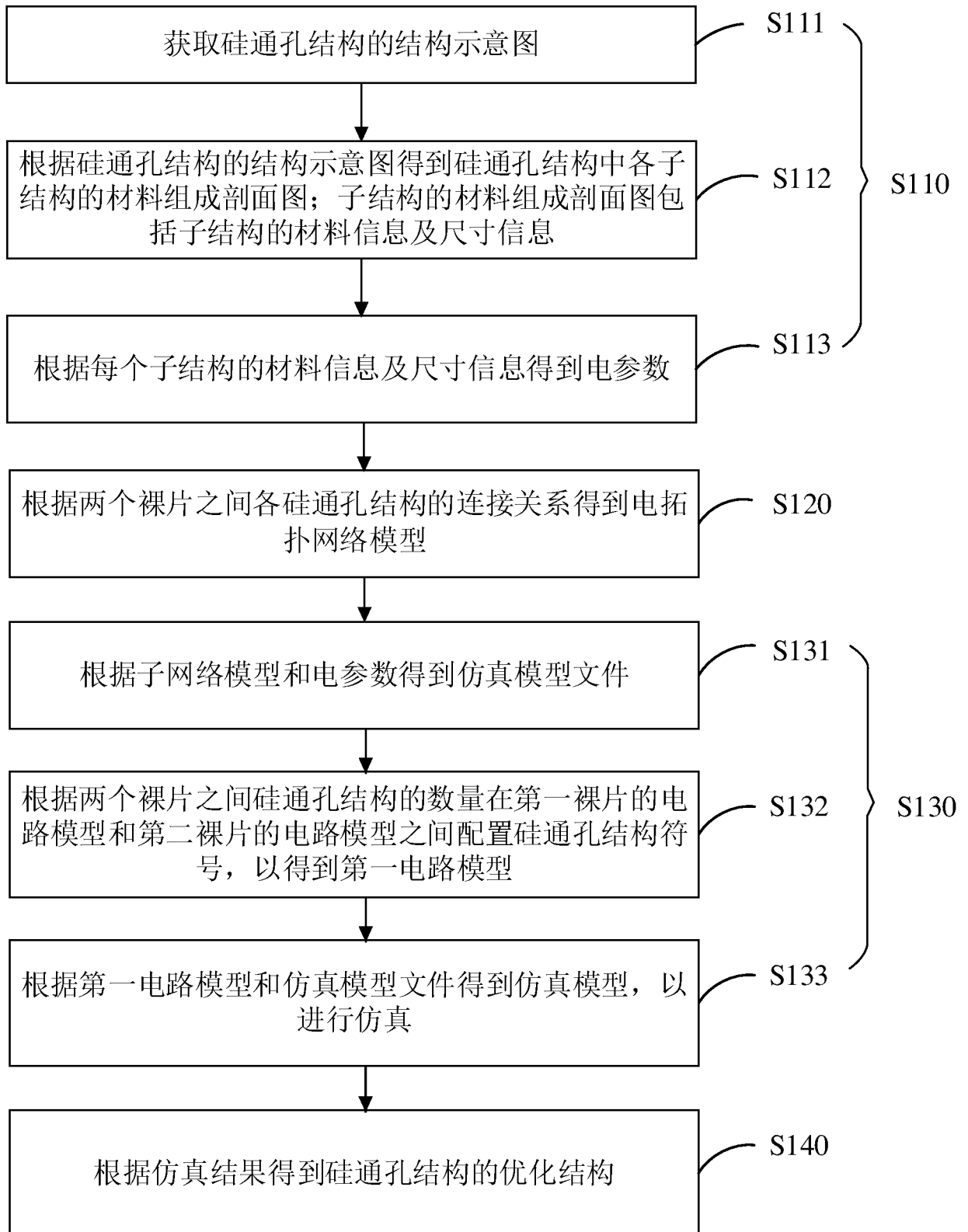


图 3

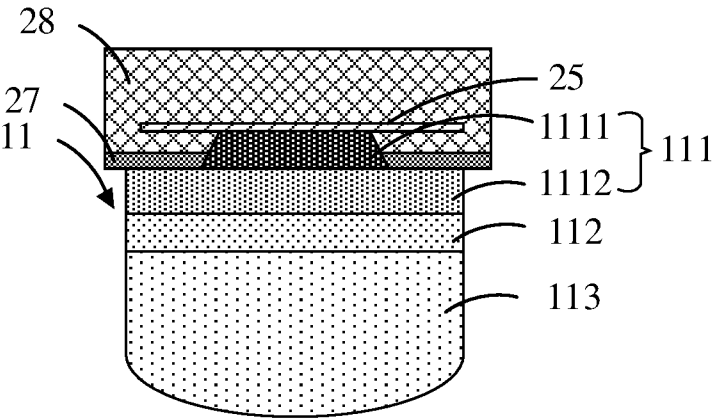


图 4

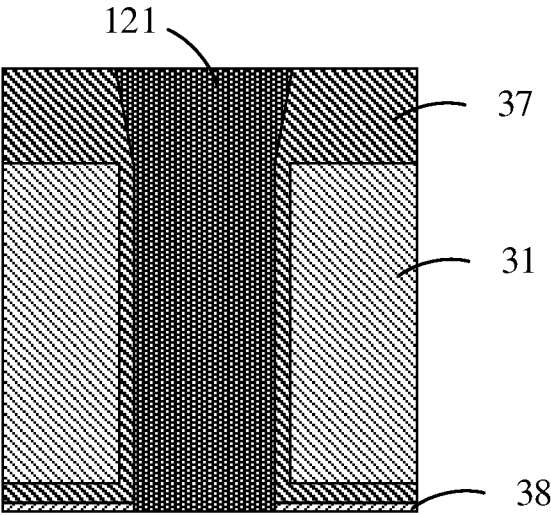


图 5

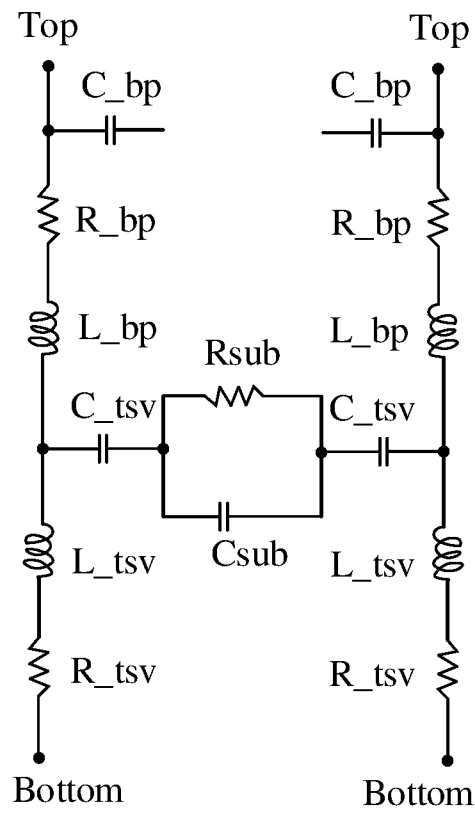


图 6

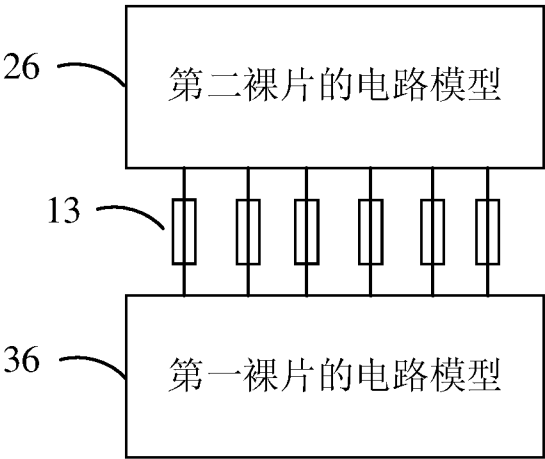


图 7

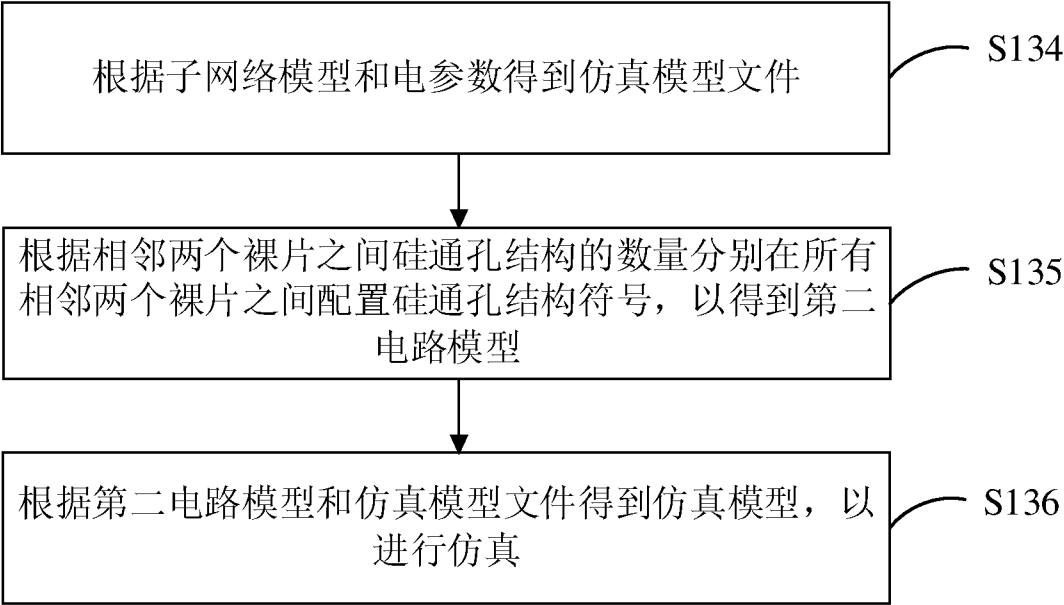


图 8

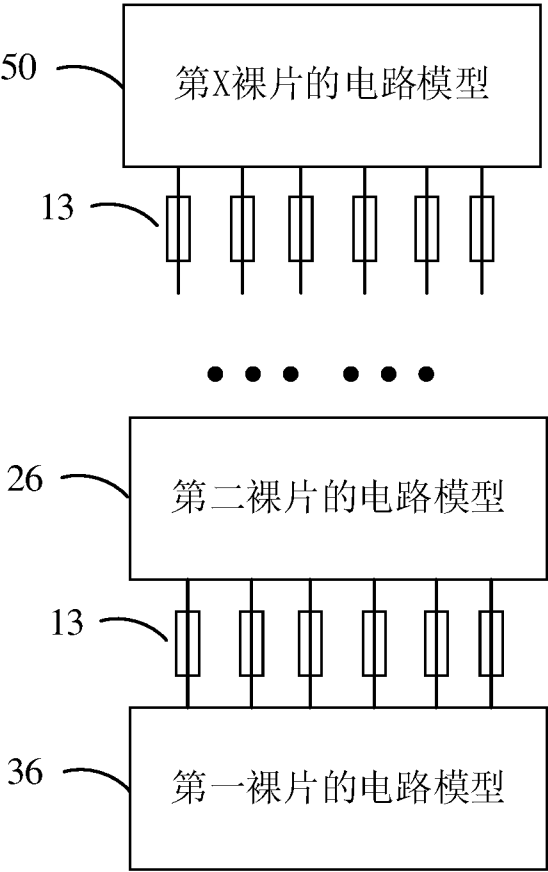


图 9

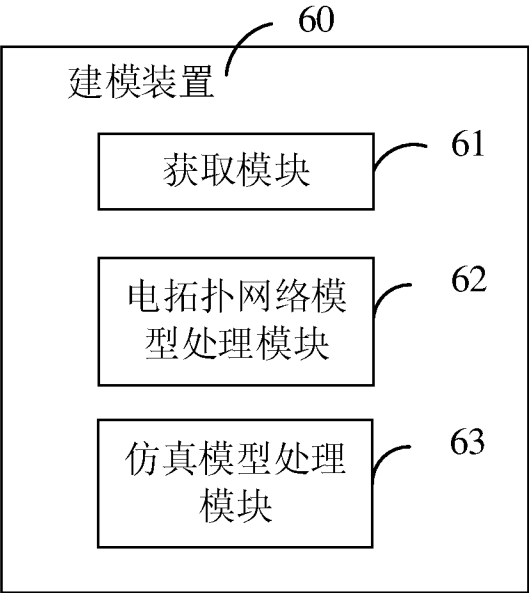


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120533

A. CLASSIFICATION OF SUBJECT MATTER G06F 30/30(2020.01)i According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, CNKI, WPI, EPODOC, IEEE: 硅通孔, 电参数, 电阻, 电容, 电感, 子结构, 裸片, 拓扑网络, 等效电路, 模型, 仿真, 焊盘, 焊点, 尺寸, 剖面, 互连, 堆叠, 芯片, TSV, through silicon via, electrical parameters, resistance, capacitance, inductance, substructure, die, topological network, equivalent circuit, model, simulation, pad, size, interconnection, stacking, chip																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 111783376 A (ZHEJIANG UNIVERSITY) 16 October 2020 (2020-10-16) description, paragraphs [0014]-[0019]</td> <td>1, 2, 12-15</td> </tr> <tr> <td>A</td> <td>CN 103310070 A (TSINGHUA UNIVERSITY) 18 September 2013 (2013-09-18) entire document</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 109657305 A (XIDIAN UNIVERSITY) 19 April 2019 (2019-04-19) entire document</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 8959009 B1 (KEYSIGHT TECHNOLOGIES, INC.) 17 February 2015 (2015-02-17) entire document</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2013246990 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 19 September 2013 (2013-09-19) entire document</td> <td>1-15</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	CN 111783376 A (ZHEJIANG UNIVERSITY) 16 October 2020 (2020-10-16) description, paragraphs [0014]-[0019]	1, 2, 12-15	A	CN 103310070 A (TSINGHUA UNIVERSITY) 18 September 2013 (2013-09-18) entire document	1-15	A	CN 109657305 A (XIDIAN UNIVERSITY) 19 April 2019 (2019-04-19) entire document	1-15	A	US 8959009 B1 (KEYSIGHT TECHNOLOGIES, INC.) 17 February 2015 (2015-02-17) entire document	1-15	A	US 2013246990 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 19 September 2013 (2013-09-19) entire document	1-15
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	CN 111783376 A (ZHEJIANG UNIVERSITY) 16 October 2020 (2020-10-16) description, paragraphs [0014]-[0019]	1, 2, 12-15																		
A	CN 103310070 A (TSINGHUA UNIVERSITY) 18 September 2013 (2013-09-18) entire document	1-15																		
A	CN 109657305 A (XIDIAN UNIVERSITY) 19 April 2019 (2019-04-19) entire document	1-15																		
A	US 8959009 B1 (KEYSIGHT TECHNOLOGIES, INC.) 17 February 2015 (2015-02-17) entire document	1-15																		
A	US 2013246990 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 19 September 2013 (2013-09-19) entire document	1-15																		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																				
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																				
Date of the actual completion of the international search 07 February 2022		Date of mailing of the international search report 15 February 2022																		
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451		Authorized officer Telephone No.																		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/120533

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111783376	A	16 October 2020	None			
CN	103310070	A	18 September 2013	None			
CN	109657305	A	19 April 2019	None			
US	8959009	B1	17 February 2015	None			
US	2013246990	A1	19 September 2013	KR	20130105231	A	25 September 2013
				CN	103310031	A	18 September 2013
				TW	201337613	A	16 September 2013
				US	9633149	B2	25 April 2017

国际检索报告

国际申请号

PCT/CN2021/120533

A. 主题的分类 G06F 30/30 (2020.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EP0DOC, IEEE: 硅通孔, 电参数, 电阻, 电容, 电感, 子结构, 裸片, 拓扑网络, 等效电路, 模型, 仿真, 焊盘, 焊点, 尺寸, 剖面, 互连, 堆叠, 芯片, TSV, through silicon via, electrical parameters, resistance, capacitance, inductance, substructure, die, topological network, equivalent circuit, model, simulation, pad, size, interconnection, stacking, chip																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 111783376 A (浙江大学) 2020年10月16日 (2020 - 10 - 16) 说明书第[0014]-[0019]段</td> <td>1, 2, 12-15</td> </tr> <tr> <td>A</td> <td>CN 103310070 A (清华大学) 2013年9月18日 (2013 - 09 - 18) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 109657305 A (西安电子科技大学) 2019年4月19日 (2019 - 04 - 19) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 8959009 B1 (KEYSIGHT TECHNOLOGIES, INC.) 2015年2月17日 (2015 - 02 - 17) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2013246990 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2013年9月19日 (2013 - 09 - 19) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 111783376 A (浙江大学) 2020年10月16日 (2020 - 10 - 16) 说明书第[0014]-[0019]段	1, 2, 12-15	A	CN 103310070 A (清华大学) 2013年9月18日 (2013 - 09 - 18) 全文	1-15	A	CN 109657305 A (西安电子科技大学) 2019年4月19日 (2019 - 04 - 19) 全文	1-15	A	US 8959009 B1 (KEYSIGHT TECHNOLOGIES, INC.) 2015年2月17日 (2015 - 02 - 17) 全文	1-15	A	US 2013246990 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2013年9月19日 (2013 - 09 - 19) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 111783376 A (浙江大学) 2020年10月16日 (2020 - 10 - 16) 说明书第[0014]-[0019]段	1, 2, 12-15																		
A	CN 103310070 A (清华大学) 2013年9月18日 (2013 - 09 - 18) 全文	1-15																		
A	CN 109657305 A (西安电子科技大学) 2019年4月19日 (2019 - 04 - 19) 全文	1-15																		
A	US 8959009 B1 (KEYSIGHT TECHNOLOGIES, INC.) 2015年2月17日 (2015 - 02 - 17) 全文	1-15																		
A	US 2013246990 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2013年9月19日 (2013 - 09 - 19) 全文	1-15																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期		国际检索报告邮寄日期																		
2022年2月7日		2022年2月15日																		
ISA/CN的名称和邮寄地址		受权官员																		
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		郭婉莹 电话号码 86-(10)-53961361																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/120533

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111783376	A	2020年10月16日	无			
CN	103310070	A	2013年9月18日	无			
CN	109657305	A	2019年4月19日	无			
US	8959009	B1	2015年2月17日	无			
US	2013246990	A1	2013年9月19日	KR	20130105231	A	2013年9月25日
				CN	103310031	A	2013年9月18日
				TW	201337613	A	2013年9月16日
				US	9633149	B2	2017年4月25日