(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0040567
(43) 공개일자 2025년03월24일

(51) 국제특허분류(Int. Cl.)
G09G 3/3208 (2016.01) *H10D 86/40* (2025.01)
H10K 59/12 (2023.01) *H10K 59/121* (2023.01)
H10K 59/131 (2023.01)
(52) CPC특허분류
G09G 3/3208 (2013.01)
H10D 86/441 (2025.01)
(21) 출원번호 10-2024-7016883
(22) 출원일자(국제) 2022년07월29일
심사청구일자 없음
(85) 번역문제출일자 2024년05월21일
(86) 국제출원번호 PCT/CN2022/108886
(87) 국제공개번호 WO 2024/021001
국제공개일자 2024년02월01일

(71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시 앙치아오 로드 10호
베이징 보에 디스플레이 테크놀로지 컴퍼니 리미티드
중국 베이징 100176 비디에이 징하이일루 118호
(72) 발명자
충, 닝
중국 100176 베이징 비디에이 디쩌 로드 넘버 9
판, 룽페이
중국 100176 베이징 비디에이 디쩌 로드 넘버 9
(뒷면에 계속)
(74) 대리인
양영준, 김성운, 백만기

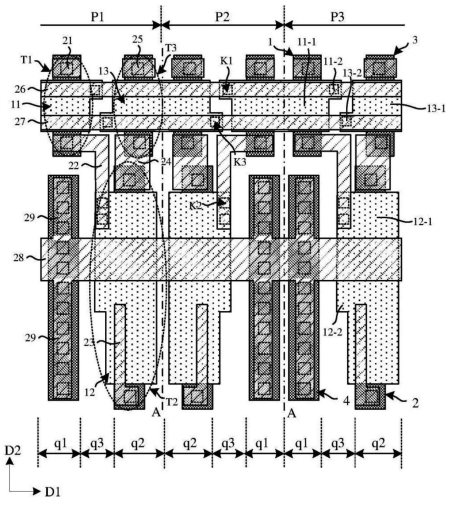
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 **디스플레이 기판 및 그 제조 방법, 디스플레이 장치**

(57) 요 약

디스플레이 기판 및 그 제조 방법, 디스플레이 장치. 디스플레이 기판은 다수의 서브 픽셀을 포함하며, 서브 픽셀은 제1 영역(q1), 간격 영역(q3) 및 제2 영역(q2)을 포함하며; 서브 픽셀은 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 포함하고, 제1 트랜지스터(T1)는 제1 능동층(1)과 제1 게이트 전극(11)을 포함하며, 제2 트랜지스터(T2)는 제2 능동층(2)과 제2 게이트 전극(12)을 포함하고, 제3 트랜지스터(T2)는 제3 능동층(3)과 제3 게이트 전극(13)을 포함하며; 제1 능동층(1)은 제1 영역(q1)에 설치되고, 제2 능동층(2)과 제3 능동층(T3)은 제2 영역(q2)에 설치되며, 제1 게이트 전극(11) 및 제3 게이트 전극(13)이 스캔 신호선과 연결되는 통과홀, 제2 게이트 전극(12)이 제1 트랜지스터(T1)와 연결되는 통과홀은 모두 간격 영역(q3)에 설치된다.

대 표 도 - 도5



(52) CPC특허분류
H10K 59/1201 (2023.02)
H10K 59/1213 (2023.02)
H10K 59/1216 (2023.02)
H10K 59/131 (2023.02)
H10K 59/1315 (2023.02)
(72) 발명자
리, 다차오
중국 100176 베이징 비디에이 디쩌 로드 넘버 9
장, 찬
중국 100176 베이징 비디에이 디쩌 로드 넘버 9
쉬안, 밍화
중국 100176 베이징 비디에이 디쩌 로드 넘버 9
천, 샤오촨
중국 100176 베이징 비디에이 디쩌 로드 넘버 9

명 세 서

청구범위

청구항 1

디스플레이 기판에 있어서,

디스플레이 영역과 변두리 영역을 포함하며, 상기 디스플레이 영역은 다수의 픽셀 행과 다수의 픽셀 열을 형성하는 다수의 서브 픽셀을 포함하며, 상기 서브 픽셀은 픽셀 행의 방향을 따라 순차적으로 설치되는 제1 영역, 간격 영역 및 제2 영역을 포함하며; 적어도 하나의 서브 픽셀은 픽셀 드라이브 회로, 제1 스캔 신호선 및 제2 스캔 신호선을 포함하며, 상기 픽셀 드라이브 회로는 적어도 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 포함하며, 상기 제1 스캔 신호선은 상기 제1 트랜지스터의 도통 또는 단절을 제어하도록 구성되며, 상기 제2 스캔 신호선은 상기 제2 트랜지스터의 도통 또는 단절을 제어하도록 구성되며; 상기 제1 트랜지스터는 적어도 제1 게이트 전극, 제1 능동층 및 제1 트랜지스터의 제1 극과 제1 트랜지스터의 제2 극을 포함하며, 상기 제2 트랜지스터는 적어도 제2 게이트 전극과 제2 능동층을 포함하며, 상기 제3 트랜지스터는 적어도 제3 게이트 전극과 제3 능동층을 포함하며; 상기 제1 능동층은 상기 제1 영역에 설치되고, 상기 제2 능동층과 제3 능동층은 상기 제2 영역에 설치되며, 상기 제2 능동층은 상기 제3 능동층 픽셀 열 방향의 한쪽에 설치되며; 상기 제1 스캔 신호선은 제1 게이트 통과홀을 통하여 상기 제1 게이트 전극과 연결되고, 상기 제1 트랜지스터의 제2 극은 제2 게이트 통과홀을 통하여 상기 제2 게이트 전극과 연결되며, 상기 제2 스캔 신호선은 제3 게이트 통과홀을 통하여 상기 제3 게이트 전극과 연결되며, 상기 제1 게이트 통과홀, 제2 게이트 통과홀 및 제3 게이트 통과홀은 상기 간격 영역에 설치되는 것을 특징으로 하는 디스플레이 기판.

청구항 2

제1항에 있어서,

상기 픽셀 행 방향을 따라, 상기 제1 영역은 제1 너비를 가지고, 상기 제2 영역은 제2 너비를 가지며, 상기 간격 영역은 제3 너비를 가지며, 상기 제3 너비는 0.5* 제1 너비보다 작거나 같으며, 상기 제3 너비는 0.5* 제2 너비보다 작거나 같은 것을 특징으로 하는 디스플레이 기판.

청구항 3

제1항에 있어서,

상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 제1 게이트 전극은 서로 연결되는 일체 구조이고, 상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 제3 게이트 전극은 서로 연결되는 일체 구조인 것을 특징으로 하는 디스플레이 기판.

청구항 4

제3항에 있어서,

상기 일체 구조의 제1 게이트 전극은 두 개의 제1 게이트 통과홀을 통하여 상기 제1 스캔 신호선과 연결되고, 상기 일체 구조의 제3 게이트 전극은 두 개의 제3 게이트 통과홀을 통하여 상기 제2 스캔 신호선과 연결되는 것을 특징으로 하는 디스플레이 기판.

청구항 5

제1항에 있어서,

상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 픽셀 중심선을 기준으로 거울 대칭되며, 상기 픽셀 중심선은 상기 픽셀 행에서 인접한 두 개의 서브 픽셀 사이에 위치하고 상기 픽셀 열 방향을 따라 연장되는 직선인 것을 특징으로 하는 디스플레이 기판.

청구항 6

제1항에 있어서,

적어도 하나의 서브 픽셀에서, 상기 제1 게이트 전극은 서로 연결되는 제1 게이트 본체부와 제1 게이트 연결부를 포함하며, 상기 제1 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제1 스캔 신호선은 상기 제1 게이트 통과홀을 통하여 상기 제1 게이트 연결부와 연결되는 것을 특징으로 하는 디스플레이 기판.

청구항 7

제1항에 있어서,

적어도 하나의 서브 픽셀에서, 상기 제2 게이트 전극은 서로 연결되는 제2 게이트 본체부와 제2 게이트 연결부를 포함하며, 상기 제2 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제1 트랜지스터의 제2 극이 상기 제2 게이트 통과홀을 통하여 상기 제2 게이트 연결부와 연결되는 것을 특징으로 하는 디스플레이 기판.

청구항 8

제1항에 있어서,

적어도 하나의 서브 픽셀에서, 상기 제3 게이트 전극은 서로 연결되는 제3 게이트 본체부와 제3 게이트 연결부를 포함하며, 상기 제3 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제2 스캔 신호선은 상기 제3 게이트 통과홀을 통하여 상기 제3 게이트 연결부와 연결되는 것을 특징으로 하는 디스플레이 기판.

청구항 9

제1항에 있어서,

적어도 하나의 서브 픽셀에서, 상기 제1 게이트 전극은 서로 연결되는 제1 게이트 본체부와 제1 게이트 연결부를 포함하며, 상기 제1 게이트 연결부는 상기 제1 게이트 본체부의 상기 제3 게이트 전극에 가까운 한쪽에 설치되며, 상기 제3 게이트 전극은 서로 연결되는 제3 게이트 본체부와 제3 게이트 연결부를 포함하며, 상기 제3 게이트 연결부는 상기 제3 게이트 본체부의 상기 제1 게이트 전극에 가까운 한쪽에 설치되며, 상기 제1 게이트 연결부와 상기 제3 게이트 연결부가 상기 픽셀 열 방향에서 비정렬로 설치되는 것을 특징으로 하는 디스플레이 기판.

청구항 10

제9항에 있어서,

상기 제1 게이트 본체부와 제1 게이트 연결부의 상기 제2 트랜지스터에서 멀리 떨어져 한쪽의 가장자리가 정렬되며, 상기 제3 게이트 본체부와 제3 게이트 연결부의 상기 제2 트랜지스터에 가까운 한쪽의 가장자리가 정렬되는 것을 특징으로 하는 디스플레이 기판.

청구항 11

제1항에 있어서,

적어도 하나의 서브 픽셀에서 상기 제2 게이트 전극은 서로 연결되는 제2 게이트 본체부와 제2 게이트 연결부를 포함하며, 상기 제2 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제2 게이트 본체부와 제2 게이트 연결부의 상기 제3 트랜지스터에 가까운 한쪽의 가장자리가 정렬되는 것을 특징으로 하는 디스플레이 기판.

청구항 12

제1항에 있어서,

상기 제1 스캔 신호선과 제2 스캔 신호선의 모양은 본체 부분이 상기 픽셀 행 방향을 따라 연장되는 선 모양이며, 상기 제1 스캔 신호선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제1 게이트 전극과 제3 게이트 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되고, 상기 제2 스캔 신호선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제1 게이트 전극과 제3 게이트 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되는 것을 특징으로 하는 디스플레이 기판.

청구항 13

제1항에 있어서,

상기 제2 트랜지스터는 또한 제2 트랜지스터의 제1 극과 제2 트랜지스터의 제2 극을 포함하고, 상기 제3 트랜지스터는 또한 제3 트랜지스터의 제1 극과 제3 트랜지스터의 제2 극을 포함하며, 상기 제1 소스 전극은 데이터 신호선과 연결되고, 상기 제2 트랜지스터의 제1 극은 발광 전압선과 연결되며, 상기 제3 트랜지스터의 제1 극은 참조 신호선과 연결되며, 상기 제2 트랜지스터의 제2 극과 상기 제3 트랜지스터의 제2 극이 서로 연결되는 일체 구조인 것을 특징으로 하는 디스플레이 기판.

청구항 14

제1항에 있어서,

적어도 하나의 서브 픽셀에서, 상기 픽셀 드라이브 회로는 또한 저장 커패시터를 포함하며, 상기 저장 커패시터는 제1 극판과 제2 극판을 포함하며, 상기 제1 극판의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제2 극판의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되며, 상기 제1 극판은 연결 전극을 통하여 상기 제1 트랜지스터의 제2 극과 연결되고, 상기 제2 극판은 제1 전원선과 연결되는 것을 특징으로 하는 디스플레이 기판.

청구항 15

제1항에 있어서,

적어도 하나의 서브 픽셀은 또한 접촉 전극을 포함하며, 상기 접촉 전극은 상기 제1 영역에 설치되며, 상기 접촉 전극은 상기 제1 능동층의 상기 픽셀 열 방향의 한쪽에 설치되는 것을 특징으로 하는 디스플레이 기판.

청구항 16

제15항에 있어서,

적어도 하나의 서브 픽셀은 또한 바이어스 전압선을 포함하며, 상기 바이어스 전압선은 통과홀을 통하여 상기 접촉 전극과 연결되며, 상기 바이어스 전압선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제2 게이트 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되는 것을 특징으로 하는 디스플레이 기판.

청구항 17

제16항에 있어서,

적어도 하나의 서브 픽셀에서, 상기 접촉 전극의 모양은 상기 픽셀 열 방향을 따라 연장되는 스트립 모양이고, 상기 바이어스 전압선의 모양은 상기 픽셀 행 방향을 따라 연장되는 선 모양이며, 상기 바이어스 전압선의 상기 픽셀 열 방향의 한쪽 또는 양쪽에 바이어스 연결선이 연결되며, 상기 바이어스 연결선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 접촉 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되며, 상기 바이어스 연결선은 통과홀을 통하여 상기 접촉 전극과 연결되는 것을 특징으로 하는 디스플레이 기판.

청구항 18

제17항에 있어서,

상기 바이어스 전압선과 상기 바이어스 연결선은 서로 연결되는 일체 구조인 것을 특징으로 하는 디스플레이 기판.

청구항 19

제1항에 있어서,

상기 변두리 영역에는 적어도 발광 제어 트랜지스터가 포함되며, 상기 발광 제어 트랜지스터의 게이트 전극이 발광 제어선과 연결되고, 상기 발광 제어 트랜지스터의 제1 극이 변두리 전원 리드선과 연결되며, 상기 발광 제어 트랜지스터의 제2 극이 발광 전압선과 연결되고, 상기 발광 전압선이 하나의 픽셀 행에서의 다수의 서브 픽셀의 제2 트랜지스터의 제1 극과 연결되며, 상기 변두리 전원 리드선이 제1 전원선과 연결되는 것을 특징으로

하는 디스플레이 기판.

청구항 20

제1항 내지 제19항 중 어느 한 항에 있어서,

상기 디스플레이 기판에 수직인 평면에, 상기 디스플레이 기판은 적어도 실리콘 기질에 순차적으로 설치되는 제1 전도층과 제2 전도층을 포함하며, 상기 실리콘 기질은 적어도 상기 제1 능동층, 제2 능동층 및 제3 능동층을 포함하며, 상기 제1 전도층은 적어도 상기 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극을 포함하며, 상기 제2 전도층은 적어도 상기 제1 스캔 신호선과 제2 스캔 신호선을 포함하는 것을 특징으로 하는 디스플레이 기판.

청구항 21

제20항에 있어서,

상기 디스플레이 기판은 또한 상기 제2 전도층의 상기 실리콘 기질에서 멀리 떨어진 한쪽에 설치되는 제3 전도층, 제4 전도층, 제5 전도층, 제6 전도층, 제7 전도층 및 제8 전도층을 포함하며, 상기 제3 전도층은 적어도 데이터 신호선과 참조 신호선을 포함하고, 상기 제4 전도층은 적어도 발광 전압선을 포함하며, 상기 제6 전도층은 적어도 저장 커패시터의 제1 극판을 포함하고, 상기 제7 전도층은 적어도 저장 커패시터의 제2 극판을 포함하며, 상기 제8 전도층은 적어도 양극 연결 전극과 제1 전원선을 포함하는 것을 특징으로 하는 디스플레이 기판.

청구항 22

디스플레이 장치에 있어서,

제1항 내지 제21항 중 어느 한 항의 상기 디스플레이 기판이 포함되는 것을 특징으로 하는 디스플레이 장치.

청구항 23

디스플레이 기판의 제조 방법에 있어서,

상기 디스플레이 기판은 디스플레이 영역과 변두리 영역을 포함하며, 상기 디스플레이 영역은 픽셀 행과 픽셀 열을 형성하는 다수의 서브 픽셀을 포함하며, 상기 서브 픽셀은 픽셀 행 방향을 따라 순차적으로 설치되는 제1 영역, 간격 영역 및 제2 영역을 포함하며; 적어도 하나의 서브 픽셀은 픽셀 드라이브 회로, 제1 스캔 신호선 및 제2 스캔 신호선을 포함하며, 상기 픽셀 드라이브 회로는 적어도 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 포함하며, 상기 제1 스캔 신호선은 상기 제1 트랜지스터의 도통 또는 단절을 제어하도록 구성되고, 상기 제2 스캔 신호선은 제2 트랜지스터의 도통 또는 단절을 제어하도록 구성되며; 상기 제1 트랜지스터는 적어도 제1 게이트 전극, 제1 능동층 및 제1 트랜지스터의 제1 극과 제1 트랜지스터의 제2 극을 포함하며, 상기 제2 트랜지스터는 적어도 제2 게이트 전극과 제2 능동층을 포함하며, 상기 제3 트랜지스터는 적어도 제3 게이트 전극과 제3 능동층을 포함하며; 상기 제조 방법에는,

상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제1 스캔 신호선 및 제2 스캔 신호선을 형성하며, 상기 제1 능동층은 상기 제1 영역에 설치되고, 상기 제2 능동층과 제3 능동층은 상기 제2 영역에 설치되며, 상기 제2 능동층은 상기 제3 능동층의 픽셀 열 방향의 한쪽에 설치되며; 상기 제1 게이트 전극은 제1 게이트 통과홀을 통하여 제1 스캔 신호선과 연결되고, 상기 제2 게이트 전극은 제2 게이트 통과홀을 통하여 상기 제1 트랜지스터의 제2 극과 연결되며, 상기 제3 게이트 전극은 제3 게이트 통과홀을 통하여 제2 스캔 신호선과 연결되며, 상기 제1 게이트 통과홀, 제2 게이트 통과홀 및 제3 게이트 통과홀은 상기 간격 영역에 설치되는 것이 포함되는 것을 특징으로 하는 디스플레이 기판의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 공개는 디스플레이 기술 분야에 관한 것이지만 이에 제한되지 않으며, 특히 디스플레이 기판 및 그 제조 방법, 디스플레이 장치에 관한 것이다.

배 경 기 술

[0002] 마이크로 유기 발광 다이오드(Micro Organic Light-Emitting Diode, Micro-OLED)는 최근 몇 년 동안 발전한 마이크로 디스플레이로 실리콘 기반 OLED가 그 중 하나이다. 실리콘 기반 OLED는 픽셀의 액티브 어드레싱을 구현할 수 있을 뿐만 아니라 실리콘 기반 기질에 픽셀 드라이브 회로 등 구조의 제조를 구현할 수 있어, 시스템 부피를 줄이고 경량화를 구현하는데 유리하다. 실리콘 기반 OLED는 성숙한 상호 보완 금속 산화물 반도체(Complementary Metal Oxide Semiconductor, CMOS) 집적 회로 공정을 사용하여 제조되었으며, 부피가 작고 고해상도(Pixels Per Inch, PPI), 고갱신율 등의 장점을 가지고 있다.

발명의 내용

[0003] 아래는 본 공개된 주제에 대하여 상세히 설명하도록 한다. 본 개요는 청구범위의 보호 범위를 제한하기 위한 것이 아니다.

[0004] 한편으로, 본 공개의 실시예는 디스플레이 기판을 제공하고, 디스플레이 영역과 변두리 영역을 포함하며, 상기 디스플레이 영역은 다수의 픽셀 행과 다수의 픽셀 열을 형성하는 다수의 서브 픽셀을 포함하며, 상기 서브 픽셀은 픽셀 행의 방향을 따라 순차적으로 설치되는 제1 영역, 간격 영역 및 제2 영역을 포함하며; 적어도 하나의 서브 픽셀은 픽셀 드라이브 회로, 제1 스캔 신호선 및 제2 스캔 신호선을 포함하며, 상기 픽셀 드라이브 회로는 적어도 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 포함하며, 상기 제1 스캔 신호선은 상기 제1 트랜지스터의 도통 또는 단절을 제어하도록 구성되며, 상기 제2 스캔 신호선은 상기 제2 트랜지스터의 도통 또는 단절을 제어하도록 구성되며; 상기 제1 트랜지스터는 적어도 제1 게이트 전극, 제1 능동층 및 제1 트랜지스터의 제1 극과 제1 트랜지스터의 제2 극을 포함하며, 상기 제2 트랜지스터는 적어도 제2 게이트 전극과 제2 능동층을 포함하며, 상기 제3 트랜지스터는 적어도 제3 게이트 전극과 제3 능동층을 포함하며; 상기 제1 능동층은 상기 제1 영역에 설치되고, 상기 제2 능동층과 제3 능동층은 상기 제2 영역에 설치되며, 상기 제2 능동층은 상기 제3 능동층 픽셀 열 방향의 한쪽에 설치되며; 상기 제1 스캔 신호선은 제1 게이트 통과홀을 통하여 상기 제1 게이트 전극과 연결되고, 상기 제1 트랜지스터의 제2 극은 제2 게이트 통과홀을 통하여 상기 제2 게이트 전극과 연결되며, 상기 제2 스캔 신호선은 제3 게이트 통과홀을 통하여 상기 제3 게이트 전극과 연결되며, 상기 제1 게이트 통과홀, 제2 게이트 통과홀 및 제3 게이트 통과홀은 상기 간격 영역에 설치된다.

[0005] 예시적 실시 방식에서, 상기 픽셀 행 방향을 따라, 상기 제1 영역은 제1 너비를 가지고, 상기 제2 영역은 제2 너비를 가지며, 상기 간격 영역은 제3 너비를 가지며, 상기 제3 너비는 0.5* 제1 너비보다 작거나 같으며, 상기 제3 너비는 0.5* 제2 너비보다 작거나 같다.

[0006] 예시적 실시 방식에서, 상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 제1 게이트 전극은 서로 연결되는 일체 구조이며, 상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 제3 게이트 전극은 서로 연결되는 일체 구조이다.

[0007] 예시적 실시 방식에서, 상기 일체 구조의 제1 게이트 전극은 두 개의 제1 게이트 통과홀을 통하여 상기 제1 스캔 신호선과 연결되고, 상기 일체 구조의 제3 게이트 전극은 두 개의 제3 게이트 통과홀을 통하여 상기 제2 스캔 신호선과 연결된다.

[0008] 예시적 실시 방식에서, 상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 픽셀 중심선을 기준으로 거울 대칭되며, 상기 픽셀 중심선은 상기 픽셀 행에서 인접한 두 개의 서브 픽셀 사이에 위치하고 상기 픽셀 열의 방향을 따라 연장되는 직선이다.

[0009] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 상기 제1 게이트 전극은 서로 연결되는 제1 게이트 본체부와 제1 게이트 연결부를 포함하며, 상기 제1 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제1 스캔 신호선은 상기 제1 게이트 통과홀을 통하여 상기 제1 게이트 연결부와 연결된다.

[0010] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 상기 제2 게이트 전극은 서로 연결되는 제2 게이트 본체부와 제2 게이트 연결부를 포함하며, 상기 제2 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제1 트랜지스터의 제2 극이 상기 제2 게이트 통과홀을 통하여 상기 제2 게이트 연결부와 연결된다.

[0011] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 상기 제3 게이트 전극은 서로 연결되는 제3 게이트 본체부와 제3 게이트 연결부를 포함하며, 상기 제3 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제2 스캔 신호선은 상기 제3 게이트 통과홀을 통하여 상기 제3 게이트 연결부와 연결된다.

[0012] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 상기 제1 게이트 전극은 서로 연결되는 제1 게이트 본체

부와 제1 게이트 연결부를 포함하며, 상기 제1 게이트 연결부는 상기 제1 게이트 본체부의 상기 제3 게이트 전극에 가까운 한쪽에 설치되며, 상기 제3 게이트 전극은 서로 연결되는 제3 게이트 본체부와 제3 게이트 연결부를 포함하며, 상기 제3 게이트 연결부는 상기 제3 게이트 본체부의 상기 제1 게이트 전극에 가까운 한쪽에 설치되며, 상기 제1 게이트 연결부와 상기 제3 게이트 연결부가 상기 픽셀 열 방향에서 비정렬로 설치된다.

[0013] 예시적 실시 방식에서, 상기 제1 게이트 본체부와 제1 게이트 연결부의 상기 제2 트랜지스터에서 멀리 떨어진 한쪽의 가장자리가 정렬되며, 상기 제3 게이트 본체부와 제3 게이트 연결부의 상기 제2 트랜지스터에 가까운 한쪽의 가장자리가 정렬된다.

[0014] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 상기 제2 게이트 전극은 서로 연결되는 제2 게이트 본체부와 제2 게이트 연결부를 포함하며, 상기 제2 게이트 연결부는 상기 간격 영역에 설치되며, 상기 제2 게이트 본체부와 제2 게이트 연결부의 상기 제3 트랜지스터에 가까운 한쪽의 가장자리가 정렬된다.

[0015] 예시적 실시 방식에서, 상기 제1 스캔 신호선과 제2 스캔 신호선의 모양은 본체 부분이 상기 픽셀 행 방향을 따라 연장되는 선 모양이며, 상기 제1 스캔 신호선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제1 게이트 전극과 제3 게이트 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되고, 상기 제2 스캔 신호선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제1 게이트 전극과 제3 게이트 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩된다.

[0016] 예시적 실시 방식에서, 상기 제2 트랜지스터는 또한 제2 트랜지스터의 제1 극과 제2 트랜지스터의 제2 극을 포함하고, 상기 제3 트랜지스터는 또한 제3 트랜지스터의 제1 극과 제3 트랜지스터의 제2 극을 포함하며, 상기 제1 소스 전극은 데이터 신호선과 연결되고, 상기 제2 트랜지스터의 제1 극은 발광 전압선과 연결되며, 상기 제3 트랜지스터의 제1 극은 참조 신호선과 연결되며, 상기 제2 트랜지스터의 제2 극과 상기 제3 트랜지스터의 제2 극은 서로 연결되는 일체 구조이다.

[0017] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 상기 픽셀 드라이브 회로는 또한 저장 커패시터를 포함하며, 상기 저장 커패시터는 제1 극판과 제2 극판을 포함하며, 상기 제1 극판의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제2 극판의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되며, 상기 제1 극판은 연결 전극을 통하여 상기 제1 트랜지스터의 제2 극과 연결되고, 상기 제2 극판은 제1 전원선과 연결된다.

[0018] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀은 또한 접촉 전극을 포함하며, 상기 접촉 전극은 상기 제1 영역에 설치되며, 상기 접촉 전극은 상기 제1 능동층의 상기 픽셀 열 방향의 한쪽에 설치된다.

[0019] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀은 또한 바이어스 전압선을 포함하며, 상기 바이어스 전압선은 통과홀을 통하여 상기 접촉 전극과 연결되며, 상기 바이어스 전압선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 제2 게이트 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩된다.

[0020] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 상기 접촉 전극의 모양은 상기 픽셀 열 방향을 따라 연장되는 스트립 모양이고, 상기 바이어스 전압선의 모양은 상기 픽셀 행 방향을 따라 연장되는 선 모양이며, 상기 바이어스 전압선의 상기 픽셀 열 방향의 한쪽 또는 양쪽에 바이어스 연결선이 연결되며, 상기 바이어스 연결선의 상기 디스플레이 기판의 평면에서의 정투영은 상기 접촉 전극의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되며, 상기 바이어스 연결선은 통과홀을 통하여 상기 접촉 전극과 연결된다.

[0021] 예시적 실시 방식에서, 상기 바이어스 전압선과 상기 바이어스 연결선은 서로 연결되는 일체 구조이다.

[0022] 예시적 실시 방식에서, 상기 변두리 영역은 적어도 발광 제어 트랜지스터를 포함하며, 상기 발광 제어 트랜지스터의 게이트 전극은 발광 제어선과 연결되고, 상기 발광 제어 트랜지스터의 제1 극은 변두리 전원 리드선과 연결되며, 상기 발광 제어 트랜지스터의 제2 극은 발광 전압선과 연결되고, 상기 발광 전압선은 하나의 픽셀 행 중 다수의 서브 픽셀의 제2 트랜지스터의 제1 극과 연결되며, 상기 변두리의 전원 리드선은 제1 전원선과 연결된다.

[0023] 예시적 실시 방식에서, 상기 디스플레이 기판에 수직인 평면에, 상기 디스플레이 기판은 적어도 실리콘 기질에 순차적으로 설치되는 제1 전도층과 제2 전도층을 포함하며, 상기 실리콘 기질은 적어도 상기 제1 능동층, 제2 능동층 및 제3 능동층을 포함하며, 상기 제1 전도층은 적어도 상기 제1 게이트 전극과 제2 게이트 전극 및 제3 게이트 전극을 포함하며, 상기 제2 전도층은 적어도 상기 제1 스캔 신호선과 제2 스캔 신호선을 포함한다.

[0024] 예시적 실시 방식에서, 상기 디스플레이 기판은 또한 상기 제2 전도층의 상기 실리콘 기질에서 멀리 떨어진 한

쪽에 설치되는 제3 전도층, 제4 전도층, 제5 전도층, 제6 전도층, 제7 전도층 및 제8 전도층을 포함하며, 상기 제3 전도층은 적어도 데이터 신호선과 참조 신호선을 포함하고, 상기 제4 전도층은 적어도 발광 전압선을 포함하며, 상기 제6 전도층은 적어도 저장 커패시터의 제1 극판을 포함하고, 상기 제7 전도층은 적어도 저장 커패시터의 제2 극판을 포함하며, 상기 제8 전도층은 적어도 양극 연결 전극과 제1 전원선을 포함한다.

[0025] 다른 한편으로, 본 공개의 실시예는 디스플레이 장치를 제공하며, 상술 디스플레이 기판을 포함한다.

[0026] 또 한편으로, 본 공개의 실시예는 디스플레이 기판의 제조 방법을 제공하며, 상기 디스플레이 기판은 디스플레이 영역과 변두리 영역을 포함하며, 상기 디스플레이 영역은 픽셀 행과 픽셀 열을 형성하는 다수의 서브 픽셀을 포함하며, 상기 서브 픽셀은 픽셀 행 방향을 따라 순차적으로 설치되는 제1 영역, 간격 영역 및 제2 영역을 포함하며; 적어도 하나의 서브 픽셀은 픽셀 드라이브 회로, 제1 스캔 신호선 및 제2 스캔 신호선을 포함하며, 상기 픽셀 드라이브 회로는 적어도 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 포함하며, 상기 제1 스캔 신호선은 상기 제1 트랜지스터의 도통 또는 단절을 제어하도록 구성되고, 상기 제2 스캔 신호선은 제2 트랜지스터의 도통 또는 단절을 제어하도록 구성되며; 상기 제1 트랜지스터는 적어도 제1 게이트 전극, 제1 능동층 및 제1 트랜지스터의 제1 극과 제1 트랜지스터의 제2 극을 포함하며, 상기 제2 트랜지스터는 적어도 제2 게이트 전극과 제2 능동층을 포함하며, 상기 제3 트랜지스터는 적어도 제3 게이트 전극과 제3 능동층을 포함하며; 상기 제조 방법에는,

[0027] 상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제1 스캔 신호선 및 제2 스캔 신호선을 형성하며, 상기 제1 능동층은 상기 제1 영역에 설치되고, 상기 제2 능동층과 제3 능동층은 상기 제2 영역에 설치되며, 상기 제2 능동층은 상기 제3 능동층의 픽셀 열 방향의 한쪽에 설치되며; 상기 제1 게이트 전극은 제1 게이트 통과홀을 통하여 제1 스캔 신호선과 연결되고, 상기 제2 게이트 전극은 제2 게이트 통과홀을 통하여 상기 제1 트랜지스터의 제2 극과 연결되며, 상기 제3 게이트 전극은 제3 게이트 통과홀을 통하여 제2 스캔 신호선과 연결되며, 상기 제1 게이트 통과홀, 제2 게이트 통과홀 및 제3 게이트 통과홀은 상기 간격 영역에 설치되는 것이 포함된다.

[0028] 도면과 상세한 설명을 읽고 이해한 후에 기타 방면을 이해할 수 있다.

도면의 간단한 설명

[0029] 도면은 본 공개의 기술 방안에 대한 이해를 돕기 위한 것으로, 본 공개의 일부에 속하며, 본 공개의 실시예와 함께 본 출원의 기술 방안을 설명하기 위한 것으로서, 본 공개의 기술 방안에 대하여 제한하는 것이 아니다. 첨부된 도면의 부품의 모양과 크기는 실제 비율을 반영하지 않으며, 본 공개의 내용을 설명하기 위한 목적일 뿐이다.

도 1은 실리콘 기반 OLED 디스플레이 장치의 구조 도면이다.

도 2는 실리콘 기반 OLED 디스플레이 장치의 평면 구조 도면이다.

도 3은 실리콘 기반 OLED 디스플레이 장치의 단면 구조 도면이다.

도 4는 본 공개의 예시적 실시예의 일 픽셀 드라이브 회로의 등가 회로 도면이다.

도 5는 본 공개의 예시적 실시예의 일 디스플레이 기판의 평면 구조 도면이다.

도 6은 본 공개의 실시예의 제1 전도층 패턴을 형성한 후의 도면이다.

도 7은 본 공개의 실시예의 제2 절연층 패턴을 형성한 후의 도면이다.

도 8a와 도 8b는 본 공개의 실시예의 제2 전도층 패턴을 형성한 후의 도면이다.

도 9는 본 공개의 예시적 실시예의 제3 절연층 패턴을 형성한 후의 도면이다.

도 10a와 도 10b는 본 공개의 실시예의 제3 전도층 패턴을 형성한 후의 도면이다.

도 11은 본 공개의 실시예의 제4 절연층 패턴을 형성한 후의 도면이다.

도 12a와 도 12b는 본 공개의 실시예의 제4 전도층 패턴을 형성한 후의 도면이다.

도 13은 본 공개의 실시예의 제5 절연층 패턴을 형성한 후의 도면이다.

도 14a와 도 14b는 본 공개의 실시예의 제5 전도층 패턴을 형성한 후의 도면이다.

도 15는 본 공개의 실시예의 제6 절연층 패턴을 형성한 후의 도면이다.

도 16a와 도 16b는 본 공개의 실시예의 제6 전도층 패턴을 형성한 후의 도면이다.

도 17a와 도 17b는 본 공개의 예시적 실시예의 제7 전도층 패턴을 형성한 후의 도면이다.

도 18은 본 공개의 실시예의 제8 절연층 패턴을 형성한 후의 도면이다.

도 19a와 도 19b는 본 공개의 실시예의 제8 전도층 패턴을 형성한 후의 도면이다.

도 20은 본 공개의 예시적 실시예의 일 디스플레이 기판의 등가 회로도이다.

도면 부호에 대한 설명

1-제1 능동층; 2-제2 능동층; 3-제3 능동층;

4-접촉 전극; 11-제1 게이트 전극; 11-1-제1 게이트 본체부;

11-2-제1 게이트 연결부; 12-제2 게이트 전극; 12-1-제2 게이트 본체부;

12-2-제2 게이트 연결부; 13-제3 게이트 전극; 13-1-제3 게이트 본체부;

13-2-제3 게이트 연결부; 21-제21 연결 전극; 22-제22 연결 전극;

23-제23 연결 전극; 24-제24 연결 전극; 26-제1 스캔 신호선;

27-제2 스캔 신호선; 28-바이어스 전압선; 29-바이어스 연결선;

31-제31 연결 전극; 32-제32 연결 전극; 33-제33 연결 전극;

34-데이터 신호선; 35-참조 신호선; 41-제41 연결 전극;

42-제42 연결 전극; 43-발광 전압선; 51-제51 연결 전극;

52-제52 연결 전극; 61-제61 연결 전극; 71-양극 연결 전극

72-전원 전극; 73-제1 전원선; 91-제1 극판;

92-제2 극판; 101-실리콘 기질; 102-드라이브 회로층;

103-발광 구조층 104-제1 패키지층 105-컬러 필름 구조층;

106-제2 패키징층 107-덮개층.

발명을 실시하기 위한 구체적인 내용

[0030] 본 공개의 목적, 기술적 방안 및 장점을 더 명확하게 하기 위하여, 아래는 도면을 참조하여 본 공개의 실시예에 대하여 상세히 설명한다. 실시 방식은 다수의 다른 형식으로 실시될 수 있는 것을 주의해야 한다. 기술 분야에 소속된 일반 기술자들은 방식과 내용이 본 공개의 취지와 그 범위를 벗어나지 않는 조건으로 다양한 형식으로 변환될 수 있다는 사실을 쉽게 이해할 수 있다. 따라서 본 공개는 아래의 실시 방식에 기재된 내용에 제한된 것으로 해석되어서는 안 된다. 충돌되지 않는 경우 하에서, 본 공개 중의 실시예 및 실시예 중의 특징은 서로 임의로 조합될 수 있다. 본 공개의 실시예의 아래 설명을 명확하고 간결하게 유지하기 위하여, 본 공개는 일부 알려진 기능 및 알려진 부품의 상세한 설명을 생략한다. 본 공개의 실시예의 도면은 단지 본 공개의 실시예가 언급한 구조를 언급하며, 기타 구조는 통상적인 설계를 참조할 수 있다.

[0031] 본 공개에서의 도면 비율은 실제 공정에서 참고로 될 수 있으나, 이에 제한되지 않는다. 예를 들어 채널의 너비와 길이의 비율, 각 막층의 두께와 간격, 각 신호선의 너비와 간격은 실제 필요에 따라 조정될 수 있다. 디스플레이 장치에서 픽셀의 개수와 각 픽셀에서 서브 픽셀의 개수도 도면에 디스플레이된 수량에 한정된 것이 아니며, 본 공개에서 설명되는 도면은 단지 구조적 도면에 불과하며, 본 공개의 한 방식은 도면에 도시된 형상이나 수치 등에 제한되지 않는다.

[0032] 본 발명의 설명의 "제1", "제2", "제3" 등의 서수사는 구성 요소의 혼동을 피하기 위한 것이고 수량적인 면에서 한정하기 위한 것은 아니다.

[0033] 본 발명의 설명에는 편의성을 하기 위하여 "중간", "상", "하", "앞", "뒤", "수직", "수평", "꼭대기", "밑",

"내", "외" 등의 지시 방위 또는 위치 관계를 나타내는 문구를 사용하여 도면을 참조하여 구성 요소의 위치 관계를 설명하는 것은, 단지 본 발명의 설명을 편하게 설명하고 묘사를 단순화하기 위한 것일 뿐, 지칭하는 장치 또는 부품이 반드시 특정한 방위를 가지고 특정한 방위로 구조 및 조작되어야 함을 지시하거나 암시하는 것이 아니므로, 본 공개에 대한 제한으로 해석할 수 없다. 구성 요소의 위치 관계는 각 구성 요소를 기술하는 방향에 따라 적절하게 바뀐다. 따라서, 발명의 설명에서 설명되는 문구에 국한하지 않고 경우에 따라 적절히 바꿀 수 있다.

[0034] 본 발명의 설명에서 별도의 명확한 규정과 한정이 없는 한 용어의 "설치", "연결"은 넓은 의미로 이해하여야 한다. 예를 들어, 고정 연결, 또는 분리 가능한 연결, 또는 일체적 연결 등이 될 수 있으며; 기계적 연결이나 또는 전극적 연결이 될 수 있으며; 직접 연결, 또는 미들웨어를 통한 간접 연결 또는 두 요소 내부의 연결일 수 있다. 본 분야의 기술자들은, 구체적인 상황에 따라 상술된 용어가 본 공개에서 가지는 구체적인 의미를 이해할 수 있다.

[0035] 본 발명의 설명에서, 트랜지스터는 적어도 게이트 전극, 드레인 전극 및 소스 전극이라는 세 개의 단자를 포함하는 부품을 말한다. 트랜지스터는 드레인 전극(드레인 전극 단자, 드레인 영역 또는 드레인 전극)과 소스 전극(소스 전극 단자, 소스 영역 또는 소스 전극) 사이에 채널 영역을 가지며, 또한 전류가 드레인 전극, 채널 영역 및 소스 전극을 흐를 수 있다. 본 발명의 설명에서 채널 영역은 주로 전류가 흐르는 영역을 가리키는 것을 주의하여야 한다.

[0036] 본 발명의 설명에서, 트랜지스터의 게이트 전극을 제외한 두 극을 구분하기 위해서, 그 중 하나는 제1 극이고 다른 하나는 제2 극이며, 여기에서, 제1 극은 드레인 전극일 수 있고, 제2 극은 소스 전극일 수 있으며, 또는 제1 극은 소스 전극일 수 있고, 제2 극은 드레인 전극일 수 있다. 극성이 반대인 트랜지스터를 사용하는 상황이나 또는 회로 작업 중의 전류 방향이 변하는 경우 등에서는 "소스 전극" 및 "드레인 전극"의 기능이 서로 바뀌기도 한다. 따라서 본 발명의 설명에서는 "소스 전극"과 "드레인 전극"을 서로 바뀔 수 있다.

[0037] 본 발명의 설명에서 "전극적 연결"은 구성 요소들이 어떤 전극적 작용을 가진 부품을 통하여 연결되는 상황을 포함한다. "어떤 전극적 작용을 가진 부품"은 연결되는 구성 요소 간의 전극적 신호의 수신이 가능하기만 하면 그에 대한 특별한 제한이 없다. "어떤 전극적 작용을 가진 부품"의 예로는 전극과 배선을 포함할 뿐만 아니라 또한 트랜지스터 등의 스위치 부품, 저항기, 인덕터, 커패시터, 기타 다수의 가지 기능을 가진 부품 등을 포함한다.

[0038] 본 발명의 설명에서 "평행"이란 두 직선이 이루는 협각이 -10° 이상이고 10° 이하인 상태를 의미하므로 협각이 -5° 이상이고 5° 이하인 상태도 포함한다. 또한, 본 발명의 설명에서 "수직"이란 두 직선이 이루는 협각이 80° 이상이고 100° 이하인 상태를 의미하므로, 85° 이상이고 95° 이하인 협각의 상태도 포함한다.

[0039] 본 발명의 설명에서는 "막"과 "층"을 서로 바꿀 수 있다. 예를 들어, "전도층"을 "전도막"으로 바꿀 수 있는 경우도 있다. 이와 마찬가지로 "절연막"을 "절연층"으로 바꾸는 경우도 있다.

[0040] 본 발명의 설명에서, 사용된 "동일 계층 설정"이란 두 가지(또는 두 가지 이상)의 구조가 동일한 패턴화 공정을 통하여 패턴화되어 형성되는 구조를 말하며, 그것들의 재료는 동일하거나 다를 수 있다. 예를 들어, 동일 계층에 설치되는 다수의 구조의 전구체를 형성하는 재료는 동일하며, 최종적으로 형성되는 재료는 동일하거나 다를 수 있다.

[0041] 본 발명의 설명에서 삼각형, 사각형, 사다리꼴, 오각형 또는 육각형 등은 엄격한 의미상의 모양이 아니며, 삼각형, 사각형, 사다리꼴, 오각형 또는 육각형 등과 비슷할 수 있으며, 공차로 인한 일부 작은 변형이 존재할 수 있고, 리이드 각, 아크 에지 및 변형 등이 존재할 수 있다.

[0042] 본 공개에서의 "약"은 한계를 엄격히 한정하지 않고 고정과 측정의 오차 범위 내의 수치를 허용하는 것을 말한다.

[0043] 도 1은 실리콘 기반 OLED 디스플레이 장치의 구조 도면이다. 도 1에 도시된 바와 같이, 실리콘 기반 OLED 디스플레이 장치는 타임 시퀀스 컨트롤러, 데이터 신호 드라이버, 스캔 신호 드라이버 및 픽셀 어레이를 포함할 수 있으며, 픽셀 어레이는 다수의 스캔 신호선(S1 내지 Sm), 다수의 데이터 신호선(D1내지 Dn) 및 다수의 서브 픽셀(Pxij)을 포함할 수 있다. 예시적 실시 방식에서, 타임 시퀀스 컨트롤러는 데이터 신호 드라이브의 규격에 적합한 그레이스케일 값과 제어 신호를 데이터 신호 드라이브에 제공할 수 있으며, 스캔 신호 드라이브의 규격에 적합한 클럭 신호, 스캔 시작 신호 등을 스캔 신호 드라이브에 제공할 수 있다. 데이터 신호 드라이브는 타임 시퀀스 컨트롤러로부터 수신된 그레이스케일 값과 제어 신호를 이용하여 데이터 신호선(D1), (D2), (D3), …,

및 (Dn)에 공급될 데이터 전압을 생성할 수 있다. 예를 들어, 데이터 신호 드라이브는 클럭 신호를 이용하여 그레이스케일 값을 샘플링할 수 있으며, 또한 픽셀행을 단위로 하여 그레이스케일 값과 대응되는 데이터 전압을 데이터 신호선 (D1) 내지 (Dn)에 가할 수 있으며, n은 자연수일 수 있다. 스캔 신호 드라이브는 타임 시퀀스 컨트롤러로부터 클럭 신호, 스캔 시작 신호 등을 수신하여 스캔 신호선(S1), (S2), (S3), …, 및 (Sm)에 제공할 스캔 신호를 생성할 수 있다. 예를 들어, 스캔 신호 드라이브는 도통 레벨 펄스를 가지는 스캔 신호를 스캔 신호선 (S1) 내지 (Sm)에 순차적으로 제공할 수 있다. 예를 들어, 스캔 신호 드라이브는 시프트 레지스터의 형태로 구성될 수 있고, 클럭 신호의 제어 하에서 순서적으로 도통 레벨 펄스 형태로 제공되는 스캔 시작 신호를 다음 레벨 회로로 전송하는 방식으로 스캔 신호를 생성할 수 있으며, m은 자연수일 수 있다. 서브 픽셀 어레이에는 다수의 서브 픽셀(PXij)이 포함될 수 있다. 각 서브 픽셀(PXij)은 대응되는 데이터 신호선과 대응되는 스캔 신호선에 연결될 수 있으며, i와 j는 자연수일 수 있다. 서브 픽셀(PXij)은 그 중의 트랜지스터가 제i 스캔 신호선에 연결되고 제j 데이터 신호선에 연결되는 서브 픽셀을 가리킬 수 있다.

[0044] 도 2는 실리콘 기반 OLED 디스플레이 장치의 평면 구조 도면이다. 도 2에 도시된 바와 같이, 디스플레이 장치는 매트릭스 방식으로 배치되는 다수의 픽셀 유닛(P)을 포함할 수 있으며, 다수의 픽셀 유닛(P)의 적어도 하나는 제1 컬러 광선을 출사하는 제1 서브 픽셀(P1), 제2 컬러 광선을 출사하는 제2 서브 픽셀(P2) 및 제3 컬러 광선을 출사하는 제3 서브 픽셀(P3)을 포함하며, 세 개의 서브 픽셀은 모두 픽셀 드라이브 회로와 발광 부품을 포함하며, 서브 픽셀 중의 픽셀 드라이브 회로는 각각 스캔 신호선 및 데이터 신호선과 연결되며, 픽셀 드라이브 회로는 스캔 신호선의 제어 하에 데이터 신호선에서 전송되는 데이터 전압을 수신하여 디스플레이 발광 부품에 상응하는 전류를 출력하도록 구성된다. 서브 픽셀 중의 디스플레이 발광 부품은 각각 소재하는 서브 픽셀의 픽셀 드라이브 회로와 연결되며, 디스플레이 발광 부품은 소재하는 서브 픽셀의 픽셀 드라이브 회로에서 출력되는 전류에 응답하여 상응하는 밝기의 광선을 발하도록 구성된다.

[0045] 예시적 실시 방식에서, 제1 서브 픽셀(P1)은 빨간색(R) 광선을 출사하는 빨간색 서브 픽셀일 수 있고, 제2 서브 픽셀(P2)은 파란색(B) 광선을 출사하는 파란색 서브 픽셀일 수 있으며, 제3 서브 픽셀(P3)은 녹색(G) 광선을 출사하는 녹색 서브 픽셀일 수 있다.

[0046] 예시적 실시 방식에서, 서브 픽셀의 모양은 삼각형, 정사각형, 직사각형, 마름모형, 사다리형, 평행사각형, 오각형, 육각형 및 기타 다각형 중 임의의 하나 이상일 수 있으며, 세 서브 픽셀은 수평 병렬, 수직 병렬, 품(品)자형 등의 방식으로 배치될 수 있으며, 본 공개는 여기에서 제한하지 않는다. 다른 가능한 실시 방식에서, 픽셀 유닛은 네 개의 서브 픽셀을 포함할 수 있으며, 본 공개는 여기에서 제한하지 않는다.

[0047] 도 3은 실리콘 기반 OLED 디스플레이 장치의 단면 구조 도면으로, 흰색 광선+컬러 필름 방식으로 풀 컬러를 구현하는 구조를 도시한다. 도 3에 도시된 바와 같이, 실리콘 기반 OLED 디스플레이 장치는 실리콘 기질(101), 실리콘 기질(101)에 설치되는 드라이브 회로층(102), 드라이브 회로층(102)의 실리콘 기질(101)에서 멀리 떨어진 한쪽에 설치되는 발광 구조층(103), 발광 구조층(103)의 실리콘 기질(101)에서 멀리 떨어진 한쪽에 설치되는 제1 패키지층(104), 제1 패키징층(104)의 실리콘 기질(101)에서 멀리 떨어진 한쪽에 설치되는 컬러 필름 구조층(105), 컬러 필름 구조층(105)의 실리콘 기질(101)에서 멀리 떨어진 한쪽에 설치되는 제2 패키지층(106), 및 제2 패키지층(106)의 실리콘 기질(101)에서 멀리 떨어진 한쪽에 설치되는 덮개층(107)을 포함할 수 있다. 일부 가능한 실시 방식에서, 실리콘 기반 OLED 디스플레이 장치에는 다른 막층이 포함될 수 있으며, 본 공개는 여기에서 제한하지 않는다.

[0048] 예시적 실시 방식에서, 실리콘 기질(101)은 실리콘 기질이나 또는 절연층 상 실리콘(SOI, Silicon-On-Insulator) 기질일 수 있다. 드라이브 회로층(102)은 실리콘 반도체 공정(예를 들어, CMOS 공정)을 통하여 실리콘 기질(101)에 제조될 수 있으며, 드라이브 회로층(102)은 다수의 회로 유닛을 포함할 수 있고, 회로 유닛은 적어도 픽셀 드라이브 회로를 포함할 수 있으며, 픽셀 드라이브 회로는 각각 스캔 신호선 및 데이터 신호선과 연결되며, 픽셀 드라이브 회로는 다수의 트랜지스터와 저장 커패시터를 포함할 수 있으며, 도 3에는 단지 하나의 트랜지스터만 예시로 들어 있다. 트랜지스터는 게이트 전극(G), 제1 극(S) 및 제2 극(D)을 포함할 수 있으며, 게이트 전극(G), 제1 극(S) 및 제2 극(D)은 텅스텐 금속으로 채워진 통과홀(즉 텅스텐 통과홀, W-via)을 통하여 각각 상응하는 연결 전극과 연결할 수 있으며, 연결 전극을 통하여 기타 전극적 구조(예를 들면 배선 등)와 연결할 수 있다.

[0049] 예시적 실시 방식에서, 발광 구조층(103)은 다수의 발광 부품을 포함할 수 있고, 발광 부품은 적어도 양극, 유기 발광층 및 음극을 포함할 수 있으며, 양극은 연결 전극을 통하여 트랜지스터의 제2 극(D)과 연결될 수 있고, 유기 발광층은 양극과 연결될 수 있으며, 음극은 유기 발광층과 연결될 수 있고, 음극은 제2 전원선과 연결될

수 있으며, 유기 발광층은 양극과 음극의 드라이브 하에 광선을 출사한다. 예시적 실시 방식에서, 유기 발광층은 발광층(EML)과, 정공 주입층(HIL), 정공 전송층(HTL), 전자 차단층(EBL), 정공 차단층(HBL), 전자 전송층(ETL) 및 전자 주입층(EIL) 중 하나 또는 다수를 포함할 수 있다. 예시적 실시 방식에서, 흰색 광선을 출사하는 발광 부품의 경우, 모든 서브 픽셀의 유기 발광층은 함께 연결되는 공통층일 수 있다.

[0050] 예시적 실시 방식에서, 제1 패키지층(104)과 제2 패키지층(106)은 박막 패키지(Thin Film Encapsulation, TFE) 방식을 사용할 수 있으며, 외부 수증기가 발광 구조층에 들어갈 수 없도록 보장할 수 있으며, 덮개층(107)은 유리를 사용하거나 유연성 특성을 가진 플라스틱 유형 무색 폴리이미드 등을 사용할 수 있다.

[0051] 예시적 실시 방식에서, 컬러 필름 구조층(105)은 블랙 매트릭스(BM)와 컬러 필터(CF)를 포함할 수 있으며, 컬러 필터는 각각 빨간색 서브 픽셀, 녹색 서브 픽셀 및 파란색 서브 픽셀에 각각 설치되어, 발광 부품에서 출사하는 흰색 광선을 빨간색(R) 광선, 녹색(G) 광선 및 파란색(B) 광선으로 여과하며, 블랙 매트릭스는 인접한 컬러 필터 사이에 있을 수 있다.

[0052] 현재 실리콘 기반 OLED 디스플레이 장치는 가상 현실(Virtual Reality, VR) 또는 증강 현실(Augmented Reality, AR)과 같은 근안 디스플레이 영역에 응용되어 상용자가 가상 현실 세계에서 실제 느낌을 경험할 수 있게 하고, 초강력한 시뮬레이션 시스템을 가지며, 휴먼 컴퓨터 인터렉션을 구현한다. 연구 결과에 따르면 화면 해상도가 충분히 크면 사람의 눈망막은 픽셀 점을 구별할 수 없다고 한다. 해상도(Pixels Per Inch, PPI)는 단위 면적에 소유한 픽셀 수를 말하며, 픽셀 밀도라고 할 수 있으며, PPI 수치가 높을수록 디스플레이 기판이 높은 밀도로 화면을 디스플레이할 수 있음을 나타내고 화면의 세부 사항이 풍부해진다. 따라서 디스플레이 품질을 향상시키기 위하여 PPI를 대폭 향상시키는 것은 각 제조 업체의 연구 중점이 되었다.

[0053] 본 공개의 실시예는 디스플레이 기판을 제공하고, 디스플레이 영역과 변두리 영역을 포함하며, 상기 디스플레이 영역은 다수의 픽셀 행과 다수의 픽셀 열을 형성하는 다수의 서브 픽셀을 포함하며, 상기 서브 픽셀은 픽셀 행의 방향을 따라 순차적으로 설치되는 제1 영역, 간격 영역 및 제2 영역을 포함하며; 적어도 하나의 서브 픽셀은 픽셀 드라이브 회로, 제1 스캔 신호선 및 제2 스캔 신호선을 포함하며, 상기 픽셀 드라이브 회로는 적어도 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 포함하며, 상기 제1 스캔 신호선은 상기 제1 트랜지스터의 도통 또는 단절을 제어하도록 구성되며, 상기 제2 스캔 신호선은 상기 제2 트랜지스터의 도통 또는 단절을 제어하도록 구성되며; 상기 제1 트랜지스터는 적어도 제1 게이트 전극, 제1 능동층 및 제1 트랜지스터의 제1 극과 제1 트랜지스터의 제2 극을 포함하며, 상기 제2 트랜지스터는 적어도 제2 게이트 전극과 제2 능동층을 포함하며, 상기 제3 트랜지스터는 적어도 제3 게이트 전극과 제3 능동층을 포함하며; 상기 제1 능동층은 상기 제1 영역에 설치되고, 상기 제2 능동층과 제3 능동층은 상기 제2 영역에 설치되며, 상기 제2 능동층은 상기 제3 능동층 픽셀 열 방향의 한쪽에 설치되며; 상기 제1 스캔 신호선은 제1 게이트 통과홀을 통하여 상기 제1 게이트 전극과 연결되고, 상기 제1 트랜지스터의 제2 극은 제2 게이트 통과홀을 통하여 상기 제2 게이트 전극과 연결되며, 상기 제2 스캔 신호선은 제3 게이트 통과홀을 통하여 상기 제3 게이트 전극과 연결되며, 상기 제1 게이트 통과홀, 제2 게이트 통과홀 및 제3 게이트 통과홀이 상기 간격 영역에 설치된다.

[0054] 예시적 실시 방식에서, 상기 픽셀 행 방향을 따라, 상기 제1 영역은 제1 너비를 가지고, 상기 제2 영역은 제2 너비를 가지며, 상기 간격 영역은 제3 너비를 가지며, 상기 제3 너비는 0.5* 제1 너비보다 작거나 같으며, 상기 제3 너비는 0.5* 제2 너비보다 작거나 같다.

[0055] 예시적 실시 방식에서, 상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 제1 게이트 전극은 서로 연결되는 일체 구조이며, 상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 제3 게이트 전극은 서로 연결되는 일체 구조이다.

[0056] 예시적 실시 방식에서, 상기 일체 구조의 제1 게이트 전극은 두 개의 제1 게이트 통과홀을 통하여 상기 제1 스캔 신호선과 연결되고, 상기 일체 구조의 제3 게이트 전극은 두 개의 제3 게이트 통과홀을 통하여 상기 제2 스캔 신호선과 연결된다.

[0057] 예시적 실시 방식에서, 상기 픽셀 행에서 인접한 두 개의 서브 픽셀의 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제3 트랜지스터는 픽셀 중심선을 기준으로 거울 대칭되며, 상기 픽셀 중심선은 상기 픽셀 행에서 인접한 두 개의 서브 픽셀 사이에 위치하고 상기 픽셀 열의 방향을 따라 연장되는 직선이다.

[0058] 예시적 실시 방식에서, 상기 제2 트랜지스터는 또한 제2 트랜지스터의 제1 극과 제2 트랜지스터의 제2 극을 포함하고, 상기 제3 트랜지스터는 또한 제3 트랜지스터의 제1 극과 제3 트랜지스터의 제2 극을 포함하며, 상기 제1 소스 전극은 데이터 신호선과 연결되고, 상기 제2 트랜지스터의 제1 극은 발광 전압선과 연결되며, 상기 제3 트랜지스터의 제1 극은 참조 신호선과 연결되며, 상기 제2 트랜지스터의 제2 극과 상기 제3 트랜지스터의 제2

극은 서로 연결되는 일체 구조이다.

[0059] 본 공개의 예시적 실시예는 초고 PPI의 디스플레이 기판을 제공하며, 게이트 전극 랩 위치를 모두 동일한 간격에 설치하고, 게이트 전극 공용, 드레인 전극 공용, 서브 픽셀 반전 등의 최소화 설계를 통하여 디스플레이 기판의 PPI를 최대한도로 향상시키며, 업계 내 Real RGB 실리콘 기반 OLED의 최고 PPI 설계를 구현한다.

[0060] 아래는 본 공개의 디스플레이 기판의 기술 방안을 예시적 실시예로 설명한다.

[0061] 도 4는 본 공개의 예시적 실시예의 일 픽셀 드라이브 회로의 등가 회로 도면이다. 예시적 실시 방식에서, 픽셀 드라이브 회로는 3T1C, 4T1C, 5T1C, 5T2C, 6T1C 또는 7T1C 등 구조일 수 있다. 도 4에 도시된 바와 같이, 본 공개의 예시적 실시예의 픽셀 드라이브 회로는 3T1C 구조가 될 수 있으며, 3개의 트랜지스터(제1 트랜지스터(T1), 제2 트랜지스터(T2), 3 트랜지스터(T3))와 1개의 저장 커패시터(C)를 포함하며, 픽셀 드라이브 회로는 7개의 신호선(제1 스캔 신호선(S1), 제2 스캔 신호선(S1), 데이터 신호선(D), 참조 신호선(VE), 제1 전원선(VDD) 및 발광 전압선(VF))과 연결되며, 제1 노드(N1)와 제2 노드(N2)는 회로도에서 관련 전기적 연결을 나타내는 합류점이다.

[0062] 예시적 실시 방식에서, 저장 커패시터(C)의 제1 단부는 제1 노드(N1)와 연결될 수 있고, 저장 커패시터(C)의 제2 단부는 제1 전원선(VDD)과 연결될 수 있다.

[0063] 예시적 실시 방식에서, 제1 트랜지스터(T1)의 게이트 전극은 제1 스캔 신호선(S1)과 연결되고, 제1 트랜지스터(T1)의 제1 극은 데이터 신호선(D)과 연결되며, 제1 트랜지스터(T1)의 제2 극은 제1 노드(N1)과 연결된다.

[0064] 예시적 실시 방식에서, 제2 트랜지스터(T2)의 게이트 전극은 제1 노드(N1)와 연결되고, 제2 트랜지스터(T2)의 제1 극은 발광 전압선(VF)과 연결되며, 제2 트랜지스터(T2)의 제2 극은 제2 노드(N2)와 연결된다.

[0065] 예시적 실시 방식에서, 제3 트랜지스터(T3)의 게이트 전극은 제2 스캔 신호선(S2)과 연결되고, 제3 트랜지스터(T3)의 제1 극은 참조 신호선(VE)과 연결되며, 제3 트랜지스터(T3)의 제2 극은 제2 노드(N2)와 연결된다.

[0066] 예시적 실시 방식에서, 발광 부품(XL)의 제1 극은 제2 노드(N2)와 연결되고, 발광 부품(XL)의 제2 극은 제2 전원선(VSS)과 연결된다.

[0067] 예시적 실시 방식에서, 제1 트랜지스터(T1)는 제1 스캔 신호선(S1)의 신호의 제어 하에 데이터 신호선(D)에서 전송되는 데이터 전압을 수신하고, 데이터 전압을 저장 커패시터(C)에 저장하며, 제2 트랜지스터(T2)의 게이트 전극에 데이터 전압을 공급하도록 구성된다. 제2 트랜지스터(T2)는 그 게이트 전극이 수신하는 데이터 신호의 제어 하에 제2 극에 상응하는 전류를 발생시켜 디스플레이 발광 부품(XL)을 발광시키도록 구성된다. 제3 트랜지스터(T3)는 제2 스캔 신호선(S2)의 신호 제어 하에 참조 신호선(VE)이 전송하는 참조 전압을 수신하여 제2 노드(N2)에 참조 전압을 공급하도록 구성된다. 저장 커패시터(C)는 제2 트랜지스터(T2)의 게이트 전극의 전위를 저장하도록 구성되며, 발광 부품(XL)은 제2 트랜지스터(T2)의 제2 극의 전류에 응답하여 상응한 밝기의 광선을 방출하도록 구성된다.

[0068] 예시적 실시 방식에서, 제1 전원선(VDD)의 신호는 지속적으로 공급되는 고레벨 신호일 수 있고, 발광 전압선(VF)의 신호는 발광 제어 트랜지스터가 출력하는 전압 신호일 수 있으며, 제2 전원선(VSS)의 신호는 지속적으로 공급되는 저레벨 신호일 수 있다.

[0069] 예시적 실시 방식에서, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)는 P형 트랜지스터일 수 있다. 다른 예시적 실시 방식에서, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3)는 N형 트랜지스터일 수 있다. 픽셀 드라이브 회로에 동일한 유형의 트랜지스터를 사용하면 공정 흐름을 단순화하고 디스플레이 패널의 공정 난이도를 줄여 제품의 양율을 높일 수 있다. 또 일 예시적 실시 방식에서, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)는 P형 트랜지스터와 N형 트랜지스터를 포함할 수 있다. 예를 들어, 제1 트랜지스터(T1)와 제3 트랜지스터(T3)는 P형 금속 산화물 반도체 트랜지스터(PMOS)일 수 있고, 제2 트랜지스터(T2)는 N형 금속 산화물 반도체 트랜지스터(NMOS)일 수 있다.

[0070] 예시적 실시 방식에서, 발광 부품(XL)은 유기 전계 발광 다이오드(OLED)일 수 있고, 적층된 제1 극(양극), 유기 발광층 및 제2 극(음극)을 포함한다.

[0071] 도 5는 본 공개의 예시적 실시예의 디스플레이 기판의 평면 구조 도면으로, 하나의 픽셀 유닛에서 세 개의 서브 픽셀의 구조를 도시한다. 예시적 실시 방식에서, 디스플레이 기판에 수직인 평면에서, 디스플레이 기판은 적어도 실리콘 기질, 실리콘 기질 위에 설치되는 드라이브 회로층, 드라이브 회로층의 실리콘 기질에서 멀리 떨어진

한쪽에 설치되는 발광 구조층 및 발광 구조층의 실리콘 기질에서 멀리 떨어진 한쪽에 설치되는 패키지층을 포함할 수 있다. 디스플레이 기판에 평행한 평면에서, 디스플레이 기판의 드라이브 회로층은 다수의 픽셀 행과 다수의 픽셀 열을 형성하는 다수의 서브 픽셀을 포함할 수 있으며, 제1 방향(D1)에 따라 제1 서브 픽셀(P1), 제2 서브 픽셀(P2) 및 제3 서브 픽셀(P3)을 순차적으로 설치하여 하나의 픽셀 유닛을 구성한다. 제1 서브 픽셀(P1), 제2 서브 픽셀(P2) 및 제3 서브 픽셀(P3)은 모두 픽셀 드라이브 회로, 제1 스캔 신호선(26) 및 제2 스캔 신호선(27)을 포함하며, 픽셀 드라이브 회로는 적어도 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 포함할 수 있으며, 제1 스캔 신호선(26)은 제1 트랜지스터(T1)의 도통 또는 단절을 제어하도록 구성되고, 제2 스캔 신호선(27)은 제2 트랜지스터(T2)의 도통 또는 단절을 제어하도록 구성된다.

[0072] 도 5에 도시된 바와 같이, 예시적 실시 방식에서, 제1 트랜지스터(T1)는 제1 능동층(1), 제1 게이트 전극(11), 제1 트랜지스터(T1)의 제1 극(제21 연결 전극)(21) 및 제1 트랜지스터(T1)의 제2 극(제22 연결 전극)(22)을 포함할 수 있다. 제2 트랜지스터(T2)는 제2 능동층(2), 제2 게이트 전극(12), 제2 트랜지스터(T2)의 제1 극(제23 연결 전극)(23) 및 제2 트랜지스터(T2)의 제2 극(제24 연결 전극)(24)을 포함할 수 있다. 제3 트랜지스터(T3)는 제3 능동층(3), 제3 게이트 전극(13), 제3 트랜지스터(T3)의 제1 극(제25 연결 전극)(25) 및 제3 트랜지스터(T3)의 제2 극(제24 연결 전극)(24)을 포함할 수 있다.

[0073] 예시적 실시 방식에서, 제1 서브 픽셀(P1), 제2 서브 픽셀(P2) 및 제3 서브 픽셀(P3)은 모두 픽셀 행의 방향을 따라 순차적으로 설치되는 제1 영역(q1), 간격 영역(q3) 및 제2 영역(q2)을 포함할 수 있으며, 간격 영역(q3)은 제1 영역(q1)과 제2 영역(q2) 사이에 설치될 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제3 서브 픽셀(P3)은 제1 방향(D1)을 따라 순차적으로 설치되는 제1 영역(q1), 간격 영역(q3) 및 제2 영역(q2)을 포함할 수 있으며, 제2 서브 픽셀(P2)은 제1 방향(D1)의 반대 방향을 따라 순차적으로 설치되는 제1 영역(q1), 간격 영역(q3) 및 제2 영역(q2)을 포함할 수 있으며, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2) 중 세 개의 영역의 설치 위치는 픽셀 중심선(A)을 기준으로 거울 대칭되며, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3) 중 세 개의 영역의 설치 위치는 픽셀 중심선(A)을 기준으로 거울 대칭되며, 픽셀 중심선(A)은 제1 방향(D1)의 인접한 두 개의 서브 픽셀 사이에 위치하고 제2 방향(D2)을 따라 연장되는 직선이다.

[0074] 예시적 실시 방식에서, 제1 방향(D1)에 따라, 제1 영역(q1)은 제1 너비를 가질 수 있고, 제2 영역(q2)은 제2 너비를 가질 수 있으며, 간격 영역(q3)은 제3 너비를 가질 수 있으며, 제3 너비는 0.5* 제1 너비보다 작거나 같으며, 제3 너비는 0.5* 제2 너비보다 작거나 같을 수 있다.

[0075] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서 제1 능동층(1)은 제1 영역(q1)에 설치될 수 있고, 제2 능동층(2)과 제3 능동층(3)은 제2 영역(q2)에 설치될 수 있으며, 제2 능동층(2)은 제3 능동층(3)의 제2 방향(D2)의 한쪽에 설치될 수 있고, 간격 영역(q3)에 능동층이 설치되지 않으며, 간격 영역(q3)은 제1 영역(q1) 중 능동층 및 제2 영역(q2) 중 능동층 사이의 간격 영역으로 사용된다. 이렇게 하면 'L' 형태의 배치된 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 형성되며, 제1 트랜지스터(T1)와 제3 트랜지스터(T3)는 제1 방향(D1)을 따라 순차적으로 설치될 수 있고, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 제2 방향(D2)을 따라 순차적으로 설치될 수 있다.

[0076] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서, 제1 스캔 신호선(26)은 제1 게이트 통과홀(K1)을 통하여 제1 트랜지스터(T1)의 제1 게이트 전극(11)과 연결되고, 제1 트랜지스터의 제2 극(22)은 제2 게이트 통과홀(K2)을 통하여 제2 트랜지스터(T2)의 제2 게이트 전극(12)과 연결되며, 제2 스캔 신호선(27)은 제3 게이트 통과홀(K3)을 통하여 상기 제3 트랜지스터(T3)의 제3 게이트 전극과 연결되며, 제1 게이트 통과홀(K1), 제2 게이트 통과홀(K2) 및 제3 게이트 통과홀(K3)은 모두 간격 영역(q3)에 설치될 수 있어, 서브 픽셀 내 게이트 전극의 랩 위치가 모두 동일한 간격 영역에 위치하는 구조가 형성된다.

[0077] 예시적 실시 방식에서, 제1 트랜지스터(T1)의 제1 극(21)은 데이터 신호선과 연결될 수 있고, 제2 트랜지스터(T2)의 제1 극(23)은 발광 전압선과 연결될 수 있으며, 제3 트랜지스터(T3)의 제1 극(25)은 참조 신호선과 연결될 수 있으며, 제2 트랜지스터(T2)의 제2 극(24)과 제3 트랜지스터(T3)의 제2 극(24)은 동일 계층에 설치될 수 있으며, 동일한 차례의 패턴화 공정을 통하여 서로 연결되는 일체 구조를 형성하여 서브 픽셀 내 드레인 전극이 공유되는 구조를 형성한다.

[0078] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)는 픽셀 중심선(A)을 기준으로 거울 대칭되어 서브 픽셀이 픽셀 중심선(A)을 기준으로 수평적으로 플리핑된 구조를 형성할 수 있다.

[0079] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제1 게이트 전극(11)은 동일 계층에 설치될 수 있고, 동일한 차례의 패턴화 공정을 통하여 서로 연결되는 일체 구조를 형성할 수 있으며, 제1 방향(D1)에서 인접된 두 개의 서브 픽셀의 제3 게이트 전극(13)은 동일 계층에 설치될 수 있으며, 동일한 차례의 패턴화 공정을 통하여 서로 연결되는 일체 구조를 형성하여 인접한 서브 픽셀 게이트 전극이 공용되는 구조를 형성할 수 있다. 예를 들어, 제1 서브 픽셀(P1)의 제3 게이트 전극(13)과 제2 서브 픽셀(P2)의 제3 게이트 전극(13)은 서로 연결되는 일체 구조이며, 제2 서브 픽셀(P2)의 제1 게이트 전극(11)과 제3 서브 픽셀(P3)의 제1 게이트 전극(11)은 서로 연결되는 일체 구조이다.

[0080] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서 제1 트랜지스터(T1)의 제1 게이트 전극(11)은 제1 게이트 본체부(11-1)와 제1 게이트 연결부(11-2)를 포함할 수 있으며, 제1 게이트 연결부(11-2)는 제1 게이트 본체부(11-1)의 제3 트랜지스터(T3)에 가까운 한쪽에 설치되고, 제1 게이트 본체부(11-1)와 연결되어 제1 게이트 연결부(11-2)가 간격 영역(q3)에 위치하도록 설정될 수 있으며, 제1 스캔 신호선(26)은 제1 게이트 통과홀(K1)을 통하여 제1 게이트 연결부(11-2)와 연결될 수 있다.

[0081] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서 제2 트랜지스터(T2)의 제2 게이트 전극(12)은 제2 게이트 본체부(12-1)와 제2 게이트 연결부(12-2)를 포함할 수 있으며, 제2 게이트 연결부(12-2)는 제2 게이트 본체부(12-1)의 제1 트랜지스터(T1)에 가까운 한쪽에 설치되고, 제2 게이트 본체부(12-1)와 연결되어 제2 게이트 연결부(12-2)가 간격 영역(q3)에 위치하도록 구성될 수 있으며, 제1 트랜지스터의 제2 극(22)은 제2 게이트 통과홀(K2)을 통하여 제2 게이트 연결부(12-2)와 연결된다.

[0082] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서 제3 트랜지스터(T3)의 제3 게이트 전극(13)은 제3 게이트 본체부(13-1)와 제3 게이트 연결부(13-2)를 포함할 수 있으며, 제3 게이트 연결부(13-2)는 제3 게이트 본체부(13-1)의 제1 트랜지스터(T1)에 가까운 한쪽에 설치되고, 제3 게이트 본체부(13-1)와 연결되어 제3 게이트 연결부(13-2)가 간격 영역(q3)에 위치하도록 구성될 수 있으며, 제2 스캔 신호선(27)은 제3 게이트 통과홀(K3)을 통하여 제3 게이트 연결부(13-2)와 연결된다.

[0083] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서 제1 게이트 연결부(11-2)와 제3 게이트 연결부(13-2)는 제2 방향(D2)에 비정렬로 설치되며, 양자 사이에 간격이 있다.

[0084] 예시적 실시 방식에서, 제1 게이트 본체부(11-1)와 제1 게이트 연결부(11-2)의 제2 트랜지스터(T2)에서 멀리 떨어진 한쪽의 가장자리가 정렬될 수 있다.

[0085] 예시적 실시 방식에서, 제3 게이트 본체부(13-1)와 제3 게이트 연결부(13-2)의 제2 트랜지스터(T2)에 가까운 한쪽의 가장자리가 정렬될 수 있다.

[0086] 예시적 실시 방식에서, 제1 스캔 신호선(26)과 제2 스캔 신호선(27)의 모양은 본체 부분이 제1 방향을 따라 연장되는 선 모양이며, 제1 스캔 신호선(26)의 디스플레이 기판의 평면에서의 정투영은 제1 게이트 전극(11)과 제3 게이트 전극(13)의 상기 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩되고, 제2 스캔 신호선(27)의 디스플레이 기판의 평면에서의 정투영은 제1 게이트 전극(11)과 제3 게이트 전극(13)의 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩된다.

[0087] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀은 또한 접촉 전극(4)을 포함할 수 있으며, 접촉 전극(4)은 제1 영역(q1)에 설치될 수 있고 접촉 전극(4)은 제1 능동층(1) 제2 방향(D2)의 한쪽에 설치될 수 있으며, 접촉 전극(4)은 실리콘 기질에 저압 바이어스를 하도록 설치되어 실리콘 기질의 바이어스 효과 등 기생 효과로 인한 임계값 전압의 변화를 피하고 회로의 안정성을 향상시킨다.

[0088] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀은 또한 바이어스 전압선(28)을 포함할 수 있으며, 바이어스 전압선(28)의 디스플레이 기판의 평면에서의 정투영은 상기 제2 트랜지스터(T2)의 제2 게이트 전극(12)의 디스플레이 기판의 평면에서의 정투영과 적어도 부분적으로 중첩된다. 바이어스 전압선(28)은 통과홀을 통하여 접촉 전극(4)과 연결될 수 있으며, 바이어스 전압선(28)이 접촉 전극(4)에 저전압을 공급하도록 구현한다.

[0089] 예시적 실시 방식에서, 적어도 하나의 서브 픽셀에서 접촉 전극(4)의 모양은 본체 부분이 제2 방향을 따라 연장되는 선 모양일 수 있고, 바이어스 전압선(28)의 모양은 본체 부분이 제1 방향(D1)을 따라 연장되는 선 모양일 수 있으며, 바이어스 전압선(28) 제2 방향(D2)의 한쪽 또는 양쪽에 바이어스 연결선(29)이 연결될 수 있으며, 바이어스 연결선(29)의 모양은 본체 부분이 제2 방향을 따라 연장되는 스트립 모양일 수 있으며, 바이어스 연결선(29)의 디스플레이 기판의 평면에서의 정투영은 접촉 전극(4)의 디스플레이 기판의 평면에서의 정투영과 적어

도 부분적으로 중첩되며, 바이어스 연결선(29)은 다수의 통과홀을 통하여 접촉 전극(4)과 연결된다.

[0090] 예시적 실시 방식에서, 바이어스 전압선(28)과 바이어스 연결선(29)은 동일 계층에 설치되어, 동일한 차례의 패턴화 공정을 통하여 서로 연결되는 일체 구조가 형성될 수 있다.

[0091] 예시적 실시 방식에서, 상기 디스플레이 기판에 수직인 평면에, 디스플레이 기판의 드라이브 회로층은 실리콘 기질에 순차적으로 설치되는 제1 전도층과 제2 전도층을 포함할 수 있고, 실리콘 기질은 적어도 제1 능동층(1), 제2 능동층(2), 제3 능동층(3) 및 접촉 전극(4)을 포함할 수 있으며, 제1 전도층은 적어도 제1 게이트 전극(11), 제2 게이트 전극(12) 및 제3 게이트 전극(13)을 포함할 수 있고, 제2 전도층은 적어도 제1 트랜지스터(T1)의 제1 극(21), 제1 트랜지스터(T1)의 제2 극(22), 제2 트랜지스터(T2)의 제1 극(23), 제2 트랜지스터(T2)의 제2 극(또한 제3 트랜지스터(T3)의 제2 극)(24), 제3 트랜지스터(T3)의 제1 극(25), 제1 스캔 신호선(26), 제2 스캔 신호선(27), 바이어스 전압선(28) 및 바이어스 연결선(29)을 포함할 수 있다.

[0092] 예시적 실시 방식에서, 드라이브 회로층은 또한 제2 전도층의 실리콘 기질에서 멀리 떨어진 한쪽에 설치되는 제3 전도층, 제4 전도층, 제5 전도층, 제6 전도층, 제7 전도층 및 제8 전도층을 포함할 수 있으며, 제3 전도층은 적어도 데이터 신호선과 참조 신호선을 포함할 수 있고, 제4 전도층은 적어도 발광 전압선을 포함할 수 있으며, 제5 전도층은 적어도 다수의 연결 전극을 포함할 수 있고, 제6 전도층은 적어도 저장 커패시터의 제1 극판을 포함할 수 있으며, 제7 전도층은 적어도 저장 커패시터의 제2 극판을 포함할 수 있고, 제8 전도층은 적어도 양극 연결 전극과 제1 전원선을 포함할 수 있다.

[0093] 아래는 디스플레이 장치의 제조 과정을 통하여 예시적으로 설명한다. 본 공개에서 말하는 "패턴화 고정"은 금속 재료, 무기 재료 또는 투명 전도성 재료의 상황, 감광액 도포, 마스크 노출, 현상, 식각, 감광액 박리 등의 처리를 포함하며, 유기 재료의 상황, 유기 재료 도포, 마스크 노출 및 현상 등의 처리를 포함한다. 증착은 스퍼터링, 증발, 화학 기상증착 중 임의의 하나 또는 다수를 사용할 수 있고, 도포는 스프레이 코팅, 스핀 코팅 및 잉크 젯 프린팅 중 임의의 하나 또는 다수를 사용할 수 있으며, 식각은 건조 식각과 습식 식각 중 임의의 하나 또는 다수를 사용할 수 있으며, 본 공개는 이에 대하여 제한하지 않는다. "박막"이란 어떤 재료의 기질에서 증착, 도포 또는 다른 정공을 이용하여 제작된 한 층의 박막을 말한다. 만일 전체적인 제조과정에서 해당 "박막"에 패터닝 공정이 필요 없으면, 해당 "박막"은 "층"이라고 할 수도 있다. 만약 전체적인 제조과정에서, 해당 "박막"에 패터닝 공정이 필요 있으면, 패터닝 공정 전에 "박막"이라고 하고, 패터닝 공정 후에 "층"이라고 한다. 패터닝 공정된 후의 "층"에는 적어도 하나의" 패턴"이 포함된다. 본 공개에서 말한 "A와 B의 동일 계층 설치"란 A와 B가 동일한 차례의 패턴화 공정을 통하여 동시에 형성되는 것을 말하며, 막층의 "두께"는 막층의 디스플레이 장치에 수직인 방향의 사이즈이다. 본 공개의 예시적 실시 방식에서, "B의 정투영은 A의 정투영의 범위 내에 위치하며", 또는 "A의 정투영은 B의 정투영을 포함하며"는 B의 정투영의 경계는 A의 정투영의 경계 범위 내에 떨어지거나 또는 A의 정투영의 경계와 B의 정투영의 경계가 중첩되는 것을 말한다.

[0094] 예시적 실시 방식에서, 하나의 픽셀 유닛의 세 개의 서브 픽셀을 예로 들면, 디스플레이 장치의 제조 과정에 다음과 같은 단계가 포함될 수 있다.

[0095] (1) 실리콘 기질을 형성한다. 예시적 실시 방식에서, 실리콘 기질을 형성하는 것은 P형 실리콘 재료의 실리콘 기질을 제공하는 것을 포함할 수 있으며, 예를 들어 P형 단결정 실리콘이며, P형 단결정 실리콘은 N형 트랜지스터의 채널 영역으로 사용될 수 있다.

[0096] 예시적 실시 방식에서, 실리콘 기질은 N형 실리콘 재료를 P형 트랜지스터의 채널 영역으로 사용할 수 있으며, 본 공개는 여기에서 제한하지 않는다.

[0097] (2) 제1 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제1 전도층 패턴을 형성하는 것에는, 실리콘 기질에 제1 절연 박막과 폴리 실리콘 박막을 순차적으로 증착하며, 먼저 패턴화 공정을 통하여 폴리 실리콘 박막을 패턴화하고, 실리콘 기질을 커버하는 제1 절연층 및 제1 절연층 위에 설치되는 폴리 실리콘층 패턴을 형성한 후 폴리 실리콘층 패턴을 차폐물로 도핑 공정을 하여 제1 전도층과 능동층 패턴을 형성하는 것이 포함될 수 있으며, 도 6에 도시된 바와 같다.

[0098] 예시적 실시 방식에서, 도핑 공정은 N형 도핑 공정을 사용할 수 있고, 도핑 원소는 붕소 원소 등일 수 있고, 형성된 능동층 패턴은 적어도 제1 트랜지스터(T1)의 제1 능동층(1), 제2 트랜지스터(T2)의 제2 능동층(2), 제3 트랜지스터(T3)의 제3 능동층(3) 및 접촉 전극(4)을 포함할 수 있으며, 형성된 제1 전도층 패턴은 적어도 제1 트랜지스터(T1)의 제1 게이트 전극(11), 제2 트랜지스터(T2)의 제2 게이트 전극(12) 및 제3 트랜지스터(T3)의 제3 게이트 전극(13)을 포함할 수 있다.

[0099] 예시적 실시 방식에서, 도핑 공정은 이온 주입 공정을 사용할 수 있으며, 폴리실리콘층은 반도체 재료이기 때문에, 이온 주입 공정에서, 한편으로는 폴리실리콘층을 차폐물로 사용하여 폴리실리콘층의 양쪽에 이온을 주입하여 다수의 트랜지스터의 제1 영역과 제2 영역을 형성하여 자체 정렬을 구현할 수 있으며, 다른 한편으로는 폴리실리콘층을 동시에 도핑하여 저항이 높은 폴리실리콘층이 저항이 낮은 제1 전도층으로 변하여 다수의 트랜지스터의 게이트 전극을 형성할 수 있다. 본 공개는 폴리실리콘 재료를 제1 전도층으로 사용함으로써 공정 비용을 절약하고 공정 난이도를 낮출 수 있다.

[0100] 예시적 실시 방식에서, 각 서브 픽셀 중의 제1 능동층(1)과 접촉 전극(4)은 제1 영역(q1)에 설치될 수 있고, 제2 능동층(2)과 제3 능동층(3)은 제2 영역(q2)에 설치될 수 있으며, 간격 영역(q3)에는 능동층을 설치하지 않으며, 간격 영역(q3)은 제1 영역(q1) 중 능동층 및 제2 영역(q2) 중 능동층 사이의 간격 영역으로 사용된다.

[0101] 예시적 실시 방식에서, 제1 능동층(1), 제2 능동층(2), 제3 능동층(3) 및 접촉 전극(4)은 제2 방향(D2)을 따라 연장되는 스트립 모양일 수 있다. 접촉 전극(4)은 제1 능동층(1) 제2 방향(D2)의 한쪽에 설치될 수 있고, 제2 능동층(2)은 제3 능동층(3) 제2 방향(D2)의 한쪽에 설치될 수 있다. 이렇게 하면 제3 능동층(3)은 제1 능동층(1) 제1 방향(D1)의 한쪽이나 제1 방향(D1)의 반대 방향의 한쪽에 설치될 수 있고, 제2 능동층(2)은 접촉 전극(4) 제1 방향(D1)의 한쪽이나 제1 방향(D1)의 반대 방향의 한쪽에 설치될 수 있으며, 제1 능동층(1)과 제3 능동층(3)은 서브 픽셀의 제2 방향(D2)의 한쪽에 위치할 수 있고, 접촉 전극(4)과 제2 능동층(2)은 서브 픽셀 제2 방향(D2)의 다른 한쪽에 위치할 수 있으며, 각 서브 픽셀 중의 제1 능동층(1), 제2 능동층(2) 및 제3 능동층(3)은 'L' 형태의 배치를 형성한다. 본 공개는 제2 능동층(2)과 제3 능동층(3)을 서브 픽셀 제1 방향(D1)의 동일 측에 설치함으로써 제2 능동층(2)의 제2 영역과 제3 능동층(3)의 제2 영역의 연결을 구현하는데 유리하며, 구조를 간소화할 뿐만 아니라 픽셀 드라이브 회로의 점유 면적을 줄여 디스플레이 제품의 해상도를 구현할 수 있다.

[0102] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 능동층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 능동층 패턴은 기본적으로 동일할 수 있으며, 픽셀 중심선(A)은 제1 방향(D1)에서 인접한 두 개의 서브 픽셀 사이에 위치하고 제2 방향(D2)을 따라 연장되는 직선이다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 능동층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 능동층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다.

[0103] 예시적 실시 방식에서, 각 서브 픽셀의 제1 게이트 전극(11)과 제3 게이트 전극(13)은 제1 방향(D1)을 따라 순차적으로 설치될 수 있고, 제2 게이트 전극(12)과 제3 게이트 전극(13)은 제2 방향(D2)을 따라 순차적으로 설치되어 서브 픽셀에 'L' 모양의 배치를 형성할 수 있다.

[0104] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제1 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 제1 전도층 패턴은 기본적으로 동일할 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제1 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제1 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다.

[0105] 예시적 실시 방식에서, 제1 전도층 패턴의 대칭적 특성이기 때문에, 제1 방향(D1)에 인접한 두 개의 서브 픽셀의 제1 게이트 전극(11)은 서로 연결되는 일체 구조가 될 수 있고, 제1 방향(D1)에 인접한 두 개의 서브 픽셀의 제3 게이트 전극(13)은 서로 연결되는 일체 구조가 될 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제3 게이트 전극(13)은 서로 연결되는 일체 구조가 될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제1 게이트 전극(11)은 서로 연결되는 일체 구조가 될 수 있다. 본 공개는 인접한 두 개의 서브 픽셀의 제1 게이트 전극을 서로 연결되는 일체 구조로, 인접한 두 개의 서브 픽셀의 제3 게이트 전극을 서로 연결되는 일체 구조로 설정함으로써 설계 규칙을 만족시키는 전제 하에 픽셀 드라이브 회로의 배치를 더욱 컴팩트하게 할 수 있으며, 디스플레이 장치의 해상도를 높이는데 도움이 된다.

[0106] 예시적 실시 방식에서, 제1 트랜지스터(T1)의 제1 게이트 전극(11)은 제1 게이트 본체부(11-1)와 제1 게이트 연결부(11-2)를 포함할 수 있다. 제1 게이트 본체부(11-1)의 모양은 직사각형 모양일 수 있으며, 제1 게이트 본체부(11-1)가 제1 능동층(1)과 중첩되는 영역은 제1 능동층(1)의 제1 채널 영역으로 사용될 수 있으며, 제1 능동층(1)의 제1 영역(1-1)은 제1 채널 영역의 제2 방향(D2)의 한쪽(접촉 전극(4)에서 멀리 떨어진 한쪽)에 위치할 수 있으며, 제1 능동층(1)의 제2 영역(1-2)은 제1 채널 영역의 제2 방향(D2)의 반대 방향의 한쪽(접촉 전극(4)에 가까운 한쪽)에 위치할 수 있다. 제1 게이트 연결부(11-2)의 모양은 직사각형 모양일 수 있으며, 제1 게이트

본체부(11-1)의 제3 트랜지스터(T3)에 가까운 한쪽에 설치되고, 제1 게이트 본체부(11-1)와 연결되어 제1 게이트 연결부(11-2)가 간격 영역(q3)에 위치하게 되며, 제1 게이트 연결부(11-2)는 제1 게이트 통과홀을 통하여 후속으로 형성되는 제1 스캔 신호선과 연결하도록 구성된다.

[0107] 예시적 실시 방식에서, 제2 트랜지스터(T2)의 제2 게이트 전극(12)은 제2 게이트 본체부(12-1)와 제2 게이트 연결부(12-2)를 포함할 수 있다. 제2 게이트 본체부(12-1)의 모양은 직사각형 모양이 될 수 있으며, 제2 게이트 본체부(12-1)가 제2 능동층(2)과 중첩되는 영역은 제2 능동층(2)의 제2 채널 영역으로 사용될 수 있으며, 제2 능동층(2)의 제1 영역(2-1)은 제2 채널 영역의 제2 방향(D2)의 반대 방향의 한쪽(제3 능동층(3)에서 멀리 떨어진 한쪽)에 위치할 수 있으며, 제2 능동층(2)의 제2 영역(2-2)은 제2 채널 영역의 제2 방향(D2)의 한쪽(제3 능동층(3)에 가까운 한쪽)에 위치할 수 있다. 제2 게이트 연결부(12-2)의 모양은 직사각형 모양일 수 있으며, 제2 게이트 본체부(12-1)의 접촉 전극(4)에 가까운 한쪽에 설치되고, 제2 게이트 본체부(12-1)와 연결되어 제2 게이트 연결부(12-2)가 간격 영역(q3)에 위치하게 되며, 제2 게이트 연결부(12-2)는 제2 게이트 통과홀을 통하여 후속으로 형성되는 제1 트랜지스터의 제2 극과 연결되도록 구성된다.

[0108] 예시적 실시 방식에서, 제3 트랜지스터(T3)의 제3 게이트 전극(13)은 제3 게이트 본체부(13-1)와 제3 게이트 연결부(13-2)를 포함할 수 있다. 제3 게이트 본체부(13-1)의 모양은 직사각형 모양이 될 수 있으며, 제3 게이트 본체부(13-1)가 제3 능동층(3)과 중첩되는 영역은 제3 능동층(3)의 제3 채널 영역으로 사용될 수 있으며, 제3 능동층(3)의 제1 영역(3-1)은 제3 채널 영역의 제2 방향(D2)의 한쪽(제2 능동층(2)에서 멀리 떨어진 한쪽)에 위치할 수 있으며, 제3 능동층(3)의 제2 영역(3-2)은 제3 채널 영역의 제2 방향(D2)의 반대 방향의 한쪽(제2 능동층(2)에 가까운 한쪽)에 위치할 수 있다. 제3 게이트 연결부(13-2)의 모양은 직사각형 모양일 수 있으며, 제3 게이트 본체부(13-1)의 제1 트랜지스터(T1)에 가까운 한쪽에 설치되고, 제3 게이트 본체부(13-1)와 연결되어 제3 게이트 연결부(13-2)가 간격 영역(q3)에 위치하게 되며, 제3 게이트 연결부(13-2)는 제3 게이트 통과홀을 통하여 후속으로 형성되는 제2 스캔 신호선과 연결하도록 구성된다.

[0109] 예시적 실시 방식에서, 제1 게이트 연결부(11-2), 제2 게이트 연결부(12-2) 및 제3 게이트 연결부(13-2)는 모두 간격 영역(q3)에 위치하고, 각각 후속으로 형성되는 제1 스캔 신호선, 제1 트랜지스터의 제2 극 및 제2 스캔 신호선과 연결되어, 세 개의 게이트 전극의 랩 위치가 모두 동일한 간격 영역 내에 위치하도록 구성되며, 설계 규칙을 만족시키는 전제 하에 픽셀 드라이브 회로의 배치를 더욱 컴팩트하게 하고 디스플레이 장치의 해상도를 높이는데 도움이 될 뿐만 아니라 게이트 통과홀이 트랜지스터의 전기적 성능에 영향을 주지 않도록 하며, 픽셀 드라이브 회로의 작동 신뢰성을 높일 수 있다.

[0110] 예시적 실시 방식에서, 간격 영역(q3)에 위치하는 제1 게이트 연결부(11-2)와 제3 게이트 연결부(13-2)는 제2 방향(D2)에 비정렬로 설치될 수 있으며, 제1 게이트 연결부(11-2)와 제3 게이트 연결부(13-2) 사이에는 간격이 있다.

[0111] 예시적 실시 방식에서, 제1 게이트 연결부(11-2)는 간격 영역(q3) 제2 방향(D2)의 일단부에 위치할 수 있고, 제3 게이트 연결부(13-2)는 간격 영역(q3) 제2 방향(D2)의 반대 방향 일단부에 위치할 수 있으며, 제1 게이트 본체부(11-1)와 제1 게이트 연결부(11-2)의 제2 트랜지스터(T2)에서 멀리 떨어진 한쪽의 가장자리가 정렬될 수 있으며, 제3 게이트 본체부(13-1)와 3 게이트 연결부(13-2)의 제2 트랜지스터(T2)에 가까운 한쪽의 가장자리가 정렬될 수 있다. 일부 가능한 실시 방식에서, 제1 게이트 연결부(11-2)는 간격 영역(q3) 제2 방향(D2)의 반대 방향의 일단부에 위치할 수 있고, 제3 게이트 연결부(13-2)는 간격 영역(q3) 제2 방향(D2)의 일단부에 위치할 수 있으며, 제1 게이트 본체부(11-1)와 제1 게이트 연결부(11-2)의 제2 트랜지스터(T2)에서 가까운 한쪽의 가장자리가 정렬될 수 있으며, 제3 게이트 본체부(13-1)와 3 게이트 연결부(13-2)의 제2 트랜지스터(T2)에서 멀리 떨어진 한쪽의 가장자리가 정렬될 수 있다.

[0112] 예시적 실시 방식에서, 접촉 전극(4)은 N형 도핑 영역(N+)일 수 있으며, 접촉 전극(4)은 실리콘 기질에 저압 바이어스를 하도록 구성되어, 실리콘 기질의 바이어스 효과와 같은 기생 효과로 인한 임계값 전압의 변화를 피하고 회로의 안정성을 향상시킨다. 본 공개는 접촉 전극(4)을 설치하여 실리콘 기질에 저압 바이어스를 진행함으로써 서브 픽셀 사이의 부품을 전기적으로 격리할 수 있고 부품 사이의 기생 효과를 감소시켜 회로의 안정성을 향상시킬 수 있다.

[0113] (3) 제2 절연층 패턴을 형성한다. 예시적 실시 방식에서, 제2 절연층 패턴을 형성하는 것은 상술한 패턴을 형성하는 실리콘 기질에 제2 절연 박막을 증착하고, 패턴화 공정을 통하여 제2 절연 박막을 패턴화하여, 제1 전도층 패턴을 커버하는 제2 절연층을 형성하는 것이 포함되며, 제2 절연층에는 다수의 통과홀을 설치하며, 도 7에 도시된 바와 같다.

[0114] 예시적 실시 방식에서, 각 서브 픽셀 중의 다수의 통과홀은 적어도 제1 통과홀(V1), 제2 통과홀(V2), 제3 통과홀(V3), 제4 통과홀(V4), 제4 통과홀(V5), 제6 통과홀(V6), 제7 통과홀(V7), 제8 통과홀(V8), 제9 통과홀(V9) 및 제10 통과홀(V10)을 포함할 수 있다.

[0115] 예시적 실시 방식에서, 제1 통과홀(V1)의 실리콘 기질에서의 정투영은 제1 능동층(1)의 제1 영역의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제1 통과홀(V1) 내의 제1 절연층과 제2 절연층이 식각되어 제1 능동층(1)의 제1 영역의 표면을 노출시키며, 제1 통과홀(V1)은 후속으로 형성되는 제21 연극 전극이 이 통과홀을 통하여 제1 능동층(1)의 제1 영역과 연결되도록 구성된다.

[0116] 예시적 실시 방식에서, 제2 통과홀(V2)의 실리콘 기질에서의 정투영은 제1 능동층(1)의 제2 영역의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제2 통과홀(V2) 내의 제1 절연층과 제2 절연층이 식각되어 제1 능동층(1)의 제2 영역의 표면을 노출시키며, 제2 통과홀(V2)은 후속으로 형성되는 제22 연극 전극이 이 통과홀을 통하여 제1 능동층(1)의 제2 영역과 연결되도록 구성된다.

[0117] 예시적 실시 방식에서, 제3 통과홀(V3)의 실리콘 기질에서의 정투영은 제2 능동층(2)의 제1 영역의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제3 통과홀(V3) 내의 제1 절연층과 제2 절연층이 식각되어 제2 능동층(2)의 제1 영역의 표면을 노출시키며, 제3 통과홀(V3)은 후속으로 형성되는 제23 연결 전극이 이 통과홀을 통하여 제2 능동층(2)의 제1 영역과 연결되도록 구성된다.

[0118] 예시적 실시 방식에서, 제4 통과홀(V4)의 실리콘 기질에서의 정투영은 제2 능동층(2)의 제2 영역의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제4 통과홀(V4) 내의 제1 절연층과 제2 절연층이 식각되어 제2 능동층(2)의 제2 영역의 표면을 노출시키며, 제4 통과홀(V4)은 후속으로 형성되는 제24 연극 전극이 이 통과홀을 통하여 제2 능동층(2)의 제2 영역과 연결되도록 구성된다.

[0119] 예시적 실시 방식에서, 제5 통과홀(V5)의 실리콘 기질에서의 정투영은 제3 능동층(3)의 제1 영역의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제3 통과홀(V3) 내의 제1 절연층과 제2 절연층이 식각되어 제3 능동층(3)의 제1 영역의 표면을 노출시키며, 제3 통과홀(V3)은 후속으로 형성되는 제25 연결 전극이 이 통과홀을 통하여 제3 능동층(3)의 제1 영역과 연결되도록 구성된다.

[0120] 예시적 실시 방식에서, 제6 통과홀(V6)의 실리콘 기질에서의 정투영은 제3 능동층(3)의 제2 영역의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제6 통과홀(V6) 내의 제1 절연층과 제2 절연층이 식각되어 제3 능동층(3)의 제2 영역의 표면을 노출시키며, 제6 통과홀(V6)은 후속으로 형성되는 제24 연극 전극이 이 통과홀을 통하여 제3 능동층(3)의 제2 영역과 연결되도록 구성된다.

[0121] 예시적 실시 방식에서, 제7 통과홀(V7)의 실리콘 기질에서의 정투영은 제1 게이트 전극(11)의 제1 게이트 연결부(11-2)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제7 통과홀(V7) 내의 제2 절연층이 식각되어 제1 게이트 연결부(11-2)의 표면을 노출시키며, 제7 통과홀(V7)은 후속으로 형성되는 제1 스캔 신호선이 이 통과홀을 통하여 제1 게이트 연결부(11-2)와 연결되도록 구성되며, 제7 통과홀(V7)은 본 공개의 제1 게이트 통과홀로 사용될 수 있다.

[0122] 예시적 실시 방식에서, 제1 방향(D1)에 인접한 두 개의 서브 픽셀의 제1 게이트 전극(11)은 서로 연결되는 일체 구조이기 때문에, 일체 구조의 제1 게이트 전극(11)이 있는 영역에 두 개의 제7 통과홀(제1 게이트 통과홀)이 설치되며, 두 개의 제7 통과홀(V7)은 각각 일체 구조의 제1 게이트 전극(11)의 제1 방향(D1)의 양단부에 위치하여 동일한 일체 구조의 제1 게이트 전극(11)이 두 개의 제7 통과홀(V7)을 통하여 후속으로 형성되는 제1 스캔 신호선과 연결될 수 있도록 한다.

[0123] 예시적 실시 방식에서, 제8 통과홀(V8)의 실리콘 기질에서의 정투영은 제2 게이트 전극(12)의 제2 게이트 연결부(12-2)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제8 통과홀(V8) 내의 제2 절연층이 식각되어 제2 게이트 연결부(12-2)의 표면을 노출시키며, 제8 통과홀(V8)은 후속으로 형성되는 제22 연결 전극이 이 통과홀을 통하여 제2 게이트 연결부(12-2)와 연결되도록 구성되며, 제8 통과홀(V8)은 본 공개의 제2 게이트 통과홀로 사용될 수 있다.

[0124] 예시적 실시 방식에서, 제9 통과홀(V9)의 실리콘 기질에서의 정투영은 제3 게이트 전극(13)의 제3 게이트 연결부(13-2)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제9 통과홀(V9) 내의 제2 절연층이 식각되어 제3 게이트 연결부(13-2)의 표면을 노출시키며, 제9 통과홀(V9)은 후속으로 형성되는 제2 스캔 신호선이 이 통과홀을 통하여 제3 게이트 연결부(13-2)와 연결되도록 구성되며, 제9 통과홀(V9)은 본 공개의 제3 게이트

통과홀로 사용될 수 있다.

[0125] 예시적 실시 방식에서, 제1 방향(D1)에 인접한 두 개의 서브 픽셀의 제3 게이트 전극(13)은 서로 연결되는 일체 구조이기 때문에, 일체 구조의 제3 게이트 전극(13)이 있는 영역에 두 개의 제9 통과홀(V9)(제3 게이트 통과홀)이 설치되며, 두 개의 제9 통과홀(V9)은 각각 일체 구조의 제3 게이트 전극(13)의 제1 방향(D1)의 양단부에 위치하여 동일한 일체 구조의 제3 게이트 전극(13)이 두 개의 제9 통과홀(V9)을 통하여 후속으로 형성되는 제2 스캔 신호선과 연결될 수 있도록 한다.

[0126] 예시적 실시 방식에서, 제10 통과홀(V10)의 실리콘 기질에서의 정투영은 접촉 전극(4)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제10 통과홀(V10) 내의 제1 절연층과 제2 절연층은 식각되어 접촉 전극(4)의 표면을 노출시키며, 제10 통과홀(V10)은 후속으로 형성되는 참조 신호선이 이 통과홀을 통하여 접촉 연결 전극(4)과 연결되도록 구성된다.

[0127] 예시적 실시 방식에서, 제8 통과홀(V8)과 제10 통과홀(V10)은 접촉 저항을 줄이고 연결 신뢰성을 향상시키기 위하여 다수의 개가 될 수 있다.

[0128] (4) 제2 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제2 전도층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제2 전도 박막을 증착하고, 패턴화 공정을 통하여 제2 전도층 박막을 패턴화하며, 제2 절연층에 제2 전도층 패턴을 형성하는 것이 포함되며, 도 8a와 도 8b에 도시된 바와 같으며, 도 8b는 도 8a의 제2 전도층의 도면이다. 예시적 실시 방식에서, 제2 전도층은 제1 금속(Metal1)층이라고 할 수 있다.

[0129] 예시적 실시 방식에서, 각 서브 픽셀 중의 제2 전도층 패턴은 적어도 제21 연결 전극(21), 제22 연결 전극(22), 제23 연결 전극(23), 제24 연결 전극(24), 제1 스캔 신호선(26), 제2 스캔 신호선(27), 바이어스 전압선(28) 및 바이어스 연결선(29)을 포함할 수 있다.

[0130] 예시적 실시 방식에서, 제21 연결 전극(21)의 모양은 직사각형 모양일 수 있고, 제21 연결 전극(21)은 제1 통과홀(V1)을 통하여 제1 능동층의 제1 영역과 연결될 수 있으며, 제21 연결 전극(21)은 제1 트랜지스터(T1)의 제1 극으로 사용될 수 있으며, 제21 연결 전극(21)은 후속으로 형성되는 데이터 신호선과 연결되도록 구성된다.

[0131] 예시적 실시 방식에서, 제22 연결 전극(22)의 오양은 'L' 모양이 될 수 있고, 제22 연결 전극(22)의 제1 단부는 제2 통과홀(V2)을 통하여 제1 능동층의 제2 영역과 연결될 수 있으며, 제22 연결 전극(22)의 제2 단부는 제2 게이트 전극(12)의 방향으로 굽어 연장된 후 제8 통과홀(V8)을 통하여 제2 게이트 전극(12)의 제2 게이트 연결부(12-2)와 연결되며, 제22 연결 전극(22)은 제1 트랜지스터(T1)의 제2 극으로 사용될 수 있어 제1 트랜지스터(T1)의 제2 극과 제2 트랜지스터(T2)의 제2 게이트 전극(12)의 연결을 구현한다.

[0132] 예시적 실시 방식에서, 제23 연결 전극(23)의 모양은 본체 부분이 제2 방향(D2)을 따라 연장되는 스트립 모양일 수 있고, 제23 연결 전극(23)의 제1 단부는 제3 통과홀(V3)을 통하여 제2 능동층의 제1 영역과 연결될 수 있으며, 제23 연결 전극(23)의 제2 단부는 제2 방향(D2)을 따라 제2 게이트 전극(12)의 중간 위치까지 연결될 수 있으며, 제23 연결 전극(23)은 제2 트랜지스터(T2)의 제1 극으로 사용될 수 있으며, 제23 연결 전극(23)은 후속으로 형성되는 제32 연결 전극과 연결되도록 구성한다.

[0133] 예시적 실시 방식에서, 제24 연결 전극(24)의 모양은 직사각형 모양일 수 있고, 제24 연결 전극(24)의 제1 단부는 제4 통과홀(V4)을 통하여 제2 능동층(2)의 제2 영역과 연결될 수 있고, 제24 연결 전극(24)의 제2 단부는 제6 통과홀(V6)을 통하여 제3 능동층(3)의 제2 영역과 연결될 수 있으며, 제24 연결 전극(24)은 동시에 제2 트랜지스터(T2)의 제2 극과 제3 트랜지스터(T3)의 제2 극으로 사용될 수 있어, 즉 제2 트랜지스터(T2)의 제2 극과 제3 트랜지스터(T3)의 제2 극이 서로 연결되는 일체 구조이며, 제24 연결 전극(24)은 후속으로 형성되는 제33 연결 전극과 연결되도록 구성한다.

[0134] 예시적 실시 방식에서, 제25 연결 전극(25)의 모양은 직사각형 모양일 수 있고, 제25 연결 전극(25)은 제5 통과홀(V5)을 통하여 제3 능동층(3)의 제1 영역과 연결될 수 있으며, 제25 연결 전극(25)은 제3 트랜지스터(T3)의 제1 극으로 사용될 수 있으며, 제25 연결 전극(21)은 후속으로 형성되는 참조 신호선과 연결되도록 구성된다.

[0135] 예시적 실시 방식에서, 제1 스캔 신호선(26)의 모양은 본체 부분이 제1 방향(D1)을 따라 연장되는 선 모양일 수 있고, 제1 스캔 신호선(26)은 제7 통과홀(V7)을 통하여 각 서브 픽셀의 제1 게이트 연결부(11-2)와 연결될 수 있어 제1 스캔 신호선(26)과 각 서브 픽셀의 제1 게이트 전극(11)의 연결이 구현되며, 제1 스캔 신호선(26)은 각 서브 픽셀의 제1 트랜지스터(T1)에 제1 트랜지스터(T1)의 도통 또는 단절을 제어하는 제1 스캔 신호를 제공할 수 있다.

[0136] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제1 게이트 전극(11)은 서로 연결되는 일체 구조로서, 일체 구조의 제1 게이트 전극(11)이 있는 영역에 두 개의 제7 통과홀(V7)(제1 게이트 통과홀)이 설치되기 때문에, 제1 스캔 신호선(26)은 두 개의 제7 통과홀(V7)을 통하여 동일한 일체 구조의 제1 게이트 전극(11)과 연결된다.

[0137] 예시적 실시 방식에서, 제2 스캔 신호선(27)의 모양은 본체 부분이 제1 방향(D1)을 따라 연장되는 선 모양일 수 있고, 제2 스캔 신호선(27)은 제9 통과홀(V9)을 통하여 각 서브 픽셀의 제3 게이트 연결부(13-2)와 연결될 수 있어 제2 스캔 신호선(27)과 각 서브 픽셀의 제3 게이트 전극(13)의 연결이 구현되며, 제2 스캔 신호선(27)은 각 서브 픽셀의 제3 트랜지스터(T3)에 제3 트랜지스터(T3)의 도통 또는 단절을 제어하는 제2 스캔 신호를 제공할 수 있다.

[0138] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제3 게이트 전극(13)은 서로 연결되는 일체 구조로서, 일체 구조의 제3 게이트 전극(13)이 있는 영역에 두 개의 제9 통과홀(V9)(제3 게이트 통과홀)이 설치되기 때문에, 제2 스캔 신호선(27)은 두 개의 제9 통과홀(V9)을 통하여 동일한 일체 구조의 제3 게이트 전극(13)과 연결된다.

[0139] 예시적 실시 방식에서, 제1 스캔 신호선(26)의 실리콘 기질에서의 정투영은 제1 게이트 전극(11)과 제3 게이트 전극(13)의 실리콘 기질에서의 정투영과 적어도 부분적으로 중첩되고, 제2 스캔 신호선(27)의 실리콘 기질에서의 정투영은 제1 게이트 전극(11)과 제3 게이트 전극(13)의 실리콘 기질에서의 정투영과 적어도 부분적으로 중첩된다. 본 공개는 제1 스캔 신호선과 제2 스캔 신호선이 모두 제1 게이트 전극과 제3 게이트 전극과 중첩되도록 설치함으로써 제1 스캔 신호선과 제2 스캔 신호선의 점용 면적을 줄이는데 도움이 되고 픽셀 드라이브 회로의 점용 면적을 줄이는 데 도움이 되며, 따라서 디스플레이 제품의 해상도를 구현한다.

[0140] 예시적 실시 방식에서, 각 서브 픽셀의 바이어스 전압선(28)의 모양은 본체 부분이 제1 방향(D1)을 따라 연장되는 선 모양일 수 있고, 바이어스 전압선(28)은 제10 통과홀(V10)을 통하여 각 서브 픽셀의 접촉 전극(4)과 연결될 수 있으며, 바이어스 전압선(28)이 접촉 전극(4)에 저전압을 공급하고 실리콘 기질에 저압 바이어스하며 부품을 전기적으로 격리하고 부품 사이의 기생 효과를 감소시키며, 픽셀 드라이브 회로의 안정성을 향상시킨다.

[0141] 예시적 실시 방식에서, 각 서브 픽셀의 바이어스 연결선(29)의 모양은 본체 부분이 제2 방향(D2)을 따라 연장되는 스트립 모양일 수 있으며, 바이어스 전압선(28)의 제2 방향(D2)의 한쪽 또는 양쪽에 설치되어 바이어스 전압선(28)과 연결될 수 있다. 각 서브 픽셀의 바이어스 연결선(29)은 접촉 저항을 낮추고 접촉 신뢰성을 높이기 위하여 다수의 제10 통과홀(V10)을 통하여 접촉 전극(4)과 연결될 수 있다.

[0142] 예시적 실시 방식에서, 제1 스캔 신호선(26)은 제21 연결 전극(21)에 가까운 한쪽에 위치할 수 있고, 제2 스캔 신호선(27)은 제1 스캔 신호선(26)의 제21 연결 전극(21)에서 멀리 떨어진 한쪽에 위치할 수 있다.

[0143] 예시적 실시 방식에서, 바이어스 전압선(28)은 제22 연결 전극(22)과 제23 연결 전극(23) 사이에 위치할 수 있으며, 바이어스 전압선(28)의 실리콘 기질에서의 정투영은 제2 게이트 전극(12)의 실리콘 기질에서의 정투영과 적어도 부분적으로 중첩된다.

[0144] 예시적 실시 방식에서, 바이어스 전압선(28)의 너비는 제1 스캔 신호선(26)의 너비보다 크고, 바이어스 전압선(28)의 너비는 제2 스캔 신호선(27)의 너비보다 크게 될 수 있어 바이어스 전압선(28)의 저항을 낮추고 전원 전압의 균일성을 향상시킬 수 있다.

[0145] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제2 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 제2 전도층 패턴은 기본적으로 동일할 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제2 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제2 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다.

[0146] (5) 제3 절연층 패턴을 형성한다. 예시적 실시 방식에서, 제3 절연층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제3 절연 박막을 증착하고, 패턴화 공정을 통하여 제3 절연 박막을 패턴화하여, 제2 전도층 패턴을 커버하는 제3 절연층을 형성하는 것이 포함되며, 제3 절연층에는 다수의 통과홀을 설치하며, 도 9에 도시된 바와 같다.

[0147] 예시적 실시 방식에서, 각 서브 픽셀의 다수의 통과홀은 제11 통과홀(V11), 제12 통과홀(V12), 제13 통과홀(V13), 제14 통과홀(V14) 및 제15 통과홀(V15)을 포함할 수 있다.

[0148] 예시적 실시 방식에서, 제11 통과홀(V11)의 실리콘 기질에서의 정투영은 제21 연결 전극(21)의 실리콘 기질에서의 정투영 범위 내에 위치할 수 있으며, 제11 통과홀(V11) 내의 제3 절연층은 식각되어 제21 연결 전극(21)의 표면을 노출시키며, 제11 통과홀(V11)은 후속으로 형성되는 데이터 신호선이 이 통과홀을 통하여 제21 연결 전극(21)과 연결되도록 구성된다.

[0149] 예시적 실시 방식에서, 제12 통과홀(V12)의 실리콘 기질에서의 정투영은 제22 연결 전극(22)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제12 통과홀(V12) 내의 제3 절연층은 식각되어 제22 연결 전극(22)의 표면을 노출시키며, 제12 통과홀(V12)은 후속으로 형성되는 제31 연결 전극이 이 통과홀을 통하여 제22 연결 전극(22)과 연결되도록 구성된다.

[0150] 예시적 실시 방식에서, 제13 통과홀(V13)의 실리콘 기질에서의 정투영은 제23 연결 전극(23)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제13 통과홀(V13) 내의 제3 절연층은 식각되어 제23 연결 전극(23)의 표면을 노출시키며, 제13 통과홀(V13)은 후속으로 형성되는 제32 연결 전극이 이 통과홀을 통하여 제23 연결 전극(23)과 연결되도록 구성된다.

[0151] 예시적 실시 방식에서, 제14 통과홀(V9)의 실리콘 기질에서의 정투영은 제24 연결 전극(24)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제14 통과홀(V14) 내의 제3 절연층은 식각되어 제24 연결 전극(24)의 표면을 노출시키며, 제14 통과홀(V14)은 후속으로 형성되는 제33 연결 전극이 이 통과홀을 통하여 제24 연결 전극(24)과 연결되도록 구성된다.

[0152] 예시적 실시 방식에서, 제15 통과홀(V15)의 실리콘 기질에서의 정투영은 제25 연결 전극(25)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제15 통과홀(V15) 내의 제3 절연층은 식각되어 제25 연결 전극(23)의 표면을 노출시키며, 제15 통과홀(V15)은 후속으로 형성되는 참조 신호선이 이 통과홀을 통하여 제25 연결 전극(25)과 연결되도록 구성된다.

[0153] 예시적 실시 방식에서, 제11 통과홀(V11) 내지 제15 통과홀(V15)은 접촉 저항을 줄이고 연결 신뢰성을 향상시키기 위하여 다수의 개가 될 수 있다.

[0154] (6) 제3 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제3 전도층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제3 전도 박막을 증착하고, 패턴화 공정을 통하여 제3 전도층 박막을 패턴화하며, 제3 절연층에 제3 전도층 패턴을 형성하는 것이 포함되며, 도 10a와 도 10b에 도시된 바와 같으며, 도 10b는 도 10a의 제3 전도층의 도면이다. 예시적 실시 방식에서, 제3 전도층은 제2 금속(Metal2)층이라고 할 수 있다.

[0155] 예시적 실시 방식에서, 각 서브 픽셀의 제3 전도층 패턴은 적어도 제31 연결 전극(31), 제32 연결 전극(32), 제33 연결 전극(33), 데이터 신호선(34) 및 참조 신호선(35)을 포함할 수 있다.

[0156] 예시적 실시 방식에서, 제31 연결 전극(31)의 모양은 제2 방향(D2)을 따라 연장되는 스트립 모양일 수 있고, 제31 연결 전극(31)의 제2 방향(D2)의 반대 방향의 단부(제2 트랜지스터(T2)에 가까운 단부)는 제12 통과홀(V12)을 통하여 제22 연결 전극(22)과 연결될 수 있으며, 제31 연결 전극(31)은 후속으로 형성되는 제41 연결 전극과 연결되도록 구성된다.

[0157] 예시적 실시 방식에서, 제32 연결 전극(32)의 모양은 직사각형 모양일 수 있고, 제32 연결 전극(32)은 제13 통과홀(V13)을 통하여 제23 연결 전극(23)과 연결될 수 있으며, 제32 연결 전극(32)은 후속으로 형성되는 발광 전압선과 연결되도록 구성된다.

[0158] 예시적 실시 방식에서, 제33 연결 전극(33)의 모양은 제2 방향(D2)을 따라 연장되는 꺾인선 모양일 수 있고, 제33 연결 전극(33)의 제2 방향(D2)의 단부(제3 트랜지스터(T3)에 가까운 단부)는 제14 통과홀(V14)을 통하여 제24 연결 전극(24)과 연결될 수 있으며, 제33 연결 전극(33)은 후속으로 형성되는 제42 연결 전극과 연결되도록 구성된다.

[0159] 예시적 실시 방식에서, 데이터 신호선(34)의 모양은 제2 방향(D2)을 따라 연장되는 선 모양일 수 있으며, 데이터 신호선(34)은 제11 통과홀(V11)을 통하여 제21 연결 전극(21)과 연결될 수 있다. 제21 연결 전극(21)은 제1 능동층의 제1 영역과 연결되기 때문에 데이터 신호선(34)이 데이터 신호를 제1 트랜지스터(T1)의 제1 극에 기입하는 것을 구현한다.

[0160] 예시적 실시 방식에서, 참조 신호선(35)의 모양은 제2 방향(D2)을 따라 연장되는 선 모양일 수 있으며, 참조 신호선(35)은 제15 통과홀(V15)을 통하여 제25 연결 전극(25)과 연결될 수 있다. 제25 연결 전극(25)은 제3 능동층의 제1 영역과 연결되기 때문에 참조 신호선(35)이 참조 신호를 제3 트랜지스터(T3)의 제1 극에 기입하는 것

을 구현한다.

[0161] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제3 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 제3 전도층 패턴은 기본적으로 동일할 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제3 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제3 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다.

[0162] (7) 제4 절연층 패턴을 형성한다. 예시적 실시 방식에서, 제4 절연층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제4 절연 박막을 증착하고, 패턴화 공정을 통하여 제4 절연 박막을 패턴화하여, 제3 전도층 패턴을 커버하는 제4 절연층을 형성하는 것이 포함되며, 제4 절연층에는 다수의 통과홀을 설치하며, 도 11에 도시된 바와 같다.

[0163] 예시적 실시 방식에서, 각 서브 픽셀의 다수의 통과홀은 제21 통과홀(V21), 제22 통과홀(v22) 및 제23 통과홀(V23)을 포함할 수 있다.

[0164] 예시적 실시 방식에서, 제21 통과홀(V21)의 실리콘 기질에서의 정투영은 제31 연결 전극(31) 제2 방향(D2)의 단부의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제21 통과홀(V21) 내의 제4 절연층은 식각되어 제31 연결 전극(23)의 표면을 노출시키며, 제21 통과홀(V21)은 후속으로 형성되는 제41 연결 전극이 이 통과홀을 통하여 제31 연결 전극(31)과 연결되도록 구성된다.

[0165] 예시적 실시 방식에서, 제22 통과홀(V22)의 실리콘 기질에서의 정투영은 제32 연결 전극(32)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제22 통과홀(V22) 내의 제4 절연층은 식각되어 제32 연결 전극(32)의 표면을 노출시키며, 제22 통과홀(V22)은 후속으로 형성되는 발광 전압선이 이 통과홀을 통하여 제32 연결 전극(32)과 연결되도록 구성된다.

[0166] 예시적 실시 방식에서, 제23 통과홀(V23)의 실리콘 기질에서의 정투영은 제33 연결 전극(33) 제2 방향(D2)의 반대 방향의 단부의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제23 통과홀(V23) 내의 제4 절연층은 식각되어 제33 연결 전극(33)의 표면을 노출시키며, 제23 통과홀(V23)은 후속으로 형성되는 제42 연결 전극이 이 통과홀을 통하여 제33 연결 전극(33)과 연결되도록 구성된다.

[0167] (8) 제4 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제4 전도층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제4 전도 박막을 증착하고, 패턴화 공정을 통하여 제4 전도층 박막을 패턴화하며, 제4 절연층에 제4 전도층 패턴을 형성하는 것이 포함되며, 도 12a와 도 12b에 도시된 바와 같으며, 도 12b는 도 12a의 제4 전도층의 도면이다. 예시적 실시 방식에서, 제4 전도층은 제3 금속(Metal3)층이라고 할 수 있다.

[0168] 예시적 실시 방식에서, 각 서브 픽셀 중의 제4 전도층 패턴은 적어도 제41 연결 전극(41), 제42 연결 전극(42) 및 발광 전압선(43)을 포함할 수 있다.

[0169] 예시적 실시 방식에서, 제41 연결 전극(41)의 모양은 'T' 모양일 수 있고, 제41 연결 전극(41)은 제21 통과홀(V21)을 통하여 제31 연결 전극(31)과 연결될 수 있으며, 제41 연결 전극(41)은 후속으로 형성되는 제51 연결 전극과 연결되도록 구성된다.

[0170] 예시적 실시 방식에서, 제42 연결 전극(42)의 모양은 "T" 모양일 수 있고, 제42 연결 전극(32)은 제23 통과홀(V23)을 통하여 제33 연결 전극(33)과 연결될 수 있으며, 제42 연결 전극(42)은 후속으로 형성되는 제52 연결 전극과 연결되도록 구성된다.

[0171] 예시적 실시 방식에서, 발광 전압선(43)의 모양은 본체 부분이 제1 방향(D1)을 따라 연장되는 선 모양일 수 있으며, 발광 전압선(43)은 제22 통과홀(V22)을 통하여 제32 연결 전극(32)과 연결될 수 있다. 발광 전압선(43)은 변두리 영역에 위치한 발광 제어 트랜지스터의 제2 극과 연결되기 때문에, 발광 전압 신호를 출력하도록 구성되며, 제32 연결 전극(32)은 통과홀을 통하여 제23 연결 전극(23)과 연결되고, 제23 연결 전극(23)은 통과홀을 통하여 제2 능동층의 제1 영역과 연결되기 때문에 발광 전압선(43)이 발광 전압 신호를 제2 트랜지스터(T2)의 1극에 기입하도록 구현한다.

[0172] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제4 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 제4 전도층 패턴은 기본적으로 동일할 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제4 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제4 전도층 패턴은 픽셀 중

심선(A)을 기준으로 거울 대칭될 수 있다.

[0173] (9) 제5 절연층 패턴을 형성한다. 예시적 실시 방식에서, 제5 절연층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제5 절연 박막을 증착하고, 패턴화 공정을 통하여 제5 절연 박막을 패턴화하여, 제4 전도층 패턴을 커버하는 제5 절연층을 형성하는 것이 포함되며, 제5 절연층에는 다수의 통과홀을 설치하며, 도 13에 도시된 바와 같다.

[0174] 예시적 실시 방식에서, 각 서브 픽셀 중의 다수의 통과홀은 제31 통과홀(V31)과 제32 통과홀(V32)을 포함할 수 있다.

[0175] 예시적 실시 방식에서, 제31 통과홀(V31)의 실리콘 기질에서의 정투영은 제41 연결 전극(41)의 실리콘 기질에서의 정투영 범위 내에 위치할 수 있으며, 제31 통과홀(V31) 내의 제5 절연층은 식각되어 제41 연결 전극(21)의 표면을 노출시키며, 제31 통과홀(V31)은 후속으로 형성되는 제51 연결 전극이 이 통과홀을 통하여 제41 연결 전극(41)과 연결되도록 구성된다.

[0176] 예시적 실시 방식에서, 제32 통과홀(V32)의 실리콘 기질에서의 정투영은 제42 연결 전극(42)의 실리콘 기질에서의 정투영의 범위 내에 위치할 수 있으며, 제32 통과홀(V32) 내의 제5 절연층은 식각되어 제42 연결 전극(42)의 표면을 노출시키며, 제32 통과홀(V32)은 후속으로 형성되는 제52 연결 전극이 이 통과홀을 통하여 제42 연결 전극(41)과 연결되도록 구성된다.

[0177] 예시적 실시 방식에서, 다수의 제31 통과홀(V31)과 다수의 제32 통과홀(V32)은 접촉 저항을 낮추고 연결 신뢰성을 향상시키기 위하여 제1 방향(D1)을 따라 순차적으로 설치될 수 있다.

[0178] (10) 제5 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제5 전도층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제5 전도 박막을 증착하고, 패턴화 공정을 통하여 제5 전도층 박막을 패턴화하며, 제5 절연층에 제5 전도층 패턴을 형성하는 것이 포함되며, 도 14a와 도 14b에 도시된 바와 같으며, 도 14b는 도 14a의 제5 전도층의 도면이다. 예시적 실시 방식에서, 제5 전도층은 제4 금속(Metal4)층이라고 할 수 있다.

[0179] 예시적 실시 방식에서, 각 서브 픽셀 중의 제5 전도층 패턴은 적어도 제51 연결 전극(51)과 제52 연결 전극(52)을 포함할 수 있다.

[0180] 예시적 실시 방식에서, 제51 연결 전극(51)의 모양은 제1 방향(D1)을 따라 연장하는 스트립 모양일 수 있으며, 제51 연결 전극(51)은 다수의 제31 통과홀(V31)을 통하여 제41 연결 전극(41)과 연결될 수 있으며, 제51 연결 전극(51)은 후속으로 형성되는 제1 극판과 연결되도록 구성된다.

[0181] 예시적 실시 방식에서, 제52 연결 전극(52)의 모양은 제1 방향(D1)을 따라 연장하는 스트립 모양일 수 있으며, 제52 연결 전극(52)은 다수의 제32 통과홀(V32)을 통하여 제42 연결 전극(42)과 연결될 수 있으며, 제52 연결 전극(52)은 후속으로 형성되는 제61 연결 전극과 연결되도록 구성된다.

[0182] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제5 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 제5 전도층 패턴은 기본적으로 동일할 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제5 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제5 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다.

[0183] (11) 제6 절연층 패턴을 형성한다. 예시적 실시 방식에서, 제6 절연층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제6 절연 박막을 증착하고, 패턴화 공정을 통하여 제6 절연 박막을 패턴화하여, 제5 전도층 패턴을 커버하는 제6 절연층을 형성하는 것이 포함되며, 제6 절연층에는 다수의 통과홀을 설치하며, 도 15에 도시된 바와 같다.

[0184] 예시적 실시 방식에서, 각 서브 픽셀 중의 다수의 통과홀은 제41 통과홀(V41)과 제42 통과홀(V42)을 포함할 수 있다.

[0185] 예시적 실시 방식에서, 제41 통과홀(V41)의 실리콘 기질에서의 정투영은 제51 연결 전극(51)의 실리콘 기질에서의 정투영 범위 내에 위치할 수 있으며, 제41 통과홀(V41) 내의 제6 절연층은 식각되어 제51 연결 전극(51)의 표면을 노출시키며, 제41 통과홀(V41)은 후속으로 형성되는 제1 극판이 이 통과홀을 통하여 제51 연결 전극(51)과 연결되도록 구성된다.

[0186] 예시적 실시 방식에서, 제42 통과홀(V42)의 실리콘 기질에서의 정투영은 제52 연결 전극(52)의 실리콘 기질에서

의 정투영의 범위 내에 위치할 수 있으며, 제42 통과홀(V42) 내의 제6 절연층은 식각되어 제52 연결 전극(52)의 표면을 노출시키며, 제42 통과홀(V42)은 후속으로 형성되는 제61 연결 전극이 이 통과홀을 통하여 제52 연결 전극(52)과 연결되도록 구성된다.

[0187] 예시적 실시 방식에서, 다수의 제41 통과홀(V41)과 다수의 제42 통과홀(V42)은 접촉 저항을 낮추고 연결 신뢰성을 향상시키기 위하여 제1 방향(D1)을 따라 순차적으로 설치될 수 있다.

[0188] (12) 제6 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제6 전도층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제6 전도 박막을 증착하고, 패턴화 공정을 통하여 제6 전도층 박막을 패턴화하며, 제6 절연층에 제6 전도층 패턴을 형성하는 것이 포함되며, 도 16a와 도 16b에 도시된 바와 같으며, 도 16b는 도 16a의 제6 전도층의 도면이다. 예시적 실시 방식에서, 제6 전도층은 제5 금속(Metal5)층이라고 할 수 있다.

[0189] 예시적 실시 방식에서, 각 서브 픽셀 중의 제6 전도층 패턴은 적어도 제61 연결 전극(61)과 저장 커패시터의 제1 극판(91)을 포함할 수 있다.

[0190] 예시적 실시 방식에서, 제61 연결 전극(61)의 모양은 직사각형 모양일 수 있으며, 제61 연결 전극(61)은 다수의 제42 통과홀(V42)을 통하여 제52 연결 전극(52)과 연결될 수 있으며, 제61 연결 전극(61)은 후속으로 형성되는 양극 연결 전극과 연결되도록 구성된다.

[0191] 예시적 실시 방식에서, 저장 커패시터의 제1 극판(91)의 모양은 직사각형 모양일 수 있으며, 제1 극판(91)은 다수의 제41 통과홀(V41)을 통하여 제51 연결 전극(51)과 연결될 수 있으며, 제1 극판(91)은 저장 커패시터의 하나의 극판으로 구성된다. 제51 연결 전극(51)은 통과홀을 통하여 제41 연결 전극(41)과 연결되고, 제41연결 전극(41)은 통과홀을 통하여 제31연결 전극(31)과 연결되며, 제31 연결 전극(31)은 통과홀을 통하여 제22 연결 전극(22)과 연결되고, 제22 연결 전극(22)은 각각 통과홀을 통하여 제1 능동층의 제2 영역과 제2 트랜지스터(T2)의 게이트 전극과 연결되기 때문에 제1 극판(91), 제1 트랜지스터(T1)의 제2 극 및 제2 트랜지스터(T2)의 게이트 전극이 동일한 전위(픽셀 드라이브 회로의 제1 노드(N1))를 가지게 된다.

[0192] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제6 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 제6 전도층 패턴은 기본적으로 동일할 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제6 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제6 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다.

[0193] (13) 제7 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제7 전도층 패턴을 형성하는 것은 상술한 패턴을 형성하는 실리콘 기질에 제7 절연 박막과 제7 전도 박막을 순차적으로 증착하고, 패턴화 공정을 통하여 제7 전도 박막을 패턴화하여 제6 전도층 패턴을 커버하는 제7 절연층, 및 제7 절연층 위에 설치되는 제7 전도층 패턴을 형성하며, 도 17a와 도 17b에 도시된 바와 같으며, 도 17b는 도 17a의 제7 전도층의 구조도이다. 예시적 실시 방식에서, 제7 전도층은 금속-절연체-금속(Metal-Insulator-Metal, MIM)층이라고 할 수 있다.

[0194] 예시적 실시 방식에서, 각 서브 픽셀의 제7 전도층은 적어도 저장 커패시터의 제2 극판(92)를 포함할 수 있다.

[0195] 예시적 실시 방식에서, 제2 극판(92)의 형태는 직사각형 모양일 수 있으며, 제2 극판(92)의 실리콘 기질에서의 정투영은 제1 극판(91)의 실리콘 기질에서의 정투영과 적어도 부분적으로 중첩되며, 제2 극판(92)은 저장 커패시터의 다른 극판으로 구성되며, 제1 극판(91)과 제2 극판(92)은 픽셀 드라이브 회로의 커패시터를 구성한다.

[0196] 예시적 실시 방식에서, 제2 극판(92)의 면적은 제1 극판(91)의 면적보다 작을 수도 있고, 제2 극판(92)의 실리콘 기질에서의 정투영은 제1 극판(91)의 실리콘 기질에서의 정투영의 범위 내에 있을 수 있다.

[0197] 예시적 실시 방식에서, 제1 방향(D1)에서 인접한 두 개의 서브 픽셀의 제7 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있으며, 제2 방향(D2)에서 인접한 두 개의 서브 픽셀의 제7 전도층 패턴은 기본적으로 동일할 수 있다. 예를 들어, 제1 서브 픽셀(P1)과 제2 서브 픽셀(P2)의 제7 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다. 예를 들어, 제2 서브 픽셀(P2)과 제3 서브 픽셀(P3)의 제7 전도층 패턴은 픽셀 중심선(A)을 기준으로 거울 대칭될 수 있다.

[0198] (14) 제8 절연층 패턴을 형성한다. 예시적 실시 방식에서, 제8 절연층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제8 절연 박막을 증착하고, 패턴화 공정을 통하여 제8 절연 박막을 패턴화하여, 제7 전도층 패턴을 커버하는 제8 절연층을 형성하는 것이 포함되며, 제8 절연층에는 다수의 통과홀을 설치하며, 도 18

에 도시된 바와 같다.

[0199] 예시적 실시 방식에서, 각 서브 픽셀 중의 다수의 통과홀은 적어도 제51 통과홀(V51)과 제52 통과홀(V52)을 포함할 수 있다.

[0200] 예시적 실시 방식에서, 제51 통과홀(V51)의 실리콘 기질에서의 정투영은 제61 연결 전극(61)의 실리콘 기질에서의 정투영 범위 내에 위치할 수 있으며, 제51 통과홀(V51) 내의 제7 절연층과 제8 절연층은 식각되어 제61 연결 전극(61)의 표면을 노출시키며, 제51 통과홀(V51)은 후속으로 형성되는 양극 전극이 이 통과홀을 통하여 제61 연결 전극(61)과 연결되도록 구성된다.

[0201] 예시적 실시 방식에서, 제52 통과홀(V52)의 기질에서의 정투영은 제2 극판(92)의 실리콘 기질에서의 정투영의 범위 내에 위치하며, 제52 통과홀(V52) 내의 제8 절연층이 식각되어 제2 극판(92)의 표면을 노출시키며, 제52 통과홀(V52)은 후속으로 형성되는 제1 전원선이 이 통과홀을 통하여 제2 극판(92)과 연결되도록 구성된다.

[0202] (15) 제8 전도층 패턴을 형성한다. 예시적 실시 방식에서, 제8 전도층 패턴을 형성하는 것에는 상술한 패턴을 형성하는 실리콘 기질에 제8 전도 박막을 증착하고, 패턴화 공정을 통하여 제8 전도층 박막을 패턴화하며, 제8 절연층에 제8 전도층 패턴을 형성하는 것이 포함되며, 도 19a와 도 19b에 도시된 바와 같으며, 도 19b는 도 19a의 제8 전도층의 도면이다. 예시적 실시 방식에서, 제8 전도층은 제6 금속(Metal6)층 또는 제2 금속 연결(TM2)층이라고 할 수 있다.

[0203] 예시적 실시 방식에서, 각 서브 픽셀 중의 제8 전도층은 적어도 양극 연결 전극(71), 전원 전극(72) 및 제1 전원선(73)을 포함할 수 있다.

[0204] 예시적 실시 방식에서, 양극 연결 전극(71)의 모양은 직사각형 모양일 수 있으며, 양극 연결 전극(71)은 제51 통과홀(V51)을 통하여 제61 연결 전극(61)과 연결될 수 있으며, 양극 연결 전극(71)은 후속 형성되는 양극과 연결되도록 구성된다. 제61 연결 전극(61)은 통과홀을 통하여 제52 연결 전극(52)과 연결되고, 제52 연결 전극(52)은 통과홀을 통하여 제42 연결 전극(42)과 연결되며, 제42 연결 전극(42)은 통과홀을 통하여 제33 연결 전극(33)과 연결되고, 제33 연결 전극(33)은 통과홀을 통하여 제24 연결 전극(24)과 연결되며, 제24 연결 전극(24)은 각각 통과홀을 통하여 제2 능동층의 제2 영역 및 제3 능동층의 제2 영역과 연결되기 때문에 후속으로 형성되는 양극과 제2 트랜지스터(T2)의 제2 극과 제3 트랜지스터(T3)의 제2 극(픽셀 드라이브 회로의 제2 노드(N2))을 연결할 수 있으며, 픽셀 드라이브 회로가 출력하는 전류를 양극에 공급할 수 있다.

[0205] 예시적 실시 방식에서, 전원 전극(72)의 모양은 직사각형 모양일 수 있으며, 전원 전극(72)은 제52 통과홀(V52)을 통하여 제2 극판(92)과 연결될 수 있다. 제1 전원선(73)의 모양은 제1 방향(D1)을 따라 연장되는 선 모양일 수 있으며, 제1 전원선(73)은 각 서브 픽셀의 전원 전극(72)과 연결되어 제2 극판(92)이 제1 전원선(73) 전위를 가지게 된다.

[0206] 예시적 실시 방식에서, 전원 전극(72)과 제1 전원선(73)은 서로 연결되는 일체 구조일 수 있다.

[0207] 예시적 실시 방식에서, 제2 극판(92)은 제1 전원선(73)의 전위를 가지고 있고, 제1 극판(91)은 픽셀 드라이브 회로의 제1 노드(N1)의 전위를 가지고 있기 때문에, 제1 극판(91)과 제2 극판(92)은 MIM 커패시터 구조의 저장 커패시터를 구성한다. 본 공개는 MIM 커패시터 구조를 채택함으로써 단위 면적의 커패시터가 높고, 높은 PPI에 필요한 커패시터 용량을 만족시킬 수 있으며, 픽셀 드라이브 회로의 드라이브 능력을 향상시킬 수 있다.

[0208] 예시적 실시 방식에서, 후속 제조 과정에는 양극, 픽셀 정의층, 유기 발광층, 음극, 제1 패키지층, 컬러 필름 구조층 및 제2 패키지층 형성 등의 공정이 포함될 수 있으며, 여기에서는 더 이상 설명하지 않는다.

[0209] 본 공개의 예제 실시예의 디스플레이 장치의 구조 및 그 제조 과정은 단지 예시적 설명일 뿐이며, 실제 상황에 따라 상응하는 구조를 변경하고 패터닝 공정을 증가하거나 감소시킬 수 있으며, 본 공개는 여기에서 제한하지 않는다.

[0210] 예시적 실시 방식에서, 제1 절연층 내지 제8 절연층은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 질소산화 실리콘(SiON) 등을 사용할 수 있으며, 단층 구조이거나 다층 복합 구조일 수 있다. 제1 금속층 내지 제6 금속층은 은(Ag), 구리(Cu), 알루미늄(Al) 또는 몰리브덴(Mo)과 같은 금속 재료를 사용할 수 있거나 알루미늄 네오디뮴 합금(AlNd) 또는 몰리브덴 니오브 합금(MoNb) 등과 같은 금속으로 구성된 합금 재료를 사용할 수 있으며, 합금 재료는 단층 구조일 수 있거나 Mo층, Cu층 및 Mo층으로 구성된 복합 구조와 같은 다층 복합 구조일 수 있다. 예시적 실시 방식에서, 통과홀의 평면 형태는 직사각형, 원형 또는 타원 등일 수 있으며, 다수의

통과홀의 크기는 동일하거나 다를 수 있으며, 본 공개는 여기에서 제한하지 않는다.

[0211] 도 20은 본 공개의 예시적 실시예의 일 디스플레이 기판의 등가 회로도이다. 도 20에 도시된 바와 같이, 디스플레이 기판에는 디스플레이 영역(AA)과 변두리 영역(BK)이 포함될 수 있으며, 변두리 영역(BK)은 디스플레이 영역(AA)의 한쪽에 설정될 수 있다.

[0212] 예시적 실시 방식에서, 디스플레이 영역(AA)은 다수의 픽셀 행과 다수의 픽셀 열을 형성하는 다수의 서브 픽셀을 포함할 수 있고, 적어도 하나의 서브 픽셀은 픽셀 드라이브 회로를 포함할 수 있으며, 픽셀 드라이브 회로는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 저장 커패시터(C)를 포함할 수 있으며, 픽셀 드라이브 회로는 각각 제1 스캔 신호선(26), 제2 스캔 신호선(27), 데이터 신호선(34), 참조 신호선(35), 발광 전압선(43), 제1 전원선(73) 및 발광 부품(XL)의 제1 극과 연결되며, 발광 부품(XL)의 제2 극은 제2 전원선(VSS)과 연결된다. 제1 스캔 신호선(26), 제2 스캔 신호선(27), 발광 전압선(43) 및 제1 전원선(73)은 픽셀 행의 방향을 따라 연장되어 하나의 픽셀 행의 다수의 서브 픽셀 중의 픽셀 드라이브 회로와 연결될 수 있다. 데이터 신호선(34)과 참조 신호선(35)은 픽셀 열 방향을 따라 연장되어 하나의 픽셀 열 중의 다수의 서브 픽셀 중의 픽셀 드라이브 회로와 연결될 수 있다.

[0213] 예시적 실시 방식에서, 변두리 영역(BK)에는 게이트 드라이브 회로, 발광 제어 회로 및 변두리 전원 리드선이 포함될 수 있다.

[0214] 예시적 실시 방식에서, 게이트 드라이브 회로는 다수의 캐스케이드된 게이트 드라이브 유닛(시프트 레지스터)을 포함할 수 있으며, 게이트 드라이브 회로는 각 픽셀 행의 제1 스캔 신호선(26) 및 제2 스캔 신호선(27)과 함께 각각 제1 스캔 신호선(26)과 제2 스캔 신호선(27)에 제1 스캔 신호 및 제2 스캔 신호를 출력할 수 있다.

[0215] 예시적 실시 방식에서, 발광 제어 회로는 적어도 발광 제어 트랜지스터(T4)를 포함할 수 있으며, 발광 제어 트랜지스터(T4)의 게이트 전극은 발광 제어선(E)과 연결되고, 발광 제어 트랜지스터(T4)의 제1 극은 변두리 전원 리드선(F)과 연결되며, 발광 제어 트랜지스터(T4)의 제2 극은 각 픽셀 행의 발광 전압선(43)과 연결되며, 발광 제어 트랜지스터(T4)는 발광 제어선(E)의 제어 하에 발광 전압을 발광 전압선(43)에 출력하도록 구성된다.

[0216] 예시적 실시 방식에서, 변두리 전원 리드선(F)은 제1 전원선(73)과 연결되어 제1 전원선(73)으로 지속적으로 고레벨 신호를 출력한다.

[0217] 예시적 실시 방식에서, 변두리 영역의 게이트 드라이브 회로, 발광 제어 회로 및 변두리 전원 리드선은 디스플레이 영역의 픽셀 드라이브 회로와 동기화하여 구성될 수 있으며, 여기에서는 더 이상 설명하지 않는다.

[0218] 본 공개의 예제적 실시예의 디스플레이 장치의 구조와 그 제조 과정을 통하여 볼 수 있는 바와 같이, 본 공개는 게이트 전극 랩 위치를 모두 동일한 간격에 설치하고, 게이트 전극 공용, 드레인 전극 공용, 서브 픽셀 플리핑 등의 최소화 설계를 통하여 디스플레이 기판의 PPI를 최대화하게 향상시키고 업계 내 Real RGB 실리콘 기반 OLED의 최고 PPI 설계를 구현한다. 본 공개는 제1 스캔 신호선과 제1 트랜지스터(T1)의 게이트 전극을 연결하는 통과홀, 제2 스캔 신호선과 제3 트랜지스터(T3)의 게이트 전극을 연결하는 통과홀 및 제1 트랜지스터(T1)의 제2 극과 제2 트랜지스터(T2)의 게이트 전극을 연결하는 통과홀을 모두 서브 픽셀의 간격 영역에 설치하는 것을 통하여 서브 픽셀 내의 게이트 전극 랩 위치가 모두 동일한 간격 영역에 위치하는 구조를 형성한다. 본 공개는 제1 방향에서 인접한 두 개의 서브 픽셀의 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 픽셀 중심선을 기준으로 거울 대칭되어, 서브 픽셀이 픽셀 중심선을 기준으로 수평적으로 플리핑한 구조를 형성하여, 인접한 두 개의 서브 픽셀의 제1 게이트 전극이 서로 연결되는 일체 구조가 되며, 인접한 두 개의 서브 픽셀의 제3 게이트 전극이 서로 연결되는 일체 구조로 인접한 서브 픽셀 게이트 전극이 공용되는 구조를 형성한다. 본 공개는 제2 트랜지스터(T2)와 제3 트랜지스터(T3)를 제2 방향으로 배치하여 제2 트랜지스터(T2)의 제2 극과 제3 트랜지스터(T3)의 제2 극을 서로 연결되는 일체 구조로 하여 서브 픽셀 내의 드레인 전극이 공용되는 구조를 형성한다. 본 공개는 MIM 커패시터 구조를 채택함으로써 저장 커패시터의 커패시터값을 증대시킬 뿐만 아니라 픽셀 드라이브 회로의 출력 전류의 안정성을 보장하고 OLED 밝기의 안정성을 보장한다. 본 공개는 상술한 구조 설계를 통하여 픽셀 드라이브 회로의 배치를 최적화하고, 배치 공간을 최적화하며, 픽셀 드라이브 회로의 점용 면적을 줄이고, 디스플레이 기판의 PPI를 최대화하게 향상시키며, 업계 내 Real RGB 실리콘 기반 OLED의 최고 PPI 설계를 구현하고, 해상도가 4k*4k에 달하며, 높은 디스플레이 품질과 디스플레이 효과를 구현할 수 있다.

[0219] 본 공개의 예시적 실시 방식은 또한 디스플레이 기판을 제조하는 방법을 제공한다. 예시적 실시 방식에서, 상기 디스플레이 기판은 디스플레이 영역과 변두리 영역을 포함하며, 상기 디스플레이 영역은 픽셀 행과 픽셀 열을

형성하는 다수의 서브 픽셀을 포함하며, 상기 서브 픽셀은 픽셀 행 방향을 따라 순차적으로 설치되는 제1 영역, 간격 영역 및 제2 영역을 포함하며; 적어도 하나의 서브 픽셀은 픽셀 드라이브 회로, 제1 스캔 신호선 및 제2 스캔 신호선을 포함하며, 상기 픽셀 드라이브 회로는 적어도 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 포함하며, 상기 제1 스캔 신호선은 상기 제1 트랜지스터의 도통 또는 단절을 제어하도록 구성되고, 상기 제2 스캔 신호선은 제2 트랜지스터의 도통 또는 단절을 제어하도록 구성되며; 상기 제1 트랜지스터는 적어도 제1 게이트 전극, 제1 능동층 및 제1 트랜지스터의 제1 극과 제1 트랜지스터의 제2 극을 포함하며, 상기 제2 트랜지스터는 적어도 제2 게이트 전극과 제2 능동층을 포함하며, 상기 제3 트랜지스터는 적어도 제3 게이트 전극과 제3 능동층을 포함하며; 상기 제조 방법에는,

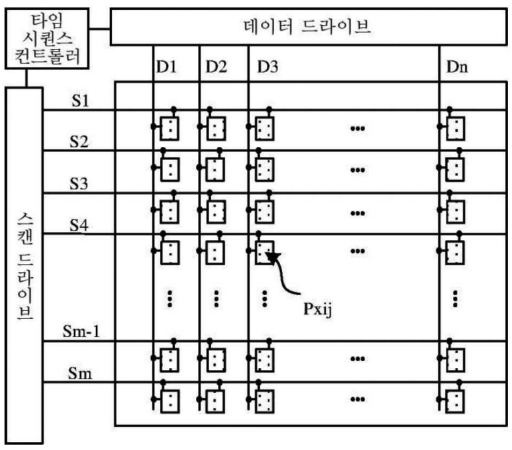
[0220] 상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제1 스캔 신호선 및 제2 스캔 신호선을 형성하며, 상기 제1 능동층은 상기 제1 영역에 설치되고, 상기 제2 능동층과 제3 능동층은 상기 제2 영역에 설치되며, 상기 제2 능동층은 상기 제3 능동층의 픽셀 열 방향의 한쪽에 설치되며; 상기 제1 게이트 전극은 제1 게이트 통과홀을 통하여 제1 스캔 신호선과 연결되고, 상기 제2 게이트 전극은 제2 게이트 통과홀을 통하여 상기 제1 트랜지스터의 제2 극과 연결되며, 상기 제3 게이트 전극은 제3 게이트 통과홀을 통하여 제2 스캔 신호선과 연결되며, 상기 제1 게이트 통과홀, 제2 게이트 통과홀 및 제3 게이트 통과홀은 상기 간격 영역에 설치되는 것이 포함될 수 있다.

[0221] 본 공개의 예시적 실시 방식은 또한 디스플레이 장치를 제공하며, 상술한 디스플레이 기판을 포함한다. 본 공개의 디스플레이 장치는 가상 현실 장치 또는 향상된 디스플레이 장치 등에 사용될 수 있으며, 디스플레이 장치는 핸드폰, 태블릿 컴퓨터, 텔레비전, 모니터, 노트북 컴퓨터, 디지털 사진 프레임, 네비게이션 또는 임의의 디스플레이 기능을 가진 제품 또는 부품을 포함한 제품에 사용될 수 있지만, 이에 국한되지 않는다.

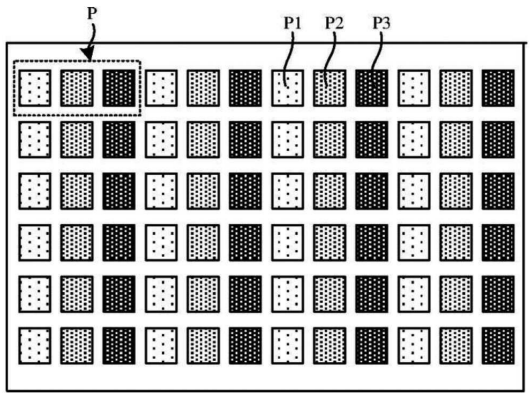
[0222] 본 공개에 개시된 실시 방식이 위에서 설명된 바와 같지만 상술한 내용은 단지 본 공개를 이해하기 위하여 사용하는 실시 방식일 뿐, 본 공개에 대하여 제한하지 않는다. 본 발명의 속하는 기술분야에서 통상의 지식을 가진 자라면 본 출원이 개시된 보호 범위 내에서 얼마든지 다양하게 변경하여 실시할 수 있을 것이며, 이는 본 출원의 보호범위 내에 포함되어야 한다. 그러므로 본 출원의 보호 범위는 청구항의 보호 범위를 기준으로 하여야 한다.

도면

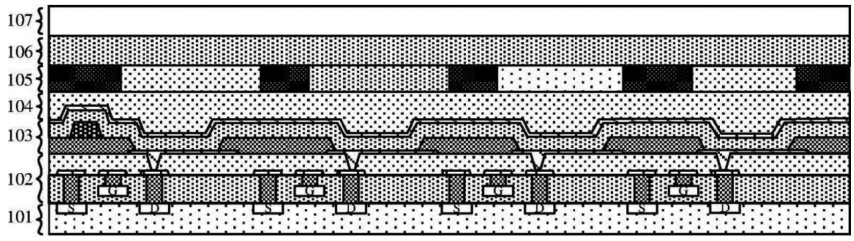
도면1



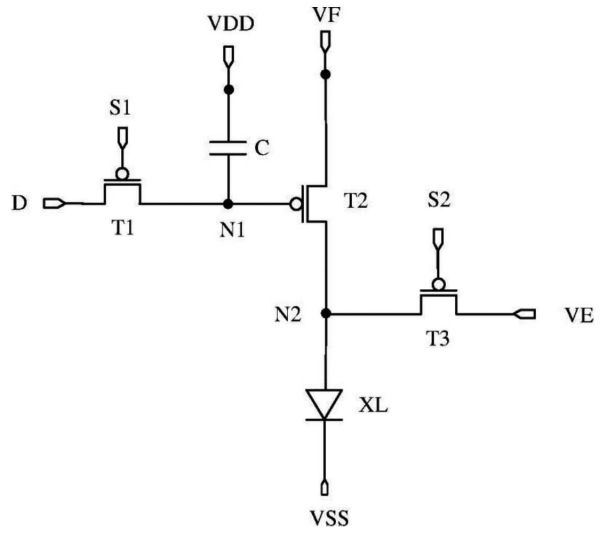
도면2


P
P1
P2
P3

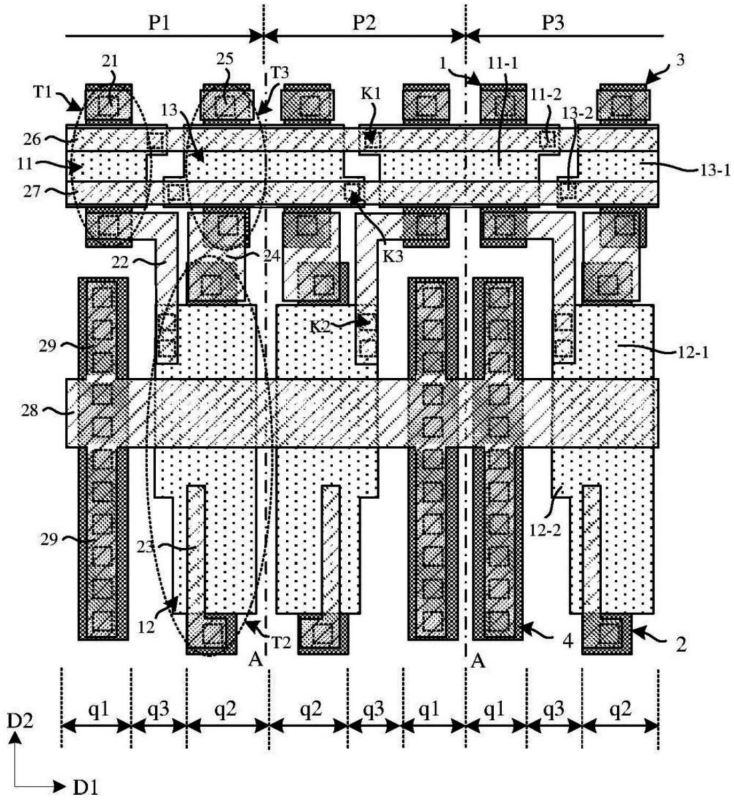
도면3


107
106
105
104
103
102
101

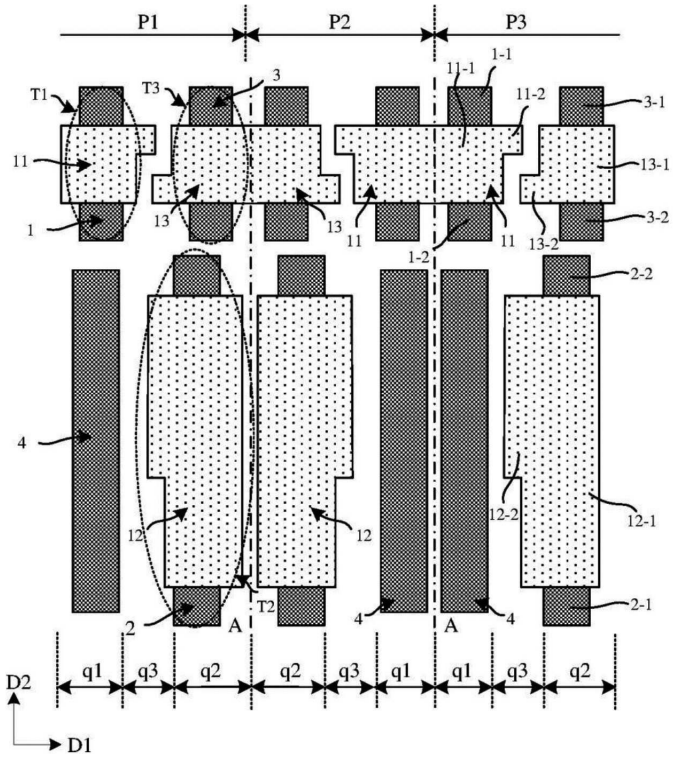
도면4


VDD
VF
S1
C
D
T1
N1
T2
S2
N2
T3
VE
XL
VSS

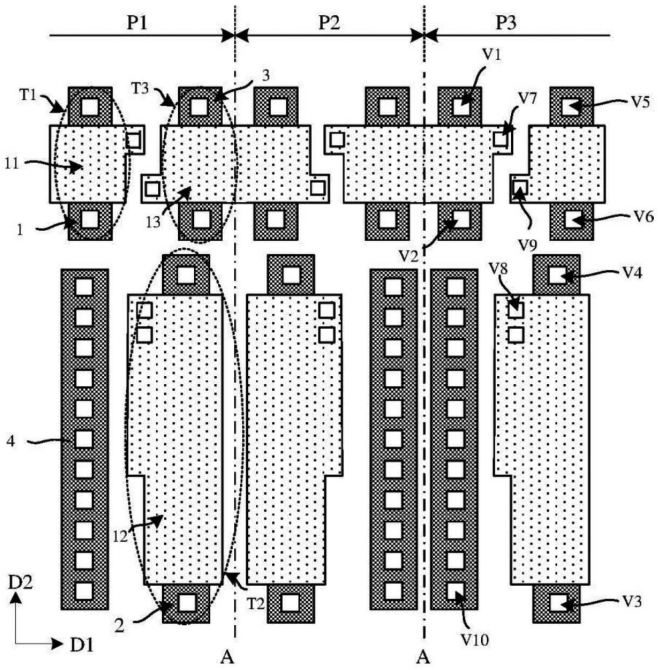
도면5


P1
P2
P3
T1
T3
K1
K2
K3
T2
A
A
D2
D1
q1
q3
q2
q2
q3
q1
q1
q3
q2

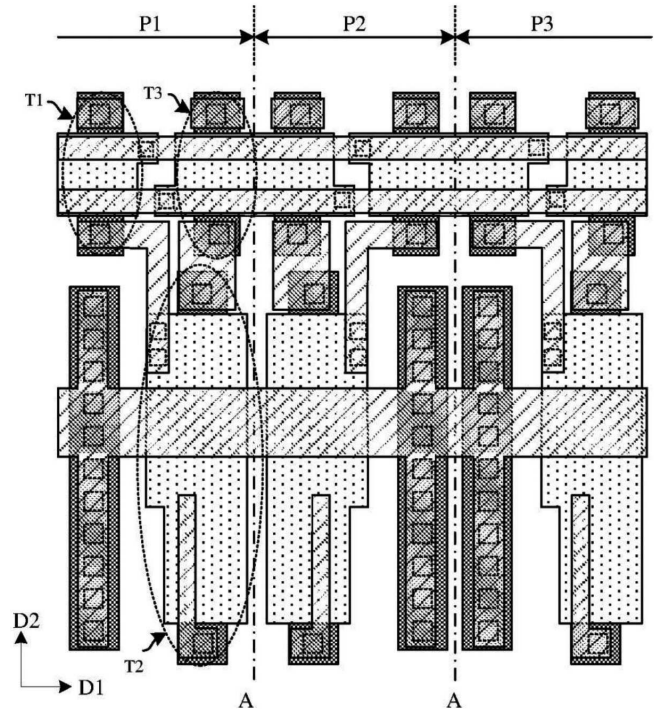
도면6


P1
P2
P3
T1
T3
T2
A
A
D2
D1
q1
q3
q2
q2
q3
q1
q1
q3
q2

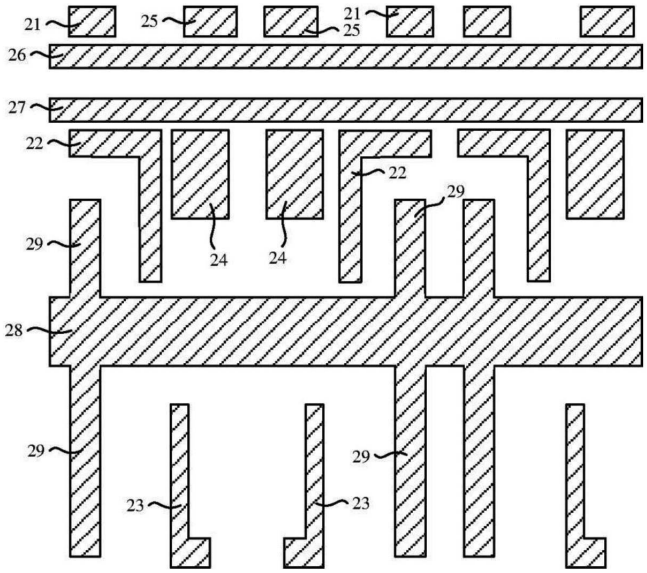
도면7


P1
P2
P3
T1
T3
3
V1
V7
V5
11
13
1
V2
V9
V6
V8
V4
4
12
D2
D1
2
T2
V10
V3
A
A

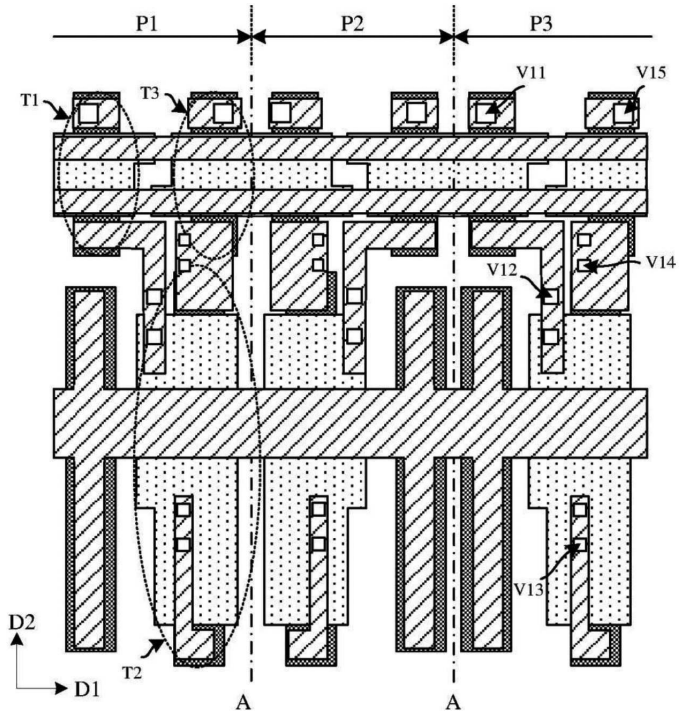
도면8a


P1
P2
P3
T1
T3
D2
D1
T2
A
A

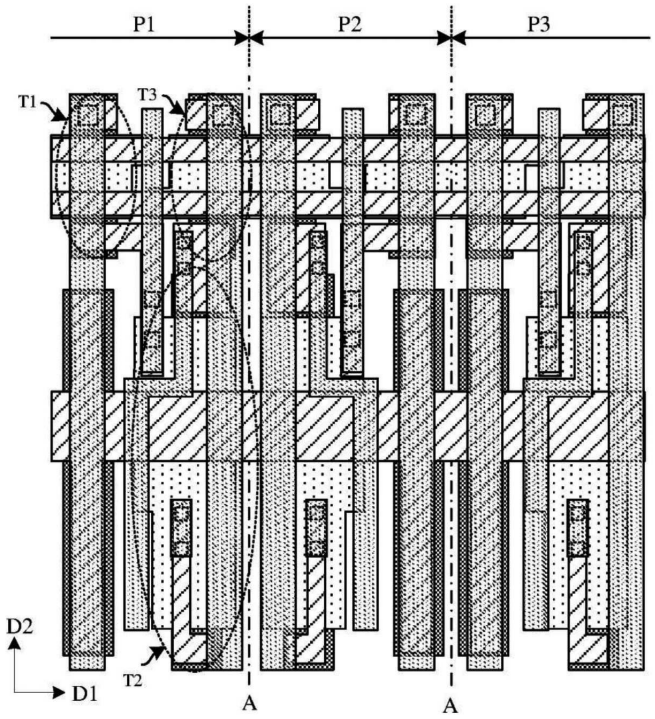
도면8b


21
25
21
25
26
27
22
22
29
29
24
24
28
29
29
23
23

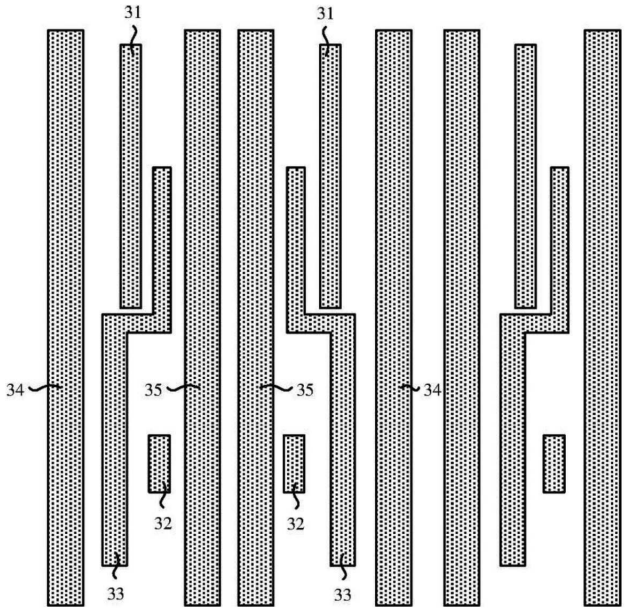
도면9


P1
P2
P3
T1
T3
V11
V15
V12
V14
V13
T2
D2
D1
A
A

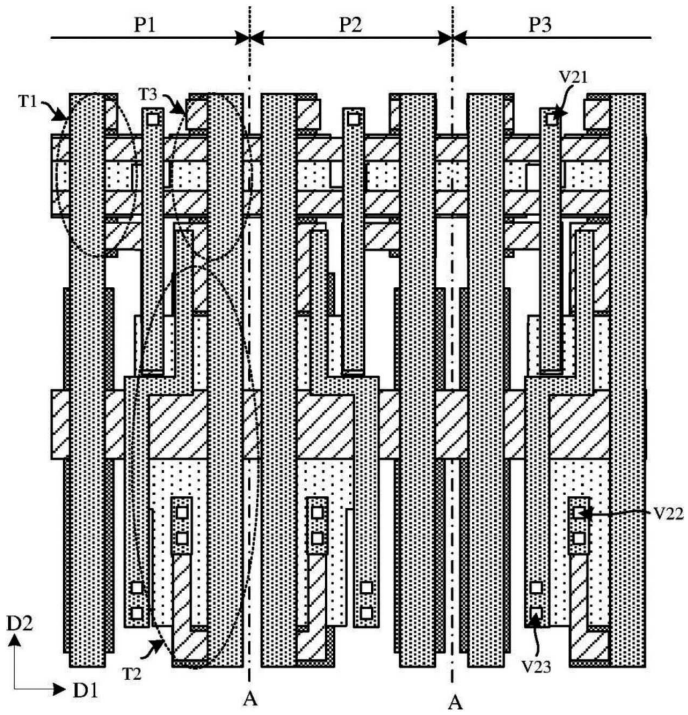
도면10a



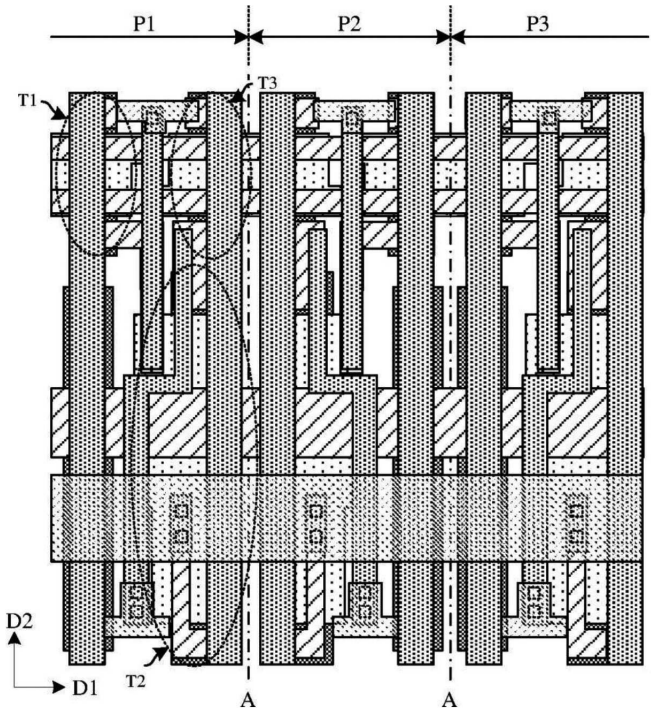
도면10b



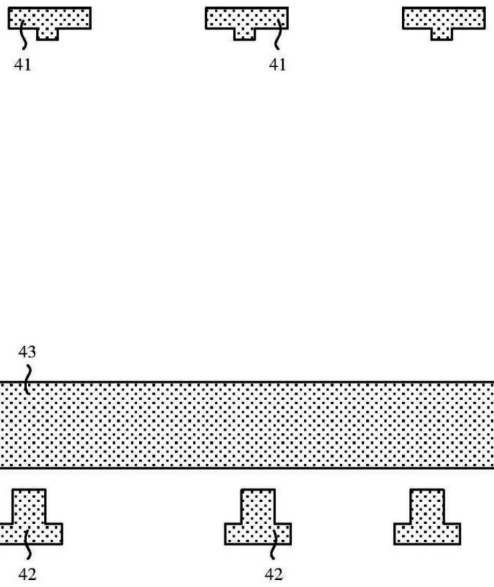
도면11



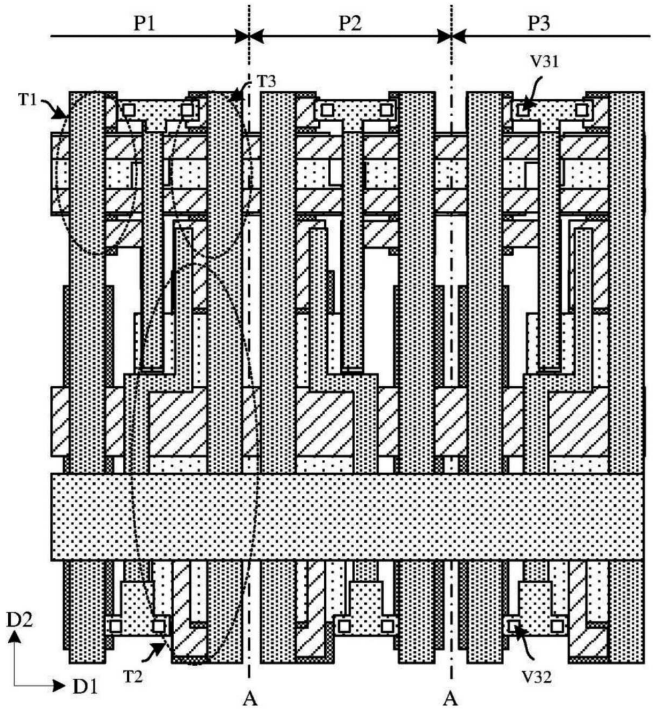
도면12a



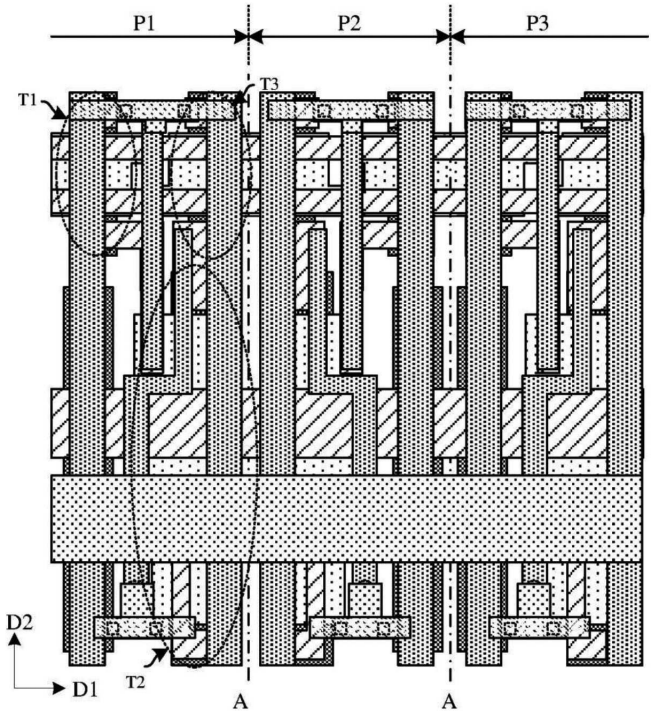
도면12b



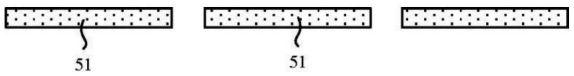
도면13

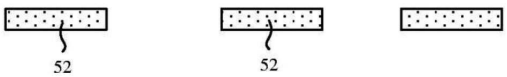


도면14a

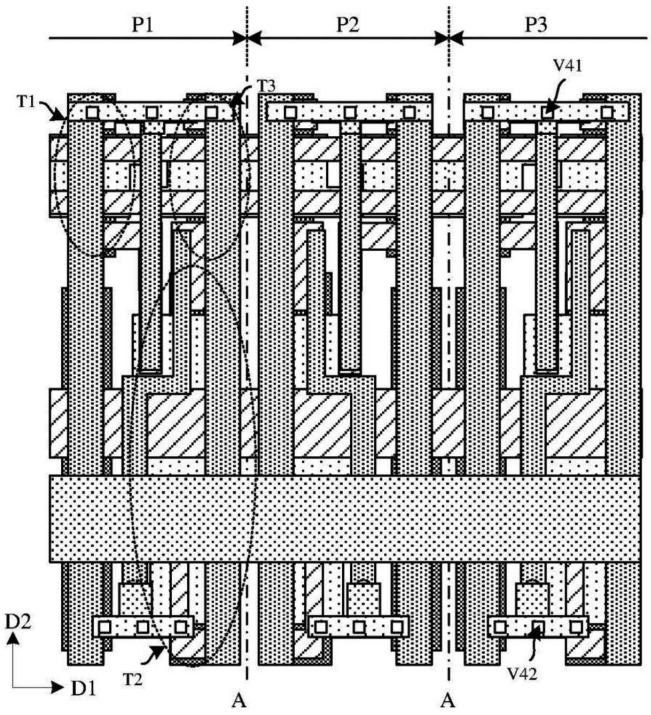


도면14b

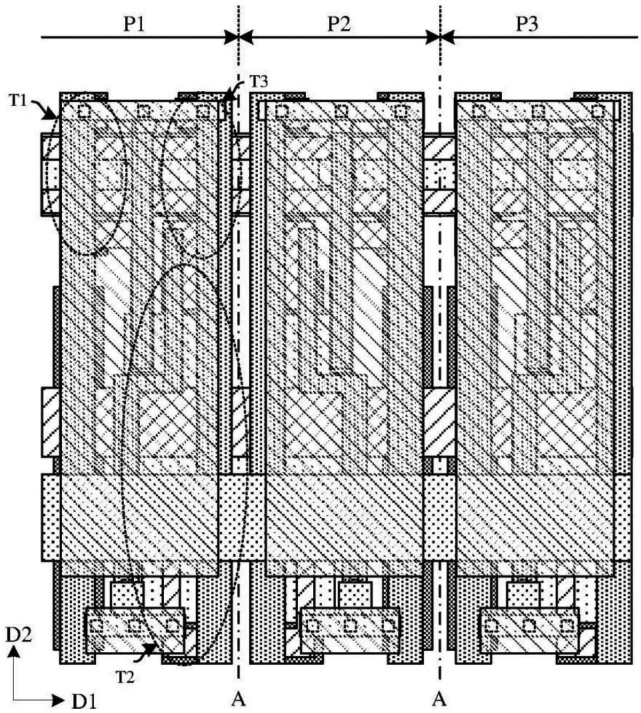




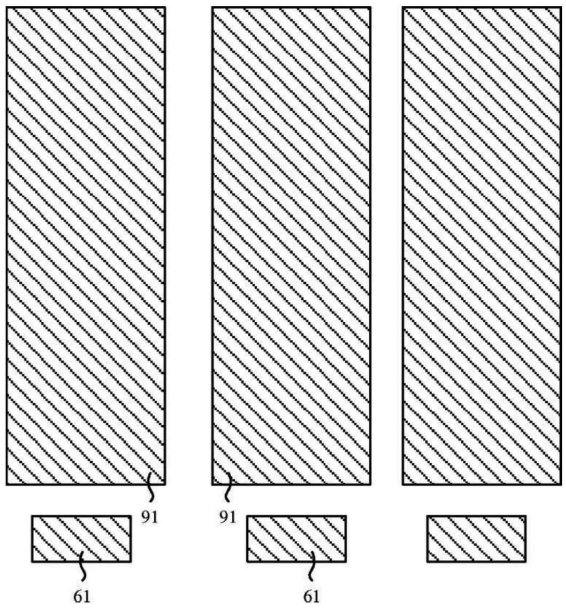
도면15



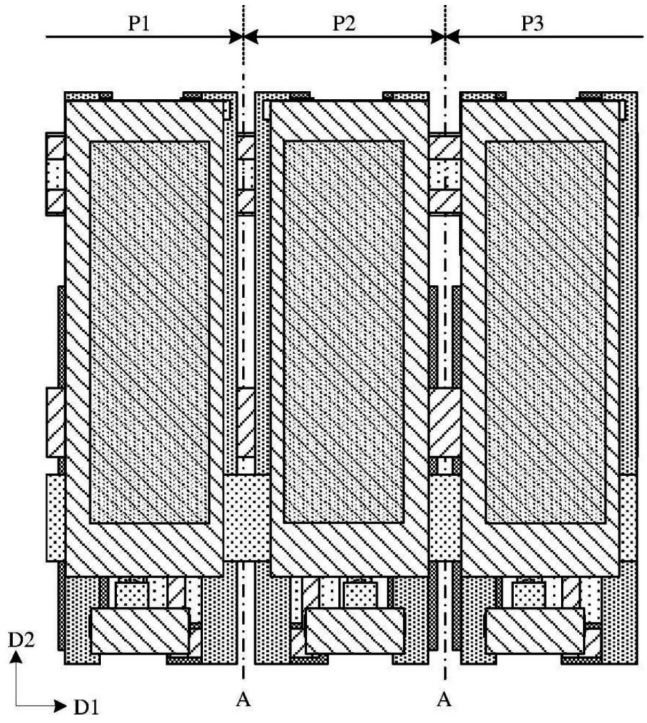
도면16a



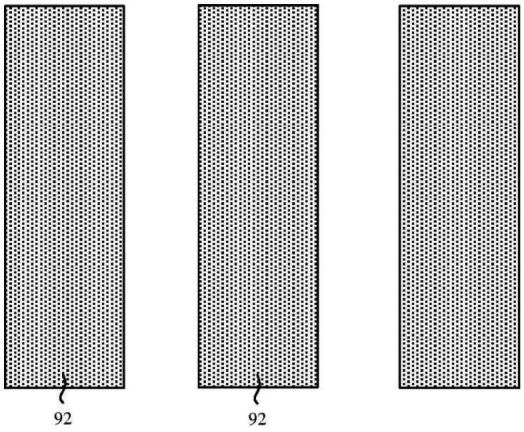
도면16b



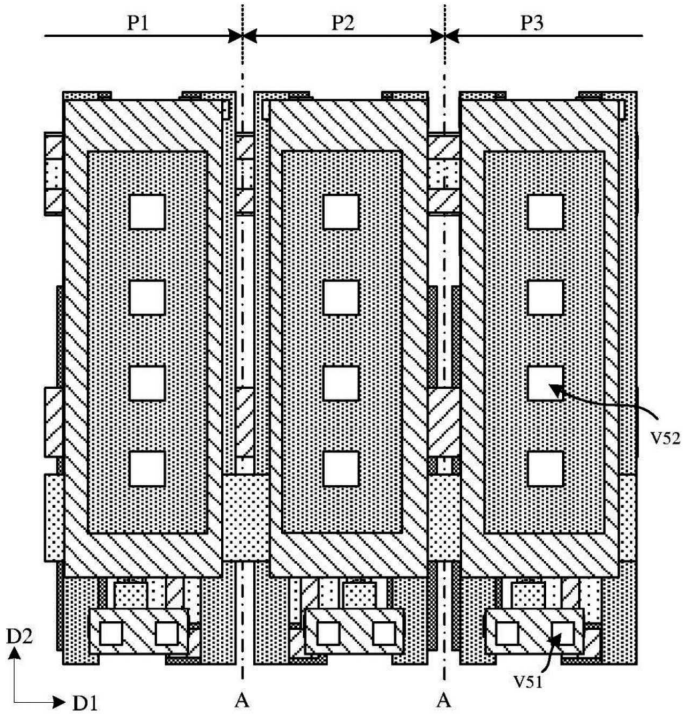
도면17a



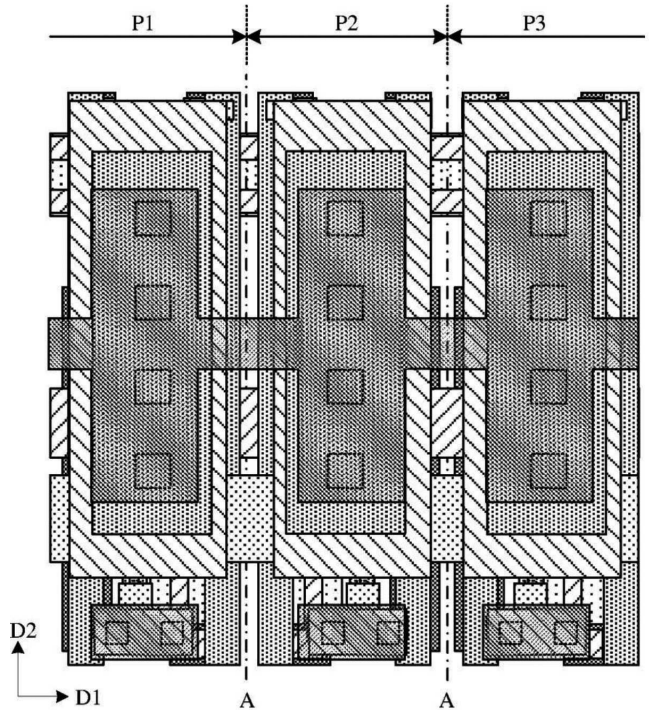
도면17b



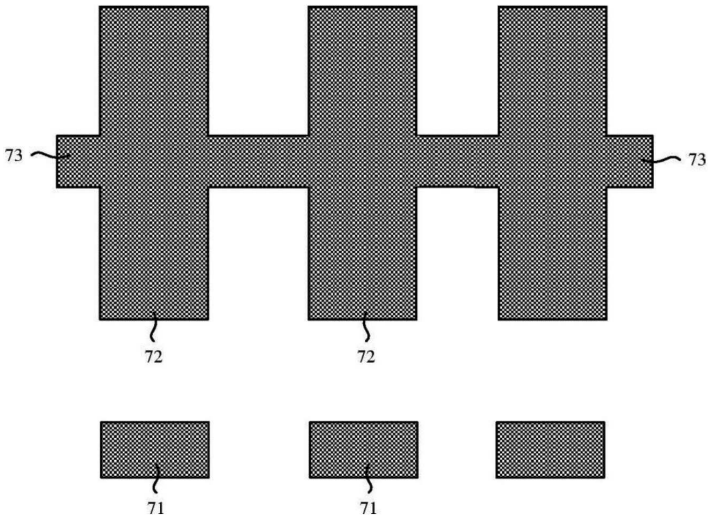
도면18



도면19a



도면19b



도면20

