

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月3日(03.09.2020)



(10) 国際公開番号

WO 2020/174797 A1

(51) 国際特許分類:

H01L 33/48 (2010.01)

(21) 国際出願番号:

PCT/JP2019/047142

(22) 国際出願日:

2019年12月3日(03.12.2019)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2019-033021 2019年2月26日(26.02.2019) JP

(71) 出願人: 日東電工株式会社 (**NITTO DENKO CORPORATION**) [JP/JP]; 〒5678680 大阪府茨木市下穂積1丁目1番2号 Osaka (JP).

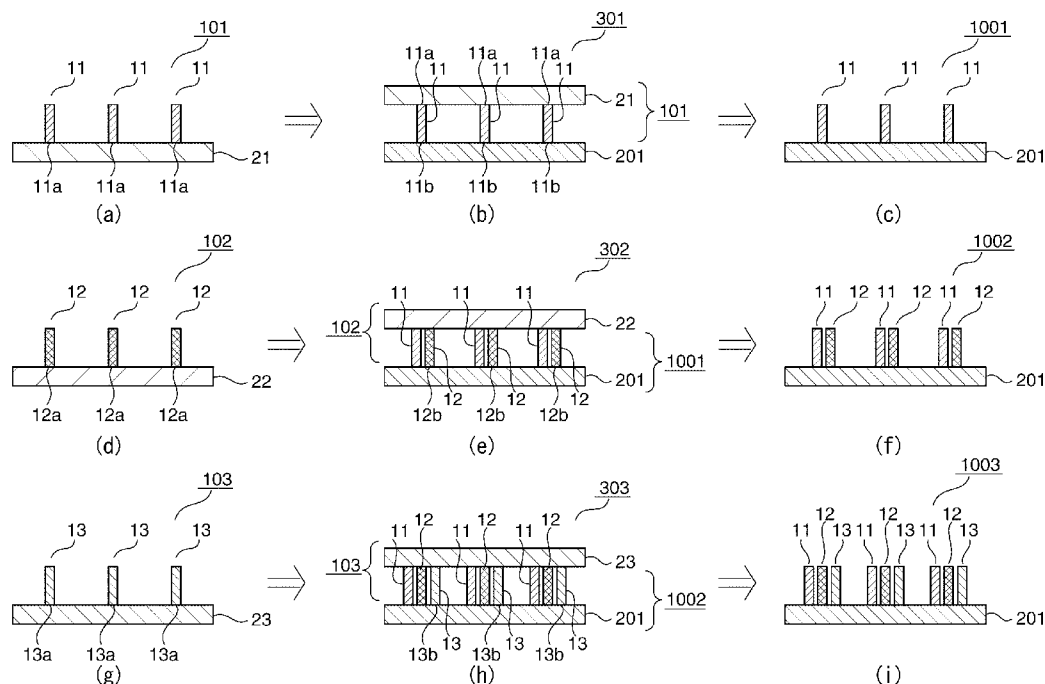
(72) 発明者: 伊関 亮 (**ISEKI Toru**); 〒5678680 大阪府茨木市下穂積1丁目1番2号 日東電工株式会社内 Osaka (JP). 齋藤 誠 (**SAITO Makoto**); 〒5678680 大阪府茨木市下穂積1丁目1番2号 日東電工株式会社内 Osaka (JP). 金田 充宏 (**KANADA Mitsuhiro**); 〒5678680 大阪府茨木市下穂積1丁目1番2号 日東電工株式会社内 Osaka (JP).

(74) 代理人: 靱 井 孝 文 (**MOMII Takafumi**); 〒5300004 大阪府大阪市北区堂島浜1丁目4番4号 アクア堂島東館7階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** METHOD FOR MANUFACTURING ELEMENT MOUNTING SUBSTRATE

(54) 発明の名称: 素子実装基板の製造方法



(57) **Abstract:** The present invention provides a method for manufacturing an element mounting substrate on which an element is mounted with high positional precision. This method for manufacturing an element mounting substrate is such that an element is mounted on a substrate, wherein the method includes: an element temporary fixing material preparation step (I) for preparing an element temporary fixing material, in which one surface of the element is held on a temporary fixing material and the element is arranged; an element temporary fixing material disposition step (II) in which the element

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

temporary fixing material is disposed on the substrate so that another surface of the element is attached to the substrate; and a temporary fixing material peeling step (III) in which the temporary fixing material is peeled away from the element attached to the substrate.

(57) 要約: 素子が高い位置精度で実装された素子実装基板の製造方法を提供する。本発明の素子実装基板の製造方法は、基板上に素子の実装された素子実装基板を製造する方法であって、仮固定材上に素子の一方の面を保持させて該素子を配列させた素子付仮固定材を準備する、素子付仮固定材準備工程(Ⅰ)と、該素子のもう一方の面が基板上に付着するように、該素子付仮固定材を該基板上に配置する、素子付仮固定材配置工程(ⅠⅠ)と、該基板上に付着した該素子から該仮固定材を剥離する仮固定材剥離工程(ⅠⅠⅠ)と、を含む。

明 細 書

発明の名称：素子実装基板の製造方法

技術分野

[0001] 本発明は、素子実装基板の製造方法に関する。

背景技術

[0002] 近年、コスト低減や新たな性能発現等を目的として、LEDなどの各種素子の小型化についての検討がなされている。

[0003] LEDは、その一般的な大きさが、 $500\mu\text{m}\square\sim 1000\mu\text{m}\square$ 程度、厚みが $100\mu\text{m}\sim 200\mu\text{m}$ 程度であり、いわゆる 3σ 管理で実装する場合は、実装を行うにあたって求められる位置精度は $\pm 10\mu\text{m}$ 前後とされている。

[0004] LEDなどの各種素子を小型化していくと、高い位置精度での実装が非常に難しくなる。例えば、従来のLEDに比べて大幅に小型化されたマイクロLEDは、一般に、 $3\mu\text{m}\square\sim 30\mu\text{m}\square$ 程度、厚みが $1\mu\text{m}\sim 10\mu\text{m}$ 程度という微小サイズであり、このような素子を高い位置精度で実装しようとすると、求められる位置精度は $\pm$ 数十nm前後となり、従来の素子実装基板の製造方法では、このような高い位置精度の実装が実現できない。

[0005] 従来の素子実装基板の製造方法として、例えば、レーザー光の照射による基板への転写を利用した製造方法が報告されている（特許文献1）。しかし、このような製造方法においては、転写の際の空気抵抗の影響によって実装の際の位置ずれが生じるため、高い位置精度の実装を行うことが困難である。

先行技術文献

特許文献

[0006] 特許文献1：特開2010-161221号公報

発明の概要

発明が解決しようとする課題

[0007] 本発明の課題は、素子が高い位置精度で実装された素子実装基板の製造方法を提供することにある。

課題を解決するための手段

[0008] 本発明の素子実装基板の製造方法は、
基板上に素子の実装された素子実装基板を製造する方法であって、
仮固定材上に素子の一方の面を保持させて該素子を配列させた素子付仮固定材を準備する、素子付仮固定材準備工程（Ⅰ）と、
該素子のもう一方の面が基板上に付着するように、該素子付仮固定材を該基板上に配置する、素子付仮固定材配置工程（ⅠⅠ）と、
該基板上に付着した該素子から該仮固定材を剥離する仮固定材剥離工程（ⅠⅠⅠ）と、
を含む。

[0009] 一つの実施形態においては、上記素子がＬＥＤチップである。

[0010] 一つの実施形態においては、上記ＬＥＤチップがマイクロＬＥＤチップである。

発明の効果

[0011] 本発明によれば、素子が高い位置精度で実装された素子実装基板の製造方法を提供できる。

図面の簡単な説明

[0012] [図1]図１は、素子付仮固定材準備工程（Ⅰ）において得られる素子付仮固定材の概略断面図である。

[図2]図２は、素子付仮固定材配置工程（ⅠⅠ）の説明図である。

[図3]図３は、仮固定材剥離工程（ⅠⅠⅠ）の説明図である。

[図4]図４は、本発明の素子実装基板の製造方法の実施形態２を示す説明図である。

発明を実施するための形態

[0013] 《本発明の素子実装基板の製造方法の実施形態》

本発明の素子実装基板の製造方法は、基板上に素子が実装された素子実装基板を製造する方法である。本発明の素子実装基板の製造方法によれば、素子を高い位置精度で実装できるので、実装位置不良による歩留まり低下を解消できる。

[0014] 本発明の素子実装基板の製造方法は、素子付仮固定材準備工程（１）と素子付仮固定材配置工程（１１）と仮固定材剥離工程（１１１）とを含む。本発明の素子実装基板の製造方法は、素子付仮固定材準備工程（１）を複数含んでもよい。本発明の素子実装基板の製造方法は、素子付仮固定材配置工程（１１）を複数含んでもよい。本発明の素子実装基板の製造方法は、仮固定材剥離工程（１１１）を複数含んでもよい。本発明の素子実装基板の製造方法は、素子付仮固定材準備工程（１）と素子付仮固定材配置工程（１１）と仮固定材剥離工程（１１１）とを含んでいれば、本発明の効果を損なわない範囲で任意の適切な他の工程を含んでもよい。例えば、素子を実装した後に、ステッパー等の半導体フォトリソグラフィー装置で配線を形成する工程を含んでもよい。

[0015] ＜素子付仮固定材準備工程（１）＞

素子付仮固定材準備工程（１）においては、仮固定材上に素子の一方の面を保持させて該素子を配列させた素子付仮固定材を準備する。

[0016] なお、本発明の説明において、「素子の一方の面」とは、素子が有する実質的に対向する２つの面の一方の面を意味し、「素子のもう一方の面」とは、素子が有する実質的に対向する２つの面において、上記「素子の一方の面」と対向する面を意味する。

[0017] 図１に、素子付仮固定材準備工程（１）において得られる素子付仮固定材の概略断面図を示す。図１において、素子付仮固定材１００は、仮固定材２０の上に素子１０の一方の面１０ａが保持されて該素子１０が配列している。

[0018] 素子付仮固定材は、仮固定材上に素子の一方の面を保持させて該素子を配列させる方法であれば、本発明の効果を損なわない範囲で任意の適切な方法

によって準備すればよい。このような方法としては、例えば、素子の一方の面にダイアタッチフィルムなどのフィルム状接着剤を設けるようにし、素子のもう一方の面を、吸着シート、微粘着テープ、紫外線剥離型粘着テープ、熱剥離型粘着テープなどの仮固定材の上に仮固定させて、配列させる方法などが挙げられる。

[0019] <素子付仮固定材配置工程（１１）>

素子付仮固定材配置工程（１１）においては、素子付仮固定材に保持された素子のもう一方の面が基板上に付着するように、素子付仮固定材を該基板上に配置する。図２に、素子付仮固定材配置工程（１１）の説明図を示す。図２において、素子付仮固定材１００は、素子１０のもう一方の面１０ｂが基板２００の上に付着するように配置され、仮固定材付実装基板３００が得られる。

[0020] 仮固定材付実装基板は、素子付仮固定材に保持された素子のもう一方の面が基板上に付着するように、素子付仮固定材を該基板上に配置させる方法であれば、本発明の効果を損なわない範囲で任意の適切な方法によって作製すればよい。このような方法としては、例えば、仮固定材の上に配列させた素子のダイアタッチフィルムなどのフィルム状接着剤が設けられた面を、シリコン基板などの基板に、位置を調整して貼り合せる方法が挙げられる。このような貼り合せる方法としては、例えば、圧着での貼り合わせや、減圧での貼り合わせや、加圧での貼り合わせや、加熱での貼り合わせなどが挙げられる。

[0021] <仮固定材剥離工程（１１１）>

仮固定材剥離工程（１１１）においては、基板上に付着した素子から仮固定材を剥離する。図３に、仮固定材剥離工程（１１１）の説明図を示す。図３において、素子付仮固定材配置工程（１１）によって得られる仮固定材付素子実装基板３００から、仮固定材２０が剥離され、基板２００上に素子１０が実装された素子実装基板１０００が得られる。

[0022] 素子実装基板は、基板上に付着した素子から仮固定材を剥離する方法であ

れば、本発明の効果を損なわない範囲で任意の適切な方法によって作製すればよい。このような方法としては、例えば、仮固定材が吸着シートや微粘着テープであればピールなどの方法、仮固定材が紫外線剥離型粘着テープであれば紫外線照射剥離などの方法、仮固定材が熱剥離型粘着テープであれば加熱剥離などの方法、などが挙げられる。

[0023] ＜実施形態１＞

本発明の素子実装基板の製造方法の一つの実施形態（実施形態１）は、１種の素子を用い、素子付仮固定材準備工程（１）と素子付仮固定材配置工程（１１）と仮固定材剥離工程（１１１）とをそれぞれ１回ずつ含むことにより、基板上に１種の素子が実装された素子実装基板を製造する方法である。代表的には、図３に示すような、基板２００上に素子１０が実装された素子実装基板１０００である。この場合、基板２００上に素子１０が高い位置精度で実装される。

[0024] ＜実施形態２＞

本発明の素子実装基板の製造方法の別の一つの実施形態（実施形態２）は、 n 種類（ n は２以上の整数）の素子を用い、素子付仮固定材準備工程（１）と素子付仮固定材配置工程（１１）と仮固定材剥離工程（１１１）とをそれぞれ n 回ずつ含むことにより、基板上に n 種類の素子が実装された素子実装基板を製造する方法である。

[0025] 実施形態２について、図４を用いて具体的に説明する。図４は、３種類の素子を用いた場合の例である。

[0026] 図４（ａ）は、第１の素子１１を用いて素子付仮固定材準備工程（１）において得られる素子付仮固定材の概略断面図である。図４（ａ）において、素子付仮固定材１０１は、仮固定材２１の上に第１の素子１１の一方の面１１ａが保持されて該素子１１が配列している。

[0027] 図４（ｂ）は、素子付仮固定材配置工程（１１）において得られる仮固定材付実装基板の概略断面図である。図４（ｂ）において、素子付仮固定材１０１は、上下が反転された状態で、素子１１のもう一方の面１１ｂが基板２

01の上に付着するように配置され、仮固定材付実装基板301となっている。

[0028] 図4(c)は、仮固定材剥離工程(111)において得られる素子実装基板の概略断面図である。図4(c)において、素子実装基板1001は、仮固定材付素子実装基板301から仮固定材21が剥離され、基板201上に素子11が実装されたものとなっている。

[0029] 図4(d)は、第2の素子12を用いて素子付仮固定材準備工程(1)において得られる素子付仮固定材の概略断面図である。図4(d)において、素子付仮固定材102は、仮固定材22の上に第2の素子12の一方の面12aが保持されて該素子12が配列している。

[0030] 図4(e)は、素子付仮固定材配置工程(11)において得られる仮固定材付実装基板の概略断面図である。図4(e)において、素子付仮固定材102は、上下が反転された状態で、素子12のもう一方の面12bが、先に得られている素子実装基板1001の上に付着するように配置され、仮固定材付実装基板302となっている。この仮固定材付実装基板302を作製するに際し、例えば、第1の素子11の配列パターンと第2の素子12の配列パターンが同じ場合、図4(e)のように、第2の素子12の位置を第1の素子11の位置とずれるように配置させることにより、第1の素子11と第2の素子12のそれぞれを同じ配列パターンで並ばせることができる。

[0031] 図4(f)は、仮固定材剥離工程(111)において得られる素子実装基板の概略断面図である。図4(f)において、素子実装基板1002は、仮固定材付素子実装基板302から仮固定材22が剥離され、基板201上に素子11と素子12が実装されたものとなっており、第1の素子11の配列パターンと第2の素子12の配列パターンが同じ場合、上述の通り、先の工程において、第2の素子12の位置を第1の素子11の位置とずれるように配置させることにより、第1の素子11と第2の素子12のそれぞれを同じ配列パターンで並ばせることができる。

[0032] 図4(g)は、第3の素子13を用いて素子付仮固定材準備工程(1)に

において得られる素子付仮固定材の概略断面図である。図4（g）において、素子付仮固定材103は、仮固定材23の上に第3の素子13の一方の面13aが保持されて該素子13が配列している。

[0033] 図4（h）は、素子付仮固定材配置工程（11）において得られる仮固定材付実装基板の概略断面図である。図4（h）において、素子付仮固定材103は、上下が反転された状態で、素子13のもう一方の面13bが、先に得られている素子実装基板1002の上に付着するように配置され、仮固定材付実装基板303となっている。この仮固定材付実装基板303を作製するに際し、例えば、第1の素子11の配列パターンと第2の素子12の配列パターンと第3の素子13の配列パターンが同じ場合、図4（h）のように、第3の素子13の位置を第1の素子11および第2の素子12の位置とずれるように配置させることにより、第1の素子11と第2の素子12と第3の素子13のそれぞれを同じ配列パターンで並ばせることができる。

[0034] 図4（i）は、仮固定材剥離工程（111）において得られる素子実装基板の概略断面図である。図4（i）において、素子実装基板1003は、仮固定材付素子実装基板303から仮固定材23が剥離され、基板201上に素子11と素子12と素子13が実装されたものとなっており、第1の素子11の配列パターンと第2の素子12の配列パターンと第3の素子13の配列パターンが同じ場合、上述の通り、先の工程において、第3の素子13の位置を第1の素子11および第2の素子12の位置とずれるように配置させることにより、第1の素子11と第2の素子12と第3の素子13のそれぞれを同じ配列パターンで並ばせることができる。

[0035] 実施形態2について、例えば、図4で示すように3種類の素子を用いる場合、それら3種類の素子としては、本発明の効果を損なわない範囲で、任意の適切な素子を採用し得る。このような素子としては、例えば、マイクロLEDのR素子、G素子、B素子などが採用され得る。本発明の素子実装基板の製造方法によって、マイクロLEDのR素子、G素子、B素子を用いて、実施形態2を実施すれば、図4（i）に示されるように、マイクロLEDの

R素子、G素子、B素子を、高い位置精度で、規則的なパターン配列で配置させることができる。

[0036] <素子>

本発明において採用し得る素子としては、本発明の効果を損なわない範囲で、任意の適切な素子を採用し得る。このような素子としては、代表的には半導体素子であり、例えば、LED、マイクロLED、ミニLEDなどが挙げられる。

[0037] 本発明において採用し得る素子の大きさとしては、本発明の効果を損なわない範囲で、任意の適切な大きさを採用し得る。本発明においては、小型化された素子を採用しても高い位置精度の実装が実現できるので、 $500\mu\text{m}\square\sim 1000\mu\text{m}\square$ 程度のLEDレベルの大きさの素子や、厚みが $100\mu\text{m}\sim 200\mu\text{m}$ 程度のミニLEDレベルの大きさの素子はもちろんのこと、 $3\mu\text{m}\square\sim 30\mu\text{m}\square$ 程度、厚みが $1\mu\text{m}\sim 10\mu\text{m}$ 程度のマイクロLEDレベルの大きさの素子も採用し得る。また、本発明の素子実装基板の製造方法であれば、マイクロLEDレベルの大きさの素子よりもさらに小さいナノレベルの大きさ（例えば、 $1\text{nm}\sim 1000\text{nm}$ など）の素子も適用可能である。

[0038] 素子は、1種類のみであってもよいし、複数の種類であってもよい。なお、1つの素子において色の異なる場合（例えば、マイクロLEDのR素子、G素子、B素子など）も複数の種類の素子として扱う。

[0039] <仮固定材>

本発明において採用し得る仮固定材としては、本発明の効果を損なわない範囲で、任意の適切な仮固定材を採用し得る。このような仮固定材としては、好ましくは、素子付仮固定材準備工程（I）において素子の一方の面を一時的に保持させることができ、素子付仮固定材配置工程（II）において素子を一時的に保持させた状態で該素子のもう一方の面を基板上に配置および付着させることができ、仮固定材剥離工程（III）において素子から剥離できるものである。

[0040] このような仮固定材としては、例えば、吸着シート、微粘着テープ、紫外線剥離型粘着テープ、熱剥離型粘着テープなどが挙げられる。

[0041] 吸着シートとしては、例えば、吸着性を有するシリコンシート、シリコン発泡シート、ポリウレタンシート、ポリウレタン発泡シート、ポリエステルシート、ポリエステル発泡シートなどが挙げられる。

[0042] 微粘着テープであれば、日東電工株式会社製のSPVシリーズ、E-MA SKシリーズ、エレップマスキングシリーズなどが挙げられる。

[0043] 紫外線剥離型粘着テープであれば、日東電工株式会社製のエレップホルダーシリーズ、エレップマウントシリーズなどが挙げられる。

[0044] 熱剥離型粘着テープであれば、日東電工株式会社製のリバアルファシリーズなどが挙げられる。

[0045] 仮固定材の厚みは、本発明の効果を損なわない範囲で、任意の適切な厚みを採用し得る。このような厚みとしては、本発明の効果をより発現させ得る点で、好ましくは $1\mu\text{m}\sim 800\mu\text{m}$ であり、より好ましくは $2\mu\text{m}\sim 500\mu\text{m}$ であり、さらに好ましくは $5\mu\text{m}\sim 200\mu\text{m}$ であり、特に好ましくは $10\mu\text{m}\sim 150\mu\text{m}$ である。

[0046] 仮固定材は、素子を仮固定させる面と反対側に、本発明の効果を損なわない範囲で任意の適切な他の層が備えられていてもよい。

[0047] <基板>

本発明において採用し得る基板としては、本発明の効果を損なわない範囲で、任意の適切な基板を採用し得る。このような基板としては、例えば、シリコン基板、多結晶シリコン基板、サファイヤ基板、シリコンカーバイド基板、化合物半導体（リン化ガリウム、ヒ化ガリウム、リン化インジウム、窒化ガリウム）基板、ガラスエポキシ基板、ポリイミドなどの有機材料基板、ガラス基板、セラミック基板、金属基板などが挙げられる。

[0048] 基板の厚みは、本発明の効果を損なわない範囲で、任意の適切な厚みを採用し得る。このような厚みとしては、本発明の効果をより発現させ得る点で、好ましくは $10\mu\text{m}\sim 10000\mu\text{m}$ であり、より好ましくは $15\mu\text{m}\sim$

1000 μm であり、さらに好ましくは20 μm ～500 μm であり、特に好ましくは30 μm ～300 μm である。

[0049] 基板は、素子を実装させる面と反対側に、本発明の効果を損なわない範囲で任意の適切な他の層が備えられていてもよい。

実施例

[0050] 以下、実施例により本発明を具体的に説明するが、本発明はこれら実施例になんら限定されるものではない。なお、実施例等における、試験および評価方法は以下のとおりである。なお、「部」と記載されている場合は、特記事項がない限り「質量部」を意味し、「%」と記載されている場合は、特記事項がない限り「質量%」を意味する。

[0051] <実装の位置精度の評価方法>

配列したRGB素子の位置精度を評価した。RGB素子間の距離が50 μm 以内であれば○、50 μm より大きいと×とした。

[0052] [実施例1]

一方の面にダイアタッチフィルムを設けた20 μm サイズのマイクロLEDのG素子のもう一方の面に、吸着性を有する厚み100 μm のシリコーン発泡シートを貼り合せた。次に、厚み150 μm のシリコン基板に、位置を調整してダイアタッチフィルムの面を貼り合せて圧着した。その後、シリコーン発泡シートをピール剥離した。

次に、一方の面にダイアタッチフィルムを設けた20 μm サイズのマイクロLEDのR素子のもう一方の面に、吸着性を有する厚み100 μm のシリコーン発泡シートを貼り合せ、ベイヤ配列となるように、上記シリコン基板に貼り合せて圧着した。その後、シリコーン発泡シートをピール剥離した。

さらに、一方の面にダイアタッチフィルムを設けた20 μm サイズのマイクロLEDのB素子のもう一方の面に、吸着性を有する厚み100 μm のシリコーン発泡シートを貼り合せ、ベイヤ配列となるように、上記シリコン基板に貼り合せて圧着した。その後、シリコーン発泡シートをピール剥離し

た。

以上のようにして、シリコン基板上にマイクロLEDのRGB素子が配列した素子実装基板（1）を得た。

実装の位置精度の評価結果は○であった。

[0053] 〔比較例1〕

仮固定材として、粘着力が大きいNo. 375（日東電工株式会社製、包装用OPPテープ）を用いた以外は、実施例1と同様に行ったところ、シリコン基板上にマイクロLEDのRGB素子を配列することができなかった。

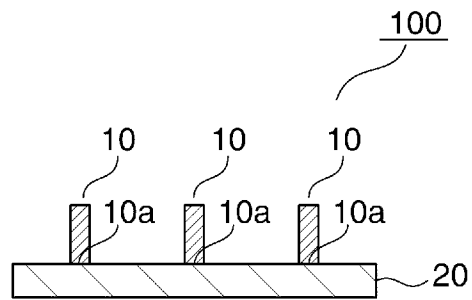
産業上の利用可能性

[0054] 本発明の素子実装基板の製造方法によれば、素子が高い位置精度で実装された素子実装基板を提供できるので、例えば、マイクロLEDなどの小型化された素子が実装された素子実装基板の製造に有効に利用可能である。

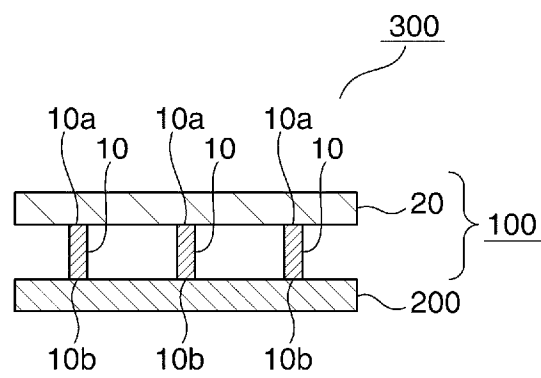
請求の範囲

- [請求項1] 基板上に素子が実装された素子実装基板を製造する方法であって、
 仮固定材上に素子の一方の面を保持させて該素子を配列させた素子
 付仮固定材を準備する、素子付仮固定材準備工程（Ⅰ）と、
 該素子のもう一方の面が基板上に付着するように、該素子付仮固定
 材を該基板上に配置する、素子付仮固定材配置工程（ⅠⅠ）と、
 該基板上に付着した該素子から該仮固定材を剥離する仮固定材剥離
 工程（ⅠⅠⅠ）と、
 を含む、
 素子実装基板の製造方法。
- [請求項2] 前記素子がＬＥＤチップである、請求項１に記載の素子実装基板の
 製造方法。
- [請求項3] 前記ＬＥＤチップがマイクロＬＥＤチップである、請求項２に記載
 の素子実装基板の製造方法。

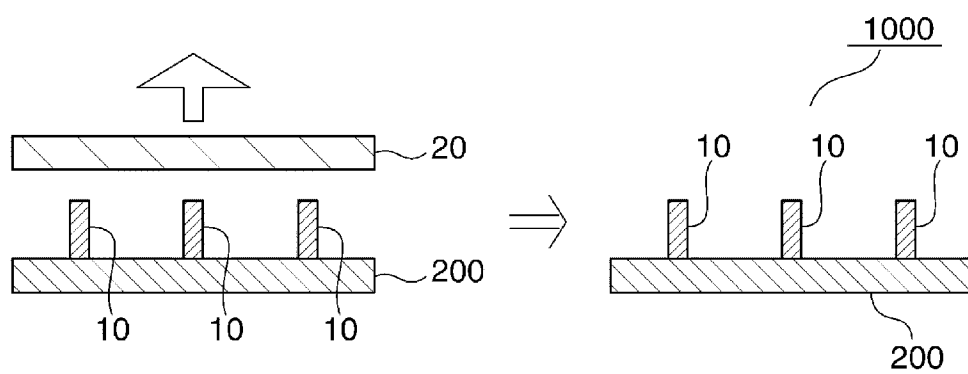
[図1]



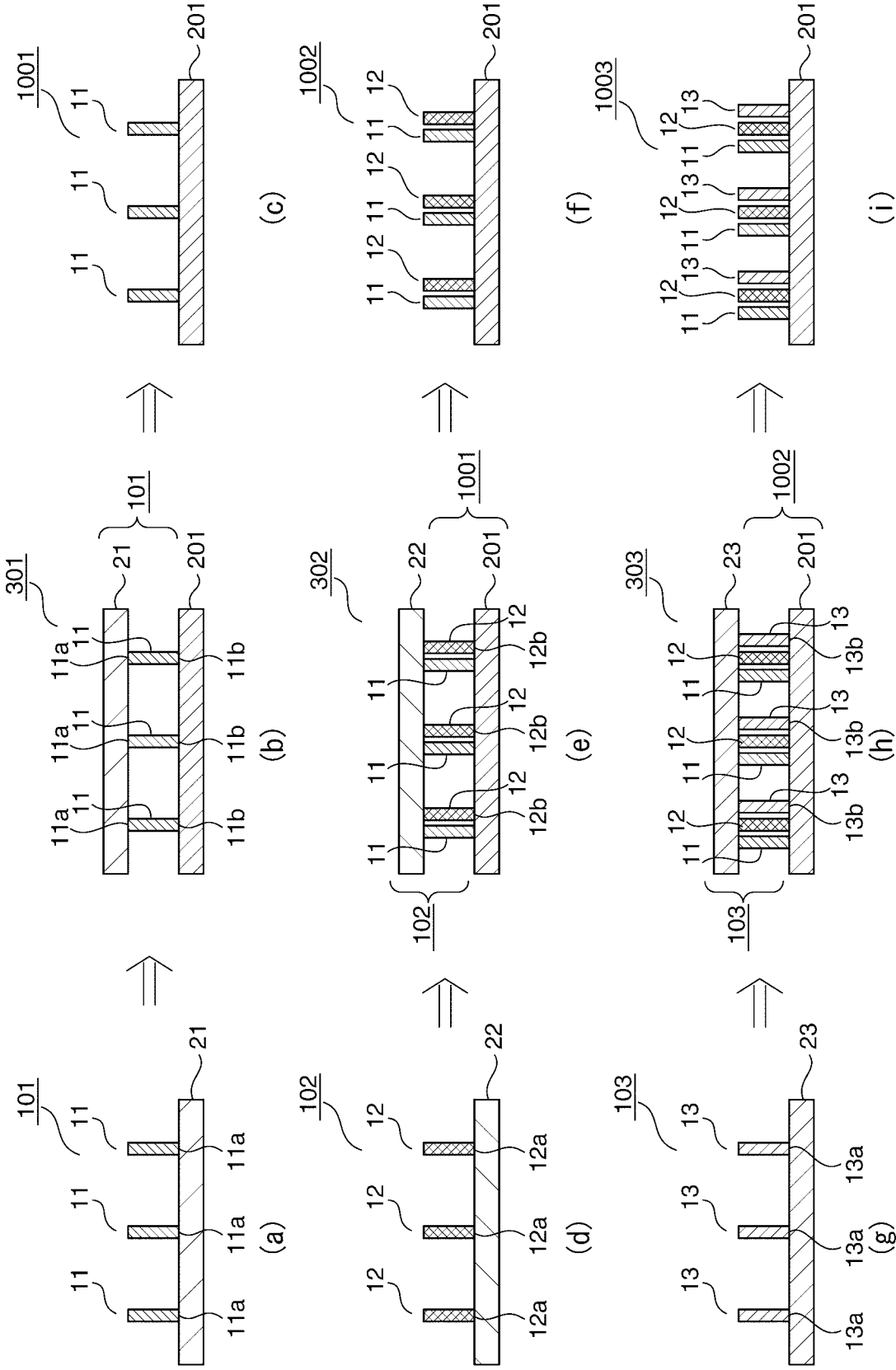
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/047142

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/48 (2010.01) i

FI: H01L33/48

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2017/124332 A1 (GOERTEK, INC.) 27.07.2017 (2017-07-27) page 4, line 9 to page 8, line 25, fig. 1-14	1-3
X	US 2019/0058081 A1 (AHMED Khaled et al.) 21.02.2019 (2019-02-21) paragraphs [0036]-[0038], fig. 2	1-3
X	JP 2018-74024 A (TOPPAN PRINTING CO., LTD.) 10.05.2018 (2018-05-10) paragraphs [0012], [0038]-[0043], [0077], fig. 6-10	1-3
A	JP 2010-251360 A (SONY CORP.) 04.11.2010 (2010-11-04) entire text, all drawings	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 February 2020 (05.02.2020)Date of mailing of the international search report
18 February 2020 (18.02.2020)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/047142

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2017/124332 A1	27 Jul. 2017	US 2019/0027642 A1 paragraphs [0029]- [0063], fig. 1-14 CN 108463891 A (Family: none)	
US 2019/0058081 A1	21 Feb. 2019	(Family: none)	
JP 2018-74024 A	10 May 2018	(Family: none)	
JP 2010-251360 A	04 Nov. 2010	US 2010/0259164 A1 entire text, all drawings CN 101859714 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 33/48(2010.01)i FI: H01L33/48														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L33/00-33/64 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	WO 2017/124332 A1 (GOERTEK, INC) 27.07.2017 (2017 - 07 - 27) 第4頁第9行-第8頁第25行, 図1-14	1-3												
X	US 2019/0058081 A1 (AHMED Khaled et al.) 21.02.2019 (2019 - 02 - 21) 段落0036-0038, 図2	1-3												
X	JP 2018-74024 A (凸版印刷株式会社) 10.05.2018 (2018 - 05 - 10) 段落0012, 0038-0043, 0077, 図6-10	1-3												
A	JP 2010-251360 A (ソニー株式会社) 04.11.2010 (2010 - 11 - 04) 全文, 全図	1-3												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 05.02.2020	国際調査報告の発送日 18.02.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 高 棕 健 司 2K 3715 電話番号 03-3581-1101 内線 3255													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/047142

引用文献			公表日	パテントファミリー文献	公表日
WO	2017/124332	A1	27.07.2017	US 2019/0027642 A1 段落0029-0063, 図1-14 CN 108463891 A	
US	2019/0058081	A1	21.02.2019	(ファミリーなし)	
JP	2018-74024	A	10.05.2018	(ファミリーなし)	
JP	2010-251360	A	04.11.2010	US 2010/0259164 A1 全文, 全図 CN 101859714 A	