



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

244 296

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 02 85
(21) PV 760-85

(51) Int. Cl.⁴

G 06 F 15/62

(40) Zveřejněno 17 09 85

(45) Vydáno 01 05 88

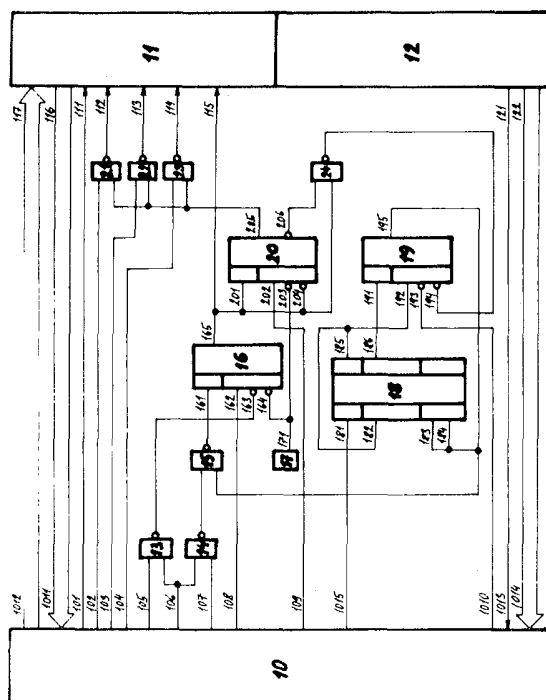
(75)
Autor vynálezu

HRDLIČKA DRAHOMÍR ing., BRNO

(54)

Zapojení obvodu pro zabezpečení funkce sdílené
dynamické paměti

Jednoduché a spolehlivé zapojení je určeno pro zabezpečení funkce sdílené dynamické paměti mezi řídící jednotkou zobrazení a mikroprocesorem s pamětí. Zapojení lze použít všude tam, kde se jedná o sdílení dynamické paměti mezi dvěma různými řídícími jednotkami zařízení výpočetní techniky, například v inteligentních grafických terminálech s obrazovkou.



Vynález se týká zapojení obvodu pro zabezpečení funkce sdílené dynamické paměti mezi řídicí jednotkou zobrazení a mikroprocesorem s pamětí.

Pro grafické zobrazovací jednotky, které zobrazují i více než $5 \cdot 10^5$ bitů, je užití statických pamětí cenově, obvodově, energeticky i prostorově nevýhodné. Proto je výhodnější pro hlavní paměť používat tak zvané dynamické paměti. Uložená informace do paměťových buněk však musí být periodicky obnovována. Obnovování informace v dynamické paměti se provádí zápisem nebo čtením při aktivaci adres řádkového dekodéru paměti, kdy všechny tyto vstupy musí být postupně aktivovány do určitého časového úseku, nemá-li dojít k porušení obsahu zapamatované informace. Předávání sdílené dynamické paměti mezi řídicí jednotkou zobrazení a mikroprocesorem s pamětí se provádí složitými obvodovými cestami, jež zvyšují technickou, ekonomickou i energetickou náročnost. V praxi je sdílena zpravidla část hlavní paměti. Tato sdílená část hlavní paměti je využívána jako zobrazovací paměť pro čtení informace na zobrazovací jednotku, například s obrazovkou. V jiném časovém intervalu je však zobrazovací paměť plněna výsledky činnosti mikroprocesoru s pamětí, například generováním alfanumerických znaků nebo obrazovým obsahem u grafické zobrazovací jednotky. Pracovní kmitočet mikroprocesoru s pamětí je zpravidla odlišný od pracovního kmitočtu zobrazovací jednotky, která musí v určitém časovém sledu řídit generování paprsku na stínítku obrazovky, a to tak, aby pro obsluhu působila zobrazovaná informace dojem dokonalého obrazu. Naproti tomu pracovní kmitočet mikroprocesoru s pamětí, spolupracujícího se zobrazovací pamětí, je třeba volit co nejvyšší, aby se dosáhlo rychlého generování vlastního obsahu zobrazovací paměti a obraz nebyl rušivě přerušován časovými intervaly, které jsou potřebné pro zápis obsahu do sdílené zobrazovací paměti.

Uvedené nedostatky odstraňuje zapojení obvodu pro zabezpe-

čení funkce sdílené dynamické paměti podle vynálezu, jehož podstatou je, že první výstup řídicí jednotky zobrazení je připojen na první vstup sdílené dynamické paměti, kdežto její druhý výstup je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup sdílené dynamické paměti, třetí výstup řídicí jednotky zobrazení je připojen na první vstup pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup sdílené dynamické paměti, čtvrtý výstup řídicí jednotky zobrazení je připojen na první vstup šestého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na čtvrtý vstup sdílené dynamické paměti, pátý výstup řídicí jednotky zobrazení je připojen na první vstup prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na nastavovací vstup prvního klopného obvodu, jehož přímý výstup je připojen na pátý vstup sdílené dynamické paměti, na datový vstup druhého klopného obvodu, na nulovací vstup druhého klopného obvodu a na druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu, výstup sedmého dvouvstupového obvodu typu negace logického součinu je připojen na nulovací vstup třetího klopného obvodu, šestý výstup řídicí jednotky zobrazení je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu a na první vstup druhého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup třetího dvouvstupového obvodu typu negace logického součinu, sedmý výstup řídicí jednotky zobrazení je připojen na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, kdežto její osmý výstup je připojen na hodinový vstup prvního klopného obvodu, devátý výstup řídicí jednotky zobrazení je připojen na hodinový vstup druhého klopného obvodu, jehož přímý výstup je připojen na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu a na druhý vstup šestého dvouvstupového obvodu typu negace logického součinu, desátý výstup řídicí jednotky zobrazení je připojen na nastavovací vstup třetího klopného obvodu, jehož přímý výstup je připojen na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu a na nulovací vstup čítače, výstup třetího dvouvstupového obvodu typu negace logického součinu je připojen na datový vstup prvního klopného obvodu, výstup zdroje logické jedničky

je připojen na nulovací vstup prvního klopného obvodu a na nastavovací vstup druhého klopného obvodu, jehož inverzní výstup je připojen na první vstup sedmého dvouvstupového obvodu typu negace logického součinu, jedenáctý výstup řídicí jednotky zobrazení je připojen na první vstup čítače, první výstup čítače je připojen na druhý vstup čítače a na hodinový vstup třetího klopného obvodu, druhý výstup čítače je připojen na datový vstup třetího klopného obvodu, skupina adresových výstupů řídicí jednotky zobrazení je připojena na skupinu adresových vstupů sdílené dynamické paměti, skupina datových výstupů sdílené dynamické paměti je připojena na skupinu datových vstupů řídicí jednotky zobrazení, výstup mikroprocesoru s pamětí je připojen na vstup řídicí jednotky zobrazení, kdežto jeho skupina příkazových výstupů je připojena na skupinu příkazových vstupů řídicí jednotky zobrazení.

Výhodou zapojení obvodu pro zabezpečení funkce sdílené dynamické paměti podle vynálezu je jeho jednoduchost, spolehlivost, malá energetická náročnost a nízké pořizovací náklady.

Příklad zapojení obvodu pro zabezpečení funkce sdílené dynamické paměti podle vynálezu je znázorněn schematicky na připojeném výkresu.

První výstup 101 řídicí jednotky 10 zobrazení je připojen na první vstup 111 sdílené dynamické paměti 11, kdežto její druhý výstup 102 je připojen na první vstup čtvrtého dvouvstupového obvodu 21 typu negace logického součinu, jehož výstup je připojen na druhý vstup 112 sdílené dynamické paměti 11. Třetí výstup 103 řídicí jednotky 10 zobrazení je připojen na první vstup pátého dvouvstupového obvodu 22 typu negace logického součinu, jehož výstup je připojen na třetí vstup 113 sdílené dynamické paměti 11. Čtvrtý výstup 104 řídicí jednotky 10 zobrazení je připojen na první vstup šestého dvouvstupového obvodu 23 typu negace logického součinu, jehož výstup je připojen na čtvrtý vstup 114 sdílené dynamické paměti 11. Pátý výstup 105 řídicí jednotky 10 zobrazení je připojen na první vstup prvního dvouvstupového obvodu 13 typu negace logického součinu, jehož výstup je připojen na nastavovací vstup 163 prvního klopného obvodu 16 typu D, jehož přímý výstup 165 je připojen na pátý vstup 115 sdílené dynamické paměti 11, na datový vstup 201 druhého klopného obvodu 20 typu D, na nulovací vstup 204 druhého klopného obvodu 20 typu D a na druhý vstup sedmého dvouvstupového obvodu

24 typu negace logického součinu. Výstup sedmého dvouvstupového obvodu 24 typu negace logického součinu je připojen na nulovací vstup 194 třetího klopného obvodu 19 typu D, Šestý výstup 106 řídicí jednotky 10 zobrazení je připojen na druhý vstup prvního dvouvstupového obvodu 13 typu negace logického součinu a na první vstup druhého dvouvstupového obvodu 14 typu negace logického součinu, jehož výstup je připojen na první vstup třetího dvouvstupového obvodu 15 typu negace logického součinu. Sedmý výstup 107 řídicí jednotky 10 zobrazení je připojen na druhý vstup druhého dvouvstupového obvodu 14 typu negace logického součinu, kdežto její osmý výstup 108 je připojen na hodinový vstup 162 prvního klopného obvodu 16 typu D. Devátý výstup 109 řídicí jednotky 10 zobrazení je připojen na hodinový vstup 202 druhého klopného obvodu 20 typu D, jehož přímý výstup 205 je připojen na druhý vstup čtvrtého dvouvstupového obvodu 21 typu negace logického součinu, na druhý vstup pátého dvouvstupového obvodu 22 typu negace logického součinu a na druhý vstup šestého dvouvstupového obvodu 23 typu negace logického součinu. Desátý výstup 1010 řídicí jednotky 10 zobrazení je připojen na nastavovací vstup 193 třetího klopného obvodu 19 typu D, jehož přímý výstup 195 je připojen na druhý vstup třetího dvouvstupového obvodu 15 typu negace logického součinu a na nulovací vstupy 183 a 184 binárního čítače 18. Výstup třetího dvouvstupového obvodu 15 typu negace logického součinu je připojen na datový vstup 161 prvního klopného obvodu 16 typu D. Výstup 171 zdroje 17 logické jedničky je připojen na nulovací vstup 164 prvního klopného obvodu typu D a na nastavovací vstup 203 druhého klopného obvodu 20 typu D, jehož inverzní výstup 206 je připojen na první vstup sedmého dvouvstupového obvodu 24 typu negace logického součinu. První výstup 185 binárního čítače 18 je připojen na druhý vstup 182 binárního čítače 18 a na hodinový vstup 192 třetího klopného obvodu 19 typu D. Druhý výstup 186 binárního čítače 18 je připojen na datový vstup 191 třetího klopného obvodu 19 typu D. Skupina adresových výstupů 1012 řídicí jednotky 10 zobrazení je připojena na skupinu adresových vstupů 117 sdílené dynamické paměti 11. Skupina datových výstupů 116 sdílené dynamické paměti 11 je připojena na skupinu datových vstupů 1011 řídicí jednotky 10 zobrazení. Výstup 121 mikroprocesoru 12 s pamětí je připojen na vstup 1013 řídicí jednotky 10 zobrazení, kdežto jeho skupina příkazových výstupů 122 je připojena na skupinu příkazových vstupů 1014 řídicí jednotky 10 zobrazení. Binární čítač

18 může být nahrazen dekadickým čítačem. Rovněž klopné obvody 16, 19, 20 mohou být nahrazeny klopnými obvody jiných vhodných typů.

Na prvním výstupu 101 řídicí jednotky 10 zobrazení je generován signál, který určuje okamžik přepínání skupiny adresových vstupů 117 řádkového a sloupcového dekodéru sdílené dynamické paměti 11, který je časově synchronizován se signálem na druhém výstupu 102 a třetím výstupu 103 řídicí jednotky 10 zobrazení. Signál na druhém výstupu 102 řídicí jednotky 10 zobrazení časově definuje hodinové impulsy pro řádkovou adresu sdílené dynamické paměti 11, zatímco signál na třetím výstupu 103 řídicí jednotky 10 zobrazení definuje hodinové impulsy pro sloupcovou adresu sdílené dynamické paměti 11. Na čtvrtém výstupu 104 je definován časový úsek ve zpětném běhu každého řádku rastru, ve kterém je sdílená dynamická paměť 11 postoupena pro činnost s mikroprocesorem 12, neboť ve zpětném běhu řádku je zatemněna obrazovka, a proto řídicí jednotka 10 zobrazení nečte žádná data ze sdílené dynamické paměti 11. V této době, určené signálem na čtvrtém výstupu 104 řídicí jednotky 10 zobrazení může tedy mikroprocesor 12 s pamětí provádět zápis nebo čtení ve sdílené dynamické paměti 11 do vlastních pracovních registrů. Na pátém výstupu 105 řídicí jednotky 10 zobrazení je signál, určující časový úsek, kdy na obrazovce probíhá časový úsek zpětného běhu posledního řádku anímku. Šestý výstup 106 řídicí jednotky 10 zobrazení určuje stav, ve kterém se nachází zobrazovací jednotka. Je-li tento výstup 106 ve stavu logické jedničky, pak řídicí jednotka 10 zobrazení řídí kromě obvodů obrazovky i celou činnost sdílené dynamické paměti 11 prostřednictvím signálů na prvním vstupu 111 až pátém vstupu 115 sdílené dynamické paměti 11. V tomto režimu řídicí jednotka 10 zobrazení předává ze skupiny adresových výstupů 1012 zakódovanou adresu, která je na skupině adresových vstupů 117 předána do sdílené dynamické paměti 11. Výstupní informace ze sdílené dynamické paměti 11 do řídicí jednotky 10 zobrazení je vysílána ze skupiny datových výstupů 116 sdílené dynamické paměti 11 do řídicí jednotky 10 zobrazení. Je-li šestý výstup 106 řídicí jednotky 10 zobrazení ve stavu logické nuly, pak obrazovka je zatemněna a řízení sdílené dynamické paměti 11 je předáno mikroprocesorem 12 s pamětí, který řídí sdílenou dynamickou paměť 11 běžným způsobem, včetně periodického obnovování informací v ní obsažených. Na sedmém výstupu 107 řídicí jednotky 10 zob-

razení je generován signál, který vymezuje dobu trvání aktivní části snímku. Na osmém a devátém výstupu 108 a 109 řídicí jednotky 10 zobrazení je časová posloupnost dvou synchronních impulsů, které se periodicky vyskytují v každém řádku rastru. Tyto impulsy určují přesný čas, kdy začne a skončí přenos řádkových a sloupcových hodinových impulsů na druhý vstup 112 a třetí vstup 113 sdílené dynamické paměti 11, přičemž v předstihu je vytvořen signál pro přepnutí obvodů ve sdílené dynamické paměti 11. Příkaz k zobrazovací činnosti řídicí jednotky 10 zobrazení je vyslán ze skupiny příkazových výstupů 122 mikroprocesoru 12 s pamětí, kdy signál z výstupu 121 mikroprocesoru 12 s pamětí určuje dobu platnosti příkazové informace na skupině příkazových výstupů 122. Příkaz je na skupině příkazových vstupů 1014 řídicí jednotky 10 zobrazení převzat prostřednictvím vstupu 1013 řídicí jednotky 10 zobrazení do vnitřního registru. Dekódováním informace tohoto registru se získá stav na šestém výstupu 106 řídicí jednotky 10 zobrazení. S ohledem na skutečnost, že řídicí jednotka 10 zobrazení je řízena programově prostřednictvím mikroprocesoru 12 s pamětí, který dává povel k rozsvícení obrazovky zobrazovací jednotky, generovaný na šestém výstupu 106 řídicí jednotky 10 zobrazení, čímž je zahájena činnost obvodu pro zabezpečení funkce sdílené dynamické paměti 11. Po zapnutí zařízení nebo při definování počátečního stavu zařízení manuální či programovou činností, je na desátém výstupu 1010 řídicí jednotky 10 zobrazení generován impuls, který je přiveden na nastavovací vstup 113 třetího klopného obvodu 19 typu D, čímž je definován výchozí stav tohoto klopného obvodu. Přímý výstup 195 třetího klopného obvodu 19 typu D je přiveden na nulovací vstupy 183 a 184 binárního čítače 18, čímž je rovněž definován jeho počáteční stav. Současně je přímý výstup 195 třetího klopného obvodu 19 typu D přiveden na druhý vstup třetího dvouvstupového obvodu 15 typu negace logického součinu, jehož stav na jeho výstupu je určen stavem na jeho prvním vstupu. Vyšle-li mikroprocesor 12 s pamětí po skupině příkazových výstupů 122 příkaz ke zhasnutí obrazovky zobrazovací jednotky, je v důsledku toho na šestém výstupu 106 řídicí jednotky 10 zobrazení stav například logické nuly, čímž je výstup prvního dvouvstupového obvodu 13 typu negace logického součinu ve stavu logické jedničky, takže první klopný obvod 16 typu D není ze strany nastavovacího vstupu 163 ovlivňován. Stav logické nuly na šestém výstupu 106 dále způsobuje, že výstup druhého dvouvstupového ob-

vodu 14 typu negace logického součinu je ve stavu logické jedničky a výstup třetího dvouvstupového obvodu 15 typu negace logického součinu je v nule. Prvním synchronizačním impulsem na osmém výstupu 108 je první klopný obvod 16 typu D nastaven na přímém výstupu 165 do stavu logické nuly a v tomto stavu je s periodou řádku rastru udržován. Rovněž tak přímý výstup 205 druhého klopného obvodu 20 typu D je ve stavu logické nuly, což má za následek, že i výstup čtvrtého dvouvstupového obvodu 21 typu negace logického součinu, výstup pátého dvouvstupového obvodu 22 typu negace logického součinu a výstup šestého dvouvstupového obvodu 23 typu negace logického součinu je ve stavu logické jedničky. Druhý výstup 206 druhého klopného obvodu 20 typu D je ve stavu logické jedničky, která je přivedena na první vstup sedmého dvouvstupového obvodu 24 typu negace logického součinu, přičemž druhý vstup sedmého dvouvstupového obvodu 24 typu negace logického součinu je přiveden na přímý výstup 165 prvního klopného obvodu 16 typu D, na němž je úroveň logické nuly. Výstup sedmého dvouvstupového obvodu 24 typu negace logického součinu je ve stavu logické jedničky, která je přivedena na nulovací vstup 194 třetího klopného obvodu 19 typu D a neomezuje jeho funkci. V tomto stavu, kdy obrazovka zobrazovací jednotky je zatemněna, je sdílená dynamická paměť 11 zcela řízena mikroprocesorem 12 a řídicí jednotka 10 zobrazení ani obvodu pro zabezpečení funkce sdílené dynamické paměti 11 se na její činnosti nepodílí. Jiná situace nastane, jestliže mikroprocesor 12 s pamětí dá řídicí jednotce 10 zobrazení příkaz k zobrazení dat na obrazovce. Šestý výstup 106 řídicí jednotky 10 zobrazení je ve stavu logické jedničky, která se přes druhý dvouvstupový obvod 15 typu negace logického součinu dostane na datový vstup 161 prvního klopného obvodu 16 typu D. Synchronizačním impulsem z osmého výstupu 108 řídicí jednotky 10 zobrazení je stav logické jedničky přenesen na přímý výstup 165 prvního klopného obvodu 16 typu D a na pátý vstup 115 sdílené dynamické paměti 11, kde signalizuje, že sdílená dynamická paměť 11 bude v následujícím okamžiku převedena na řízení řídicí jednotkou 10 zobrazení. Druhý synchronizační impuls na devátém výstupu 109 řídicí jednotky 10 zobrazení převezme v následujícím řádku rastru stav přímého výstupu 165 prvního klopného obvodu 16 typu D na přímý výstup 205 druhého klopného obvodu 20 typu D a způsobí přenos řádkových a sloupcových hodinových impulsů na druhý vstup 112 a třetí vstup 113 sdílené dynamické paměti 11, zatímco na

čtvrtý vstup 114 sdílené dynamické paměti 11 je přiváděn časový impuls generovaný na čtvrtém výstupu 104 řídicí jednotky 10 zobrazení. V tomto časovém úseku, který je obsažen v době zpětného běhu řádku, je sdílená dynamická paměť 11 periodicky přístupná ze strany mikroprocesoru 12 s pamětí, čímž je umožněn zápis nebo čtení ve sdílené dynamické paměti 11 v době zpětného běhu řádku a zpětného běhu snímku. Na výstupu sedmého dvouvstupového obvodu 24 typu negace logického součinu je generován impuls, který je přiveden na nulovací vstup 194 třetího klopného obvodu 19 typu D, jehož přímý výstup 195 odblokuje binární čítač 18, na jehož první vstup 181 jsou přiváděny časové impulsy z jedenáctého výstupu 1015 řídicí jednotky 10 zobrazení, jež jsou inverzní vůči časovým impulsům na čtvrtém výstupu 104 řídicí jednotky 10 zobrazení. Binární čítač 18 čítá do stavu čtyři, čímž stanoví čas pro úplné generování posloupnosti řádkových adres sdílené dynamické paměti 11. V tomto čase je tedy zabezpečena úplná obnova informací ve sdílené dynamické paměti 11. Pokud je mikroprocesorem 12 s pamětí požadováno zatemnění obrazovky, a tím i předání sdílené dynamické paměti 11 zpět pro přímé řízení mikroprocesorem 12 s pamětí v době kratší, než je doba potřebná pro obnovu informace ze strany řídicí jednotky 10 zobrazení, obvody pro zabezpečení funkce sdílené dynamické paměti umožní předání sdílené dynamické paměti 11 až po úplné obnově jejího obsahu, to je až za dobu čtyř řádků rastru, kdy proběhla celá posloupnost řádkových adres. Zapojením obvodu je zabezpečeno, že v žádném případě nedojde ^{při} předání sdílené dynamické paměti 11 od řídicí jednotky 10 zobrazení do řízení od mikroprocesoru 12 s pamětí ke ztrátě informací vlivem překročení časového úseku, nutného pro obnovu informací.

Zapojení obvodu pro zabezpečení funkce sdílené dynamické paměti podle vynálezu je možno použít všude tam, kde se jedná o sdílení dynamické paměti mezi dvěma různými řídicími jednotkami zařízení výpočetní techniky, například v inteligentních grafických terminálech s obrazovkou.

Zapojení obvodu pro zabezpečení funkce sdílené dynamické paměti mezi řídicí jednotkou zobrazení a mikroprocesorem s pamětí, vyznačené tím, že první výstup (101) řídicí jednotky (10) zobrazení je připojen na první vstup (111) sdílené dynamické paměti (11), kdežto její druhý výstup (102) je připojen na první vstup čtvrtého dvouvstupového obvodu (21) typu negace logického součinu, jehož výstup je připojen na druhý vstup (112) sdílené dynamické paměti (11), třetí výstup (103) řídicí jednotky (10) zobrazení je připojen na první vstup pátého dvouvstupového obvodu (22) typu negace logického součinu, jehož výstup je připojen na třetí vstup (113) sdílené dynamické paměti (11), čtvrtý výstup (104) řídicí jednotky (10) zobrazení je připojen na první vstup šestého dvouvstupového obvodu (23) typu negace logického součinu, jehož výstup je připojen na čtvrtý vstup (114) sdílené dynamické paměti (11), pátý výstup (105) řídicí jednotky (10) zobrazení je připojen na první vstup prvního dvouvstupového obvodu (13) typu negace logického součinu, jehož výstup je připojen na nastavovací vstup (163) prvního klopného obvodu (16), jehož přímý výstup (165) je připojen na pátý vstup (115) sdílené dynamické paměti (11), na datový vstup (201) druhého klopného obvodu (20), na nulovací vstup (204) druhého klopného obvodu (20) a na druhý vstup sedmého dvouvstupového obvodu (24) typu negace logického součinu, výstup sedmého dvouvstupového obvodu (24) typu negace logického součinu je připojen na nulovací vstup (194) třetího klopného obvodu (19), šestý výstup (106) řídicí jednotky (10) zobrazení je připojen na druhý vstup prvního dvouvstupového obvodu (13) typu negace logického součinu a na první vstup druhého dvouvstupového obvodu (14) typu negace logického součinu, jehož výstup je připojen na první vstup třetího dvouvstupového obvodu (15) typu negace logického součinu, sedmý výstup (107) řídicí jednotky (10) zobrazení je připojen na druhý vstup druhého dvouvstupového obvodu (14) typu negace logického součinu, kdežto její osmý výstup (108) je připojen na hodinový vstup (162) prvního klopného obvodu (16), devátý výstup (109) řídicí jednotky (10) zobrazení je připojen na hodinový vstup (202) druhého klopného obvodu (20), jehož přímý výstup (205) je připojen na druhý vstup čtvrtého dvouvstupového obvodu (21) typu negace logického součinu, na druhý vstup pátého dvouvstupového obvodu (22) typu negace logického součinu a na druhý

vstup šestého dvouvstupového obvodu (23) typu negace logického součinu, desátý výstup (1010) řídicí jednotky (10) zobrazení je připojen na nastavovací vstup (193) třetího klopného obvodu (19), jehož přímý výstup (195) je připojen na druhý vstup třetího dvouvstupového obvodu (15) typu negace logického součinu a na nulovací vstup (183,184) čítače (18), výstup třetího dvouvstupového obvodu (15) typu negace logického součinu je připojen na datový vstup (161) prvního klopného obvodu (16), výstup (171) zdroje (17) logické jedničky je připojen na nulovací vstup (164) prvního klopného obvodu (16) a na nastavovací vstup (203) druhého klopného obvodu (20), jehož inverzní výstup (206) je připojen na první vstup sedmého dvouvstupového obvodu (24) typu negace logického součinu, jedenáctý výstup (1015) řídicí jednotky (10) zobrazení je připojen na první vstup (181) čítače (18), první výstup (185) čítače (18) je připojen na druhý vstup (182) čítače (18) a na hodinový vstup (192) třetího klopného obvodu (19), druhý výstup (186) čítače (18) je připojen na datový vstup (191) třetího klopného obvodu (19), skupina adresových výstupů (1012) řídicí jednotky (10) zobrazení je připojena na skupinu adresových vstupů (117) sdílené dynamické paměti (11), skupina datových výstupů (116) sdílené dynamické paměti (11) je připojena na skupinu datových vstupů (1011) řídicí jednotky (10) zobrazení, výstup (121) mikroprocesoru (12) s pamětí je připojen na vstup (1013) řídicí jednotky (10) zobrazení, kdežto jeho skupina příkazových výstupů (122) je připojena na skupinu příkazových vstupů (1014) řídicí jednotky (10) zobrazení.

1 výkres

