



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월15일
(11) 등록번호 10-1113331
(24) 등록일자 2012년01월31일

(51) 국제특허분류(Int. Cl.)
G11C 11/4093 (2006.01) G11C 11/4096 (2006.01)
G11C 11/4076 (2006.01)
(21) 출원번호 10-2010-0074329
(22) 출원일자 2010년07월30일
심사청구일자 2010년07월30일
(65) 공개번호 10-2012-0012274
(43) 공개일자 2012년02월09일
(56) 선행기술조사문헌
JP2003059267 A
KR1020040093858 A
KR1020060101334 A

(73) 특허권자
주식회사 하이닉스반도체
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
권경환
서울시 서초구 양재동 6-37번지 506호
(74) 대리인
특허법인 아주양현

전체 청구항 수 : 총 22 항

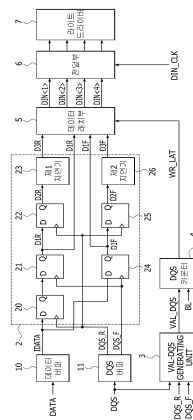
심사관 : 장호근

(54) 발명의 명칭 데이터입력회로

(57) 요약

데이터입력회로는 프리앰블구간에서 발생하는 내부스트로브신호의 펄스를 제거하여 유효스트로브신호를 생성하는 유효스트로브신호 생성부; 및 상기 유효스트로브신호를 버스트랭스에 따라 카운팅하여 라이트 동작 시 데이터를 정렬하기 위한 라이트래치신호를 생성하는 데이터스트로브신호 카운터를 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

프리앰블구간에서 발생하는 내부스트로브신호의 펄스를 제거하여 유효스트로브신호를 생성하는 유효스트로브신호 생성부; 및

상기 유효스트로브신호를 버스트랭스정보에 따라 카운팅하여 라이트 동작 시 데이터를 정렬하기 위한 라이트래치신호를 생성하는 데이터스트로브신호 카운터를 포함하는 데이터입력회로.

청구항 2

제 1 항에 있어서, 상기 유효스트로브신호 생성부는

상기 프리앰블구간 이전 데이터스트로브신호의 레벨에 응답하여 인에이블시점이 조절되는 전달제어신호를 생성하는 전달제어신호 생성부; 및

제1 및 제2 내부스트로브신호에 응답하여 상기 유효스트로브신호를 생성하되, 상기 제1 내부스트로브신호는 상기 전달제어신호에 응답하여 입력되는 유효스트로브신호 추출부를 포함하는 데이터입력회로.

청구항 3

제 2 항에 있어서, 상기 전달제어신호 생성부는

제1 구간신호를 생성하고, 데이터스트로브신호 및 기준전압을 비교하여 선택신호를 생성하는 신호생성부;

상기 제1 내부스트로브신호에 응답하여 상기 제1 구간신호의 인에이블시점을 시프팅하여 제2 구간신호를 생성하는 인에이블 시프팅부; 및

상기 선택신호에 응답하여 상기 제1 구간신호 또는 상기 제2 구간신호를 상기 전달제어신호로 선택적으로 전달하는 선택출력부를 포함하는 데이터입력회로.

청구항 4

제 3 항에 있어서, 상기 신호생성부는

라이트커맨드가 입력되는 시점에서 인에이블되고, 라이트레이턴스정보에 의해 설정된 구간 및 상기 버스트랭스정보에 따라 설정된 구간이 경과 된 후 디스에이블되는 상기 제1 구간신호를 생성하는 구간신호생성부;

상기 제1 구간신호에 응답하여 인에이블신호를 생성하는 인에이블신호생성부; 및

상기 인에이블신호에 응답하여 상기 데이터스트로브신호와 기준전압의 레벨을 비교하여 상기 선택신호를 생성하는 비교부를 포함하는 데이터입력회로.

청구항 5

제 4 항에 있어서, 상기 인에이블신호는 상기 제1 구간신호에 동기하여 인에이블되고, 상기 프리앰블구간이 종료된 후 디스에이블되는 데이터입력회로.

청구항 6

제 4 항에 있어서, 상기 기준전압은 상기 데이터스트로브신호의 로직하이레벨 및 로직로우레벨의 중간레벨보다

낮은 레벨로 설정되는 데이터입력회로.

청구항 7

제 3 항에 있어서, 상기 인에이블 시프팅부는

상기 제1 내부스트로브신호에 응답하여 전원전압을 전달하는 제1 전달소자; 및

상기 제1 구간신호에 응답하여 상기 제1 전달소자의 출력신호를 전달하는 제2 전달소자를 포함하는 데이터입력 회로.

청구항 8

제 2 항에 있어서, 상기 유효스트로브신호 추출부는

상기 전달제어신호에 응답하여 상기 제1 내부스트로브신호를 전달받아, 셋신호를 생성하는 셋신호제어부;

상기 셋신호에 응답하여 제1 리셋신호를 생성하는 제1 리셋제어부;

상기 제2 내부스트로브신호에 응답하여 제2 리셋신호를 생성하는 제2 리셋제어부; 및

상기 셋신호와 상기 제1 및 제2 리셋신호에 응답하여 래치하여 상기 유효스트로브신호를 생성하는 래치부를 포함하는 데이터입력회로.

청구항 9

제 8 항에 있어서, 상기 셋신호제어부는

상기 전달제어신호에 응답하여 상기 제1 내부스트로브신호를 버퍼링하여 내부지연스트로브신호를 생성하는 버퍼; 및

상기 내부지연스트로브신호에 응답하여 상기 셋신호의 펄스를 생성하는 펄스발생부를 포함하는 데이터입력회로.

청구항 10

제 8 항에 있어서, 상기 제1 리셋제어부는

상기 셋신호에 응답하여 전원전압을 전달하는 제1 전달소자; 및

제1 구간신호에 응답하여 상기 제1 전달소자의 출력신호를 전달하는 제2 전달소자를 포함하는 데이터입력회로.

청구항 11

데이터스트로브신호를 버퍼링하여 제1 및 제2 내부스트로브신호를 생성하는 데이터스트로브신호버퍼; 및

프리앰블구간에서 발생하는 상기 제1 내부스트로브신호의 펄스를 제거하여 유효스트로브신호를 생성하는 유효스트로브신호 생성부를 포함하는 데이터입력회로.

청구항 12

제 11 항에 있어서, 상기 제1 내부스트로브신호는 상기 데이터스트로브신호의 라이징에지에 동기되어 발생되고, 상기 제2 내부스트로브신호는 상기 데이터스트로브신호의 폴링에지에 동기되어 발생하는 데이터입력회로.

청구항 13

제 11 항에 있어서, 상기 유효스트로브신호 생성부는

상기 프리앰블구간 이전 데이터스트로브신호의 설정 레벨에 응답하여 인에이블시점이 조절되는 전달제어신호를 생성하는 전달제어신호 생성부; 및

상기 제1 및 제2 내부스트로브신호에 응답하여 상기 유효스트로브신호를 생성하되, 상기 제1 내부스트로브신호는 상기 전달제어신호에 응답하여 입력되는 유효스트로브신호 추출부를 포함하는 데이터입력회로.

청구항 14

제 13 항에 있어서, 상기 전달제어신호 생성부는

제1 구간신호를 생성하고, 데이터스트로브신호 및 기준전압을 비교하여 선택신호를 생성하는 신호생성부;

상기 제1 내부스트로브신호에 응답하여 상기 제1 구간신호의 인에이블시점을 시프팅하여 제2 구간신호를 생성하는 인에이블 시프팅부; 및

상기 선택신호에 응답하여 상기 제1 구간신호 또는 상기 제2 구간신호를 상기 전달제어신호로 선택적으로 전달하는 선택출력부를 포함하는 데이터입력회로.

청구항 15

제 14 항에 있어서, 상기 신호생성부는

라이트커맨드가 입력되는 시점에서 인에이블되고, 라이트레이턴시정보에 의해 설정된 구간 및 버스트랭스정보에 따라 설정된 구간이 경과 된 후 디스에이블되는 상기 제1 구간신호를 생성하는 구간신호생성부;

상기 제1 구간신호에 응답하여 인에이블신호를 생성하는 인에이블신호생성부; 및

상기 인에이블신호에 응답하여 상기 데이터스트로브신호와 기준전압의 레벨을 비교하여 상기 선택신호를 생성하는 비교부를 포함하는 데이터입력회로.

청구항 16

제 15 항에 있어서, 상기 인에이블신호는 상기 제1 구간신호에 동기하여 인에이블되고, 상기 프리앰블구간이 종료된 후 디스에이블되는 데이터입력회로.

청구항 17

제 15 항에 있어서, 상기 기준전압은 상기 데이터스트로브신호의 로직하이레벨 및 로직로우레벨의 중간레벨보다 낮은 레벨로 설정되는 데이터입력회로.

청구항 18

제 14 항에 있어서, 상기 인에이블 시프팅부는

상기 제1 내부스트로브신호에 응답하여 전원전압을 전달하는 제1 전달소자; 및

상기 제1 구간신호에 응답하여 상기 제1 전달소자의 출력신호를 전달하는 제2 전달소자를 포함하는 데이터입력회로.

청구항 19

제 13 항에 있어서, 상기 유효스트로브신호 추출부는
 상기 전달제어신호에 응답하여 상기 제1 내부스트로브신호를 전달받아, 셋신호를 생성하는 셋신호제어부;
 상기 셋신호에 응답하여 제1 리셋신호를 생성하는 제1 리셋제어부;
 상기 제2 내부스트로브신호에 응답하여 제2 리셋신호를 생성하는 제2 리셋제어부; 및
 상기 셋신호와 상기 제1 및 제2 리셋신호에 응답하여 래치하여 상기 유효스트로브신호를 생성하는 래치부를 포함하는 데이터입력회로.

청구항 20

제 19 항에 있어서, 상기 셋신호제어부는
 상기 전달제어신호에 응답하여 상기 제1 내부스트로브신호를 버퍼링하여 내부지연스트로브신호를 생성하는 버퍼; 및
 상기 내부지연스트로브신호에 응답하여 상기 셋신호의 펄스를 생성하는 펄스발생부를 포함하는 데이터입력회로.

청구항 21

제 19 항에 있어서, 상기 제1 리셋제어부는
 상기 셋신호에 응답하여 전원전압을 전달하는 제1 전달소자; 및
 제1 구간신호에 응답하여 상기 제1 전달소자의 출력신호를 전달하는 제2 전달소자를 포함하는 데이터입력회로.

청구항 22

제 11 항에 있어서, 상기 유효스트로브신호를 버스트랭크정보에 따라 카운팅하여 라이트 동작 시 데이터를 정렬하기 위한 라이트래치신호를 생성하는 데이터스트로브신호 카운터를 더 포함하는 데이터입력회로.

명세서

기술분야

[0001] 본 발명은 라이트동작 오류를 방지할 수 있도록 한 데이터입력회로에 관한 것이다.

배경기술

[0002] 반도체 메모리장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 계속적으로 개선되어 왔다. 동작 속도를 향상시키기 위하여 메모리칩 외부에서 주어지는 클럭과 동기되어 동작할 수 있는 소위 동기식(Synchronous) 메모리 장치가 등장하였다.

[0003] 처음 제안된 것은 메모리 장치의 외부로부터의 클럭의 상승 에지(rising edge)에 동기되어 하나의 데이터 핀에서 클럭의 한 주기에 걸쳐 하나의 데이터를 입출력하는 이른바 SDR(single data rate) 동기식 메모리 장치이다.

[0004] 그러나 SDR 동기식 메모리 장치 역시 고속 동작을 요구하는 시스템의 속도를 만족하기에는 불충분하며, 이에 따라 하나의 클럭 주기에 두 개의 데이터를 처리하는 방식인 DDR(Double Data Rate) 동기식 메모리 장치가 제안되었다.

[0005] DDR 동기식 메모리 장치의 각 데이터 입출핀에서는 외부에서 입력되는 클럭의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기되어 연속적으로 두 개의 데이터가 입출력되는바, 클럭의 주파수를 증가시키지 않더라도 종래의 SDR 동기식 메모리 장치에 비하여 최소한 두 배 이상의 대역폭(band width)을 구현할 수 있어 그

만큼 고속동작이 구현 가능하다.

- [0006] 한편, DDR 동기식 메모리 장치는 내부적으로 멀티-비트(multi-bit)를 한꺼번에 처리하는 멀티비트 프리패치 방식을 사용한다. 멀티비트 프리패치 방식은 순차적으로 입력되는 데이터를 데이터스트로브신호에 동기시켜 병렬로 정렬시킨 후, 외부클럭신호에 동기되어 입력되는 라이트명령에 의해 정렬된 멀티비트의 데이터를 한꺼번에 메모리 셀 어레이에 저장하는 방식을 말한다.
- [0007] 멀티비트 프리패치 방식에서 데이터들은 내부스트로브신호들(DQS_R, DQS_F)에 동기되어 정렬된 후 데이터스트로브신호(DQS)의 마지막폴링에지에 동기되어 래치되어야 한다. 이는 포스트앰블 구간에서 데이터스트로브신호(DQS)에 발생하는 링잉현상에 의해 잘못된 데이터가 래치되지 않게 하기 위함이다.
- [0008] 한편, 도 1에 도시된 바와 같이, DDR2 및 DDR3 등의 DDR 동기식 메모리 장치에서 데이터스트로브신호(DQS)는 프리앰블구간(t1~t2) 이전에 로직로우레벨(LOW), 하이-지레벨(Hi-Z) 및 로직하이레벨(HIGH) 중 하나의 레벨로 세팅된다. 데이터스트로브신호(DQS)가 프리앰블구간(t1~t2) 이전에 로직로우레벨(LOW)로 세팅된 경우 프리앰플구간이 종료된 시점(t2)부터 데이터스트로브신호(DQS)의 라이징에지에 동기되어 내부스트로브신호(DQS_R)의 펄스가 생성된다.
- [0009] 그런데, 데이터스트로브신호(DQS)가 프리앰블구간(t1~t2) 이전에 하이-지레벨(Hi-Z) 또는 로직하이레벨(HIGH)로 세팅된 경우에는 X1, X2에서 보여지는 바와 같이 프리앰블구간(t1~t2)에서 내부스트로브신호(DQS_R)에 토글링되는 펄스가 발생된다. 이는 데이터스트로브신호(DQS)를 입력받아 내부스트로브신호(DQS_R)를 생성하는 회로가 차등증폭회로로 구현되어, 하이-지레벨(Hi-Z) 또는 로직하이레벨(HIGH)의 데이터스트로브신호(DQS)를 차등증폭하기 때문이다.
- [0010] 내부스트로브신호(DQS_R)가 프리앰블구간(t1~t2)에서 토글링되면 데이터를 데이터스트로브신호(DQS)의 마지막폴링에지에 동기시켜 래치함에 있어 오동작이 발생한다.

발명의 내용

- [0011] 본 발명은 프리앰블구간에서 내부스트로브신호가 토글링되더라도 데이터스트로브신호의 마지막폴링에지를 정확하게 감지하여 라이트동작 오류를 방지할 수 있도록 한 데이터입력회로를 개시한다.
- [0012] 이를 위해 본 발명은 프리앰블구간에서 발생하는 내부스트로브신호의 펄스를 제거하여 유효스트로브신호를 생성하는 유효스트로브신호 생성부; 및 상기 유효스트로브신호를 버스트랭쓰에 따라 카운팅하여 라이트 동작 시 데이터를 정렬하기 위한 라이트래치신호를 생성하는 데이터스트로브신호 카운터를 포함하는 데이터입력회로를 제공한다.
- [0013] 또한, 본 발명은 데이터스트로브신호를 버퍼링하여 제1 및 제2 내부스트로브신호를 생성하는 데이터스트로브신호버퍼; 및 프리앰블구간에서 발생하는 상기 제1 내부스트로브신호의 펄스를 제거하여 유효스트로브신호를 생성하는 유효스트로브신호 생성부를 포함하는 데이터입력회로를 제공한다.

도면의 간단한 설명

- [0014] 도 1은 종래기술에 따른 데이터스트로브신호 및 내부스트로브신호의 파형을 도시한 타이밍도이다.
- 도 2는 본 발명의 일 실시예에 따른 데이터입력회로의 구성을 도시한 블럭도이다.
- 도 3은 도 2에 도시된 데이터입력회로에 포함된 유효스트로브신호 생성부의 구성을 도시한 블럭도이다.
- 도 4는 도 3에 도시된 유효스트로브신호 생성부에 포함된 전달제어신호 생성부의 구성을 도시한 블럭도이다.
- 도 5는 도 4에 도시된 전달제어신호 생성부에 포함된 인에이블시프팅부의 회로도이다.
- 도 6은 도 4에 도시된 전달제어신호 생성부에 포함된 선택출력부의 회로도이다.
- 도 7은 도 3에 도시된 유효스트로브신호 생성부에 포함된 유효스트로브신호 추출부의 구성을 도시한 블럭도이다.
- 도 8은 도 7에 도시된 유효스트로브신호 추출부에 포함된 셋신호 제어부의 도면이다.

도 9는 도 7에 도시된 유효스트로브신호 추출부에 포함된 제1 리셋 제어부의 회로도이다.

도 10은 도 7에 도시된 유효스트로브신호 추출부에 포함된 래치부의 회로도이다.

도 11은 도 3에 도시된 유효스트로브신호 생성부의 동작을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.
- [0016] 도 2는 본 발명의 일 실시예에 따른 데이터입력회로의 구성을 도시한 블럭도이다.
- [0017] 도 2에 도시된 바와 같이, 본 실시예의 데이터입력회로는 데이터버퍼(10), 데이터스트로브신호버퍼(11), 데이터정렬부(2), 유효스트로브신호 생성부(3), 데이터스트로브신호 카운터(4), 데이터래치부(5), 전달부(6) 및 라이트드라이버(7)를 포함한다.
- [0018] 데이터버퍼(10)는 데이터(DATA)를 버퍼링하여 내부데이터(IDATA)를 생성한다.
- [0019] 데이터스트로브신호버퍼(11)는 데이터스트로브신호(DQS)를 입력받아 제1 내부스트로브신호(DQS_R) 및 제2 내부스트로브신호(DQS_F)를 생성한다. 여기서, 제1 내부스트로브신호(DQS_R)는 데이터스트로브신호(DQS)의 라이징에지(rising edge)에 동기되어 생성되고, 제2 내부스트로브신호(DQS_F)는 데이터스트로브신호(DQS)의 폴링에지(falling edge)에 동기되어 생성된다.
- [0020] 데이터정렬부(2)는 제1 내부스트로브신호(DQS_R)에 동기하여 내부데이터(IDATA)를 래치하여 출력하는 제1 래치(20)와, 제2 내부스트로브신호(DQS_F)에 동기하여 제1 래치(20)의 출력신호를 래치하여 제1 라이징데이터(D1R)로 출력하는 제2 래치(21)와, 제1 내부스트로브신호(DQS_R)에 동기하여 제1 라이징데이터(D1R)를 래치하여 제2 라이징데이터(D2R)로 출력하는 제3 래치(22)와, 제2 라이징데이터(D2R)를 소정 구간 지연시켜 제3 라이징데이터(D3R)로 출력하는 제1 지연기(23)와, 제2 내부스트로브신호(DQS_F)에 동기하여 내부데이터(IDATA)를 래치하여 제1 폴링데이터(D1F)로 출력하는 제4 래치(24)와, 제1 내부스트로브신호(DQS_R)에 동기하여 제1 폴링데이터(D1F)를 래치하여 제2 폴링데이터(D2F)로 출력하는 제5 래치(25)와, 제2 폴링데이터(D2F)를 소정 구간 지연시켜 제3 폴링데이터(D3F)로 출력하는 제2 지연기(26)를 포함한다. 여기서, 제1 래치(20), 제2 래치(21), 제3 래치(22), 제4 래치(24) 및 제5 래치(25)는 D-플립플롭으로 구현할 수 있다.
- [0021] 이와 같은 구성의 데이터정렬부(2)에서 출력되는 제1 라이징데이터(D1R), 제3 라이징데이터(D3R), 제1 폴링데이터(D1F) 및 제3 폴링데이터(D3F)는 정렬되어 출력된다.
- [0022] 유효스트로브신호 생성부(3)는 프리앰블구간에서 발생하는 제1 내부스트로브신호(DQS_R)의 펄스를 제거하고, 제1 내부스트로브신호(DQS_R) 및 제2 내부스트로브신호(DQS_F)에 동기하여 유효스트로브신호(VAL_DQS)를 생성한다. 유효스트로브신호(VAL_DQS)의 펄스는 프리앰블구간이 종료된 후 발생된다. 유효스트로브신호 생성부(3)의 구체적인 구성 및 동작은 도 3 내지 도 11을 참고하여 후술한다.
- [0023] 데이터스트로브신호 카운터(4)는 유효스트로브신호(VAL_DQS)를 버스트랭스정보(BL)에 따라 카운팅하여 라이트래치신호(WR_LAT)를 생성한다. 좀 더 구체적으로, 데이터스트로브신호 카운터(4)는 버스트랭스가 4로 설정된 경우 유효스트로브신호(VAL_DQS)의 네번째 폴링에지에서 라이트래치신호(WR_LAT)의 펄스가 생성되고, 버스트랭스가 8로 설정된 경우 유효스트로브신호(VAL_DQS)의 여섯번째 폴링에지에서 라이트래치신호(WR_LAT)의 펄스가 생성되도록 구현될 수 있다. 버스트랭스정보(BL)는 버스트랭스가 4, 8, 16 및 32 중 어느 것으로 설정되었는지에 관한 정보를 포함하고, 다수의 신호가 포함되도록 구현할 수 있다. 또한, 실시예에 따라 유효스트로브신호(VAL_DQS)의 펄스의 생성시점도 버스트랭스에 따라 다양하게 설정할 수 있다.
- [0024] 데이터래치부(5)는 라이트래치신호(WR_LAT)의 라이징에지(rising edge)에 동기하여 제3 라이징데이터(D3R), 제1 라이징데이터(D1R), 제1 폴링데이터(D1F) 및 제3 폴링데이터(D3F)를 래치하여 제1 내지 제4 입력데이터(DIN<1:4>)로 출력한다.
- [0025] 전달부(6)는 데이터입력클럭(DIN_CLK)에 동기하여 제1 내지 제4 입력데이터(DIN<1:4>)를 라이트드라이버(7)에 전달한다.
- [0026] 이하, 유효스트로브신호 생성부(3)의 구체적인 구성 및 동작을 도 3 내지 도 11을 참고하여 구체적으로 살펴본다.

- [0027] 도 3을 참고하면 유효스트로브신호 생성부(3)는 데이터스트로브신호(DQS)의 설정 레벨에 응답하여 인에이블시점이 조절되는 전달제어신호(T_CON)를 생성하는 전달제어신호생성부(30)와, 전달제어신호(T_CON)에 응답하여 제1 내부스트로브신호(DQS_R) 및 제2 내부스트로브신호(DQS_F)를 입력받아 유효스트로브신호(VAL_DQS)를 생성하는 유효스트로브신호 추출부(31)를 포함한다.
- [0028] 전달제어신호생성부(30)는, 도 4에 도시된 바와 같이, 신호생성부(300), 인에이블시프팅부(301) 및 선택출력부(302)를 포함한다. 신호생성부(300)는 구간신호생성부(303), 인에이블신호생성부(304) 및 비교부(305)를 포함한다. 구간신호생성부(303)는 라이트커맨드(WR), 라이트레이턴시정보(WL) 및 버스트랭스정보(BL)를 입력받아 제1 구간신호(SECT1)를 생성한다. 제1 구간신호(SECT1)는 라이트커맨드(WR)가 입력되는 시점에서 로직하이레벨로 인에이블되고, 라이트레이턴시정보(WL) 및 버스트랭스정보(BL)에 의해 설정된 구간이 경과된 후 로직로우레벨로 디스에이블된다. 인에이블신호생성부(304)는 펄스발생회로로 구현되어, 제1 구간신호(SECT1)의 인에이블시점에 동기하여 인에이블되고, 프리앰블구간이 개시된 후 디스에이블되는 인에이블신호(EN)의 펄스를 생성한다. 비교부(305)는 인에이블신호(EN)가 로직하이레벨인 구간에서 구동되어 데이터스트로브신호(DQS)와 기준전압(VREF)의 레벨을 비교하여 선택신호(SEL)를 생성한다. 여기서, 기준전압(VREF)은 하이-지레벨(Hi-Z)보다 낮은 레벨로 설정되는 것이 바람직하고, 하이-지레벨(Hi-Z)은 데이터스트로브신호(DQS)의 로직하이레벨 및 로직로우레벨의 중간레벨로 설정되는 것이 바람직하다. 선택신호(SEL)는 데이터스트로브신호(DQS)가 로직로우레벨을 갖는 경우 로직하이레벨로 생성되고, 데이터스트로브신호(DQS)가 로직하이레벨 또는 하이-지레벨(Hi-Z)을 갖는 경우 로직로우레벨로 생성된다.
- [0029] 인에이블시프팅부(301)는, 도 5에 도시된 바와 같이, 로직하이레벨의 제1 내부스트로브신호(DQS_R)가 입력되는 경우 입력신호를 반전버퍼링하여 전달하는 전달소자로 동작하는 인버터들(TIV30, TIV33)과, 로직로우레벨의 제1 내부스트로브신호(DQS_R)가 입력되는 경우 입력신호를 반전버퍼링하여 전달하는 전달소자로 동작하는 인버터들(TIV31, TIV32)과, 로직하이레벨의 제1 구간신호(SECT1)가 입력되는 경우 입력신호를 반전버퍼링하여 전달하는 전달소자로 동작하는 낸드게이트들(ND31, ND32)과, 제1 내부스트로브신호(DQS_R)를 반전버퍼링하여 제1 반전내부스트로브신호(DQS_RB)를 생성하는 인버터(IV30)를 포함한다.
- [0030] 이와 같은 구성의 인에이블시프팅부(301)는 제1 구간신호(SECT1)가 로직하이레벨로 인에이블된 상태에서 제1 내부스트로브신호(DQS_R)의 펄스에 동기시켜 전원전압(VDD)을 제2 구간신호(SECT2)로 전달한다. 또한, 인에이블시프팅부(301)는 제1 구간신호(SECT1)가 로직로우레벨로 디스에이블되는 경우 제2 구간신호(SECT2)를 로직로우레벨로 디스에이블시켜 출력한다. 따라서, 인에이블시프팅부(301)에서 출력되는 제2 구간신호(SECT2)는 제1 구간신호(SECT1)가 인에이블된 후 제1 내부스트로브신호(DQS_R)의 첫번째 폴딩에지에 동기되어 인에이블되고, 제1 구간신호(SECT1)가 디스에이블된 시점에 동기하여 디스에이블된다.
- [0031] 선택출력부(302)는, 도 6에 도시된 바와 같이, 선택신호(SEL)를 반전버퍼링하는 인버터(IV31)와, 선택신호(SEL) 및 인버터(IV31)의 출력신호에 응답하여 제1 구간신호(SECT1)를 전달제어신호(T_CON)로 전달하는 전달게이트(T30)와, 선택신호(SEL) 및 인버터(IV31)의 출력신호에 응답하여 제2 구간신호(SECT2)를 전달제어신호(T_CON)로 전달하는 전달게이트(T31)를 포함한다.
- [0032] 이와 같은 구성의 선택출력부(302)는 선택신호(SEL)가 로직하이레벨인 경우 제1 구간신호(SECT1)를 전달제어신호(T_CON)로 전달하고, 선택신호(SEL)가 로직로우레벨인 경우 제2 구간신호(SECT2)를 전달제어신호(T_CON)로 전달한다.
- [0033] 유효스트로브신호 추출부(31)는, 도 7에 도시된 바와 같이, 셋신호제어부(310)와, 제1 리셋제어부(311)와, 제2 리셋제어부(312)와, 래치부(313)를 포함한다.
- [0034] 셋신호제어부(310)는, 도 8에 도시된 바와 같이, 낸드게이트(ND310)와, 펄스발생부(3100)를 포함한다. 낸드게이트(ND310)는 전달제어신호(T_CON)가 로직하이레벨인 경우 제1 내부스트로브신호(DQS_R)를 반전버퍼링하여 지연 내부스트로브신호(DQS_RD)로 출력한다. 펄스발생부(3100)는 지연내부스트로브신호(DQS_RD)가 로직로우레벨로 천 이하면 셋신호(SET)의 펄스를 발생시킨다. 이와 같은 구성의 셋신호제어부(310)는 전달제어신호(T_CON)가 로직하이레벨인 상태에서 제1 내부스트로브신호(DQS_R)의 라이징에지에 동기하여 셋신호(SET)의 펄스를 발생시킨다.
- [0035] 제1 리셋제어부(311)는, 도 9에 도시된 바와 같이, 셋신호(SET)의 펄스가 입력되는 경우 전원전압(VDD)을 반전버퍼링하여 전달하는 전달소자로 동작하는 인버터(TIV300)와, 제1 구간신호(SECT1)가 로직하이레벨인 경우 인버터(TIV300)의 출력신호를 반전버퍼링하여 전달하는 전달소자로 동작하는 낸드게이트(ND311)와, 셋신호(SET)의 펄스가 입력되지 않는 경우 낸드게이트(ND311)의 출력신호를 반전버퍼링하여 전달하는 전달소자로 동작하는 인

버터(TIV301)와, 낸드게이트(ND311)의 출력신호를 반전버퍼링하여 제1 리셋신호(RESET1)로 출력하는 인버터(IV300)와, 셋신호(SET)를 반전버퍼링하여 반전셋신호(SET_B)를 생성하는 인버터(IV301)를 포함한다. 이와 같은 구성의 제1 리셋제어부(311)는 제1 구간신호(SECT1)가 로직하이레벨인 상태에서 셋신호(SET)의 펄스가 입력되는 경우 전원전압(VDD)을 반전버퍼링하여 로직로우레벨의 제1 리셋신호(RESET1)로 출력한다.

- [0036] 제2 리셋제어부(312)는 펄스발생회로로 구현되어, 제2 내부스트로브신호(DQS_F)의 펄스가 입력되는 경우 기설정된 펄스폭을 갖는 제2 리셋신호(RESET2)의 펄스를 생성한다.
- [0037] 래치부(313)는, 도 10에 도시된 바와 같이, 노어게이트들(NR300, NR201) 및 인버터(IV310)를 포함하는 SR래치로 구현되어, 셋신호(SET)의 펄스가 입력되는 경우 유효스트로브신호(VAL_DQS)를 로직하이레벨로 인에이블시키고, 셋신호(SET)의 펄스에 의해 제1 리셋신호(RESET1)가 로직로우레벨로 천이한 후 제2 리셋신호(RESET2)의 펄스가 입력되는 경우 유효스트로브신호(VAL_DQS)를 로직로우레벨로 디스에이블시킨다.
- [0038] 도 4 내지 도 10에 도시된 구성을 갖는 유효스트로브신호 생성부(3)의 동작을 도 11에 도시된 타이밍도를 참고하여 살펴보면, 데이터스트로브신호(DQS)가 프리앰블구간(t11~t12) 이전에 하이-지레벨(Hi-Z) 또는 로직하이레벨(HIGH)로 세팅된 경우를 가정하여 설명하면 다음과 같다.
- [0039] 우선, t10 시점에서 라이트커맨드(WR)가 입력되면 도 4에 도시된 전달제어신호생성부(30)에 포함된 구간신호생성부(303)는 t10 시점에서 로직하이레벨로 인에이블되고, 라이트레이턴시정보(WL) 및 버스트랭크정보(BL)에 의해 설정된 구간이 경과된 후 t13 시점에서 로직로우레벨로 디스에이블되는 제1 구간신호(SECT1)를 생성한다.
- [0040] 다음으로, 도 4에 도시된 전달제어신호생성부(30)에 포함된 인에이블신호생성부(304)는 제1 구간신호(SECT1)가 로직하이레벨로 인에이블되는 t10 시점에서부터 기설정된 구간(td)동안 로직하이레벨로 인에이블되는 인에이블신호(EN)의 펄스를 생성한다. 기설정된 구간(td)은 프리앰블구간(t10~t11)이 종료된 후 인에이블신호(EN)가 로직로우레벨로 디스에이블되도록 설정되는 것이 바람직하다.
- [0041] 다음으로, 도 4에 도시된 전달제어신호생성부(30)에 포함된 비교부(305)는 인에이블신호(EN)가 로직하이레벨로 인에이블되는 구간동안 데이터스트로브신호(DQS)와 기준전압(VREF)의 레벨을 비교하여 선택신호(SEL)를 생성한다. 이때, 데이터스트로브신호(DQS)는 프리앰블구간(t11~t12) 이전에 하이-지레벨(Hi-Z) 또는 로직하이레벨(HIGH)로 세팅된 상태이므로, 선택신호(SEL)는 로직로우레벨로 생성된다.
- [0042] 선택신호(SEL)가 로직로우레벨인 경우 도 6에 도시된 선택출력부(302)의 전달게이트(T31)가 턴오프되므로 제2 구간신호(SECT2)가 전달제어신호(T_CON)로 전달된다.
- [0043] 한편, 도 5에 도시된 인에이블시프팅부(301)에서 생성되는 제2 구간신호(SECT2)는 제1 구간신호(SECT1)가 인에이블된 후 제1 내부스트로브신호(DQS_R)의 첫번째 폴링에지에 동기되어 인에이블되고, 제1 구간신호(SECT1)가 디스에이블된 시점에 동기하여 디스에이블된다. 제2 구간신호(SECT2)의 인에이블시점은 프리앰블구간(t11~t12) 이전에 데이터스트로브신호(DQS)가 하이-지레벨(Hi-Z)로 세팅된 경우가 로직하이레벨(HIGH)로 설정된 경우보다 빠르다. 이는 프리앰블구간(t11~t12) 이전에 데이터스트로브신호(DQS)가 하이-지레벨(Hi-Z)로 세팅된 경우 로직하이레벨(HIGH)로 설정된 경우보다 데이터스트로브신호(DQS)로부터 생성되는 제1 내부스트로브신호(DQS_R)의 첫번째 폴링에지가 빠른 시점에 발생되기 때문이다.
- [0044] 다음으로, 도 8에 도시된 셋신호제어부(310)는 전달제어신호(T_CON)가 로직하이레벨인 상태에서 제1 내부스트로브신호(DQS_R)의 라이징에지에 동기하여 셋신호(SET)의 펄스를 발생시킨다. 즉, 전달제어신호(T_CON)가 로직로우레벨인 경우 제1 내부스트로브신호(DQS_R)의 펄스가 발생하더라도 셋신호(SET)의 펄스는 생성되지 않는다.
- [0045] 다음으로, 도 9에 도시된 제1 리셋제어부(311)는 제1 구간신호(SECT1)가 로직하이레벨인 상태에서 셋신호(SET)의 펄스가 입력되는 경우 전원전압(VDD)을 반전버퍼링하여 로직로우레벨의 제1 리셋신호(RESET1)로 출력한다. 또한, 제2 리셋제어부(312)는 제2 내부스트로브신호(DQS_F)의 펄스가 입력되는 경우 기설정된 펄스폭을 갖는 제2 리셋신호(RESET2)의 펄스를 생성한다.
- [0046] 다음으로, 도 10에 도시된 래치부(313)는 셋신호(SET)의 펄스가 입력되는 경우 유효스트로브신호(VAL_DQS)를 로직하이레벨로 인에이블시키고, 셋신호(SET)의 펄스에 의해 제1 리셋신호(RESET1)가 로직로우레벨로 천이한 후 제2 리셋신호(RESET2)의 펄스가 입력되는 경우 유효스트로브신호(VAL_DQS)를 로직로우레벨로 디스에이블시킨다. 즉, 래치부(313)에서 생성되는 유효스트로브신호(VAL_DQS)는 프리앰블구간(t11~t12)이 종료된 후 제1 내부스트로브신호(DQS_R)에 동기하여 발생하는 펄스를 포함한다.
- [0047] 그 결과, 데이터스트로브신호(DQS)가 프리앰블구간(t11~t12) 이전에 하이-지레벨(Hi-Z) 또는 로직하이레벨

(HIGH)로 세팅되어 프리앰블구간(t11~t12)에서 제1 내부스트로브신호(DQS_R)의 펄스가 발생되더라도 본 실시예의 유효스트로브신호 생성부(3)에서 생성되는 유효스트로브신호(VAL_DQS)의 펄스는 프리앰블구간(t11~t12)이 종료된 후부터 발생된다.

[0048] 따라서, 데이터스트로브신호 카운터(4)가 유효스트로브신호(VAL_DQS)를 버스트랭스정보(BL)에 따라 카운팅하여 라이트래치신호(WR_LAT)를 생성하는 경우 라이트래치신호(WR_LAT)는 데이터스트로브신호(DQS)의 마지막폴딩에지에 동기하여 인에이블된다. 이는 본 실시예의 유효스트로브신호 생성부(3)에서 생성되는 유효스트로브신호(VAL_DQS)는 프리앰블구간(t11~t12)에서 발생하는 제1 내부스트로브신호(DQS_R)의 펄스에 영향을 받지 않기 때문이다.

[0049] 이와 같이, 본 실시예의 유효스트로브신호 생성부(3)에서 생성되는 유효스트로브신호(VAL_DQS)에 의해 데이터스트로브신호(DQS)의 마지막폴딩에지를 정확하게 카운팅할 수 있어 데이터를 데이터스트로브신호(DQS)의 마지막폴딩에지에 정확하게 동기시켜 래치할 수 있다.

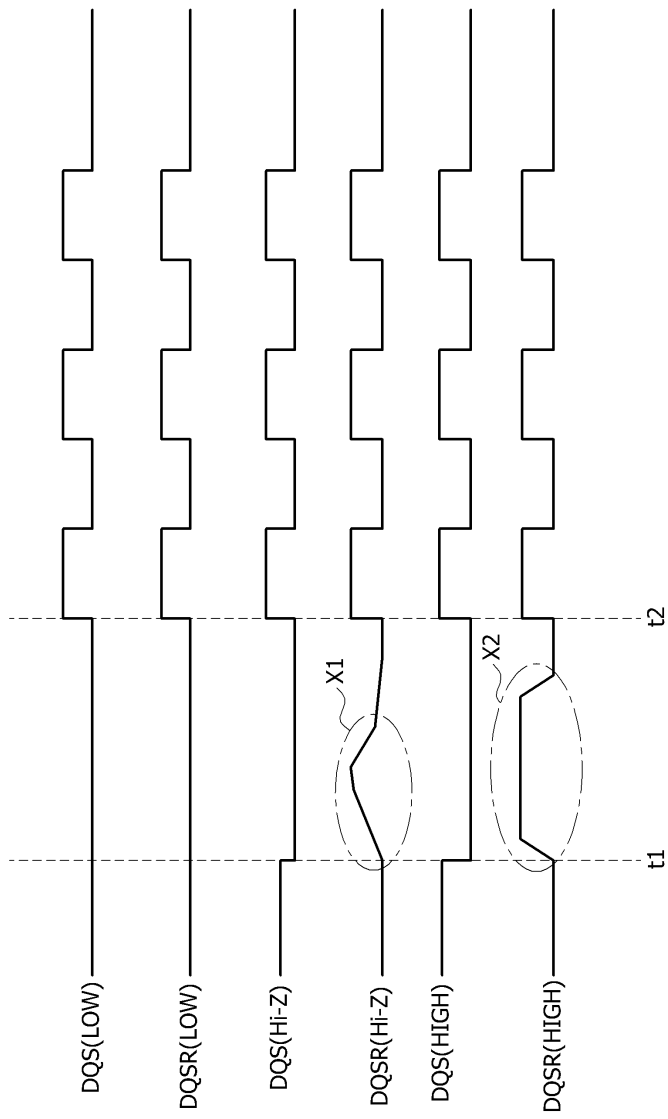
[0050] 따라서, 본 실시예의 데이터입력회로는 데이터스트로브신호(DQS)가 프리앰블구간(t11~t12) 이전에 하이-지레벨(Hi-Z) 또는 로직하이레벨(HIGH)로 세팅된 경우에도 데이터를 데이터스트로브신호(DQS)의 마지막폴딩에지에 정확히 동기시켜 래치하여 오동작을 방지할 수 있다.

부호의 설명

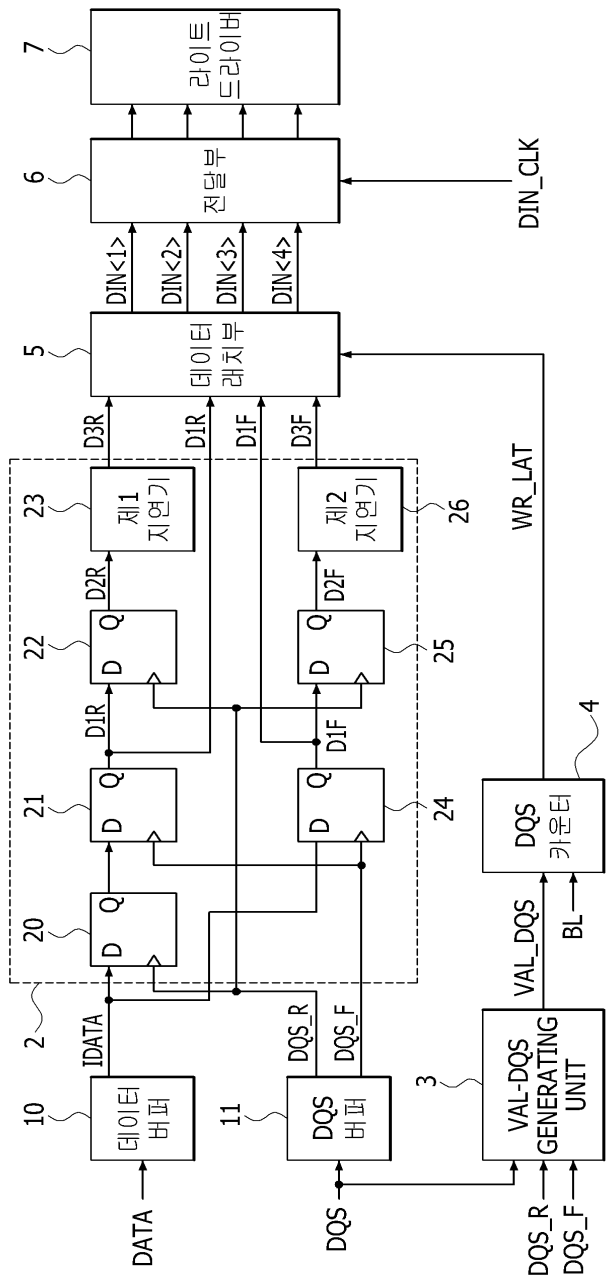
- | | | |
|--------|------------------|------------------|
| [0051] | 10: 데이터버퍼 | 11: 데이터스트로브신호버퍼 |
| | 2: 데이터정렬부 | 20: 제1 래치 |
| | 21: 제2 래치 | 22: 제3 래치 |
| | 23: 제1 지연기 | 24: 제4 래치 |
| | 25: 제 5 래치 | 26: 제2 지연기 |
| | 3: 유효스트로브신호 생성부 | 30: 전달제어신호 생성부 |
| | 300: 신호생성부 | 301: 인에이블 시프팅부 |
| | 302: 선택출력부 | 303: 구간신호생성부 |
| | 304: 인에이블신호생성부 | 305: 비교부 |
| | 31: 유효스트로브신호 추출부 | 310: 셋신호제어부 |
| | 311: 제1 리셋제어부 | 312: 제2 리셋제어부 |
| | 313: 래치부 | 4: 데이터스트로브신호 카운터 |
| | 5: 데이터래치부 | 6: 전달부 |
| | 7: 라이트드라이버 | |

도면

도면1

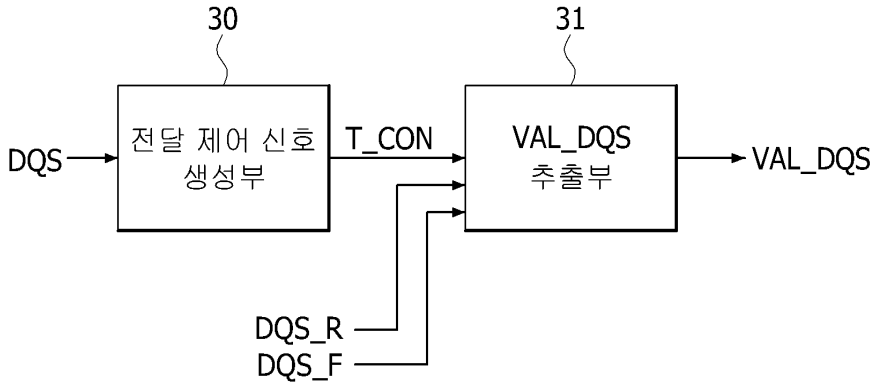


도면2

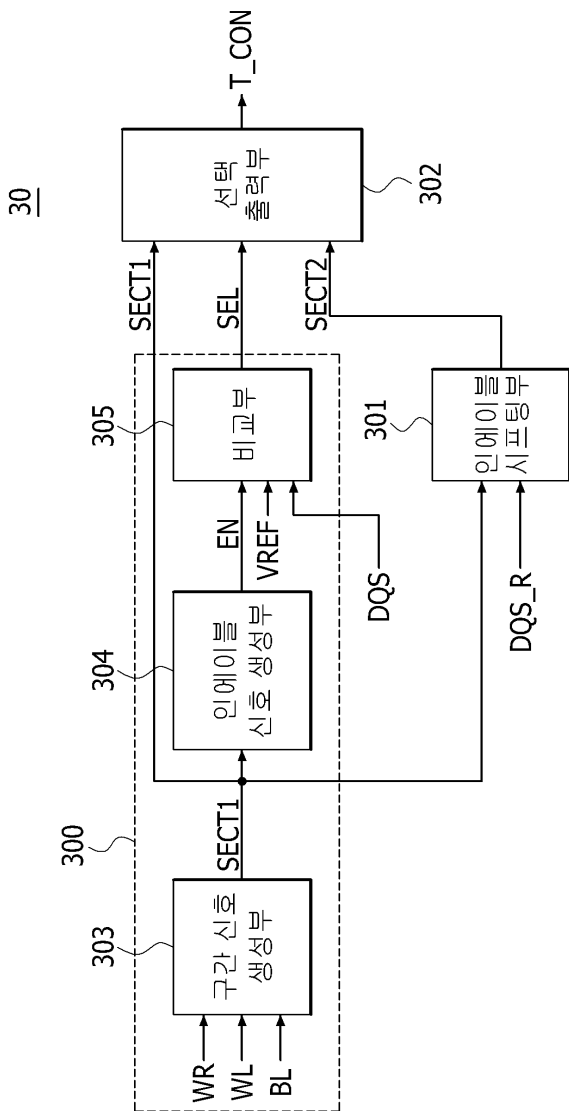


도면3

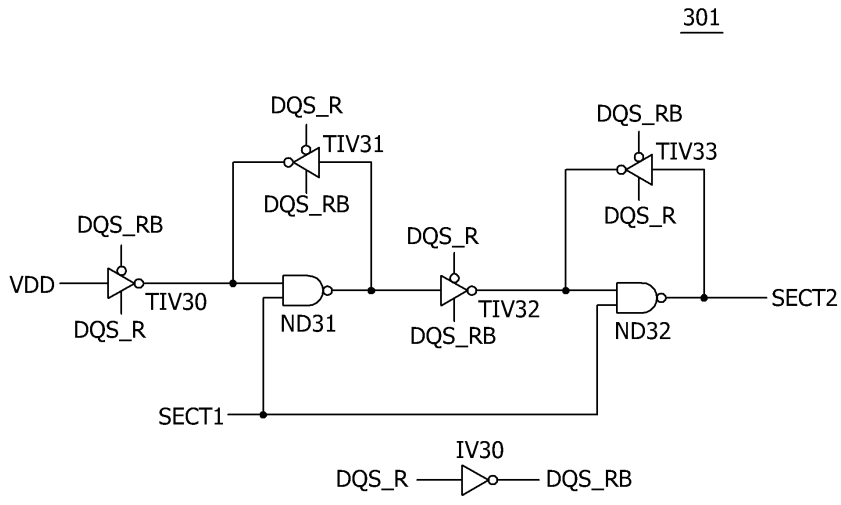
3



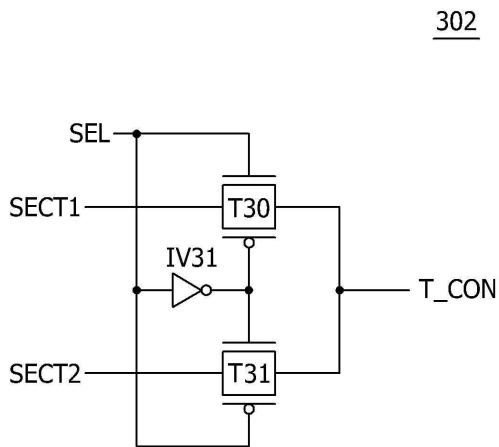
도면4



도면5

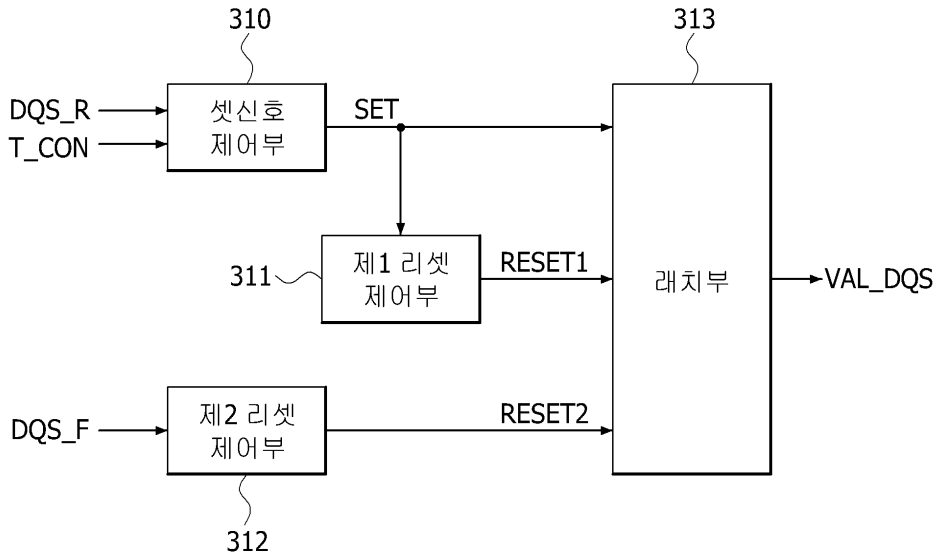


도면6



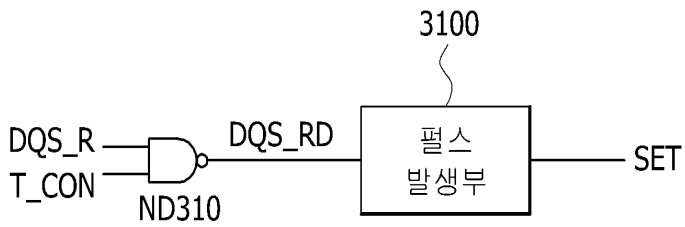
도면7

31

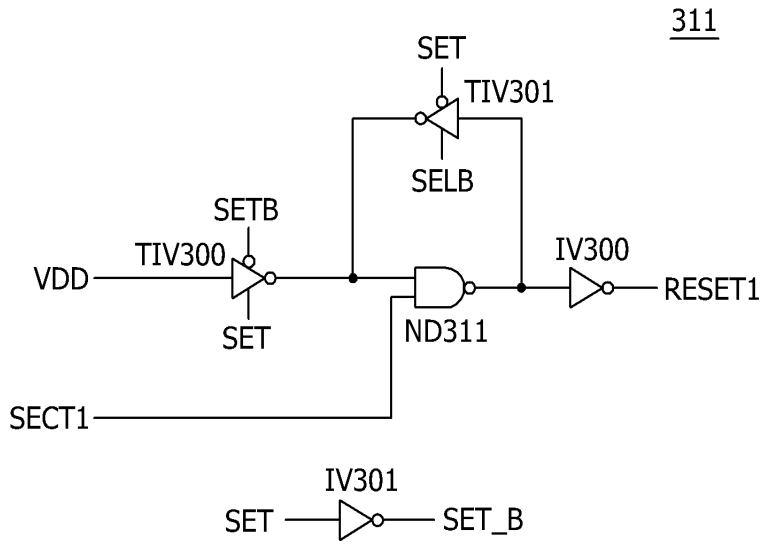


도면8

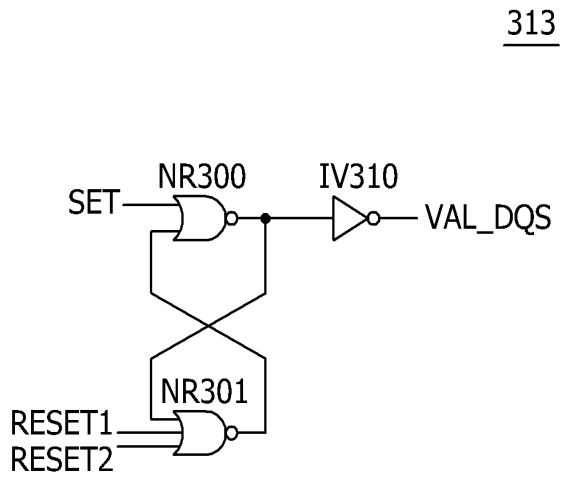
310



도면9



도면10



도면11

