

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号
WO 2012/169208 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 21/20 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/JP2012/003768
- (22) 国際出願日: 2012 年 6 月 8 日(08.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-130726 2011 年 6 月 10 日(10.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 2 7 番 1 号 Tokyo (JP). 独立行政法人産業技術総合研究所 (National Institute of Advanced Industrial Science and Technology) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 秦 雅彦 (HATA, Masahiko) [JP/JP]; 〒3003294 茨城県つくば市北原 6 住友化学株式会社内 Ibaraki (JP). 市川

磨 (ICHIKAWA, Osamu) [JP/JP]; 〒3003294 茨城県つくば市北原 6 住友化学株式会社内 Ibaraki (JP). ト部 友二 (URABE, Yuji) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). 宮田 典幸 (MIYATA, Noriyuki) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). 前田 辰郎 (MAEDA, Tatsuro) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). 安田 哲二 (YASUDA, Tetsuji) [JP/JP]; 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP).

(74) 代理人: 龍華国際特許業務法人 (RYUKA IP Law Firm); 〒1631522 東京都新宿区西新宿 1-6-1 新宿エルタワー 2 2 階 Tokyo (JP).

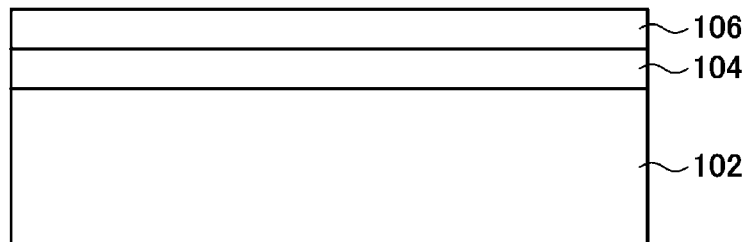
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

[続葉有]

(54) Title: METHOD FOR PRODUCING SEMICONDUCTOR SUBSTRATE AND SEMICONDUCTOR SUBSTRATE

(54) 発明の名称: 半導体基板の製造方法および半導体基板

[図1]



100

(57) Abstract: Provided is a method that is for producing a semiconductor substrate and that has: a step for forming on a base substrate a compound semiconductor layer by means of epitaxial growth; a step for cleaning the surface of the compound semiconductor layer by means of a cleaning liquid containing a selenium compound; and a step for forming an insulating layer on the surface of the compound semiconductor layer. An oxide of selenium can be cited as the selenium compound. H_2SeO_3 can be cited as the oxide of selenium. The cleaning liquid may further contain at least one substance selected from the group consisting of water, ammonia, and ethanol. If the surface of the compound semiconductor layer comprises $In_xGa_{1-x}As$ ($0 \leq x \leq 1$), the insulating layer preferably comprises Al_2O_3 , and the Al_2O_3 preferably is formed by means of the ALD method.

(57) 要約: エピタキシャル成長により化合物半導体層をベース基板上に形成するステップと、化合物半導体層の表面をセレン化合物を含む洗浄液で洗浄するステップと、化合物半導体層の表面上に絶縁層を形成するステップと、を有する半導体基板の製造方法を提供する。セレン化合物として、セレン酸化物が挙げられる。セレン酸化物として、 H_2SeO_3 が挙げられる。洗浄液が、水、アンモニアおよびエタノールからなる群から選択された 1 以上の物質をさらに含んでもよい。化合物半導体層の表面が $In_xGa_{1-x}As$ ($0 \leq x \leq 1$) からなる場合、絶縁層が Al_2O_3 からなるものであることが好ましく、 Al_2O_3 は、ALD 法により形成されることが好ましい。

WO 2012/169208 A1



MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体基板の製造方法および半導体基板

技術分野

[0001] 本発明は、半導体基板の製造方法および半導体基板に関する。

背景技術

[0002] 非特許文献1～3には、 $(\text{NH}_4)_2\text{S}$ 、 HBr あるいは窒化リンを用いて、MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) に用いるIII-V族化合物半導体の表面を不動態化するパッシベーション技術が記載されている。

非特許文献1 Y. Xuan et al., IEEE Electron Device Lett., 28, 935 (2007)

非特許文献2 Y. Q. Wu et al., IEDM Tech. Dig., 323 (2009)

非特許文献3 H. J. Oh et al., IEDM Tech. Dig., 339 (2009)

発明の概要

発明が解決しようとする課題

[0003] 上記したパッシベーション技術により、III-V族化合物半導体と絶縁層との界面における欠陥密度が低減され、III-V族化合物半導体層をチャネル層に用いるIII-V族MISFETの性能が向上すると期待される。

[0004] しかし、より効果的にIII-V族化合物半導体の表面を不動態化するパッシベーション技術が望まれる。より効果的なパッシベーション技術を適用して、III-V族MISFETの性能を向上することが期待される。

[0005] 本発明の目的は、高性能なIII-V族MISFETの実現を可能にする、より効果的なIII-V族化合物半導体表面のパッシベーション技術を提供することにある。

課題を解決するための手段

- [0006] 上記課題を解決するために、本発明の第1の態様においては、エピタキシャル成長により化合物半導体層をベース基板上に形成するステップと、化合物半導体層の表面をセレン化合物を含む洗浄液で洗浄するステップと、化合物半導体層の表面上に絶縁層を形成するステップと、を有する半導体基板の製造方法が提供される。
- [0007] セレン化合物として、セレン酸化物が挙げられる。セレン酸化物として、 H_2SeO_3 が挙げられる。洗浄液が、水、アンモニアおよびエタノールからなる群から選択された1以上の物質をさらに含んでもよい。洗浄液中のセレン化合物のモル濃度が、 $7 \times 10^{-3} \text{ mol/l}$ 以上 $7 \times 10^{-1} \text{ mol/l}$ 以下であることが好ましい。化合物半導体層の表面が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) からなる場合、絶縁層が Al_2O_3 からなるものであることが好ましい。絶縁層を形成するステップとして、ALD (atomic layer deposition) 法 (原子層堆積法) により絶縁層を形成するステップが挙げられる。
- [0008] 本発明の第2の態様においては、化合物半導体層と、化合物半導体層に接する絶縁層と、を有し、化合物半導体層と絶縁層との界面にセレン原子を有する半導体基板が提供される。化合物半導体層と絶縁層との界面におけるセレン原子の面密度は、 $1 \times 10^{14} \text{ atoms/cm}^2$ 以下であることが好ましい。化合物半導体層の表面が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) からなる場合、絶縁層が Al_2O_3 からなるものであることが好ましい。

図面の簡単な説明

- [0009] [図1]半導体基板100の断面を示す。
- [図2]半導体基板100の製造過程における断面を示す。
- [図3]半導体基板100の製造過程における断面を示す。
- [図4]電界効果トランジスタ200の断面を示す。
- [図5]電界効果トランジスタ200の製造過程における断面を示す。
- [図6] InP (100) 基板上に製造した電界効果トランジスタのドレイン電流-ゲート電圧 ($I_d - V_g$) 特性を示す。

[図7] InP (111) A 基板上に製造した電界効果トランジスタの $I_d - V_g$ 特性を示す。

[図8] InP (100) 基板上に製造した電界効果トランジスタの移動度を示す。

[図9] InP (111) A 基板上に製造した電界効果トランジスタの移動度を示す。

[図10] InP (100) 基板および InP (111) A 基板上に製造した電界効果トランジスタの移動度の温度依存性を示す。

[図11] InP (100) 基板および InP (111) A 基板上に製造した電界効果トランジスタの高電界域における移動度としきい値電圧との関係を示す。

[図12] InP (100) 基板および InP (111) A 基板上に製造した電界効果トランジスタの電流オンオフ比と S 値から推計した界面準位密度との関係を示す。

[図13] $Al_2O_3 / InGaAs$ 層の二次イオン質量分析 (SIMS) による深さプロファイルを示す。

[図14] InP 基板上的の InGaAs 表面を NH_4OH 処理した場合、Se 洗浄液処理した場合、Se 洗浄液処理した後 ALD 層を形成した場合の三通りの場合について、XPS 法による表面元素分析を行った結果であって、Se 3d ピークの近傍を示したものである。

[図15] InP 基板上的の InGaAs 表面を NH_4OH 処理した場合、イオウ洗浄液処理した場合、イオウ洗浄液処理した後 ALD 層を形成した場合の三通りの場合について、XPS 法による表面元素分析を行った結果であって、S 2p ピークの近傍を示したものである。

発明を実施するための形態

[0010] 図1は、半導体基板100の断面を示す。半導体基板100は、ベース基板102と、化合物半導体層104と、絶縁層106とを有する。ベース基板102、化合物半導体層104および絶縁層106は、ベース基板102

、化合物半導体層 104、絶縁層 106 の順に位置する。

[0011] ベース基板 102 として、InP 基板が挙げられる。InP 基板として、化合物半導体層 104 が形成される面が (100) 面である InP (100) 基板、化合物半導体層 104 が形成される面が (111) A 面である InP (111) A 基板が挙げられる。ベース基板 102 は、表面がシリコン結晶である基板であってもよい。表面がシリコン結晶である基板として、シリコン基板、SOI (Silicon on Insulator) 基板が挙げられる。ベース基板 102 は、ガラス、セラミックス等の絶縁体基板、金属等の導電体基板、炭化シリコン等の半導体基板であってもよい。

[0012] 化合物半導体層 104 は、エピタキシャル成長によりベース基板 102 上に形成される。化合物半導体層 104 として、III-V 族化合物半導体層が挙げられる。化合物半導体層 104 を III-V 族化合物半導体からなるものとすることで、移動度の大きい高性能な MISFET を形成できる。化合物半導体層 104 として、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) が挙げられる。

[0013] 絶縁層 106 は、化合物半導体層 104 に接して形成される。絶縁層 106 は、MISFET のゲート絶縁層として機能するものであり、たとえば ALD 法により形成された Al_2O_3 層が挙げられる。なお、化合物半導体層 104 の表面が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) からなる場合、絶縁層 106 は Al_2O_3 であることが好ましい。化合物半導体層 104 が複数の化合物半導体層からなる積層構造の場合においても、その最も上の化合物半導体層の表面が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) からなるとき、絶縁層 106 は Al_2O_3 であることが好ましい。

[0014] 化合物半導体層 104 と絶縁層 106 との界面にセレン原子を有する。「界面にセレン原子を有する」とは、厳密に界面にのみセレン原子が存在することを意味するのではなく、界面近傍にセレン原子が存在すればよい。また、セレン原子は、主に絶縁層 106 の界面側に存在する。例えば界面近傍の化合物半導体層 104 に含まれるセレン原子の面密度は、界面近傍の絶縁層

106に含まれるセレン原子の面密度より高い。セレン原子の存在位置をたとえばSIMS（二次イオン質量分析）による深さプロファイルで分析すれば、界面近傍を中心にある程度の幅を持って観測される。化合物半導体層104と絶縁層106との界面におけるセレン原子の面密度は、 $1 \times 10^{14} \text{ atoms/cm}^2$ 以下であることが好ましい。

[0015] 図2および図3は、半導体基板100の製造過程における断面を示す。図2に示すように、ベース基板102を用意し、エピタキシャル成長により化合物半導体層104をベース基板102上に形成する。化合物半導体層104のエピタキシャル成長には、MOCVD（Metal Organic Chemical Vapor Deposition）法を利用することができる。MOCVD法において、InソースにはTMIn（トリメチルインジウム）を、GaソースにはTMGa（トリメチルガリウム）を、AsソースにはAsH₃（アルシン）を用いることができる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。反応時間を適宜選択することでエピタキシャル成長層の厚さを制御することができる。

[0016] 図3に示すように、化合物半導体層104の表面をセレン化合物を含む洗浄液で洗浄する。セレン化合物として、セレン酸化物が挙げられる。セレン酸化物として、H₂SeO₃が挙げられる。また、洗浄液には、水、アンモニアおよびエタノールからなる群から選択された1以上の物質をさらに含んでもよい。洗浄液中のセレン化合物のモル濃度は、 $7 \times 10^{-3} \text{ mol/l}$ 以上 $7 \times 10^{-1} \text{ mol/l}$ 以下とすることができる。そして、化合物半導体層104の上に絶縁層106を形成し、図1に示す半導体基板100が製造できる。

[0017] なお、化合物半導体層104の表面がIn_xGa_{1-x}As（ $0 \leq x \leq 1$ ）からなる場合、絶縁層106は、Al₂O₃からなることが望ましい。この場合、Al₂O₃からなる絶縁層106は、ALD法により形成することが好ましい。ALD法によるAl₂O₃層の形成では、層形成の最初のステップにおい

て、A l 原料であるT M A（トリメチルアルミニウム）のみを供給する。このT M Aのみを供給するステップにおいて、先の洗浄処理で化合物半導体層1 0 4の表面に残留し、同表面に強く結合していないS e原子が除去されると考えられる。この結果、化合物半導体層1 0 4と絶縁層1 0 6との間に形成される欠陥が減少し、F E Tの性能が向上することが期待できる。

[0018] 以上説明した半導体基板1 0 0によれば、化合物半導体層1 0 4の表面をセレン化合物を含む洗浄液で洗浄するため、絶縁層1 0 6との界面における欠陥密度が低減でき、M I S F E Tの性能が向上する。

[0019] 図4は、電界効果トランジスタ2 0 0の断面を示し、図5は、電界効果トランジスタ2 0 0の製造過程における断面を示す。電界効果トランジスタ2 0 0は、半導体基板1 0 0の表面に形成され、ゲート電極2 0 2、ソース電極2 0 4、ドレイン電極2 0 6を有する。半導体基板1 0 0の化合物半導体層1 0 4とゲート電極2 0 2との間には絶縁層1 0 6が位置し、絶縁層1 0 6はゲート絶縁層として機能する。化合物半導体層1 0 4の一部はチャネルとして機能する。ゲート電極2 0 2の上にはゲート金属2 0 8が形成されても良い。ゲート電極2 0 2として、T a Nが挙げられる。ソース電極2 0 4、ドレイン電極2 0 6およびゲート金属2 0 8は、たとえばT i / A uの積層膜である。

[0020] 図5に示すように、半導体基板1 0 0を製造した後、ゲート電極2 0 2を、スパッタ法によるT a N膜の堆積およびリソグラフィによるT a N膜のパターニングにより形成する。T a N膜のパターニングと同時に、ソース電極2 0 4およびドレイン電極2 0 6が形成される領域の絶縁層1 0 6もエッチングして除去する。

[0021] 次に、たとえばスパッタ法によるT i / A u積層膜の膜堆積およびリフトオフ法によるパターニングにより、ソース電極2 0 4、ドレイン電極2 0 6およびゲート金属2 0 8を同時に形成する。以上のようにして、電界効果トランジスタ2 0 0が製造できる。

[0022] なお、ここでは、半導体基板1 0 0を用いる電子デバイスとして電界効果

トランジスタ200を例示しているが、キャパシタ等他の電子デバイスも例示できる。すなわち、絶縁層106の一部上に電極を有し、当該電極と化合物半導体層104が平行平板キャパシタの電極として機能し、電極と化合物半導体層104で挟まれた絶縁層106の一部がキャパシタ絶縁体として機能するような電子デバイスであっても良い。

[0023] (実施例)

上記した電界効果トランジスタ200と同様な電界効果トランジスタを実際に製造し、各種の分析と性能評価を実施した。ベース基板102として、InP(100)基板とInP(111)A基板の二種類の基板を用いた。各々のInP基板上に、化合物半導体層104としてp形InGaAs層をエピタキシャル成長した。p形InGaAs層は、厚さを0.5 μ mとし、p型不純物原子の濃度を 3×10^{16} atoms/cm³とした。ALD法により厚さ6nmのAl₂O₃保護層を形成した後、ソース・ドレイン領域にn型不純物原子としてSiをイオン注入した。Siのイオン注入量が 2×10^{14} atoms/cm²となるようにイオン電流を調整した。窒素雰囲気での600℃、10秒の加熱により不純物原子を活性化し、Al₂O₃保護層を緩衝フッ酸によるエッチングにより除去した。

[0024] 次にp形InGaAs層の表面を洗浄処理した。洗浄処理は、p形InGaAs層を形成したInP基板をSe洗浄液に浸漬することで実施した。Se洗浄液として、H₂SeO₃を 4×10^{-2} mol/lの濃度で含有するNH₄OH水溶液を用いた。なお比較例として、H₂SeO₃を(NH₄)₂Sに代えたイオウ洗浄液を用いた場合のサンプル(比較例1)と、NH₄OH水溶液のみを洗浄液として用いた場合のサンプル(比較例2)も作成した。

[0025] 洗浄処理の後、絶縁層106としてAl₂O₃層をALD法により形成した。Al₂O₃層の厚さは12nmとし、堆積温度は250℃とした。スパッタ法によりTa₂Nからなるゲート電極を形成し、Ti/Auからなるソース・ドレイン電極を形成した。窒素雰囲気、350℃、90秒のポストメタルアニールを行い、実施例および比較例の電界効果トランジスタを製造した。以

下製造した電界効果トランジスタの性能を比較例の結果と比較しながら説明する。

[0026] 図6は、 InP (100) 基板上に製造した電界効果トランジスタの $I_d - V_g$ 特性を示し、図7は、 InP (111) A基板上に製造した電界効果トランジスタの $I_d - V_g$ 特性を示す。なお、図6、図7において、電界効果トランジスタのゲート長 (L) およびゲート幅 (W) はそれぞれ $1\ \mu\text{m}$ および $100\ \mu\text{m}$ である。図6および図7から、イオウ洗浄液の場合に比較して、 Se 洗浄液を用いた場合には顕著なオフ電流の低減が観察された。特に InP (100) 基板においてオフ電流低減の効果が大きい。

[0027] 図8は、 InP (100) 基板上に製造した電界効果トランジスタの移動度を示し、図9は、 InP (111) A基板上に製造した電界効果トランジスタの移動度を示す。なお、図8、図9において、電界効果トランジスタのゲート長およびゲート幅はそれぞれ $100\ \mu\text{m}$ および $100\ \mu\text{m}$ である。図8および図9から、 NH_4OH 洗浄液の場合と比較したイオウ洗浄液の移動度向上効果が確認できる。さらに、 Se 洗浄液の場合、イオウ洗浄液の効果を上回る移動度向上の効果が観察できた。 Se 洗浄液の場合の $0.6\ \text{MV}/\text{cm}$ の電界強度における実効移動度は、 InP (111) A基板の場合で $1034\ \text{cm}^2/\text{Vs}$ 、 InP (100) 基板の場合で $837\ \text{cm}^2/\text{Vs}$ であった。前者の実効移動度の値は、シリコンを活性層とする場合と比較して2.7倍の値である。

[0028] 図10は、 InP (100) 基板および InP (111) A基板上に製造した電界効果トランジスタの移動度の温度依存性を示す。図11は、 InP (100) 基板および InP (111) A基板上に製造した電界効果トランジスタの高電界域における移動度としきい値電圧との関係を示す。図10に示すように、温度を $80\ \text{K}$ から $300\ \text{K}$ まで変化させても、 InP (100) 基板および InP (111) A基板の双方において、電界効果トランジスタの移動度はほとんど変化しておらず、温度依存性は大きくないことが観察された。この結果は、チャネルを移動するキャリアの散乱は、主に絶縁層と

の界面におけるラフネスと双極子ゆらぎに起因するという、本発明者らが既に得ている知見と整合する。また、本発明者らは、双極子ゆらぎが小さい界面を用いてM I S F E Tを構成した場合、しきい値電圧が負電圧側にシフトするという知見も得ている。図11から、しきい値電圧が負電圧側にシフトするほど移動度が改善することが分かり、S e 洗浄液処理によってM I S界面における欠陥の形態の一つである双極子ゆらぎが抑制されていることが示唆される。

[0029] 図12は、I n P (1 0 0) 基板およびI n P (1 1 1) A 基板上に製造した電界効果トランジスタの電流オンオフ比とS 値から推計した界面準位密度との関係を示す。ここで、S 値とはしきい値電圧以下の領域でのゲート電圧に対するドレイン電流の変化率を指し、この値から界面準位密度を計算することができる。図12に示すように、界面準位密度が大きくなると電流オンオフ比が低下する傾向が確認され、また、I n P (1 0 0) 基板およびI n P (1 1 1) A 基板のそれぞれにおいて、S e 洗浄液処理の場合が最も良好な結果を示した。

[0030] 図13は、A l ₂ O ₃ / I n G a A s 層の二次イオン質量分析 (S I M S) による深さプロファイルを示す。I n P (1 0 0) 基板上にI n G a A s 層を形成し、S e 洗浄液による洗浄後にA l ₂ O ₃ 層を形成して、A l ₂ O ₃ / I n G a A s 層を形成した。図13に示す深さプロファイルから、A l ₂ O ₃ 層とI n G a A s 層との界面にS e 原子が残留していることが分かった。

[0031] 図14は、I n P 基板上的I n G a A s 表面をN H ₄ O H 処理した場合、S e 洗浄液処理した場合、S e 洗浄液処理した後にA L D 層を形成した場合の三通りの場合について、X P S 法による表面元素分析を行った結果であって、S e 3 d ピークの近傍を示したものである。図15は、I n P 基板上的I n G a A s 表面をN H ₄ O H 処理した場合、イオウ洗浄液処理した場合、イオウ洗浄液処理した後A L D 層を形成した場合の三通りの場合について、X P S 法による表面元素分析を行った結果であって、S 2 p ピークの近傍を示したものである。

[0032] 図14に示すXPS強度から推計された、界面におけるSe原子の濃度は、約0.2モノレイヤー（面密度約 $1 \times 10^{14} \text{ atoms/cm}^2$ ）に相当した。一方、図15のXPS強度から推計された界面におけるイオウ原子の濃度は、約0.6モノレイヤーに相当した。この点からSe洗浄液の場合に界面に含まれるSe原子の量は、イオウ洗浄液の場合に界面に含まれるイオウ原子の量より少ないと推察でき、これがイオウ洗浄液に比較してSe洗浄液を用いた場合に電界効果トランジスタの性能向上が達成される一因と考えられる。

[0033] また、Se洗浄液中の H_2SeO_3 の濃度を $1 \times 10^{-1} \text{ mol/l}$ 、および $3 \times 10^{-1} \text{ mol/l}$ とした場合について同様にサンプルを作成し、製造した電界効果トランジスタの性能を確認した。その結果、いずれの場合においても H_2SeO_3 濃度が $4 \times 10^{-2} \text{ mol/l}$ の場合と同様の性能が得られた。

[0034] 本発明の半導体基板の製造方法によれば、MIS界面の洗浄をSe洗浄液を用いて行うので、電界効果トランジスタの移動度を高くし、電流オンオフ比を高くすることができる。

符号の説明

[0035] 100 半導体基板、102 ベース基板、104 化合物半導体層、106 絶縁層、200 電界効果トランジスタ、202 ゲート電極、204 ソース電極、206 ドレイン電極、208 ゲート金属

請求の範囲

- [請求項1] エピタキシャル成長により化合物半導体層をベース基板上に形成するステップと、
前記化合物半導体層の表面をセレン化合物を含む洗浄液で洗浄するステップと、
前記化合物半導体層の表面上に絶縁層を形成するステップと、を有する
半導体基板の製造方法。
- [請求項2] 前記セレン化合物が、セレン酸化物である
請求項1に記載の半導体基板の製造方法。
- [請求項3] 前記セレン酸化物が、 H_2SeO_3 である
請求項2に記載の半導体基板の製造方法。
- [請求項4] 前記洗浄液が、水、アンモニアおよびエタノールからなる群から選択された1以上の物質をさらに含む
請求項1に記載の半導体基板の製造方法。
- [請求項5] 前記洗浄液中のセレン化合物のモル濃度が、 $7 \times 10^{-3} \text{mol/l}$ 以上 $7 \times 10^{-1} \text{mol/l}$ 以下である
請求項1に記載の半導体基板の製造方法。
- [請求項6] 前記化合物半導体層の表面が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) からなり、
前記絶縁層が Al_2O_3 からなる
請求項1に記載の半導体基板の製造方法。
- [請求項7] 前記絶縁層を形成するステップが、ALD法により前記絶縁層を形成するステップである
請求項1に記載の半導体基板の製造方法。
- [請求項8] 化合物半導体層と、
前記化合物半導体層に接する絶縁層と、を有し、
前記化合物半導体層と前記絶縁層との界面にセレン原子を有する

半導体基板。

[請求項9] 前記化合物半導体層と前記絶縁層との界面における前記セレン原子の面密度が、 $1 \times 10^{14} \text{ atoms/cm}^2$ 以下である

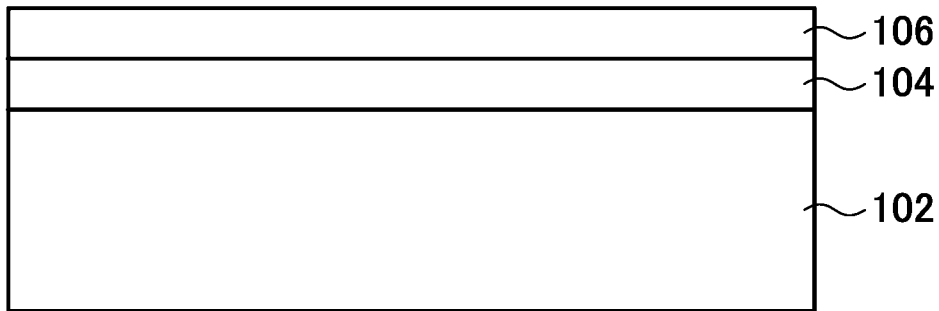
請求項8に記載の半導体基板。

[請求項10] 前記化合物半導体層の表面が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) からなり、

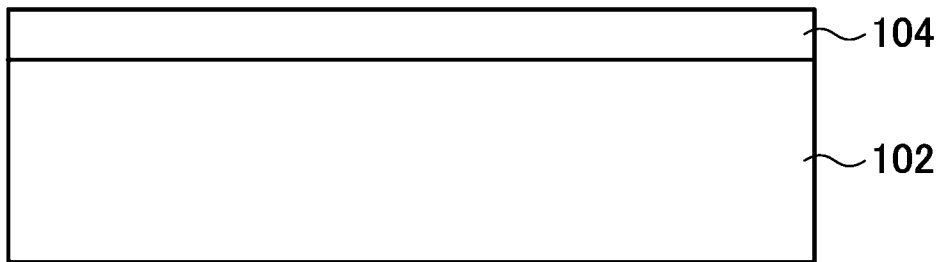
前記絶縁層が Al_2O_3 からなる

請求項8に記載の半導体基板。

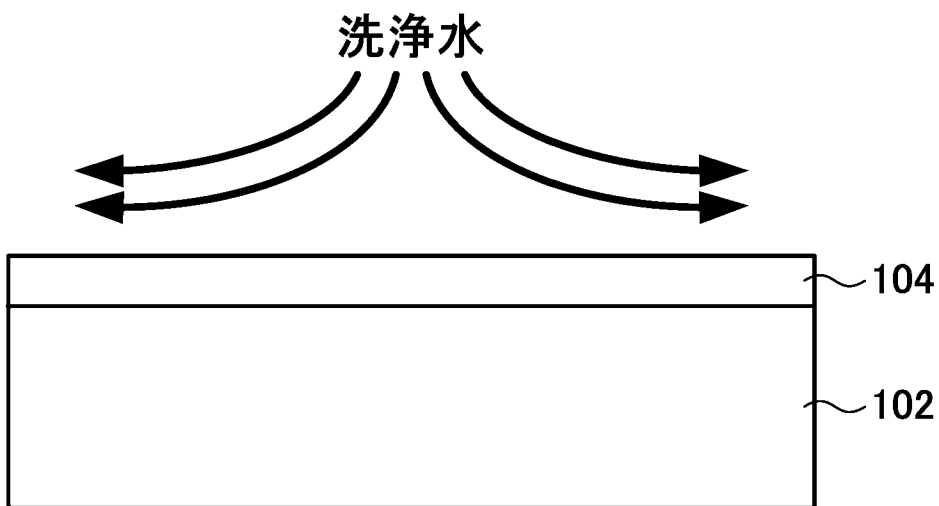
[図1]

100

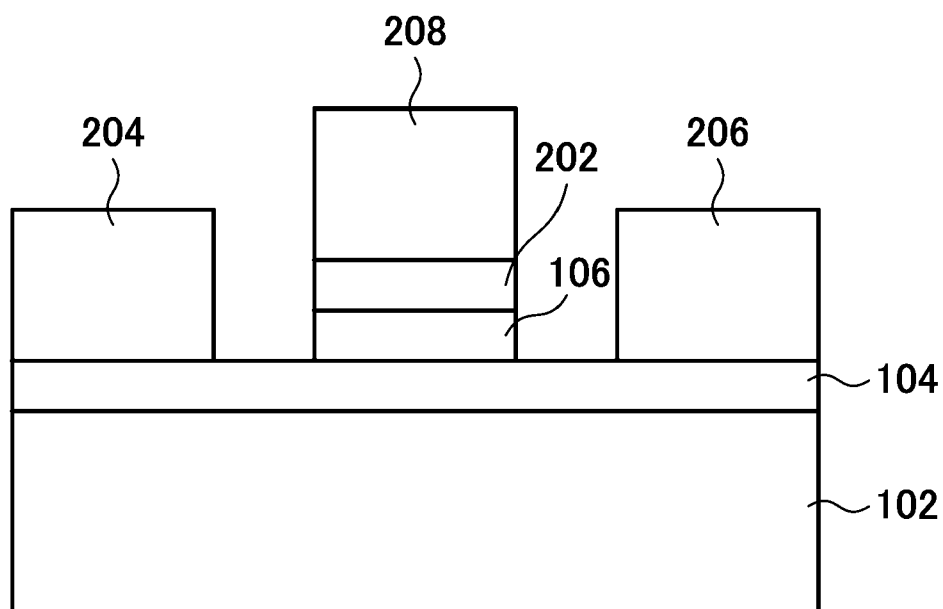
[図2]



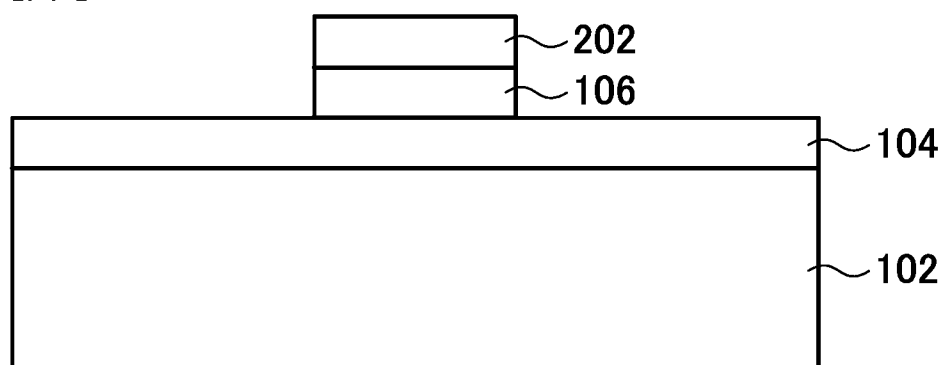
[図3]



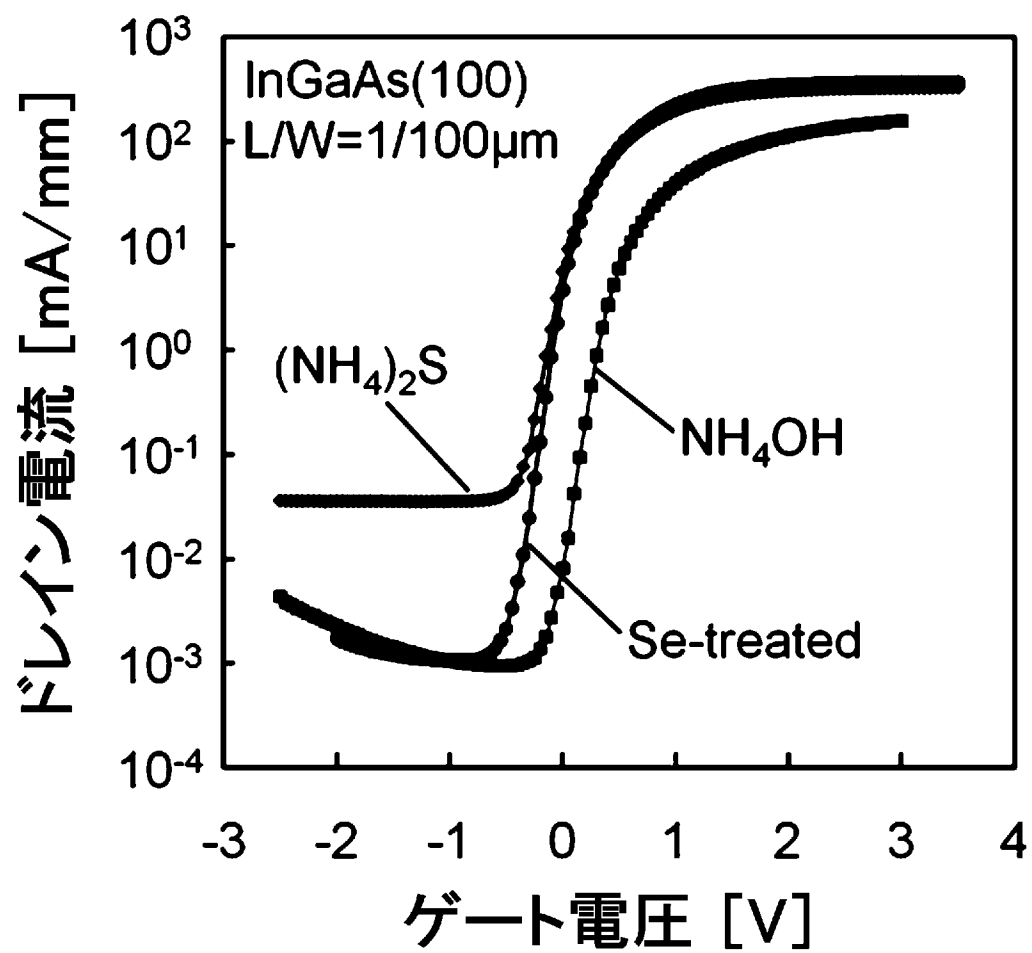
[図4]

200

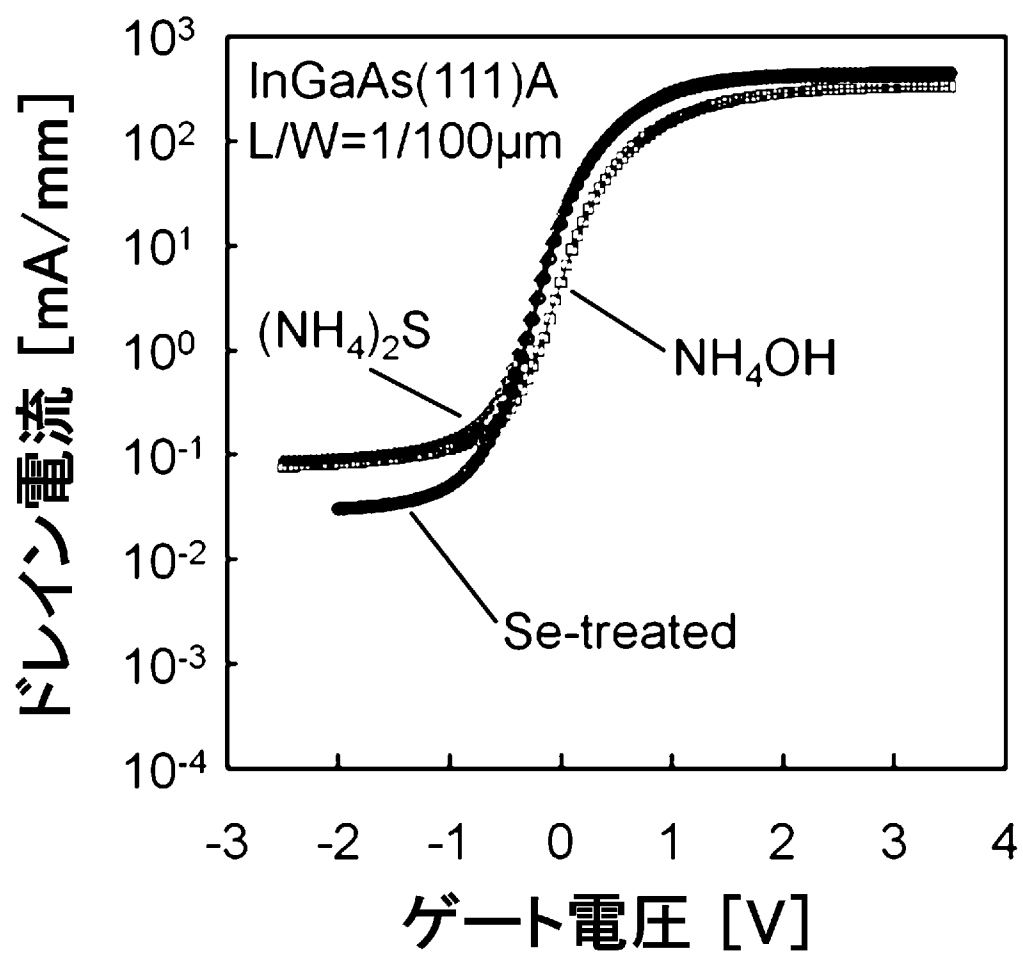
[図5]



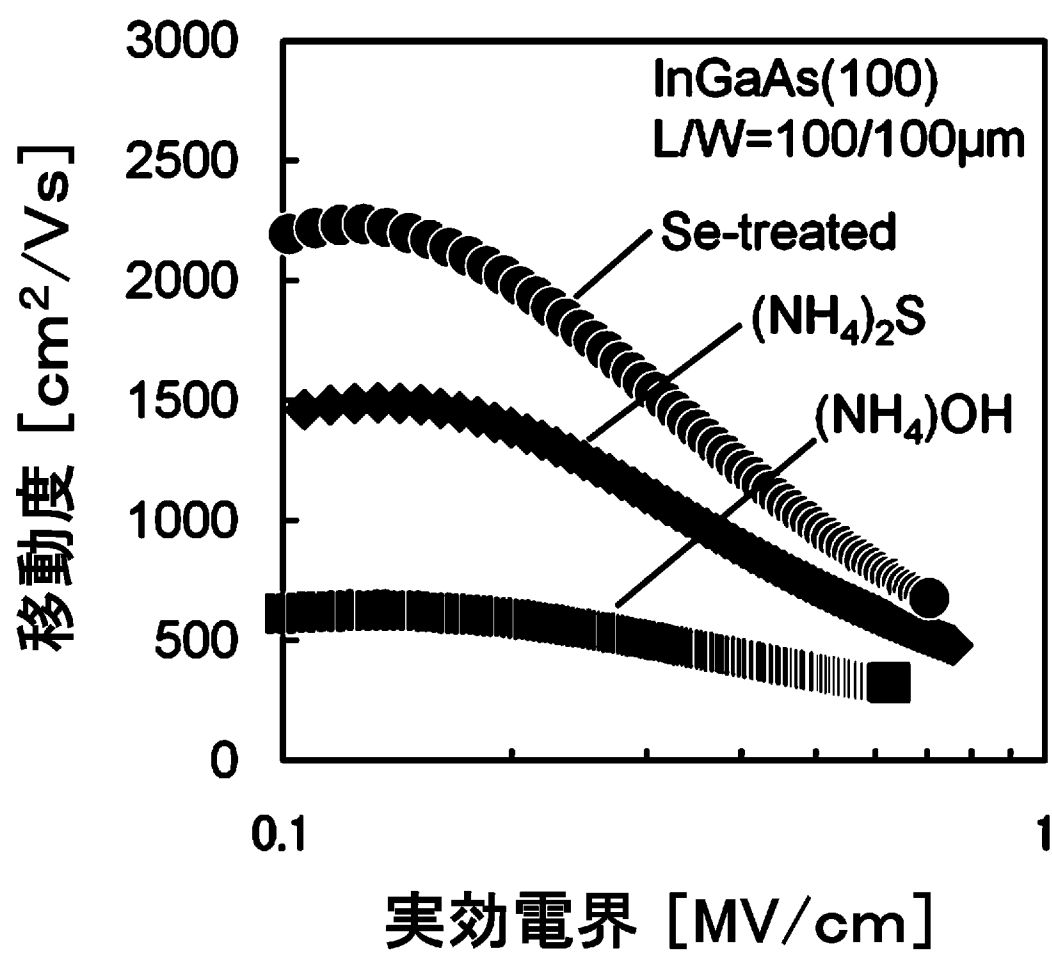
[図6]



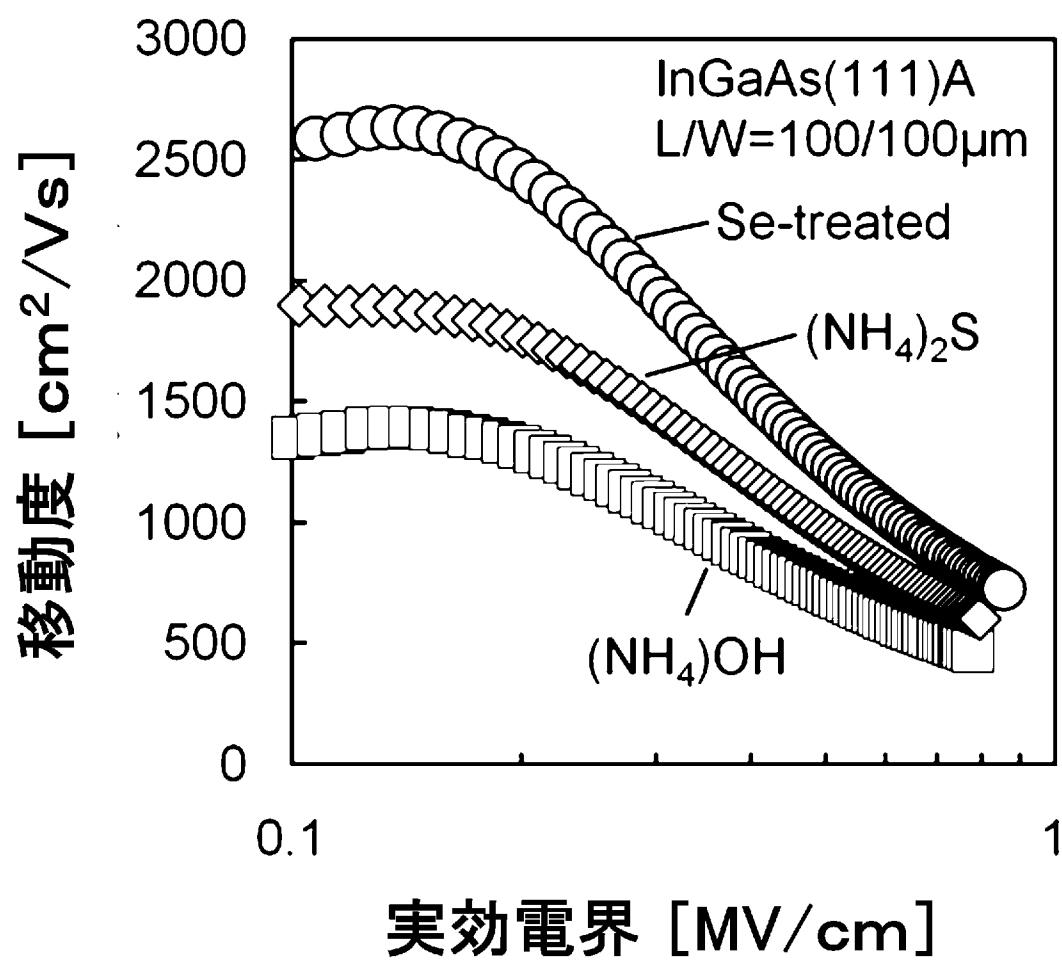
[図7]



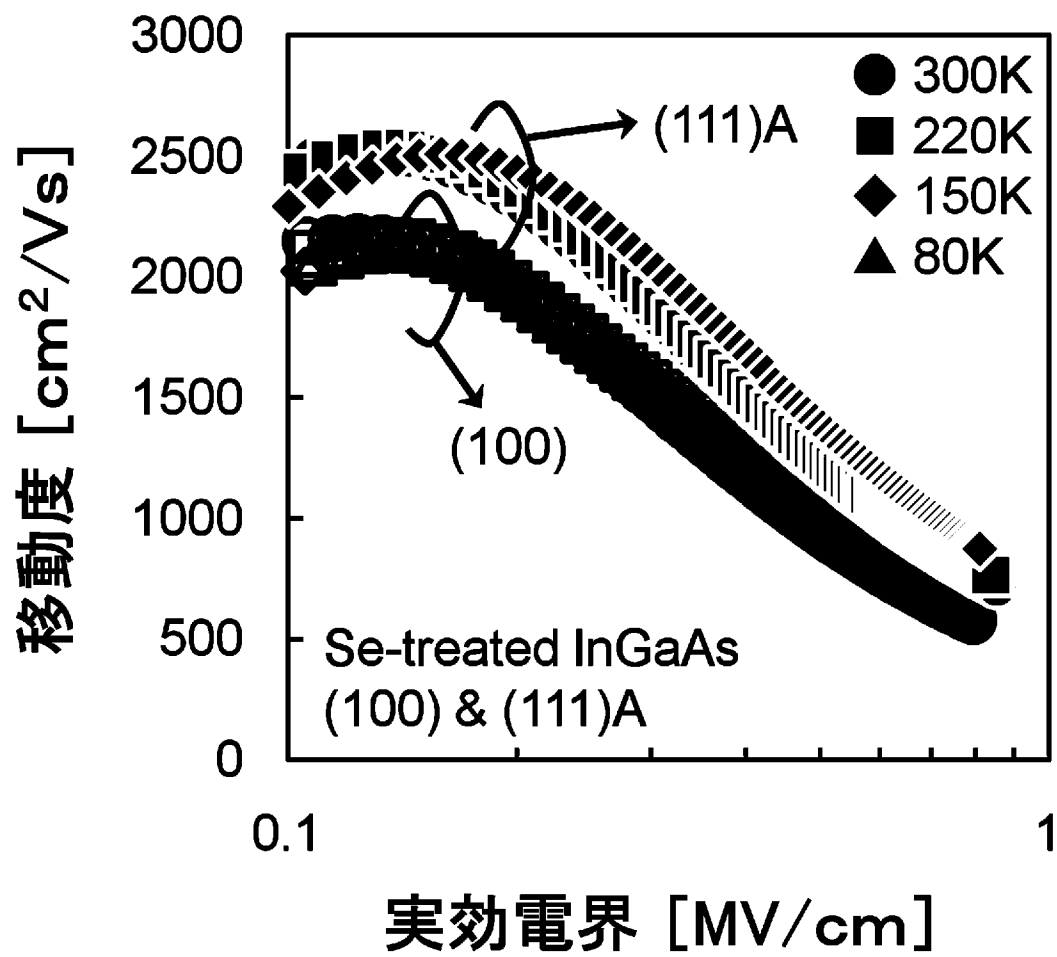
[図8]



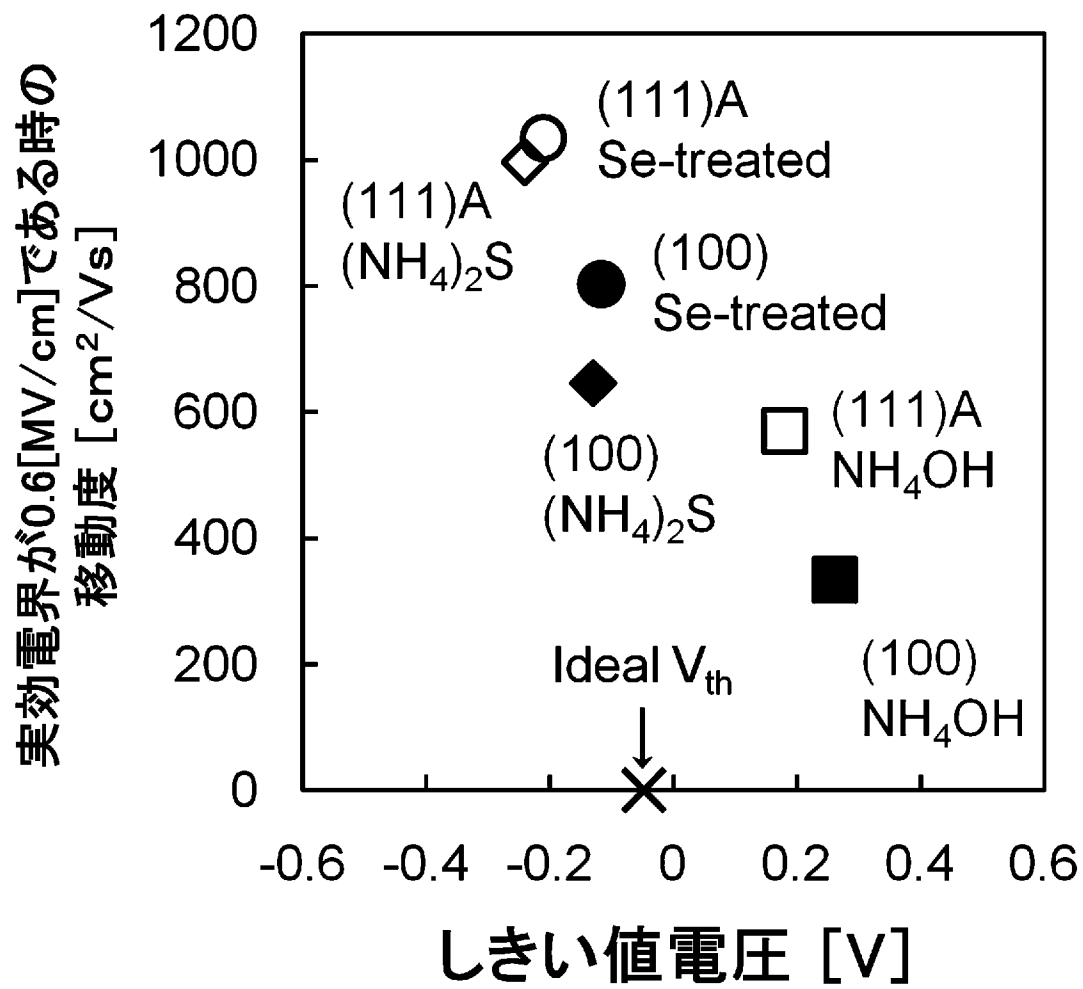
[図9]



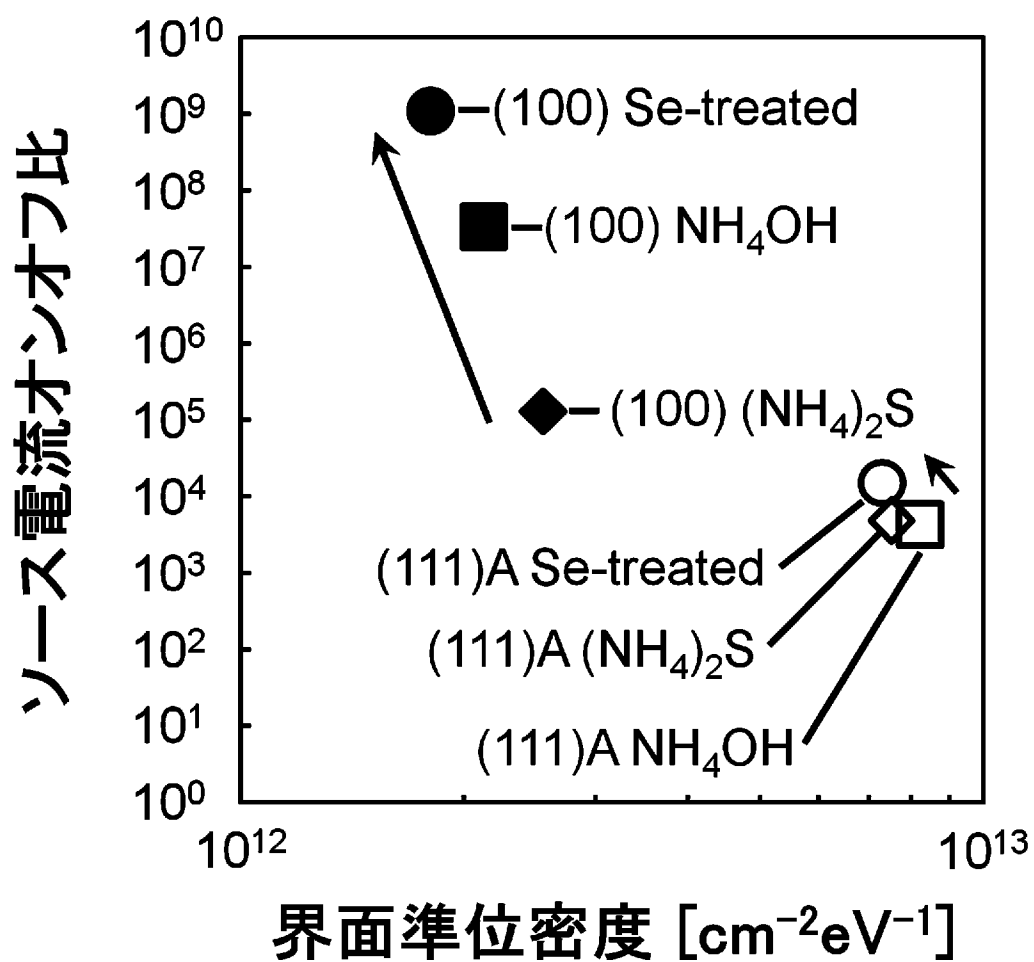
[図10]



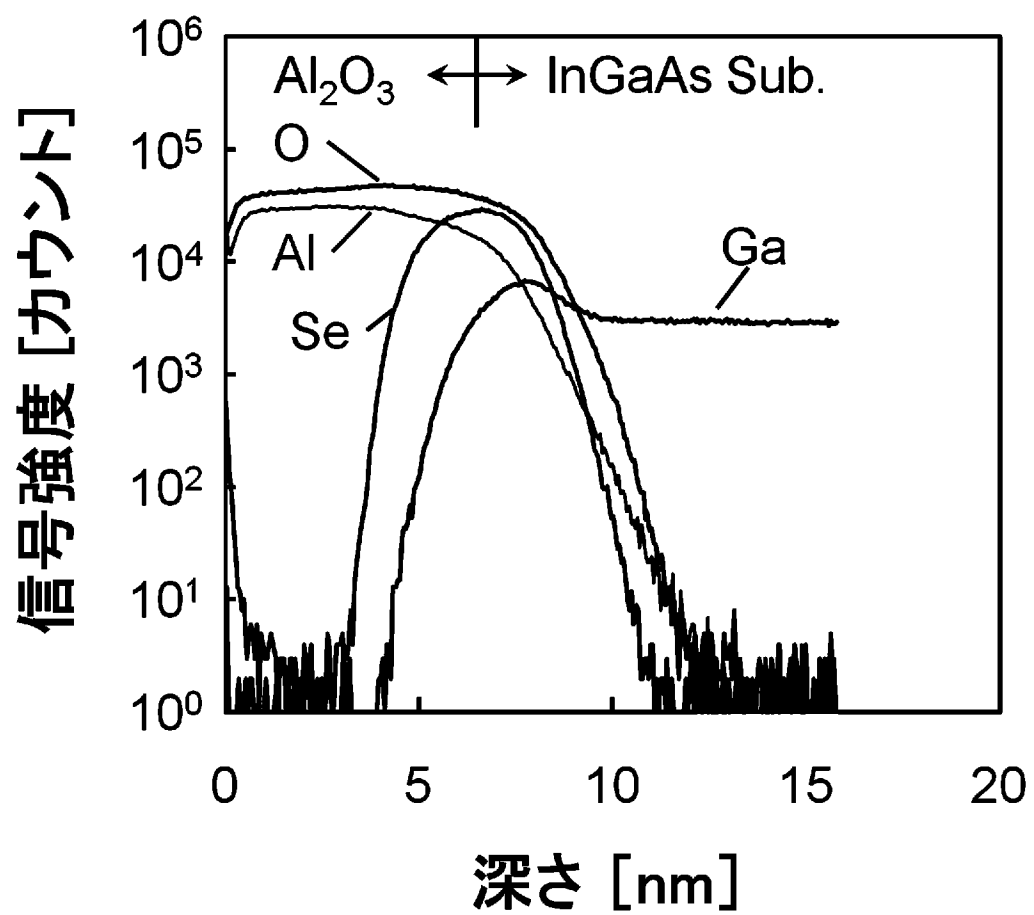
[図11]



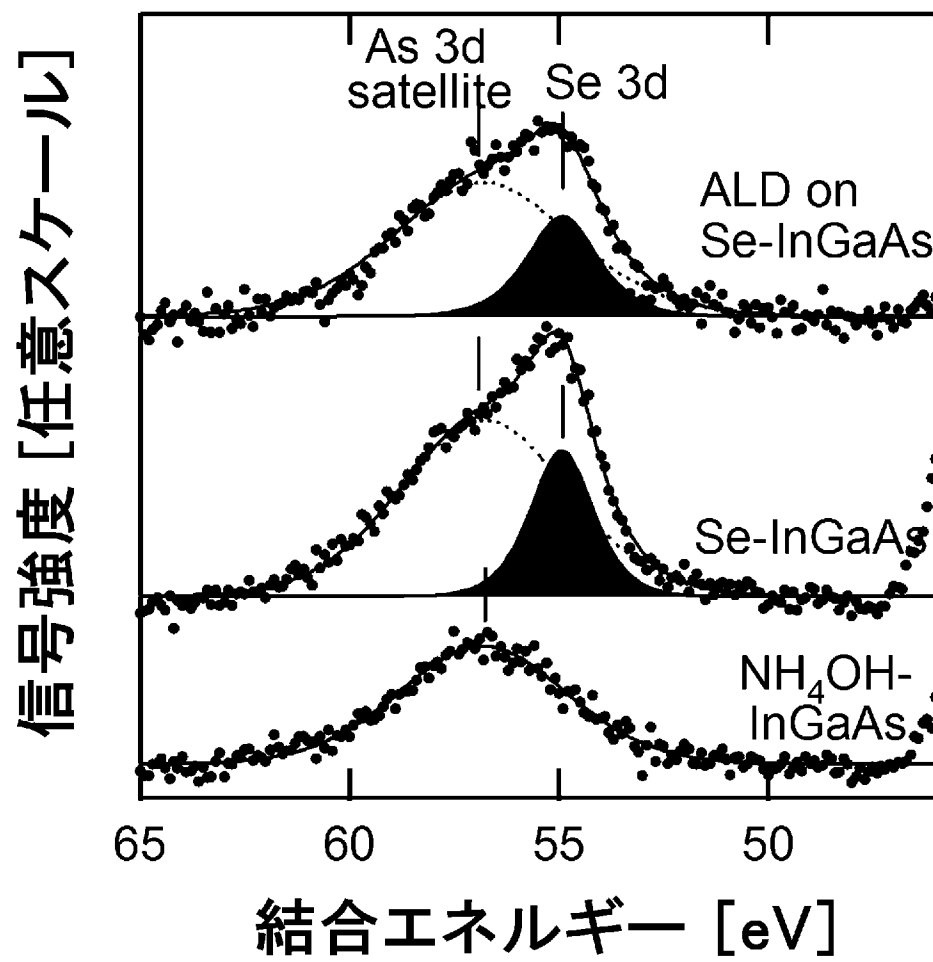
[図12]



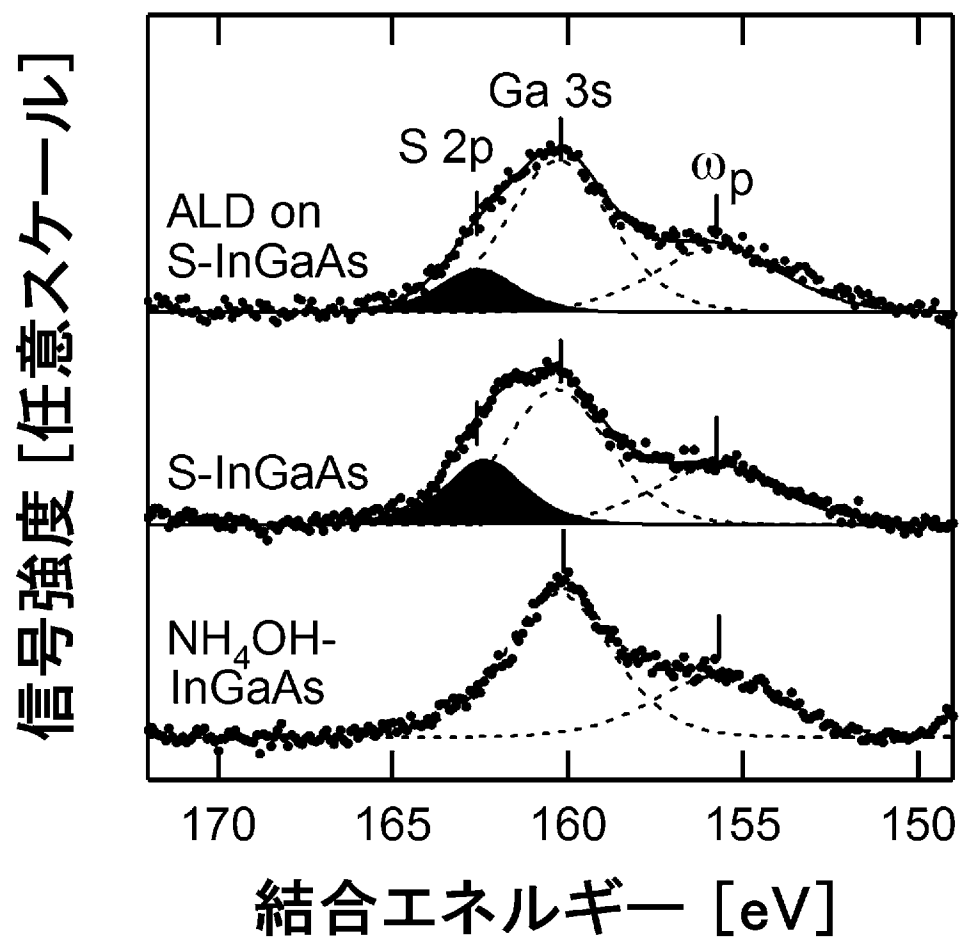
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003768

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/20(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/20, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-342733 A (Hitachi, Ltd.), 02 December 2004 (02.12.2004), paragraphs [0006], [0010], [0018] to [0023], [0027] (Family: none)	1-10
A	JP 2009-260325 A (The University of Tokyo), 05 November 2009 (05.11.2009), paragraphs [0008], [0032]; fig. 1 to 4 & US 2011/0012178 A1 & WO 2009/119102 A1 & CN 101978503 A & KR 10-2011-0020224 A & TW 201001698 A	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 June, 2012 (26.06.12)

Date of mailing of the international search report
03 July, 2012 (03.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003768

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-250459 A (Nippon Telegraph and Telephone Corp.), 27 September 1996 (27.09.1996), paragraphs [0004], [0014], [0015]; fig. 5 (Family: none)	1-10
A	JP 6-140375 A (NEC Corp.), 20 May 1994 (20.05.1994), paragraphs [0011] to [0025] (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L21/20(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/20, H01L29/78, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-342733 A (株式会社日立製作所) 2004. 12. 02, 段落【0006】, 【0010】, 【0018】 - 【0023】, 【0027】 (ファミリーなし)	1-10
A	JP 2009-260325 A (国立大学法人 東京大学) 2009. 11. 05, 段落【0008】, 【0032】, 【図 1】 - 【図 4】 & US 2011/0012178 A1 & WO 2009/119102 A1 & CN 101978503 A & KR 10-2011-0020224 A & TW 201001698 A	1-10
A	JP 8-250459 A (日本電信電話株式会社) 1996. 09. 27, 段落【0004】,	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 6 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

多賀 和宏

5 0

4 4 5 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	【0014】 , 【0015】 , 【図 5】 (ファミリーなし) JP 6-140375 A (日本電気株式会社) 1994. 05. 20, 段落【0011】-【0025】 (ファミリーなし)	1-10