



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

206697

(11) (B1)

(51) Int. Cl.³
G 11 C 8/00

(22) Přihlášeno 29 11 78
(21) (PV 7851-78)

(32) (31) (33) Právo přednosti od 13 09 78
Mezinárodní strojírenský veletrh Brno

(40) Zveřejněno 15 09 80

(45) Vydáno 15 09 83

(75)

Autor vynálezu

BARTŮNĚK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing.
a STRONER PETR ing., PRAHA

(54) Zapojení pro adresní blokování vybraných instrukcí

Vynález se týká zapojení pro adresní blokování vybraných instrukcí, s vyhlášením nepřipustné adresace paměti, ve volitelném rozsahu. To znamená, že při provádění určitých instrukcí je znemožněn zápis do zvolené oblasti paměti.

Dosud známá zapojení tento požadavek řeší různými způsoby, jako na př. pomocí příznakového bitu z obsahu ukládaného do zvolené buňky paměti v chráněné oblasti paměti. Toto řešení má za následek zkrácení ukládaného slova, a tím i podstatně složitější zacházení s daty ukládanými nebo vybíranými z paměti. Další způsob řešení je fyzické rozdělení paměti na předem určenou tzv. „chráněnou oblast“, z níž lze pracovat pouze s některými instrukcemi a část přístupnou pro zápis a čtení ostatních instrukcí a dat. Toto řešení má nevýhodu v omezení rozsahu chráněné oblasti a nemožnost změny jejího rozsahu. Při předem určeném obsahu chráněné oblasti nelze vždy vyhovět požadavkům na dané úkoly.

Tyto nedostatky odstraňuje zapojení pro adresní blokování vybraných instrukcí s vyhlášením nepřipustné adresace ve volitelných mezích podle vynálezu.

Zapojení sestává ze tří registrů, komparátoru, dekodéru, řídicího bloku a přizpůsobovacího bloku. Podstata vynálezu spočívá

v tom, že první výstup zapojení je spojen s řídicím vstupem dekodéru a se druhým vstupem řídicího bloku. První vstup řídicího bloku je spojen s výstupem dekodéru. Informační vstup dekodéru je spojen s výstupem komparátoru. Řídicí vstup komparátoru je spojen se druhým výstupem zapojení. Třetí výstup zapojení je spojen s řídicím vstupem prvního registru. Hromadný výstup prvního registru je spojen s prvním hromadným vstupem komparátoru. Druhý hromadný vstup komparátoru je spojen s hromadným výstupem druhého registru. Řídicí vstup druhého registru je spojen se čtvrtým výstupem zapojení. Obousměrný hromadný vývod je spojen jednak s hromadným vstupem druhého registru, jednak s hromadným vstupem třetího registru a jednak s hromadným výstupem přizpůsobovacího bloku. Hromadný vstup přizpůsobovacího bloku je spojen s hromadným výstupem třetího registru. Hradlovací vstup třetího registru je spojen s výstupem řídicího bloku. Hromadný vstup zapojení je spojen s hromadným vstupem prvního registru.

Výhoda zapojení pro adresní blokování vybraných instrukcí podle vynálezu spočívá na tom, že k blokování se používá pouze informace o adrese dané buňky paměti, a tedy nezkracuje se délka zapisovaného slova. Po-

rovnání skutečné adresy a maximální adresy chráněné oblasti paměti určuje, zda došlo k pokusu o zápis do chráněné oblasti, nebo zda jde o zápis do legální části paměti. Zapojení je jednoduché a tím roste jeho spolehlivost v porovnání s dosud známými úpravami. Dojde-li k pokusu o zápis do zvolené chráněné oblasti paměti, zapojení signalizuje tuto chybu a nedovolí pokračovat zařízení v další činnosti. Zapojení umožňuje signalizaci o překročení zvolené hranice chráněné oblasti a zajistí nemožnost používat tuto část paměti pro provoz zařízení.

Příklad zapojení pro adresní blokování vybraných instrukcí podle vynálezu je znázorněno v blokovém schématu na připojeném výkrese.

Zapojení sestává ze tří registrů, komparátoru, dekodéru, řídicího bloku a přízpůsobovacího bloku. Jednotlivé bloky jsou vytvořeny takto:

Všechny tři registry 1, 2, 6 jsou sestaveny z integrovaných číslicových obvodů registrového typu. Komparátor 3 je realizován z integrovaných logických komparátorů. Dekodér 4 je sestaven z logických hradel, demultiplexorů a dekodérů v integrovaném provedení. Řídicí blok 5 je sestaven z logických hradel a klopných obvodů. Přízpůsobovací blok 7 umožňuje obousměrné připojení třetího registru 6 k zapojení a je realizován integrovanými logickými hradly s otevřeným kolektorem. První vstup 101 zapojení je spojen s řídicím vstupem 42 dekodéru 4 a se druhým vstupem 52 řídicího bloku 5. První vstup 51 řídicího bloku 5 je spojen s výstupem 43 dekodéru 4. Informační vstup 41 dekodéru 4 je spojen s výstupem 34 komparátoru 3. Řídicí vstup 33 komparátoru 3 je spojen se druhým vstupem 102 zapojení. Třetí vstup 103 zapojení je spojen s řídicím vstupem 11 prvního registru 1. Hromadný výstup 13 prvního registru 1 je spojen s prvním hromadným vstupem 31 komparátoru 3. Druhý hromadný vstup 32 komparátoru 3 je spojen s hromadným výstupem 23 druhého registru 2. Řídicí vstup 21 druhého registru 2 je spojen se čtvrtým vstupem 104 zapojení. Obousměrný hromadný vývod 106 zapojení je spojen jednak s hromadným vstupem 22 druhého registru 2, jednak s hromadným vstupem 62 třetího registru 6 a jednak s hromadným výstupem 72 přízpůsobovacího bloku 7. Hromadný vstup 71 přízpůsobovacího bloku 7 je spojen s hromadným výstupem 63 třetího registru 6. Hradlovací vstup 61 třetího registru 6 je spojen s výstu-

pem 53 řídicího bloku 5. Hromadný vstup 105 zapojení je spojen s hromadným vstupem 12 prvního registru 1.

Zapojení pro adresní blokování vybraných instrukcí podle vynálezu pracuje takto: První registr 1 uchovává informaci o maximální adrese, která má být blokována. Tato informace přichází z hromadného vstupu 105 zapojení a do prvního registru 1 se dostává přes jeho hromadný vstup 12. Činnost prvního registru 1 se ovládá signálem ze třetího vstupu 103 zapojení na řídicí vstup 11 prvního registru 1. Druhý registr 2 uchovává skutečnou adresaci právě probíhající instrukce. Informace o této adrese se dostává do druhého registru 2 přes jeho hromadný vstup 22 z obousměrného vývodu 106 zapojení. Současně se skutečná adresa ukládá přes hromadný vstup 62 zapojení. Činnost druhého registru 2 se řídí signálem ze čtvrtého vstupu 104 zapojení, který přichází na řídicí vstup 21 druhého registru 2. Z hromadného výstupu 13 prvního registru 1 přichází informace o maximální adrese do komparátoru 3 přes jeho první hromadný vstup 31. Současně z hromadného výstupu 23 druhého registru 2 přichází informace o skutečné adrese do komparátoru 3 přes jeho druhý hromadný vstup 32. Komparátor 3 porovnává maximální adresu a skutečnou adresu a v případě překročení maximální adresy vysílá signál přes svůj výstup 34 na informační vstup 41 dekodéru 4. Činnost komparátoru 3 se ovládá z druhého vstupu 102 zapojení přes jeho řídicí vstup 33. V případě překročení maximální adresy se uchovává nepřipustná adresa ve třetím registru 6. Třetí registr 6 se ovládá z řídicího bloku 5 přes jeho výstup 53 signálem přicházejícím na hradlovací vstup 61 třetího registru 6. Nepřipustná adresa přechází z třetího registru 6 přes jeho hromadný výstup 63, přes hromadný vstup 71 do přízpůsobovacího bloku 7, z přízpůsobovacího bloku 7 přechází nepřipustná adresa přes jeho hromadný výstup 72 na obousměrný hromadný vývod 106 zapojení. Na obousměrném hromadném vývodu 106 zapojení je informace o adrese, na které došlo k pokusu o překročení zvolené hranice chráněné oblasti paměti. Činnost dekodéru 4 a řídicího bloku 5 se řídí signálem z prvního vstupu 101 zapojení, který přichází současně na řídicí vstup 42 dekodéru 4 a na druhý vstup 52 řídicího bloku 5.

Vynálezu se využije v řídicí jednotce pro řízení obráběcích strojů nebo pro ovládání a řízení obráběcích center.

PŘEDMĚT VYNÁLEZU

Zapojení pro adresní blokování vybraných instrukcí, sestávající ze tří registrů, komparátoru, dekodéru, řídicího bloku a přízpůsobovacího bloku vyznačující se tím, že první vstup (101) zapojení je spojen s řídicím vstupem (42) dekodéru (4) a se druhým vstupem

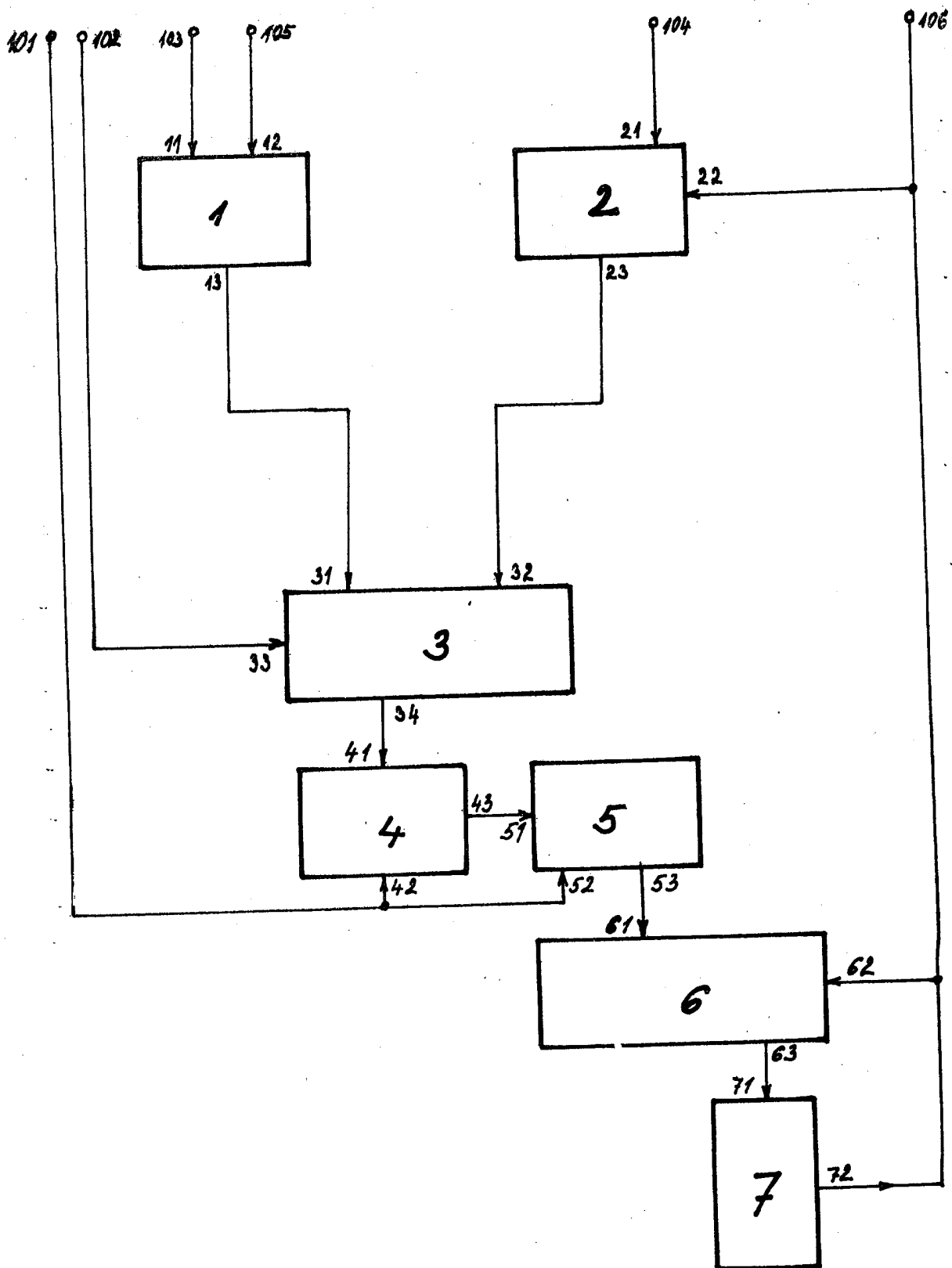
(52) řídicího bloku (5), jehož první vstup (51) je spojen s výstupem (43) dekodéru (4), jehož informační vstup (41) je spojen s výstupem (34) komparátoru (3), jehož řídicí vstup (33) je spojen s druhým vstupem (102) zapojení, jehož třetí vstup (103) je spojen s řídicím

vstupem (11) prvního registru (1), jehož hromadný výstup (13) je spojen s prvním hromadným vstupem (31) komparátoru (3), jehož druhý hromadný vstup (32) je spojen s hromadným výstupem (23) druhého registru (2), jehož řídicí vstup (21) je spojen se čtvrtým vstupem (104) zapojení, jehož obousměrný hromadný vývod (106) je spojen jednak s hromadným vstupem (22) druhého re-

gistru (2), jednak s hromadným vstupem (62) třetího registru (6) a jednak s hromadným výstupem (72) přizpůsobovacího bloku (7), jehož hromadný vstup (71) je spojen s hromadným výstupem (63) třetího registru (6), jehož hradlovací vstup (61) je spojen s výstupem (53) řídicího bloku (5), přičemž hromadný vstup (105) zapojení je spojen s hromadným vstupem (12) prvního registru (1).

1 výkres

206697



Obr. 1