

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2013-520839

(P2013-520839A)

(43) 公表日 平成25年6月6日 (2013. 6. 6)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 2 6 A	5 F 1 1 O
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 C	
	H O 1 L 29/78 6 1 7 S	
	H O 1 L 29/78 6 1 7 K	
	H O 1 L 29/78 6 2 6 C	
審査請求 未請求 予備審査請求 未請求 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2012-555025 (P2012-555025)	(71) 出願人	590000846
(86) (22) 出願日	平成23年2月10日 (2011. 2. 10)		イーストマン コダック カンパニー
(85) 翻訳文提出日	平成24年8月23日 (2012. 8. 23)		アメリカ合衆国 ニューヨーク州 ロチェ
(86) 国際出願番号	PCT/US2011/024310		スター ステート ストリート 3 4 3
(87) 国際公開番号	W02011/106165	(74) 代理人	100107766
(87) 国際公開日	平成23年9月1日 (2011. 9. 1)		弁理士 伊東 忠重
(31) 優先権主張番号	12/713, 264	(74) 代理人	100070150
(32) 優先日	平成22年2月26日 (2010. 2. 26)		弁理士 伊東 忠彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100091214
			弁理士 大貫 進介
		(72) 発明者	トゥット, リー ウィリアム
			アメリカ合衆国 ニューヨーク州 1 4 6
			5 0 - 2 2 0 1 ロチェスター ステイト
			・ストリート 3 4 3
		最終頁に続く	

(54) 【発明の名称】 内側にへこんだ形状を含んだ縦型トランジスタ

(57) 【要約】

トランジスタは、基板と、導電材料層と、電気絶縁材料層とを含んでいる。該基板、該導電材料層、及び該電気絶縁材料層のうちの1つ以上の少なくとも一部が凹部形状を画成している。

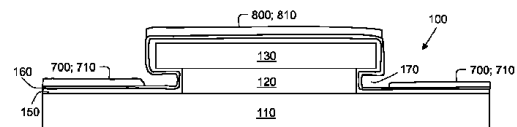


FIG. 1

【特許請求の範囲】**【請求項 1】**

基板と、
導電材料層と、
電気絶縁材料層と、
を有し、
前記基板、前記導電材料層及び前記電気絶縁材料層のうちの 1 つ以上の少なくとも一部が凹部形状を画成している、
トランジスタ。

【請求項 2】

前記電気絶縁材料層は第 1 の電気絶縁材料層であり、当該トランジスタは更に、前記凹部形状に共形の第 2 の電気絶縁材料層を有する、請求項 1 に記載のトランジスタ。

【請求項 3】

前記凹部形状に共形であって前記第 2 の電気絶縁材料層と接触する半導体材料層、を更に有する請求項 2 に記載のトランジスタ。

【請求項 4】

前記凹部形状に共形の半導体材料層、を更に有する請求項 1 に記載のトランジスタ。

【請求項 5】

前記半導体材料層と接触する導電材料層、を更に有する請求項 4 に記載のトランジスタ。

【請求項 6】

前記基板はフレキシブル基板である、請求項 1 に記載のトランジスタ。

【請求項 7】

前記電気絶縁材料層と前記導電材料層とが前記凹部形状を画成している、請求項 1 に記載のトランジスタ。

【請求項 8】

半導体デバイスを作動させる方法であって：

トランジスタを配設し、該トランジスタは：

基板と、

第 1 の導電材料層と、

電気絶縁材料層であり、該電気絶縁材料層が、前記導電材料層に対して凹部形状を含む、電気絶縁材料層と、

前記電気絶縁材料層上に配置された第 2 の導電材料層と、

前記基板上に配置された第 3 の導電材料層と、

を含み；

前記第 2 の導電材料層と前記第 3 の導電材料層との間に電圧を印加し；且つ

前記第 2 の導電材料層と前記第 3 の導電材料層とを電氣的に接続するように前記第 1 の導電材料層に電圧を印加する；

ことを有する方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、概して半導体デバイスに関し、特にトランジスタデバイスに関する。

【背景技術】**【0002】**

半導体プロセス技術においては、ウェハ表面に対して水平な、平面状の基板表面が、選択的なエッチングプロセスと組み合わせられたフォトリソグラフィ法によってパターンニングされる。集積回路プロセス中に、ウェハ又は基板の表面に、目立つ造形を有する起伏が形成される。典型的に、この種の起伏は、基板表面に対して傾斜した、あるいは垂直な表面を含む。集積回路のサイズが縮小し続けるにつれて、垂直あるいは傾斜したデバイス表面

10

20

30

40

50

を、パターンのアライメントを依然として維持しながらもこれらデバイスをそれらの縦方向の広がりにおいて異ならせるように、パターニングすることがますます必要になっている。そのような種類の半導体デバイスの例は、ディープトレンチ（深溝）キャパシタ、積層キャパシタ、及び縦型トランジスタを含む。

【 0 0 0 3 】

現在、基板表面に対して垂直な壁上に、従来のフォトリソグラフィ技術を用いて、直接的にパターンを設けることは不可能である。通常、この種の縦方向の壁のパターニングは、好適な充填材を用いて達成される。該充填材は、トレンチを部分的に充填するときに、下に位置する壁部分のマスクとして作用しながら、該充填材より上方の壁の処理を可能にする。例えば、酸化物を、専ら充填材の下縦壁上に堆積させるべきとき、該酸化物は先ず、起伏の表面全体に堆積あるいは生成される。当初において、起伏又はトレンチは好適な充填材で完全に充填される。その後、充填材は、所望の酸化物をちょうど覆う深さまで窪まされる（リセス化される）。覆われていない酸化物部分が除去された後、残りの充填材が除去される。

10

【 0 0 0 4 】

他の例では、酸化物が、縦方向の壁の上部領域にのみ堆積あるいは生成されるべきとき、先ず、起伏パターン全体の全表面上に、例えば窒化物層であるエッチング停止層が配設される。方向性あるエッチングを受け入れる例えば多結晶シリコンといった異なる材料が、起伏を埋めるために使用され、所望の、最終的な縦方向の酸化物の被覆深さとなるまでエッチバックされる。埋まっていない壁部分からエッチング停止層が除去された後、熱的手法を用いて、覆われていない領域に酸化物が堆積あるいは生成される。次に、該酸化物が異方性エッチングされ、それにより、堆積酸化物が水平面から除去される。これに続いて、充填材の除去及びエッチング停止層の除去が行われる。

20

【 0 0 0 5 】

基板起伏の垂直面又は傾斜面に薄膜を堆積するために使用されることが可能な複数の堆積プロセスが存在する。しかしながら、堆積される層の厚さを制御することは困難である。典型的に、例えば垂直壁又は傾斜壁の長さが増すなど、起伏の深さが増すにつれて、皮膜の厚さは減少する。従って、この種の堆積プロセスを用いて堆積される層は、起伏の長さによってかなりの厚さの差を有する。これらの種類の堆積プロセスは、プラズマ化学気相成長（PECVD）、及びオルトケイ酸テトラエチル（TEOS）を用いた酸化シリコンの拡散律速堆積を含む。

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

従って、パターニングされた垂直あるいは傾斜したデバイス表面を含む半導体デバイスアーキテクチャを提供することが依然として望まれる。また、高分解能のアライメント公差を必要とすることなく半導体デバイスの微細なデバイス形状を処理することが可能な製造技術を提供することが依然として望まれる。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の一態様によれば、トランジスタは、基板と、導電材料層と、電気絶縁材料層とを含む。前記基板、前記導電材料層及び前記電気絶縁材料層のうちの1つ以上の少なくとも一部が凹部形状を画成する。

40

【 0 0 0 8 】

本発明の他の一態様によれば、前記電気絶縁材料層は第1の電気絶縁材料層であり、当該トランジスタは、前記凹部形状に共形の第2の電気絶縁材料層を含む。本発明の他の一態様によれば、前記凹部形状に共形の半導体層が前記第2の電気絶縁材料層と接触する。

【 0 0 0 9 】

本発明の他の一態様によれば、前記電気絶縁材料層と前記導電材料層とが前記凹部形状を画成する。

50

【 0 0 1 0 】

本発明の他の一態様によれば、半導体デバイスを作動させる方法は、トランジスタを配設することを含み、該トランジスタは、基板と、第 1 の導電材料層と、電気絶縁材料層であり、該電気絶縁材料層が、前記導電材料層に対して凹部形状を含む、電気絶縁材料層と、前記電気絶縁材料層上に配置された第 2 の導電材料層と、前記基板上に配置された第 3 の導電材料層とを含む。当該方法はまた、前記第 2 の導電材料層と前記第 3 の導電材料層との間に電圧を印加することと、前記第 2 の導電材料層と前記第 3 の導電材料層とを電氣的に接続するように前記第 1 の導電材料層に電圧を印加することを含む。

【図面の簡単な説明】

【 0 0 1 1 】

以下に提示する本発明の好適実施形態の詳細な説明においては、以下の図を含む添付図面を参照する。

【図 1】縦型トランジスタの模式的な断面図である。

【図 2】図 1 に示す縦型トランジスタを製造する方法の一実施形態例に関する処理工程の模式的な断面図である。

【図 3】図 1 に示す縦型トランジスタを製造する方法の一実施形態例に関する処理工程の模式的な断面図である。

【図 4】図 1 に示す縦型トランジスタを製造する方法の一実施形態例に関する処理工程の模式的な断面図である。

【図 5】図 1 に示す縦型トランジスタを製造する方法の一実施形態例に関する処理工程の模式的な断面図である。

【図 6】図 1 に示す縦型トランジスタを製造する方法の一実施形態例に関する処理工程の模式的な断面図である。

【図 7】図 1 に示す縦型トランジスタを製造する方法の一実施形態例に関する処理工程の模式的な断面図である。

【図 8】図 1 に示す縦型トランジスタを製造する方法の一実施形態例に関する処理工程の模式的な断面図である。

【図 9】図 1 に示す縦型トランジスタの伝達特性を示すグラフである。

【図 10】図 1 に示す縦型トランジスタの $I_d - V_d$ カーブ特性を示すグラフである。

【発明を実施するための形態】

【 0 0 1 2 】

ここでの説明は、特に、本発明に係る装置の部分を形成する、あるいは該装置とより直接的に協働する要素に向けられる。理解されるように、特に図示あるいは説明しない要素は、当業者に周知の様々な形態を取り得る。

【 0 0 1 3 】

図 1 を参照するに、縦型トランジスタ 100 の模式的な断面図が示されている。トランジスタ 100 は、基板 110 と、(第 1 の)導電材料層 120 と、(第 1 の)電気絶縁材料層 130 とを含んでいる。トランジスタ 100 はまた、別の(第 2 の)電気絶縁材料層 150 と、半導体材料層 160 と、電極 700 と、電極 800 とを含んでいる。

【 0 0 1 4 】

導電層 120 は、基板 110 と絶縁層 130 との間に位置している。導電層 120 の第 1 の表面が基板 110 の第 1 の表面と接触し、導電層 120 の第 2 の表面が絶縁層 130 の第 1 の表面と接触している。絶縁材料層 130 はしばしば、誘電材料層と呼ばれる。基板 110 は、しばしばサポート(支持体)と呼ばれ、剛性を有するもの、又は柔軟性を有するものとし得る。

【 0 0 1 5 】

絶縁層 130、導電層 120、基板 110、又はこれらの組み合わせは、トランジスタ 100 に内側にへこんだ凹部形状 170 を作り出すように、おおよそ寸法(すなわち大きさ)を定められ、位置付けられ、あるいは少なくとも 1 つのその他の層又は基板に対して寸法及び位置を定められる。従って、絶縁層 130、導電層 120 及び基板 110 のうち

10

20

30

40

50

の１つ以上の少なくとも一部がトランジスタ１００の凹部形状１７０を画成すると言うことができる。凹部形状１７０は、導電層１２０の少なくとも一部を、指向性（又はライン・オブ・サイト）堆積（又はコーティング）プロセスを用いて堆積（あるいはコーティング）される材料から遮蔽する。凹部形状１７０は、導電層１２０の少なくとも一部が、コンフォーマル（共形）堆積（又はコーティング）プロセスを用いて堆積される材料に接近し得ることを可能にする。例えば、電気絶縁材料層１３０及び導電材料層１２０が凹部形状１７０を画成することが可能である。

【００１６】

図１に示すように、凹部形状１７０は、電気絶縁材料層１３０及び導電材料層１２０のうち的一方又は双方の部分によって画成される。絶縁層１３０は、当該絶縁層１３０が導電層１２０に対して凹部形状１７０を作り出すように、導電層１２０を超えて延在するよう大きさ及び位置を定められる。換言すれば、導電層１２０は、当該導電層１２０が絶縁層１２０に対して凹部形状１７０を作り出すように、（図１に示す左方向及び右方向の双方で）絶縁層１３０の端部より前で終端するよう大きさ及び位置を定められる。

10

【００１７】

絶縁材料層１５０は、トランジスタ１００の凹部形状１７０と共形である。絶縁材料層１５０は第１及び第２の表面を含んでおり、該第１の表面を、絶縁層１３０、導電層１２０及び基板１１０の表面部分と接触させている。半導体材料層１６０は、トランジスタ１００の凹部形状１７０と共形である。半導体材料層１６０は第１及び第２の表面を含んでおり、該第１の表面を絶縁層１５０の第２の表面と接触させている。半導体層１６０の第２の表面の違う（すなわち、離隔した、異なる）複数部分が電極７００及び電極８００と接触している。

20

【００１８】

電極７００は、別の（第２の）導電材料層７１０を含んでいる。電極８００は、更に別の（第３の）導電材料層８１０を含んでいる。電極７００及び電極８００は、トランジスタ１００の相異なる位置で、互いに離隔して配置されている。第２及び第３の導電材料層７１０、８１０は同じ材料層とし得る。そうするとき、電極７００及び電極８００は、材料層７１０又は材料層８１０の何れかである同じ導電材料層の違う部分に含められる。他の例では、第２及び第３の導電材料層７１０、８１０は違う（相異なる）材料層とし得る。

30

【００１９】

導電層１２０はトランジスタ１００のゲートとして機能する。トランジスタ１００の一部の実施形態例において、電極７００はトランジスタ１００のドレインとして機能し、電極８００はトランジスタ１００のソースとして機能する。トランジスタ１００の他の実施形態例においては、電極７００がソースとして機能し、電極８００がドレインとして機能する。

【００２０】

この半導体デバイスは、以下のようにして作動される。トランジスタ１００が準備された後、第２の導電材料層７１０と第３の導電材料層８１０との間に電圧が印加される。また、第２の導電材料層７１０と第３の導電材料層８１０とを電氣的に接続するように、第１の導電材料層１２０にも電圧が印加される。

40

【００２１】

トランジスタ１００の凹部形状１７０は、トランジスタの半導体材料のチャネルの寸法を、トランジスタ１００のゲートとして機能する導電層１２０の厚さに関連付けることを可能にする。有利なことに、本発明のこのアーキテクチャは、微細チャネルを含んだトランジスタの製造における高分解能のアライメント機構又は非常に精密なアライメント機構への依存性を緩和する。

【００２２】

図２－８を参照するに、トランジスタ１００を製造する方法の一実施形態例に関する処理工程の模式的な断面図が示されている。

50

【 0 0 2 3 】

概して、トランジスタ 1 0 0 は以下のようにして製造される。導電材料層 1 2 0 と電気絶縁材料層 1 3 0 とを順に含む基板 1 1 0 が準備される。電気絶縁材料層 1 3 0 上にレジスト材料層 1 4 0 が形成される。レジスト材料層 1 4 0 は、電気絶縁材料層 1 3 0 の一部を露出させるようにパターンニングされる。電気絶縁材料層 1 3 0 の露出部分が除去されて、導電材料層 1 2 0 の一部が露出される。導電材料層 1 2 0 の露出部分が除去される。導電材料層 1 2 0 の除去は、凹部形状 1 7 0 を作り出すように続けられる。図 1 に示したように、凹部形状 1 7 0 は、電気絶縁材料層 1 3 0 の一部を残存させながら導電材料層 1 2 0 の一部を除去することによって作り出される。この意味で、凹部形状 1 7 0 は導電材料層 1 2 0 内で電気絶縁材料層 1 3 0 に対して作り出されることができる。必要であればフォトリソ層 1 4 0 を除去した後、基板 1 1 0 と、残存している露出された材料層 1 2 0、1 3 0 とが、第 2 の電気絶縁材料層 1 5 0 でコンフォーマルに被覆される。第 2 の電気絶縁材料層 1 5 0 は、半導体材料層 1 6 0 でコンフォーマルに被覆される。半導体材料層 1 6 0 上に、層 7 1 0 若しくは層 8 1 0 の何れか、又は層 7 1 0、8 1 0 である導電材料層が指向性堆積される。

10

【 0 0 2 4 】

レジスト材料層 1 4 0 は、同一の処理工程で、電気絶縁材料層 1 3 0 上に堆積され且つパターンニングされ得る。液体エッチャントを用いて、電気絶縁材料層 1 3 0 の露出部分を除去することで、導電材料層 1 2 0 の一部を露出させることができる。電気絶縁材料層 1 3 0 の露出部分を除去するために使用されるのと同じ液体エッチャントを用いて、導電材料層 1 2 0 の露出部分を除去して、導電材料層 1 2 0 内に凹部形状 1 7 0 を作り出すことができる。

20

【 0 0 2 5 】

一部の実施形態例において、基板 1 1 0 は 2 つ以上の材料層を含むことができる。この更なる材料層は、一部の例において、製造プロセス中に基板 1 1 0 の構造的完全性を向上あるいは維持するために含まれる。基板 1 1 0 が、例えば第 1 の層及び第 2 の層といった 2 つ以上の材料層を含むとき、この製造方法は、基板 1 1 0 の第 2 の層を除去することを含んでもよい。

【 0 0 2 6 】

図 2 を再び参照するに、材料処理に先立つトランジスタ 1 0 0 の材料層の模式的な断面図が示されている。縦型トランジスタデバイスを形成するための製造プロセスは、トランジスタ 1 0 0 の電氣的ショート（短絡）が起こらないよう、全体的に、あるいは少なくとも導電層 1 2 0（図 2 に示すように、基板 1 1 0 の頂部）に隣接する基板部分に関して部分的に、の何れかで非導電性である基板 1 1 0 で開始する。導電層 1 2 0 が、基板 1 1 0 に塗布され、あるいは基板 1 1 0 上に堆積される。導電層 1 2 0 は、トランジスタ 1 0 0 のゲートとして機能するとともに、その厚さ（図 2 に示す縦方向の寸法）によってゲートの長さを定める。誘電性の非導電層 1 3 0 が、導電層 1 2 0 に塗布され、あるいは導電層 1 2 0 上にコーティングされる。非導電層 1 3 0 は、パターンを有しない一様な層である。レジスト層 1 4 0 が、誘電性の非導電層 1 3 0 に塗布される。レジスト 1 4 0 はパターンニングされる。

30

40

【 0 0 2 7 】

基板 1 1 0 は、レイヤ（層）群の何れとも、あるいは処理方法の何れとも、認め得るほどに相互作用しない。基板 1 1 0 は、しばしばサポート（支持体）と呼ばれ、製造中、試験中及び／又は使用中に薄膜トランジスタ（TFT としても参照される）を支持するために使用され得る。当業者に認識されるように、商業的な実施形態用に選択されるサポートは、試験又はスクリーニングの実施形態用に選択されるサポートとは異なり得る。一部の実施形態において、基板 1 1 0 は、TFT に必要な如何なる電氣的機能をも提供しない。ここでは、この種の基板 1 1 0 を“非関与サポート”と呼ぶ。有用な基板材料は有機材料又は無機材料を含む。例えば、基板 1 1 0 は、無機ガラス、セラミック箔、ポリマー材料、フィラー入りポリマー材料、被覆金属箔、アクリル、エポキシ、ポリアミド、ポリカー

50

ポネイト、ポリイミド、ポリケトン、ポリ（オキシ - 1 , 4 - フェニレンオキシ - 1 , 4 - フェニレンカルボニル - 1 , 4 - フェニレン）（これはポリ（エーテルエーテルケトン）又は P E E K と呼ばれることもある）、ポリノルボルネン、ポリフェニレンオキサイド、ポリ（エチレンナフタレンジカルボン酸塩）（ P E N ）、ポリ（エチレンテレフタレート）（ P E T ）、ポリ（エーテルスルホン）（ P E S ）、ポリ（硫化フェニレン）（ P P S ）、及び繊維強化プラスチック（ F R P ）を含み得る。基板 1 1 0 の厚さは、典型的に約 1 0 0 μ m から約 1 c m まで様々であり得る。

【 0 0 2 8 】

本発明の一部の実施形態例において、フレキシブル（柔軟）なサポート又は基板 1 1 0 が使用される。フレキシブル基板 1 1 0 を使用することは、連続的なものとし得るロール処理を可能にし、フラットあるいは硬いサポートに対して規模の経済性及び製造の経済性をもたらす。選択されるフレキシブルサポートは、好ましくは、直径約 5 0 c m 未満、より好ましくは直径 2 5 c m 未満、更に好ましくは直径 1 0 c m 未満のシリンダの周囲に、助けを受けない手によってのような小さい力を用いて、歪み又は破断なく巻くことが可能である。好ましいフレキシブルサポートは、それ自体の上に巻き上げることができる。フレキシブル基板の更なる例は、薄膜トランジスタを電氣的に絶縁するように金属箔が絶縁層で被覆されるとして、例えばステンレス鋼などの薄い金属箔を含む。柔軟性に関心がない場合には、基板は、ガラス及びシリコンを含む材料からなるウェハ又はシートとし得る。

10

【 0 0 2 9 】

一部の実施形態例において、基板 1 1 0 は、例えば、製造、輸送、試験又は保管などの一時的な目的で追加の構造的支持が望まれるときに、一時的なサポート又は支持層を含み得る。このような実施形態例において、基板 1 1 0 は一時的なサポートに、取り外し可能に接着され、あるいは機械的に固定され得る。例えば、トランジスタ製造プロセス中に追加の構造的硬さを提供するように、柔軟なポリマーサポートを硬いガラスサポートに一時的に接着することができる。ガラスサポートは、製造プロセスの完了後に、フレキシブルポリマーサポートから取り外すことができる。

20

【 0 0 3 0 】

導電体として一般的に参照される導電層 1 2 0 は、導電層 1 2 0 がゲートとして機能することを可能にする如何なる好適な導電材料ともし得る。金属、縮退的にドーブされた半導体、導電性ポリマー、及び例えばカーボンインク、銀 - エポキシ、若しくは焼結可能な金属ナノ粒子懸濁液などの印刷可能材料を含め、技術的に知られた多様なゲート材料も好適である。例えば、ゲート電極は、ドープトシリコン、又は例えばアルミニウム、クロム、金、銀、ニッケル、銅、タングステン、パラジウム、白金、タンタル及びチタンなどの金属を含むことができる。ゲート電極材料はまた、例えばインジウム錫酸化物（ I T O ）、 Z n O 、 S n O ₂ 又は I n ₂ O ₃ などの透明導電体を含んでいてもよい。例えばポリアニリン、ポリ（ 3 , 4 - エチレンジオキシチオフエン） / ポリ（硫化スチレン）（ P E D O T : P S S ）といった導電性ポリマーも使用され得る。さらに、これらの材料の合金、組み合わせ及び多層体が使用されてもよい。

30

【 0 0 3 1 】

ゲート電極は基板 1 1 0 上に、化学気相成長、スパッタリング、蒸着、ドーピング、又は溶液処理を用いて堆積され得る。本発明の一部の実施形態において、基板 1 1 0 がトランジスタ 1 0 0 を電氣的に絶縁する絶縁層をも含むとして、同じ材料がゲート電極機能を提供するとともに基板 1 1 0 の支持機能をも提供する。例えば、ドープトシリコンは、ゲート電極として機能することができるとともに、 T F T を支持することが可能である。

40

【 0 0 3 2 】

ゲート電極の厚さ（図 2 に示す縦方向）は、典型的に約 1 0 0 n m から約 1 0 0 0 0 n m まで様々であり得る。この厚さがゲート長を定めるので、この厚さは通常、電氣的ショートの可能性を低減するために、コンフォーマルコーティングされる材料の厚さの 2 倍より厚くされる。

50

【 0 0 3 3 】

図 2 に示すように、導電層 1 2 0 上に非導電層 1 3 0 が均一にコーティングされる。非導電層 1 3 0 での使用に好適な材料例は、ストロン酸塩、タンタル酸塩、チタン酸塩、ジルコン酸塩、酸化アルミニウム、酸化シリコン、酸化タンタル、酸化チタン、窒化シリコン、チタン酸バリウム、チタン酸バリウムストロンチウム、ジルコン酸チタン酸バリウム、セレン化亜鉛、及び硫化亜鉛を含む。また、これらの例の合金、組み合わせ及び多層体も、一般的にゲート誘電体として称される非導電層 1 3 0 に使用され得る。これらの材料のうち、酸化アルミニウム、酸化シリコン及びセレン化亜鉛が好ましい。さらに、例えばポリイミド、ポリビニルアルコール、ポリ(4-ビニルフェノール)、ポリイミド、及びポリ(フッ化ビニリデン)、ポリスチレン及びその置換誘導体、ポリ(ビニルナフタレン)及びその置換誘導体、並びにポリ(メチルメタクリレート)などのポリマー材料も使用され得る。

10

【 0 0 3 4 】

非導電層 1 3 0 はレジスト 1 4 0 で被覆される。レジスト 1 4 0 はパターニングされる。レジスト 1 4 0 は、例えばポリマーのポジ型又はネガ型のレジストなど、技術的に知られた従来からのフォトリソグラフィレジストとし得る。レジスト 1 4 0 は、レジストパターンを生じさせるよう、基板 1 1 0 に対して低分解能($> 1 \text{ mm}$)で、マスクを介して露光され、且つ現像される。他の一実施形態例において、レジスト 1 4 0 のパターンは、マスクを用いることなくパターン形成的に直接的にレジストを印刷する例えばフレキソ印刷又はインクジェットプリンティングなどの印刷プロセスを用いて達成される。

20

【 0 0 3 5 】

図 3 - 5 を再び参照するに、材料処理の最中及び後のトランジスタ 1 0 0 の材料層の模式的な断面図が示されている。図 3 にて、一般的に非導電体と称される非導電層 1 3 0 が、パターニングされたレジスト 1 4 0 を介してエッチングされる。エッチャントは、レジスト 1 4 0 又は下に位置する導電体層 1 2 0 を実質的に攻撃することなく非導電材料を除去する如何なる有機材料又は無機材料ともし得る。そして、導電体 1 2 0 を除去するが基板 1 1 0 又は上に位置する非導電体 1 3 0 には殆ど影響を及ぼさない好適なエッチャントを用いて、導電体 1 2 0 が除去される。従って、選択されるエッチャントは、しばしば、基板 1 1 0、導電体 1 2 0、又は非導電体 1 3 0 に依存する。通常、この時点でのレジスト 1 4 0 とのエッチャント相互作用及びレジスト 1 4 0 の目減りは重要でない。もはや、非導電体 1 3 0 がマスクとして作用するからである。図 3 に示すように、使用される 1 つ又は複数のエッチングプロセスは、導電体 1 2 0 と非導電体 1 3 0 とが同じパターンを有するように導電体 1 2 0 及び非導電体 1 3 0 の一部をエッチング除去する。

30

【 0 0 3 6 】

図 4 に示すように、導電体 1 2 0 の選択エッチングが、図 4 に示すような凹部形状 1 7 0 が形成されるまで続けられる。導電体 1 2 0 のエッチングが完了したとき、非導電体 1 3 0 が導電体 1 2 0 からオーバーハング(突出)しており、それにより、下に位置する(導電体 1 2 0 又は基板 1 1 0 の何れかの)表面の少なくとも一部を、基板 1 1 0 の上方(図 4 における上)に配置されるコーティング源による指向性(又はライン・オブ・サイト)コーティングから遮蔽するのに十分な凹部形状 1 7 0 が作り出される。換言すれば、導電体 1 2 0 は非導電体 1 3 0 に対してアンダーハングしている。残存した導電体 1 2 0 は、この半導体デバイスが完成されたときにゲート導電体として作用することになる。

40

【 0 0 3 7 】

この時点で、必要な場合には、レジスト 1 4 0 が除去される。所望であれば、材料層スタックに軽度の洗浄が実行される(該洗浄が凹部形状 1 7 0 を除去しないとして)。図 5 は、凹部形状 1 7 0 が作成された後且つレジストが除去された後の半導体デバイスの断面図を示している。

【 0 0 3 8 】

図 6 及び 7 を再び参照するに、それぞれ、しばしば絶縁体と称される誘電性の非導電材料のコンフォーマルコーティング後、及び半導体材料のコンフォーマルコーティング後の

50

半導体デバイスの模式的な断面図が示されている。図 6 にて、基板 110 と、材料層 120 及び 130 によって形成される地形的造形との上に、コンフォーマルコーティング堆積プロセスを用いて、誘電性非導電材料 150 が共形にコーティングされる。コンフォーマルコーティングプロセスを用いて非導電材料 150 を設けることは、凹部形状 170 を維持する助けとなる。非導電材料 150 はしばしば、ゲート誘電体と称される。好適な非導電材料は、ストロン酸塩、タンタル酸塩、チタン酸塩、ジルコン酸塩、酸化アルミニウム、酸化シリコン、酸化タンタル、酸化チタン、窒化シリコン、チタン酸バリウム、チタン酸バリウムストロンチウム、ジルコン酸チタン酸バリウムを含む。この誘電材料は、後に設けられる半導体材料からゲート導電体を離間させるので、少なくとも凹部形状 170 とゲートとが位置する領域内で、コンフォーマルコーティングされる材料が一貫した厚さ又は均一な厚さを有するように設けられることが重要である。

10

【0039】

コンフォーマルコーティングを達成するのに好適なプロセスは、原子層成長法 (ALD)、又は例えば空間 ALD (S-ALD) 若しくはプラズマ ALD (PEALD) などのその派生法のうちの 1 つを含む。これらのプロセスは、変化の大きいトポロジー上で均一厚さのコーティングをもたらすからである。ALD 及び S-ALD については更に詳細に後述する。

【0040】

図 7 にて、凹部形状 170 を維持する助けとなるコンフォーマルコーティング堆積プロセスを用いて、半導体材料 160 がコーティングされる。このコンフォーマルコーティングプロセスは、先ほど誘電材料をコーティングするために用いられたのと同じプロセスとし得る。他の例では、このコンフォーマルコーティングプロセスは異なるものとし得る。半導体材料 160 は、ゲート 120 にエネルギーが印加されるときに電極 700 と 800 との間のチャンネルとして作用するので、少なくとも、凹部形状 170 とゲートとが位置する領域内で、より好ましくは、凹部形状 170 とゲートとが位置する領域を含む電極 700 と電極 800 との間の領域内で、コンフォーマルコーティングされる材料が一貫した厚さ又は均一な厚さを有するように設けられることが重要である。コンフォーマルコーティングに好適なプロセスは、原子層成長法 (ALD)、又は例えば空間 (spatial) ALD (S-ALD) などのその派生法のうちの 1 つを含む。このプロセスは、変化の大きいトポロジー上で均一な厚さをもたらす。ALD 及び S-ALD については更に詳細に後述する。

20

30

【0041】

しばしば半導体と称される半導体材料層 160 は、その半導体材料が例えば ALD などのコンフォーマルコーティングプロセスを用いて堆積あるいはコーティングされることが可能であるとして、如何なる種類の半導体ともし得る。好適な半導体材料の例は、酸化亜鉛、亜鉛カルコゲナイド、カドミウムカルコゲナイド、ガリウムブニクタイド、アルミニウムニクタイド、又はシリコンを含む。

【0042】

この半導体は必要に応じて、導電率を増大あるいは低減させるよう、その他の材料でドーパされ得る。一部の実施形態例においては、ディプレッションモードのデバイスが望ましく、故に、ドーパントの使用によりキャリアが追加され得る。半導体が酸化亜鉛であるとき、例えば、アルミニウムドーパントの使用により、電子キャリア密度が増大される。この構成において、ゲートは典型的に、それをドレイン及びソースに対して負にすることによってデバイスをターンオフするために使用される。

40

【0043】

真性キャリア密度を枯渇させるように補償ドーパントも使用され得る。半導体が酸化亜鉛である場合、窒素の使用が電子キャリア密度を低下させてそれを一層 n 型にすることが見出されている。この構成において、半導体は、正のゲート電圧が印加されるときにトランジスタをターンオンさせるよう、蓄積モードで動作するようにされ得る。これらのドーパントはしばしば、成長プロセス中に化合物として付加されるが、例えばイオン注入及び

50

熱拡散などのプロセスを用いて、半導体層が設けられた後に付加されることも可能である。

【 0 0 4 4 】

図 8 を再び参照するに、導電材料の指向性コーティング中の半導体デバイスの模式的な断面図が示されている。半導体層 1 6 0 が堆積された後、凹部形状 1 7 0 内には材料を堆積あるいはコーティングしない指向性（又はライン・オブ・サイト）堆積プロセスを用いて、ソース及びドレインの電極 7 0 0 及び 8 0 0 が堆積される。好適な指向性堆積プロセスの例は、熱蒸着、電子ビーム蒸着、スパッタリング、又はレーザアブレーションを含む。電極 7 0 0 と電極 8 0 0 との間のアクティブチャネルギャップは、導電材料層 1 2 0 に対する非導電層 1 3 0 のオーバーハングにより投じられる影によって維持される。

10

【 0 0 4 5 】

図 1 を再び参照するに、電極 7 0 0 及び電極 8 0 0 が堆積された後のトランジスタ 1 0 0 が示されている。トランジスタ 1 0 0 のドレイン及びソースは、意図されるデバイスの用途及び特性に基づくのが典型的である選択に伴って、電極 7 0 0 及び電極 8 0 0 の何れかから選択され得る。図 1 に示すように、電極 8 0 0 は、非導電体 1 3 0 と導電体 1 2 0 とによって形成されるメサの頂部にあるが、電極 7 0 0 はそうではない。従って、電極 7 0 0 及び 8 0 0 は相異なる平面上にある。例えば技術的に周知のレイヤー・レベリング及びビア・フィードスルーなどの従来からの技術を用いて、必要な相互接続が達成され得る。

【 0 0 4 6 】

基板 1 1 0、導電層 1 2 0、非導電層 1 3 0、非導電層 1 5 0、半導体層 1 6 0、又はこれらの組み合わせは、その層の機能上の性状が不変のままであるとして、1 つ以上の層を含むことができる。上述のレイヤ群の機能が保持される限り、例えばレベリング層、バリア層、接着層といった更なる層が半導体デバイスに含められ得る。

20

【 0 0 4 7 】

原子層成長（A L D）は、一貫した、均一な、あるいは更には正確であると思われ得る厚さを有する皮膜を作り出すために使用されるプロセスである。A L D は、コンフォーマルな材料層、又は更には高度にコンフォーマルな材料層と思われ得る皮膜を作り出す。大まかに言って、A L D プロセスは、真空チャンバー内で一般的に前駆体と称される 2 つ以上の反応物質を順に交代させることによって、基板コーティングを達成する。第 1 の前駆体が、基板と反応するように与えられる。余分な第 1 の前駆体が真空チャンバーから除去される。そして、第 2 の前駆体が、基板と反応するように与えられる。余分な第 2 の前駆体が真空チャンバーから除去され、このプロセスが繰り返される。

30

【 0 0 4 8 】

最近、真空チャンバーを不要にする新たな A L D プロセスが開発されている。このプロセスは、一般的に S - A L D と称されており、米国特許第 7 4 1 3 9 8 2 号、米国特許第 7 4 5 6 4 2 9 号、米国特許出願公開第 2 0 0 8 / 0 1 6 6 8 8 4 号、及び米国特許出願公開第 2 0 0 9 / 0 1 3 0 8 5 8 号のうちの少なくとも 1 つに記載されている。なお、これらの開示事項をここに援用する。S - A L D は、一貫した、均一な、あるいは更には正確であると思われ得る厚さを有する皮膜を作り出す。S - A L D は、コンフォーマルな材料層、又は更には高度にコンフォーマルな材料層と思われ得る皮膜を作り出す。S - A L D は、低温コーティング環境に適合しており、その他のコーティング技術と比較して高い移動度の材料を使用することを可能にする。さらに、S - A L D は、ウェブ（巻き取り式）コーティングに適合しており、当該プロセスを大規模製造処理に魅力的なものにしている。一部のウェブコーティング処理は、例えば、ウェブのトラッキング及び伸縮の問題といったアライメント問題に悩まされ得るが、本発明に係るアーキテクチャは、製造プロセス中の高分解能のアライメント機構又は非常に精密なアライメント機構への依存性を緩和する。従って、S - A L D は本発明の製造に十分に適したものである。

40

【 0 0 4 9 】

実験結果

50

熱酸化膜によって被膜された 62.5 平方 mm のシリコン基板上にスパッタリングによって 600 nm 厚のクロム層を堆積した。この頂部に、米国特許第 7413982 号に記載の S - A L D プロセス及び米国特許第 7456429 号に記載の S - A L D 装置を用い、有機金属前駆体トリメチルアルミニウム及び水と窒素の不活性キャリアガスとを用いて、 200 で、 120 nm 厚の酸化アルミニウム層をコーティングした。

【0050】

115 で 60 秒間ホットプレート上に置いた M i c r o p o s i t S 1805 レジスト (マサチューセッツ州マールバラのローム・アンド・ハース電子材料 L L C 社製) を 1000 r p m でスピンコーティングし、その後、C o b i l t マスクアライナ (カリフォルニア州サニーベールのコンピュータビジョン社製の C o b i l t モデル C A - 419) にて、シリコン基板のエッジを低分解能で雑なアライメントとして用いるのみで、ライン群を含んだガラス / クロムコンタクトマスクを介して 70 秒間露光することによって、パターンニングされたフォトレジスト層を形成した。その後、サンプルを、M i c r o p o s i t M F - 319 現像液 (マサチューセッツ州マールバラのローム・アンド・ハース電子材料 L L C 社製) 内で 60 秒間現像し、D I 水内で 5 分間リンスした。

10

【0051】

非導電性の酸化アルミニウムを、濃リン酸を用いて 6.5 分間 60 でエッチングした。 8% 酢酸の塩化セリウムアンモニウムの 0.6 M 溶液を含むクロムエッチャントを用いて、クロムをエッチングした。露出したクロムを、明白に貫通するよう 13.3 分間エッチングした。引き続いて 2 分間のエッチングにより、アンダーカットエッチングを達成した。その後、基板を D I 水内で 5 分間リンスし、フォトレジストを除去するようアセトンでリンスし、そして、H P L C グレードのイソプロパノール内でリンスし、乾燥させた。

20

【0052】

その後、上述のように、S - A L D 装置及びプロセスを用いて、基板を 120 nm 厚の更なる酸化アルミニウム層でコンフォーマルに被覆した。そして、前駆体ジエチル亜鉛及び濃アンモニア溶液と窒素キャリアガスとを用いて、基板を 25 nm 厚の酸化亜鉛層で被覆した。

【0053】

電極を蒸着によって設けた。基板上の各ラインに対して垂直に走り且つ完全に交わる正方形の孔を含んだシャドウマスクを介して、アルミニウムを蒸着した。アルミニウムは 70 nm 厚とした。ライン頂部のアルミニウムと、ラインの一方側のアルミニウムと、ゲートとして作用するクロムゲートメタルとに接触するようにプローブステーションを用いて、トランジスタの試験を成し遂げた。図 9 を参照するに、トランジスタの伝達特性を示すグラフが示されている。図 9 にて見て取れるように、ドレイン電圧 20 V において、ゲート電圧に対するドレイン電流は一貫している。全てのゲート電圧でゲート電流が非常に小さいリークを有することも示されている。また、ドレイン電流が、 -2 V のゲート電圧での約 10^{-11} A から 10 V のゲート電圧でのほぼ 1 mA までの範囲で、ゲート電圧によく応答することも見て取れる。図 10 を参照するに、トランジスタの $I_d - V_d$ カーブ特性を示すグラフが示されている。図 10 にて見て取れるように、ドレイン電圧に対するドレイン電流は、ゲート電圧に非常によく応答する。これらのデバイスの試験結果はまた、 20 V のドレイン電圧及び 10 V のゲート電圧で、 10^7 より大きい、かなりのオン / オフ比を示している。

30

40

【符号の説明】

【0054】

- 100 トランジスタ
- 110 基板
- 120 導電体
- 130 非導電体
- 140 レジスト
- 150 ゲート誘電体

50

- 1 6 0 半 導 体
- 1 7 0 凹 部 形 状
- 7 0 0 電 極
- 7 1 0 第 2 の 導 電 材 料 層
- 8 0 0 電 極
- 8 1 0 第 3 の 導 電 材 料 層

【 図 1 】

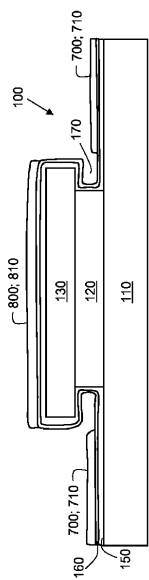


FIG. 1

【 図 2 】

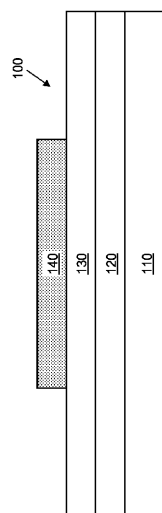


FIG. 2

【 図 3 】

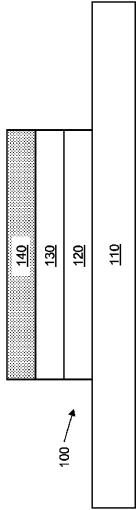


FIG. 3

【 図 4 】

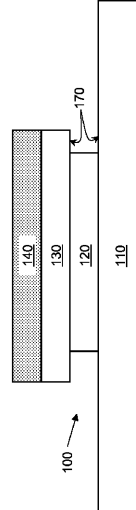


FIG. 4

【 図 5 】



FIG. 5

【 図 6 】

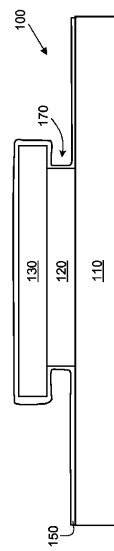


FIG. 6

【 図 7 】

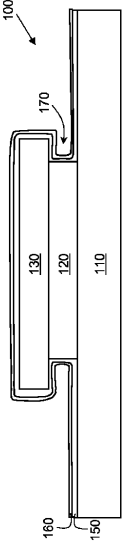


FIG. 7

【 図 8 】

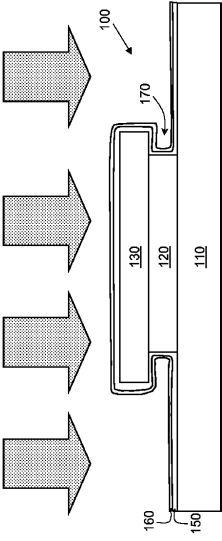


FIG. 8

【 図 9 】

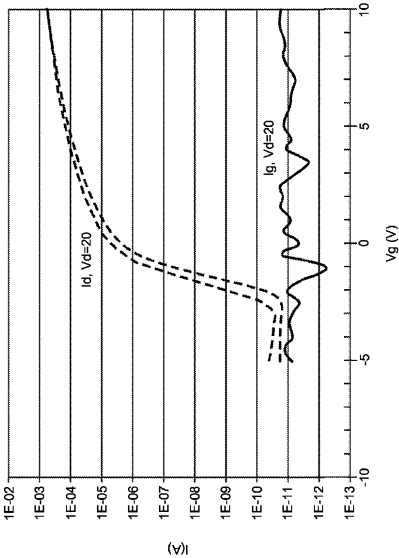


FIG. 9

【 図 10 】

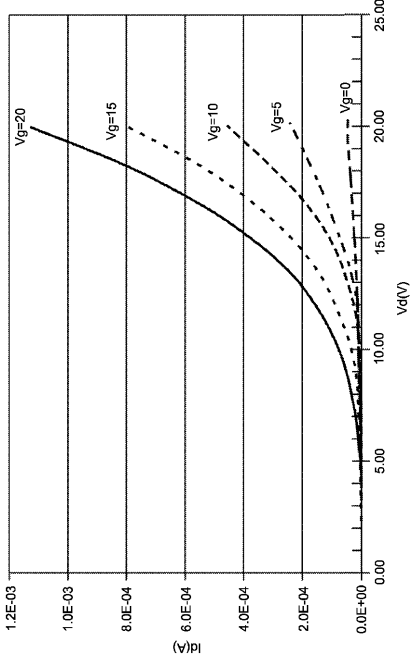


FIG. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2011/024310

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/336 H01L29/786 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EP0-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP H02 140863 U (-) 26 November 1990 (1990-11-26) the whole document	1-8
X	US 5 547 883 A (KIM IN [KR]) 20 August 1996 (1996-08-20) column 3, line 25 - column 4, line 35; figures 4a-5c	1-8
X	US 6 018 176 A (LIM BYUNG-HAK [KR]) 25 January 2000 (2000-01-25) column 4, line 35 - column 5, line 54; figures 4-5f	1-8
X	DE 44 37 068 A1 (GOLD STAR ELECTRONICS [KR]) 23 November 1995 (1995-11-23) column 5, line 44 - column 6, line 41; figure 4D	1-8
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
26 April 2011		03/05/2011
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer
		Hoffmann, Niels

1

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2011/024310

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 780 911 A (PARK JOON YOUNG [KR] ET AL) 14 July 1998 (1998-07-14) the whole document	1-8
X	----- JP 2010 040580 A (SANYO ELECTRIC CO) 18 February 2010 (2010-02-18) figure 7	1-8
X	----- JP 2008 277375 A (SANYO ELECTRIC CO) 13 November 2008 (2008-11-13) the whole document	1,3-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2011/024310

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP H02140863	U	26-11-1990	NONE
US 5547883	A	20-08-1996	JP 2707433 B2 28-01-1998 JP 8046215 A 16-02-1996
US 6018176	A	25-01-2000	NONE
DE 4437068	A1	23-11-1995	JP 2582347 B2 19-02-1997 JP 7321341 A 08-12-1995 US 5578838 A 26-11-1996
US 5780911	A	14-07-1998	JP 2739642 B2 15-04-1998 JP 9232448 A 05-09-1997
JP 2010040580	A	18-02-2010	NONE
JP 2008277375	A	13-11-2008	NONE

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 9 A

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ネルソン, シェルビー フォレスター

アメリカ合衆国 ニューヨーク州 1 4 6 5 0 - 2 2 0 1 ロチェスター ステイト・ストリート
3 4 3

Fターム(参考) 5F110 AA04 AA16 CC09 DD01 DD02 DD05 EE01 EE02 EE03 EE04
EE07 EE08 EE42 EE43 EE44 EE45 FF01 FF02 FF03 FF12
FF27 GG01 GG02 GG04 GG22 GG32 GG42 HK03 HK32 HK33
NN02 NN22 NN23 NN24