

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ G09G 3/20 (2006.01)		(45) 공고일자	2006년01월23일
		(11) 등록번호	10-0543444
		(24) 등록일자	2006년01월09일
(21) 출원번호	10-2003-0009154	(65) 공개번호	10-2004-0065516
(22) 출원일자	2003년02월13일	(43) 공개일자	2004년07월22일

(30) 우선권주장	10/340,745	2003년01월13일	미국(US)
(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416		
(72) 발명자	남정현 경기도수원시권선구권선동1306번지현대아파트311동103호		
(74) 대리인	임창현 권혁수 오세준 송윤호		

심사관 : 박부식

(54) 고정 패턴 잡음을 감소시키기 위한 영상 소자 및 그 방법

요약

고정 패턴 잡음을 감소시키기 위한 영상 소자 및 그 방법이 개시된다. 상기 영상 소자는 적어도 하나 이상의 열 라인 및 적어도 둘 이상의 아날로그-디지털 변환기 블록들 중 하나 사이에 연결을 설정하는 스위칭 소자를 포함한다. 상기 적어도 둘 이상의 아날로그-디지털 변환기 블록들 중 적어도 하나는 다수의 단위 화소들의 적어도 둘 이상의 행들에 연결될 수 있다. 상기 능동 화소 센서 배열의 모든 레드 및 블루 화소들은 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나에 의해서 처리되고, 상기 활성 소자 센서 배열의 모든 그린 화소들은 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 다른 하나에 의해서 처리된다. 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들은 샘플링, 증폭 및 변환 처리를 포함한다.

대표도

도 6

색인어

CMOS, 영상 소자, ADC, CDS, 화소

명세서

도면의 간단한 설명

도 1은 통상적인 CMOS 영상 소자를 도시한다.

도 2는 또 다른 통상적인 CMOS 영상 소자를 도시한다.

도 3은 통상적인 영상 소자에서 입사 광량(quantity of received light intensity)의 증가에 대한 G_R 및 G_B 화소들 사이의 감도(light sensitivity) 차이를 보여주는 그래프이다.

도 4a는 레드 및 블루 화소들에 대한 통상적인 디모자이크 방법을 도시한다.

도 4b는 G_R 및 G_B 화소들 모두에 대한 통상적인 디모자이크 방법을 도시한다.

도 5는 도 2의 통상적인 CMOS 영상 소자에 의해 생성된 영상에서 발생하는 바둑 무늬 패턴(checker patter)을 도시한다.

도 6은 본 발명의 실시예에 따른 CMOS 영상 소자를 도시한다.

도 7은 도 6의 CMOS 영상 소자에서 타이밍 다이어그램을 도시한다.

도 8은 본 발명에 따른 영상 소자에서, 입사 광량(quantity of received light intensity)의 증가에 대해서, G_R 및 G_B 가 실질적으로 동일한 감도(light sensitivity)를 나타냄을 보여주는 그래프이다.

도 9a는 본 발명의 일 실시예를 도시한다.

도 9b는 도 9a의 일 실시예에서의 타이밍 다이어그램을 도시한다.

도 10은 본 발명의 다른 실시예에 따른 CMOS 영상 소자를 도시한다.

도 11은 본 발명의 다른 실시예에 따른 프레임의 화소 신호 독출 처리를 설명하는 흐름도이다.

도 12는 도 6 또는 도 10의 CMOS 영상 소자를 포함하는 시스템을 도시한다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고정 패턴 잡음을 줄이기 위한 영상 소자 및 그 방법에 관한 것으로서, 더욱 상세하게는 CMOS 영상 소자에서 고정 패턴 잡음을 줄이기 위한 영상 소자 및 그 방법에 관한 것이다.

도 1은 미합중국 특허등록 제 3,971,065호에 개시된 베이어-형(Bayer-type) 컬러 필터 배열(array)을 사용하는 통상적인 상보형 모스(씨모스:Complementary Metal Oxide Semiconductor:CMOS) 영상 소자(image sensor) (100)를 도시한다. 베이어-형 컬러 화소(pixel) 배열은 세 가지 유형의 화소들, 즉, 적(red, 레드, 120), 청(blue, 블루, 150) 및 록(green, 그린, 130, 140)을 구비한다. 기호 G_R (130)은 레드 화소(120)와 동일한 행(row)에 위치한 그린 화소를 가리키고, 기호 G_B (140)은 블루 화소(150)와 동일한 행에 위치한 그린 화소를 가리킨다.

각각의 화소(120, 130, 140, 150)로부터 발생된 각각의 컬러 영상 신호는 아날로그-디지털 변환기(ADC, 180)에 의해서 디지털 신호로 변환된다. ADC(180)는 배열된 화소들의 각 열(column)에 연결된다. 각 열에 하나의 ADC(180)가 연결된다.

행(각 행은 복수의 열들로부터 제공된 화소들을 포함한다)으로부터 제공된 영상 신호가 행 구동기(driver, 110)에 의해 선택되고, 상단 중복 샘플링 블록(correlated double sample block, CDS, 160)에 의해 유지(hold) 및 샘플링되고, 증폭기(170)에 의해 증폭된 후 각각의 열에 연결된 ADC(180)에 의해서 디지털 신호로 변환된다.

ADC(180)로부터 전송된 디지털 신호는 래치 블록(190)에 래치된 후 선택 신호에 따라 데이터 선택기(195)에 의해서 직렬로(serious) 출력된다.

도 1에 도시된 바와 같이, ADCs(180) 각각은 컬러 필터 배열의 동일한 쪽(side)에 존재한다. 도 1과 같이 ADCs(180)가 컬러 필터 배열의 어느 한쪽에 배열되어 있을 경우, CDS(또는 ADC)의 폭이 단위 화소의 간격(피치:pitch)과 동일해야 하기 때문에, 하나의 열 피치에 고성능 CDS(또는 ADC)를 배치(lay out)하기가 매우 어렵다.

고성능의 ADC 배치를 가능하게 하는 다른 디자인이 도 2에 도시되어 있다. 도 2에서, 홀수 및 짝수 열 회로들은 컬러 필터 배열의 마주보는 쪽들(opposite sides)에, 예컨대, 컬러 필터 배열의 상부 및 하부에 배치되어 있다.

도 2의 CMOS 영상 소자(200)의 동작 방식은 도 1의 CMOS 영상 소자(100)의 동작 방식과 비슷하다. 레드 화소(235), G_R 화소(240), G_B 화소(245) 및 블루 화소(250)로부터 제공된 각각의 전기 신호는 열 ADC 블록들(207, 208) 중 어느 하나에 입력된다. 도 2에 도시된 바와 같이, 홀수 열의 화소들에 있는 각 화소들에 의해 제공된 신호들은 화소 배열의 아래에 있는 하부 열 ADC 블록(208)에서 처리된다. 하부 열 ADC 블록(208)은 CDS 블록들(232), 증폭기들(227), ADCs(222), 래치 블록(217) 및 데이터 선택기(212)를 포함한다. 짝수 열의 화소들에 있는 각 화소에서 제공된 신호들은 화소 배열 상부에 위치한 상부 열 ADC 블록(207)에서 처리된다. 상부 열 ADC 블록(207) 역시 CDS 블록들(230), 증폭기들(225), ADCs(220) 래치 블록(215) 및 데이터 선택기(210)를 포함한다.

ADC(220 또는 222)로부터 제공된 디지털 신호가 래치 블록(215 또는 217)에 래치된 후, 데이터 선택기(210, 212)가 래치된 데이터를 다중화기(MUX, 260)에 출력한다. 다중화기(260)는 상부 및 하부 열 ADC 블록들(207, 208)로부터 제공된 데이터 모두를 직렬로 배열하고 직렬 데이터를 미도시된 영상 신호 처리기로 출력한다.

상부 열 ADC(207) 및 하부 열 ADC(208) 사이의 공간적 위치 차이 때문에 고정 패턴 잡음(Fixed Pattern Noise:FPN)이 발생한다. 비균일성(non-uniformity)이라고도 불리는 FPN은 CMOS 영상 소자(200)에 나타나는 소자 및 배선 변수의 변이들(즉, 공간적인 거리 차이)에 기인하는 공간적 변이(variation)이다. 도 3은 입사 광량(quantity of received light intensity)의 증가에 대해서, G_R 및 G_B 화소들 사이의 감도(light sensitivity) 차이를 보여주는 그래프이다.

각 곡선의 기울기(slope)는 각 컬러의 이득(gain)을 의미한다. 레드 및 블루 화소들 각각은 하나의 기울기를 갖는다. 하지만, 그런 컬러는 두 개의 기울기, 즉 상부 열 ADC 블록(207)에 의해 처리되는 G_R 화소 가지는 기울기 및 하부 열 ADC 블록(208)에 의해 처리되는 G_B 화소가 가지는 다른 하나의 기울기를 가진다.

도 4a는 레드(235) 및 블루(250) 화소들 모두를 위한 통상적인 디모자이크(demosaic) 방법을 도시한다. 도 4a 및 그 아래의 관련 계산에 나타난 바와 같이, 컬러 필터 배열의 레드(250) 및 블루(250) 화소들에 있어서, 그런 컬러 이득들 G_R 및 G_B 사이의 차이는 영상의 화질을 저하시키지 않는다. 한편, 도 4b는 G_R (240) 및 G_B (245) 화소들 모두를 위한 통상적인 디모자이크 방법을 도시한다. 도 4b 및 그 아래의 관련 계산에 나타난 바와 같이, 컬러 필터 배열의 G_R (240) 및 G_B (245) 화소들의 경우, 그런 컬러 이득들 G_R 및 G_B 사이에 차이가 발생하기 때문에 영상의 화질을 저하시킨다. 이러한 차이는 영상에서 "바둑 무늬 패턴"(checker pattern)으로 나타나며 심각한 화질 저하를 초래한다. 이러한 바람직하지 않은 "바둑 무늬 패턴"이 도 5에 도시되어 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 고정 패턴 잡음을 저감하는 회로 및 그 방법을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 영상 소자는 적어도 하나 이상의 열 라인 및 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 하나 사이의 연결을 설정하기 위한 스위칭 소자를 구비한다. 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 적어도 하나는 다수의 단위 화소들의 적어도 둘 이상의 열들에 연결이 가능하다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 영상 소자는, 다수의 단위 화소들을 구비하는 능동 화소 센서 배열의 행 라인을 선택하기 위한 행 구동기 및 스위칭 소자를 포함한다. 상기 스위칭 소자는, 선택된 행 라인이 홀수 행이면, 상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 제1 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 제2 상관 중복 샘플링 블록에 연결하며,

선택된 행 라인이 짝수 행이면,

상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 상기 제2 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 상기 제1 상관 중복 샘플링 블록에 연결한다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 영상 소자는, 다수의 단위 화소들을 구비하는 능동 화소 센서 배열 및 상기 다수의 단위 화소들의 제1 서브세트를 제1 상관 중복 샘플링 블록에 연결하고, 상기 다수의 단위 화소들의 제2 서브세트를 제2 상관 중복 샘플링 블록에 연결하기 위한 스위칭 소자를 포함하며, 상기 다수의 단위 화소들의 제1 서브세트는 블루 및 레드 화소들이고 상기 다수의 단위 화소들의 제2 서브세트는 그린 화소들이다.

상기 영상 소자들은 CMOS 영상 소자이다.

본 발명의 실시예에 따르면, 능동 화소 센서 배열의 모든 레드 및 블루 화소들은 적어도 둘 이상의 아날로그-디지털 변환기 블록들 중 어느 하나에 의해 처리되고, 상기 능동 화소 센서 배열의 모든 그린 화소들은 다른 하나의 아날로그-디지털 변환기 블록에 의해 처리된다.

본 발명의 실시예에 따르면, 상기 아날로그-디지털 변환기 블록 이후에 진행되는 처리는 샘플링, 증폭 및 변환 처리를 포함한다.

본 발명의 실시예에 따르면, 상기 스위칭 소자는, 적어도 두 세트의 스위치를 포함한다. 한 세트의 스위치는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 스위치는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결한다.

본 발명의 실시예에 따르면, 상기 스위칭 소자는, 적어도 두 세트의 다중화기를 포함한다. 한 세트의 다중화기는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 다중화하고 다른 한 세트의 다중화기는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 다중화한다.

본 발명의 실시예에 따르면, 영상 소자는 상기 래치 블록으로부터 제공된 신호를 출력하기 위한 다중화기를 더 포함한다.

본 발명의 실시예에 있어서, 상기 연결은 시간 발생기 및 주소 발생기 중 어느 하나로 부터 제공된 신호에 응답하여 상기 적어도 하나 이상의 열 라인 및 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나 사이에 설정된다. 이때, 상기 신호는 홀수/짝수 신호 및 선택 신호 중 어느 하나이다.

본 발명의 실시예에 있어서, 상기 다수의 단위 화소들 각각은 광-감지기 및 처리 회로를 포함하며, 상기 처리 회로는 리셋 수준 신호를 발생하기 위한 리셋 회로 및 상기 광-감지기 및 리셋 수준 신호로부터 제공된 신호를 증폭하기 위한 증폭 회로를 포함한다. 이때, 상기 처리 회로는 다수의 트랜지스터를 포함한다.

이상의 영상 소자들에 따르면 고정 패턴 잡음이 저감된다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 고정 패턴 잡음을 저감하는 방법은, 적어도 하나의 열 및 적어도 둘 이상의 아날로그-디지털 변환기 블록들 중 어느 하나 사이에 연결을 설정하는 것을 포함하되, 상기 적어도 둘 이상의 아날로그-디지털 변환기 블록들 중 적어도 하나는 적어도 둘 이상의 열들에 연결된다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 고정 패턴 잡음 저감 방법은 적어도 하나의 열 및 적어도 하나의 아날로그-디지털 변환기 블록 사이에 연결을 설정하는 것을 포함하되, 상기 적어도 하나의 아날로그-디지털 변환기는 적어도 둘 이상의 열들에 연결된다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 고정 패턴 잡음을 저감하는 방법은, 다수의 단위 화소들의 제1 서브세트를 제1 상관 중복 샘플링 블록에 연결하고 상기 다수의 단위 화소들의 제2 서브세트를 제2 상관 중복 샘플링 블록에 연결하는 것을 포함하되, 상기 다수의 단위 화소들의 제1 서브세트는 블루 화소들 및 레드 화소들이고 상기 다수의 단위 화소들의 제2 서브세트는 그린 화소들이다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 고정 패턴 잡음 저감 방법은, 적어도 하나의 아날로그-디지털 변환기를 다수의 단위 화소들의 적어도 둘 이상의 열들에 연결하는 것을 포함한다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 고정 패턴 잡음 저감 방법은, 다수의 단위 화소들을 구비하는 능동 화소 센서 배열로부터 하나의 행 라인을 선택하여

상기 선택된 행 라인이 홀수 행이면, 상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 제1 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 제2 상관 중복 샘플링 블록에 연결하고,

상기 선택된 행 라인이 짝수 행이면, 상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 상기 제2 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 상기 제1 상관 중복 샘플링 블록에 연결한다.

상술한 방법들은 CMOS 영상 소자의 고정 패턴 잡음을 저감하는데 사용될 수 있다.

이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있으며, 본 발명의 범위가 설명되어진 실시예에 한정되도록 해석되어서는 안 된다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 6은 본 발명의 일 실시예에 따른 CMOS 영상 소자(image sensor)(600)를 도시한다. 컬러 화소 배열은 세 유형의 화소들, 즉, 레드 화소 R (660), 블루 화소 B (655) 및 그린 화소 G_R, G_B (645, 650)를 가진다. 도면에서, 기호 G_R (645)은 레드 화소 R (640)과 동일한 행(row)에 위치한 그린 화소를 나타내고, 기호 G_B (650)는 블루 화소 B (655)와 동일한 행에 위치한 그린 화소를 가리킨다. 행 구동기(row driver)(610)는 도시하지 않은 시간 생성기(timing generator) 또는 주소 생성기(address generator)에 의해 발생한 신호에 응답하여 행 라인을 직렬로(serious), 예컨대 위쪽에서부터 아래쪽으로 순차적으로, 선택한다. 제1 행 라인이 선택되면, 제1 행의 레드 화소 R (640), G_R 화소(645), ..., R, G_R 이 활성화 된다. 제2 행 라인이 선택되면, 제2 행의 G_B 화소(650), 블루 화소 B (655),..., G_B , B 가 활성화 된다.

CMOS 영상 소자(600)는 또한 상부 ADC(Analog-Digital Converter) 블록(611), 하부 ADC 블록(612), 다수의 스위치들(633, 634, 635, 636, ..., 6331, 6341, 6351, 6361), 그리고 다중화기(MUX: Multiplexer)(660)를 포함한다. 상부 ADC 블록(611)은 다수의 상관 중복 샘플링(CDS: correlated double sampling) 블록들(638, ..., 6381), 증폭기(630, ..., 6301), ADCs(625, ..., 6251), 래치 블록(620), 및 데이터 선택기(data selector)(615)를 구비한다. 하부 ADC 블록(612)은 다수의 상관 중복 샘플링(CDS: correlated double sampling) 블록들(637, ..., 6371), 증폭기(632, ..., 6321), ADCs(627, ..., 6271), 래치 블록(622), 및 데이터 선택기(data selector)(617)를 구비한다.

도 6의 CMOS 영상 소자 및 도 7의 타이밍 다이어그램을 참조하여, 시간 생성기 또는 주소 생성기로부터 발생된 홀수 라인 선택 신호(ϕ_{Odd})는 스위치, 예컨대 제1 열 라인의 스위치(636)를 하부 ADC 블록(612), 특히 CDS 블록(637), 증폭기(632), ADC(627)에 연결하고, 스위치, 예컨대 제2 열 라인의 스위치(633)를 상부 ADC 블록(611), 특히, CDS 블록(638),

증폭기(630) 및 ADC(625)에 연결한다. 도 7에 도시된 바와 같이, 제1 기간 $2n+1$ 동안, 레드 화소(640)에 대한 데이터는 스위치(636)를 닫는 것에 의해 하부 ADC 블록(612)에 제공된다. 이와 유사하게, 상기 제1 기간 $2n+1$ 동안, G_R 화소(645)에 대한 데이터는 스위치(633)를 닫는 것에 의해 상부 ADC 블록(612)에 제공된다.

제2 기간 $2(n+1)$ 동안, G_B 화소(650)에 대한 데이터는 스위치(634)를 닫는 것에 의해 상부 ADC 블록(611)에 제공된다. 이와 유사하게, 상기 제2 기간 $2(n+1)$ 동안, 블루 화소(655)에 대한 데이터는 스위치(635)를 닫는 것에 의해 하부 ADC 블록(612)에 제공된다.

제3 기간 $2(n+1)+1$ 및 제4 기간 $2(n+2)$ 그리고 그 이후의 모든 기간 동안 이와 같은 동작이 동일하게 일어난다.

상술한 바와 같이, G_R 화소(645) 및 G_B 화소(650) 모두는 동일한 ADC 블록, 본 예의 경우 상부 ADC 블록(611)에 의해 처리된다. 또, 레드 화소(640) 및 블루 화소(655)도 동일한 ADC 블록, 본 예의 경우 하부 ADC 블록(612)에 의해 처리된다.

CDS 블록(638)에 충전된 전기적 신호는 증폭기(630)에 의해 증폭되어 ADC 블록(625)에 의해 디지털 신호로 변환된 후 래치 블록(620)에 래치된다. 상술한 바와 같이, 상부 ADC 블록(611)이 짝수 열 라인들로부터 제공된 신호들을 처리하는 동안, 하부 ADC 블록(612)은 홀수 열 라인들로부터 제공된 신호들을 처리한다. 선택된 행에서의 각 열 들로부터 제공된 모든 신호들은 동시에 각각 상부 및 하부 ADC 블록들에서 처리될 수 있다.

래치 블록들(620, 622)에 래치된 디지털 데이터는 해당 데이터 선택기들(615, 617)로부터 제공된 신호에 따라 다중화기 MUX(660)으로 출력된다. 다중화기 MUX 블록(660)은 적어도 두 개 이상의 포트(port)를 구비한다. 제1 포트는 상부 ADC 블록(611)에 연결되고, 제2 포트는 하부 ADC 블록(612)에 연결된다. 상부 ADC 블록(611)으로부터 제공된 입력들은 그린 화소들(G_R 및 G_B)에 관련된 데이터를 담고 있으며, 하부 ADC 블록(612)으로부터 제공된 입력들은 레드 화소 및 블루 화소와 관련된 데이터를 담고 있다.

도 8에 도시된 바와 같이, G_R 및 G_B 화소들로부터 제공된 신호가 동일한 ADC 블록, 본 예의 경우, 상부 ADC 블록(611)에서 샘플링되고 증폭된 후 디지털 신호로 변환되기 때문에, G_R 및 G_B 에 대한 기술기는 동일하거나 실질적으로 동일하며 공간 특성 변이(고정 패턴 잡음)가 거의 없거나 완전히 없다.

도 9a 및 도 9b는 각각 본 발명의 실시예의 예시적인 몇몇 구성 요소(elements) 및 이와 관련된 타이밍 다이어그램을 도시한다.

도 9a 및 도 9b를 참조하여, 단위 화소(910)는 레드(640), 블루 화소(655), G_R 화소(645), 또는 G_B 화소(650) 중 어느 것이 될 수 있으며, 상기 단위 화소(910)는 광-감지기, 예컨대, 광다이오우드 PD (912)와 트랜지스터들(914, 918, 922, 924)를 포함한다. 예시적인 CDS 블록(930, 도 6의 CDS 블록 637)은 세 개의 트랜지스터들(928, 932, 936) 및 커패시터(934)를 포함한다.

도 9a의 동작 예를 도 9b를 참조하여 설명한다. 아래의 설명은 특히 화소 배열의 제2 행 및 제2 열의 화소에 관련된 동작을 도시한다.

행 선택 신호 $RSEL_{i+1}$ 라인은 행 구동기로 제공된 선택 신호에 따라 제1 로직 상태(예컨대, 논리 HIGH 상태)가 된다. 상기 행 선택 신호 $RSEL_{i+1}$ 라인이 상기 제1 로직 상태가 되면, 화소 리세트 신호 Rs_{i+1} 가 토글(toggle)되고 도 9a의 노드(920)는 리세트 수준(level)인 리세트 신호로 고정된다. 상기 리세트 신호는 트랜지스터(918)에 의해 증폭되어 트랜지스터(924)를 경유해서 트랜지스터(928)의 드레인에 제공된다. 단위 화소(910)가 짝수 행에 위치하기 때문에, 짝수 라인 선택 신호인 $PhisEven$ 신호가 토글할때, 단위 화소(910)로부터 제공된 상기 리세트 신호가 커패시터(934)에 충전된다.

참조 전압(reference voltage)을 위한 신호인 ΦRef 신호가 토글할때, 일정 수준의 참조 전압(V_{Ref})가 커패시터(934)의 하부 터미널(전극)에 제공된다. 이때, 상기 커패시터(934)의 상부 터미널(전극)의 전압은 V_{Reset} 이고 상기 커패시터(934)의 하부 터미널의 전압은 V_{Ref} 이다.

리셋 신호가 커패시터(934)에 충전된 이후, PhiRef 신호에 응답하여 트랜지스터(936)는 턴-오프되고(V_{Ref} 는 더이상 커패시터(934)의 하부 터미널에 제공되지 않음), Tg_{i+1} 신호가 토글하여 전송 게이트(transfer gate)를 턴-온시키고(트랜지스터(914)는 턴-온되고), 광다이오우드(912)의 광 신호는 전기 신호의 형태(이후 '영상 신호' 라 함)로 노드(920)에 전송된다.

노드(920)에서의 영상 신호는 증폭되어 트랜지스터(928)의 드레인에 전송된다. PhisEven 신호가 다시 토글하면, 영상 신호는 커패시터(934)에 충전된다. 이때, 커패시터(934)의 상부 터미널의 전압은 V_{Image_signal} 이고, 커패시터(934)의 하부 터미널의 전압은 $V_{Ref} - (V_{Reset} - V_{Image_signal})$ 이다(여기서, $V_{Reset} - V_{Image_signal}$ 는 순수 영상 신호를 나타내는 신호이다). 이어서, 순수 영상 신호는 증폭기, 예컨대 증폭기(632)에 의해 증폭되고 ADC, 예컨대 ADC(627)에 의해 디지털 신호로 변환된다.

도 10은 본 발명의 다른 실시예에 따른 CMOS 영상 소자(1000)를 도시한다. 도 10에서, 도 6의 스위치 세트(633,634, 635,636) 대신 아날로그 다중화기 MUX(1042, 1040)가 사용되었고, 시간 생성기 또는 주소 생성기로부터 제공된 선택 신호 SELECT가 아날로그 다중화기 MUX(1042)에 입력된다.

도 11은 본 발명에 따른 프레임 화소 신호 독출 과정을 도시하는 흐름도이다. 도 11에 도시된 바와 같이, 먼저 단계 1102에서 새로운 프레임에 대한 처리가 시작된다. 단계 1104에서 첫 번째 독출 행 라인을 선택하도록 행 구동기가 리셋되고, 단계 1106에서 행 라인이 선택된다. 단계 1108은 선택된 행이 홀수 행인지 짝수 행인지를 검사한다. 만약 행 라인이 홀수 행이면, 단계 1110에 나타난 바와 같이, 홀수 열 출력들이 제1 CDS 블록(예컨대, 하부 CDS 블록)에 연결되고 짝수 열 출력들은 다른 CDS 블록(예컨대, 상부 CDS 블록)에 연결된다. 만약 선택된 행 라인이 짝수 행이면, 단계 1120에 나타난 바와 같이, 홀수 열들 출력들이 제1 CDS 블록(예컨대, 상부 CDS 블록)에 연결되고 짝수 열들 출력들은 다른 CDS 블록(예컨대 하부 CDS 블록)에 연결된다. 단계 1110 또는 단계 1120에서 연결이 설정되면, 단계 1130에서, 상부 및 하부 CDS 블록이 선택된 행 라인을 구동하고 열 출력 신호들을 샘플링한다. 단계 1132에서, 아날로그 신호들이 디지털 신호들로 변환된다. 단계 1134에서, 처리되는 행 라인이 마지막 라인인지 여부를 판단하며, 마지막 라인이면 한 프레임에 대한 처리가 끝난다(단계 1136). 만약 행 라인이 마지막 라인이 아니라면, 흐름도는 다음 독출 행 라인으로 계속 진행하여(단계 1138) 다음 행 라인을 선택하기 위해 단계 1106으로 돌아간다.

도 6 및 도 10의 CMOS 영상 소자는 도 12에 도시된 더 큰 시스템(1200)에 적용될 수 있다. 영상 소자(1202)는 광학 렌즈(1207)를 통해서 피사체(1206)의 광 신호를 받아 화면(display)(1210)을 제공하는 디지털 신호 처리기(DSP)(1208)에 제공될 영상 신호를 생성한다.

도 12의 CMOS 영상 소자(1202)는 도 6의 CMOS 영상 소자 또는 도 10의 CMOS 영상 소자일 수 있다. 일 예로서, CMOS 영상 소자(1202)는 능동 화소 센서 배열 APS array (12022), 두 개의 CDS&Comparator&ADCs 블록(12024, 12030), 두 개의 래치 Latch (12026,12032), 두 개의 열 해독기 Column Decoder (12028,12036), 다중화기 MUX(12050), 두 개의 램프 발생기 Ramp Gen. (12038,12044), 행 해독기 Row Decoder (12040), 그리고 행 구동기 Row Driver (12042)를 포함한다. CMOS 영상 소자(1202)는 또한 제어 레지스터 블록(12046) 및 시간 발생기(12048)를 포함할 수 있다.

앞서 언급한 것 같이, CMOS 영상 소자(1202)는 영상 데이터를 디지털 신호 처리기 DSP(1208)에 제공하고 또한 DSP(1208)와 제어 정보를 서로 교환한다. DSP(1208)는 카메라 제어기(12082)와 영상 신호 처리기(12084)를 포함하고, 화면(1210)에 표시되는 전기 신호를 생성하기 위한 컴퓨터 인터페이스(PC I/F)(12086)를 포함한다.

본 발명의 CMOS 영상 소자 및 방법은 고정 패턴 잡음을 감소시킨다. 이에 따라, 화면에 표시되는 광 신호가 원 피사체(original)가 나타내는 고유 광 신호를 정확하게 대변한다.

도 12에 도시된 바와 같이, 본 발명의 실시예에 따른 CMOS 영상 소자는 피사체로부터 받은 광 신호를 전기적 신호로 전환한다. CMOS 영상 소자에 의해 형성된 전기적 신호는 예컨대, 신호 처리 그리고/또는 영상 인식(image recognition) 등의 다양한 기술을 사용하여 더 처리되고 다시 화면에 표시되기 위한 광 신호로 전환된다.

이상의 실시예를 통해서 본 발명이 기술되었지만, 다양하게 변경될 수 있다. 예를 들어, 본 발명이 비록 CMOS 영상 소자 관점에서 기술하고 있지만 본 발명의 다양한 발명적 개념은 CMOS 영상 소자 이외의 다른 영상 소자에서도 적용될 수 있

다. 더 나아가서, 도 6 및 도 10의 블록 다이어그램, 도 9a의 회로 다이어그램, 도 9b의 타이밍 다이어그램, 도 11의 흐름도, 도 12의 시스템은 단지 예시적인 것에 불과하며 이들과 균등한 블록 다이어그램, 회로 다이어그램, 타이밍 다이어그램, 흐름도, 시스템으로 대체될 수 있음은 당업자에 있어서 자명하다.

이제까지 본 발명에 대하여 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다.

발명의 효과

이상에서 살펴본 본 발명에 따르면, 짝수 열 라인들로부터 제공된 신호들 및 홀수 열 라인들로부터 제공된 신호들이 각각 서로 다른 ADC 블록에서 동시에 처리되고, 그린 화소들 G_R 및 G_B 가 동일한 ADS 블록에서 처리되기 때문에, 고정 패턴 잡음을 감소시킬 수 있다. 따라서 양질의 영상을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

다수의 단위 화소들을 구비한 능동 화소 센서 배열;

상기 능동 화소 센서 배열에서 적어도 하나 이상의 행 라인을 선택하기 위한 행 구동기;

적어도 두 개 이상의 아날로그-디지털 변환기 블록들;

적어도 하나 이상의 열 라인 및 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 하나 사이의 연결을 설정하기 위한 스위칭 소자를 구비하되,

상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 적어도 하나는 상기 다수의 단위 화소들의 적어도 둘 이상의 열들에 연결이 설정되는 영상 소자.

청구항 2.

제 1 항에 있어서,

상기 능동 화소 센서 배열의 모든 레드 및 블루 화소들은 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나에 의해서 처리되고, 상기 활성 소자 센서 배열의 모든 그린 화소들은 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 다른 하나에 의해서 처리되는 영상 소자.

청구항 3.

제 2 항에 있어서,

상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들에 의해 수행되는 처리는 샘플링, 증폭 및 변환 처리를 포함하는 영상 소자.

청구항 4.

제 1 항에 있어서,

상기 스위칭 소자는, 한 세트의 스위치는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 스위치는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결하는 적어도 두 세트의 스위치들을 포함하는 영상 소자.

청구항 5.

제 1 항에 있어서,

상기 스위칭 소자는, 한 세트의 다중화기는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 다중화하고 다른 한 세트의 다중화기는 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 다중화하는 적어도 두 세트의 다중화기들을 포함하는 영상 소자.

청구항 6.

제 1 항에 있어서,

상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 각각은,

영상 샘플을 유지하기 위한 상관 중복 샘플링 블록,

상기 영상 샘플을 증폭하기 위한 증폭기,

입력된 아날로그 샘플을 디지털 신호로 변환하기 위한 아날로그-디지털 변환기,

상기 아날로그-디지털 변환기로부터 제공된 상기 디지털 신호를 래치하기 위한 래치 블록,

선택 신호에 따라 직렬로 신호들을 출력하기 위한 데이터 선택기를 포함하는 영상 소자.

청구항 7.

제 6 항에 있어서,

상기 래치 블록으로부터 제공된 신호를 출력하기 위한 다중화기를 더 포함하는 영상 소자.

청구항 8.

제 1 항에 있어서,

상기 적어도 하나 이상의 열 라인 및 상기 적어도 두 개 이상의 아날로그-디지털 변환기 블록들 중 어느 하나 사이의 상기 연결은 시간 발생기 및 주소 발생기 중 어느 하나로 부터 제공된 신호에 응답하여 설정되는 영상 소자.

청구항 9.

제 8 항에 있어서,

상기 신호는 홀수/짝수 신호 및 선택 신호 중 어느 하나인 영상 소자.

청구항 10.

제 9 항에 있어서,

상기 다수의 단위 화소들 각각은 광-감지기 및 처리 회로를 포함하며, 상기 처리 회로는 리셋 수준 신호를 발생하기 위한 리셋 회로 및 상기 광-감지기 및 리셋 수준 신호로부터 제공된 신호를 증폭하기 위한 증폭 회로를 포함하는 영상 소자.

청구항 11.

제 10 항에 있어서,

상기 처리 회로는 다수의 트랜지스터를 포함하는 영상 소자.

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

다수의 단위 화소들을 구비하는 능동 화소 센서 배열의 행 라인을 선택하기 위한 행 구동기;

스위칭 소자를 포함하되,

상기 스위칭 소자는,

선택되는 행 라인이 홀수 행이면, 상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 제1 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 제2 상관 중복 샘플링 블록에 연결하며,

선택되는 행 라인이 짝수 행이면, 상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 상기 제2 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 상기 제1 상관 중복 샘플링 블록에 연결하는 것을 특징으로 하는 영상 소자.

청구항 24.

제 23 항에 있어서,

상기 능동 화소 센서 배열의 모든 레드 및 블루 화소들은 어느 하나의 상관 중복 샘플링 블록에 의해서 처리되고, 상기 활성 소자 센서 배열의 모든 그린 화소들은 다른 하나의 상관 중복 샘플링 블록에 의해 처리되는 영상 소자.

청구항 25.

제 23 항에 있어서,

상기 제1 상관 중복 샘플링 블록 및 상기 제2 상관 중복 샘플링 블록 이후의 처리는 증폭 및 변환 처리를 포함하는 영상 소자.

청구항 26.

제 23 항에 있어서,

상기 스위칭 소자는, 한 세트의 스위치는 상기 상관 중복 샘플링 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 스위치는 상기 상관 중복 샘플링 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결하는 적어도 두 세트의 스위치를 포함하는 영상 소자.

청구항 27.

제 23 항에 있어서,

상기 스위칭 소자는, 한 세트의 다중화기는 상기 상관 중복 샘플링 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 다중화기는 상기 상관 중복 샘플링 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결하는 적어도 두 세트의 다중화기를 포함하는 영상 소자.

청구항 28.

제 23 항에 있어서,

상기 제1 및 제2 상관 중복 샘플링 블록들 각각은,

영상 샘플을 유지하기 위한 상관 중복 샘플링 블록,

상기 영상 샘플을 증폭하기 위한 증폭기,

입력된 아날로그 샘플을 디지털 신호로 변환하기 위한 아날로그-디지털 변환기,

상기 아날로그-디지털 변환기로부터 제공된 상기 디지털 신호를 래치하기 위한 래치 블록, 및

선택 신호에 따라서 직렬로 신호들을 출력하는 데이터 선택기를 포함하는 영상 소자.

청구항 29.

제 28 항에 있어서,

상기 래치 블록으로부터 제공된 신호를 출력하기 위한 다중화기를 더 포함하는 영상 소자.

청구항 30.

제 23 항에 있어서,

상기 열 출력들 및 상기 상관 중복 샘플링 블록들 사이의 상기 연결은 시간 발생기 및 주소 발생기 중 어느 하나로 부터 제공된 신호에 응답하여 설정되는 영상 소자.

청구항 31.

제 30 항에 있어서,

상기 신호는 홀수/짝수 신호 및 선택 신호 중 어느 하나인 영상 소자.

청구항 32.

제 23 항에 있어서,

상기 다수의 단위 화소들 각각은 광-감지기 및 처리 회로를 포함하며, 상기 처리 회로는 리셋 수준 신호를 발생하기 위한 리셋 회로 및 상기 광-감지기 및 리셋 수준 신호로부터 제공된 신호를 증폭하기 위한 증폭 회로를 포함하는 영상 소자.

청구항 33.

제 32 항에 있어서,

상기 처리 회로는 다수의 트랜지스터들을 포함하는 영상 소자.

청구항 34.

다수의 단위 화소들을 구비하는 능동 화소 센서 배열;

상기 다수의 단위 화소들의 제1 서브세트를 제1 상관 중복 샘플링 블록에 연결하고, 상기 다수의 단위 화소들의 제2 서브세트를 제2 상관 중복 샘플링 블록에 연결하기 위한 스위칭 소자를 포함하되,

상기 다수의 단위 화소들의 제1 서브세트는 블루 및 레드 화소들이고 상기 다수의 단위 화소들의 제2 서브세트는 그린 화소들인 영상 소자.

청구항 35.

제 34 항에 있어서,

상기 제1 상관 중복 샘플링 블록 및 제2 상관 중복 샘플링 블록 이후에 수행되는 처리는 증폭 및 변환 처리인 영상 소자.

청구항 36.

제 34 항에 있어서,

상기 스위칭 소자는, 한 세트의 스위치는 상기 상관 중복 샘플링 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 스위치는 상기 상관 중복 샘플링 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결하는 적어도 두 세트의 스위치를 포함하는 영상 소자.

청구항 37.

제 34 항에 있어서,

상기 스위칭 소자는, 한 세트의 아날로그 다중화기는 상기 상관 중복 샘플링 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 아날로그 다중화기는 상기 상관 중복 샘플링 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결하는 적어도 두 세트의 아날로그 다중화기를 포함하는 영상 소자.

청구항 38.

제 34 항에 있어서,

상기 제1 및 제2 상관 중복 샘플링 블록들은 각각,

영상 샘플을 유지하기 위한 상관 중복 샘플링 블록,

상기 영상 샘플을 증폭하기 위한 증폭기,

입력된 아날로그 샘플을 디지털 신호로 변환하기 위한 아날로그-디지털 변환기,

상기 아날로그-디지털 변환기로부터 제공된 상기 디지털 신호를 래치하기 위한 래치 블록, 및

선택 신호에 따라서 직렬로 신호들을 출력하는 데이터 선택기를 포함하는 영상 소자.

청구항 39.

제 38 항에 있어서,

상기 래치 블록으로부터 제공된 신호를 출력하기 위한 다중화기를 더 포함하는 영상 소자.

청구항 40.

제 34 항에 있어서,

상기 다수의 단위 화소들 및 상기 상관 중복 샘플링 블록들 사이의 상기 연결은 상기 시간 발생기 및 주소 발생기에 중 어느 하나로 부터 제공된 신호에 응답하여 설정되는 영상 소자.

청구항 41.

제 40 항에 있어서,

상기 신호는 홀수/짝수 신호 및 선택 신호 중 어느 하나인 영상 소자.

청구항 42.

제 34 항에 있어서,

상기 다수의 단위 화소들 각각은 광-감지기 및 처리 회로를 포함하며, 상기 처리 회로는 리세트 수준 신호를 발생하기 위한 리세트 회로 및 상기 광-감지기 및 리세트 수준 신호로부터 제공된 신호를 증폭하기 위한 증폭 회로를 포함하는 영상 소자

청구항 43.

제 42 항에 있어서,

상기 처리 회로는 다수의 트랜지스터들을 포함하는 영상 소자.

청구항 44.

행렬로 배열된 다수의 단위 화소들을 구비하는 능동 화소 센서 배열;

적어도 하나의 아날로그-디지털 변화기를 상기 다수의 단위 화소들의 적어도 둘 이상의 열들에 연결하는 스위칭 소자를 포함하는 영상 소자.

청구항 45.

제 44 항에 있어서,

상기 능동 화소 센서 배열의 모든 레드 화소들 및 블루 화소들은 하나의 아날로그-디지털 변환기에 의해 처리되고, 상기 능동 화소 센서 배열의 모든 그린 화소들은 다른 하나의 아날로그-디지털 변환기에 의해 처리되는 영상 소자.

청구항 46.

제 45 항에 있어서,

상기 스위칭 소자는, 한 세트의 스위치는 상기 아날로그-디지털 변환기 블록들 중 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 스위치는 상기 아날로그-디지털 변환기 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결하는 적어도 두 세트의 스위치들을 포함하는 영상 소자.

청구항 47.

제 45 항에 있어서,

상기 스위칭 소자는, 한 세트의 다중화기는 상기 아날로그-디지털 변환기 블록들 중 어느 하나를 상기 능동 화소 센서 배열에 연결하고 다른 한 세트의 다중화기는 상기 아날로그-디지털 변환기 블록들 중 다른 하나를 상기 능동 화소 센서 배열에 연결하는 적어도 두 세트의 다중화기들을 포함하는 영상 소자.

청구항 48.

제 44 항에 있어서,

상기 적어도 하나 이상의 아날로그-디지털 변환기 블록 및 상기 다수의 단위 화소들의 적어도 둘 이상의 열들 사이의 상기 연결은 시간 발생기 및 주소 발생기에 중 어느 하나로 부터 제공된 신호에 응답하여 설정되는 영상 소자.

청구항 49.

제 48 항에 있어서,

상기 신호는 홀수/짝수 신호 및 선택 신호 중 어느 하나인 영상 소자.

청구항 50.

제 44 항에 있어서,

상기 다수의 단위 화소들 각각은 광-감지기 및 처리 회로를 포함하며, 상기 처리 회로는 리셋 수준 신호를 발생하기 위한 리셋 회로 및 상기 광-감지기 및 리셋 수준 신호로부터 제공된 신호를 증폭하기 위한 증폭 회로를 포함하는 영상 소자.

청구항 51.

제 50 항에 있어서,

상기 처리 회로는 다수의 트랜지스터들을 구비하는 영상 소자.

청구항 52.

다수의 단위 화소들을 구비하는 능동 화소 센서 배열로부터 적어도 하나 이상의 행 라인을 선택하고;

적어도 하나 이상의 열 및 적어도 둘 이상의 아날로그-디지털 변환기 블록들 중 적어도 하나 사이에 연결을 설정하는 것을 포함하되,

상기 적어도 둘 이상의 아날로그-디지털 변환기 블록들 중 적어도 하나는 상기 다수의 단위 화소들 중 적어도 둘 이상의 열들에 연결이 설정되는 고정 패턴 잡음 감소 방법.

청구항 53.

다수의 단위 화소들을 구비하는 능동 화소 센서 배열로부터 적어도 하나 이상의 행을 선택하고;

적어도 하나 이상의 열 및 적어도 하나 이상의 아날로그-디지털 변환기 블록 사이에 연결을 설정하는 것을 포함하되,

상기 적어도 하나 이상의 아날로그-디지털 변환기는 상기 다수의 단위 화소들의 적어도 둘 이상의 열들에 연결이 설정되는 고정 패턴 잡음 감소 방법.

청구항 54.

다수의 단위 화소들을 구비하는 능동 화소 센서 배열을 구비하는 영상 소자를 제공하고;

상기 다수의 단위 화소들의 제1 서브세트를 제1 상관 중복 샘플링 블록에 연결하고 상기 다수의 단위 화소들의 제2 서브세트를 제2 상관 중복 샘플링 블록에 연결하는 것을 포함하되,

상기 다수의 단위 화소들의 제1 서브세트는 블루 화소들 및 레드 화소들이고 상기 다수의 단위 화소들의 제2 서브세트는 그린 화소들인 고정 패턴 잡음 감소 방법.

청구항 55.

행렬로 배열된 다수의 단위 화소들을 구비하는 능동 화소 센서 배열을 구비하는 영상 소자를 제공하고;

적어도 하나 이상의 아날로그-디지털 변환기를 상기 다수의 단위 화소들의 적어도 둘 이상의 열들에 연결하는 것을 포함하는 고정 패턴 잡음 감소 방법.

청구항 56.

다수의 단위 화소들을 구비하는 능동 화소 센서 배열로부터 하나의 행 라인을 선택하고;

상기 행 라인이 홀수 행이면, 상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 제1 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 제2 상관 중복 샘플링 블록에 연결하고;

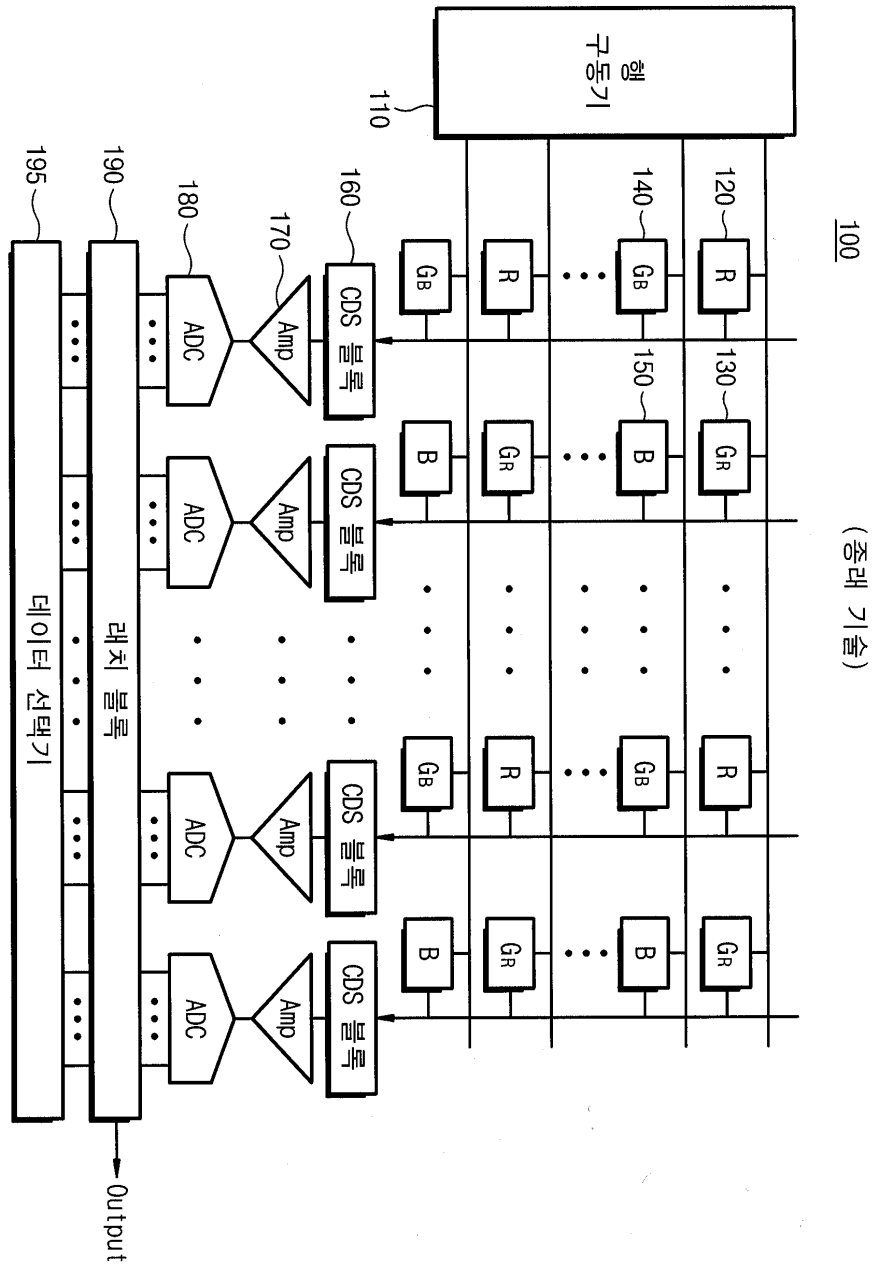
상기 행 라인이 짝수 행이면, 상기 능동 화소 센서 배열의 홀수 열 라인들로부터 제공된 열 출력들을 상기 제2 상관 중복 샘플링 블록에 연결하고 상기 능동 화소 센서 배열의 짝수 열 라인들로부터 제공된 열 출력들을 상기 제1 상관 중복 샘플링 블록에 연결하고;

상기 선택된 행 라인을 구동하고 상기 제1 상관 중복 샘플링 블록 및 제2 상관 중복 샘플링 블록 모두에서 열 출력 신호들을 샘플링하고;

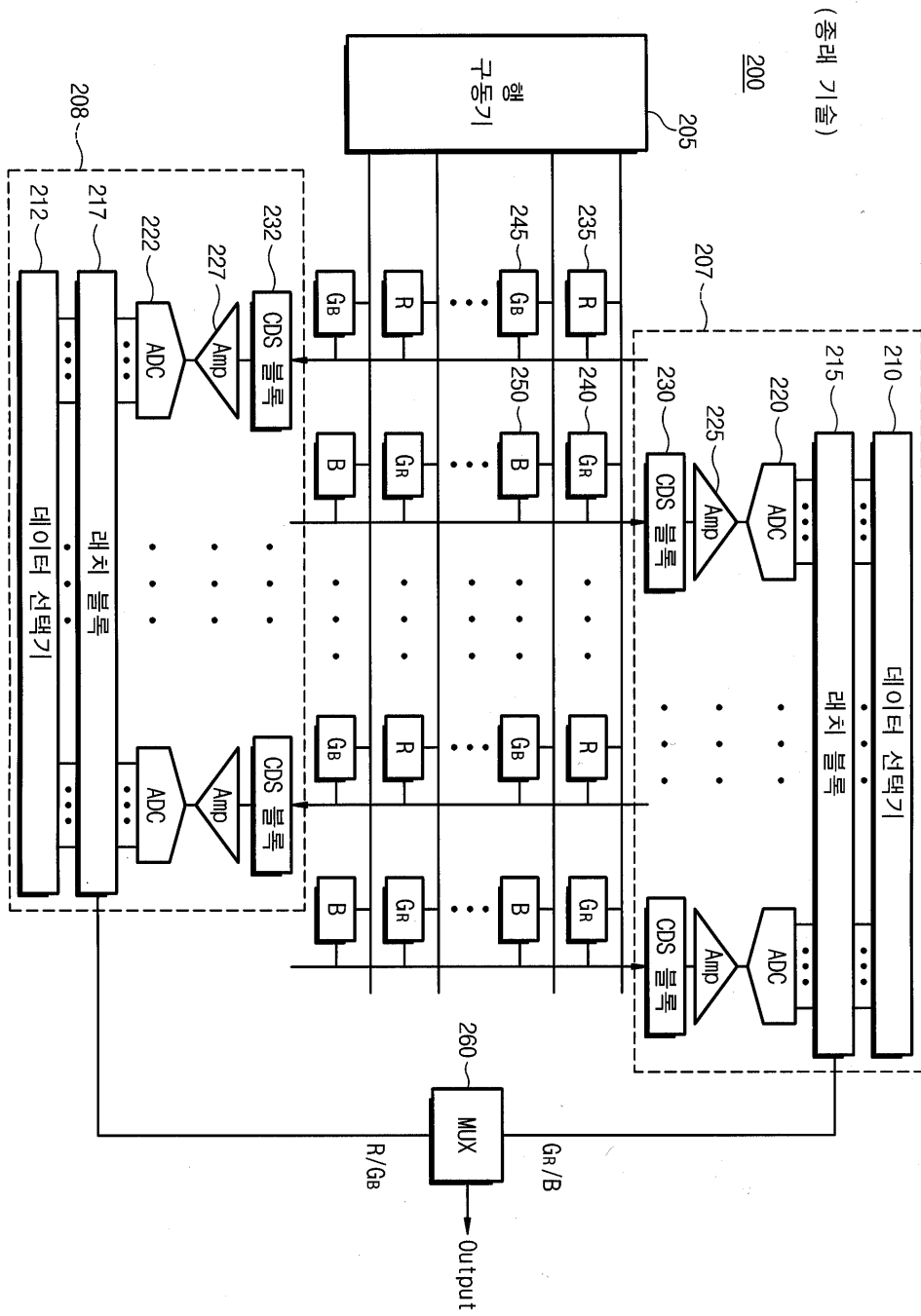
아날로그 신호 출력을 디지털 신호로 변환하는 것을 포함하는 고정 패턴 잡음 감소 방법.

도면

도면1

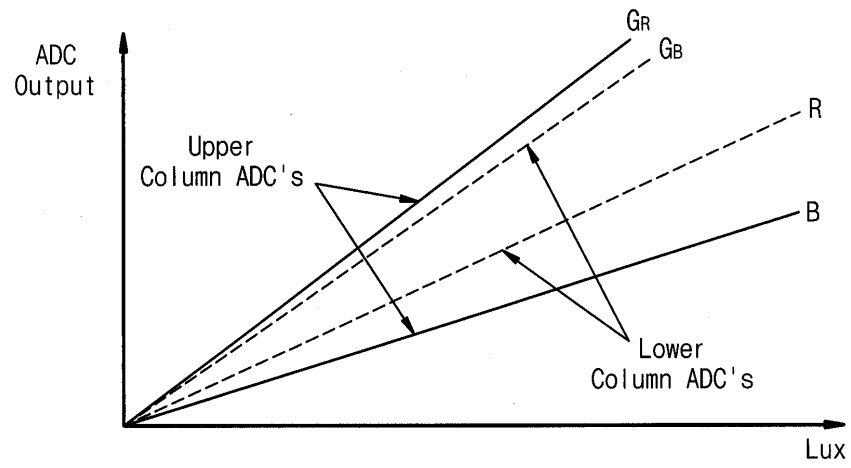


도면2

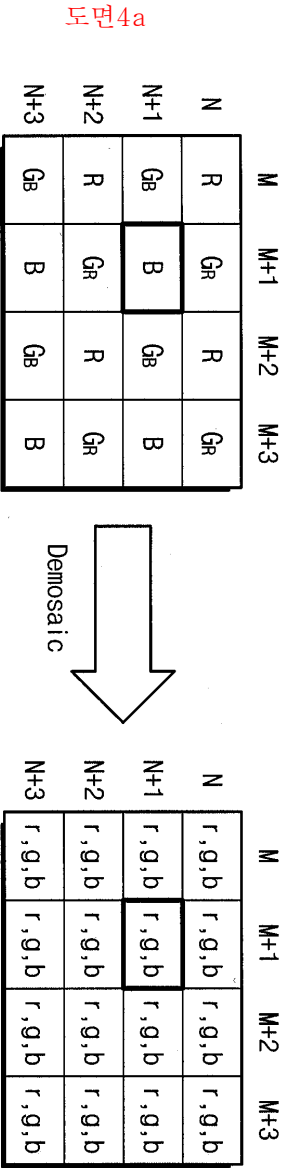


도면3

(종래 기술)



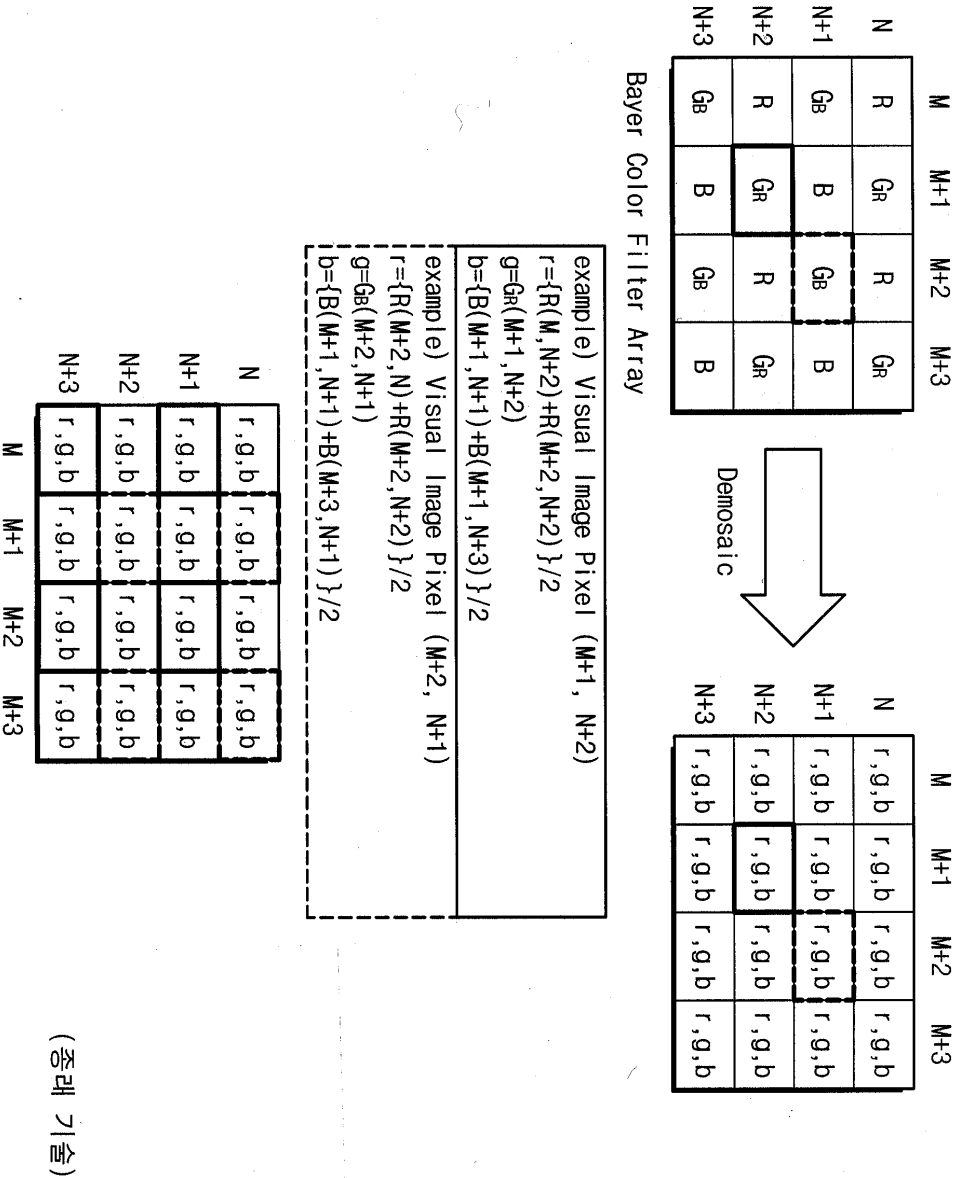
(종래 기술)



Bayer Color Filter Array

example) Pixel (M+1, N+1)
 $r = \{R(M, N) + R(M+2, N) + R(M, N+2) + R(M+2, N+2)\} / 4$
 $g = \{Gr(M+1, N) + Gb(M, N+1) + Gb(M+2, N+1) + Gr(M+1, N+2)\} / 4$
 $b = B(M+1, N+1)$

도면4b



도면5

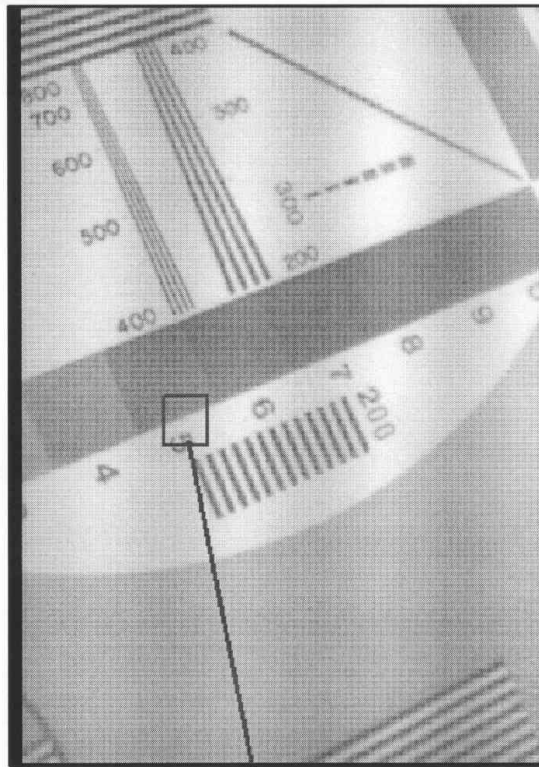


Fig. 5A

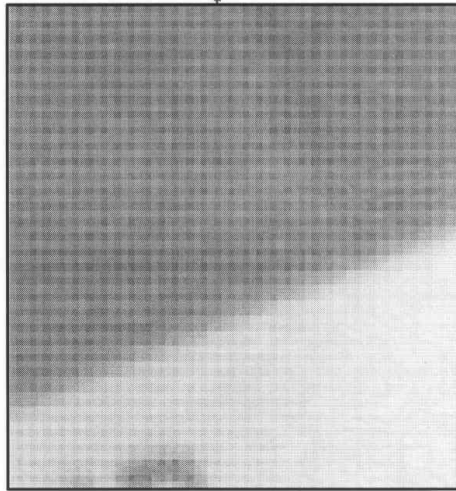
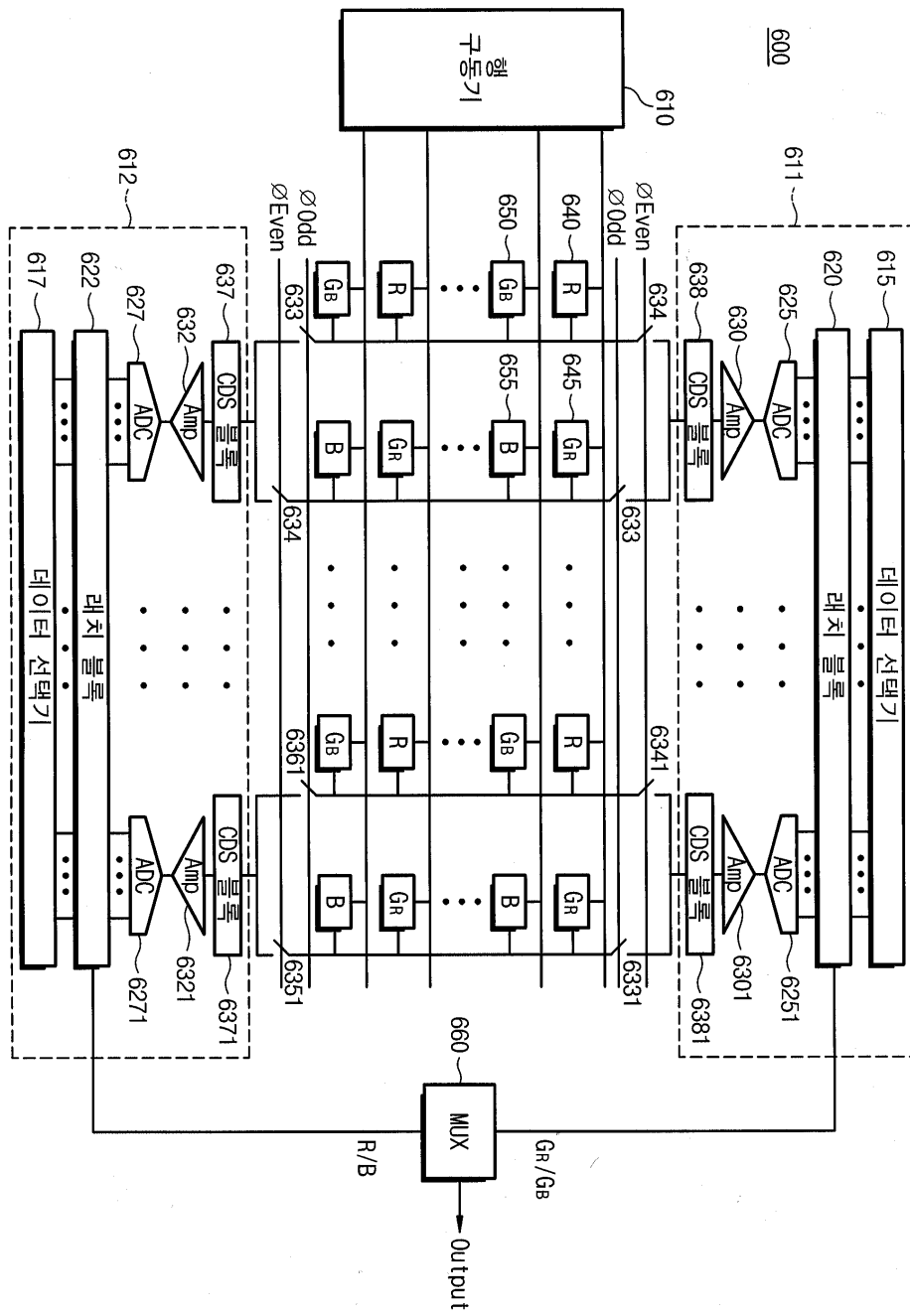
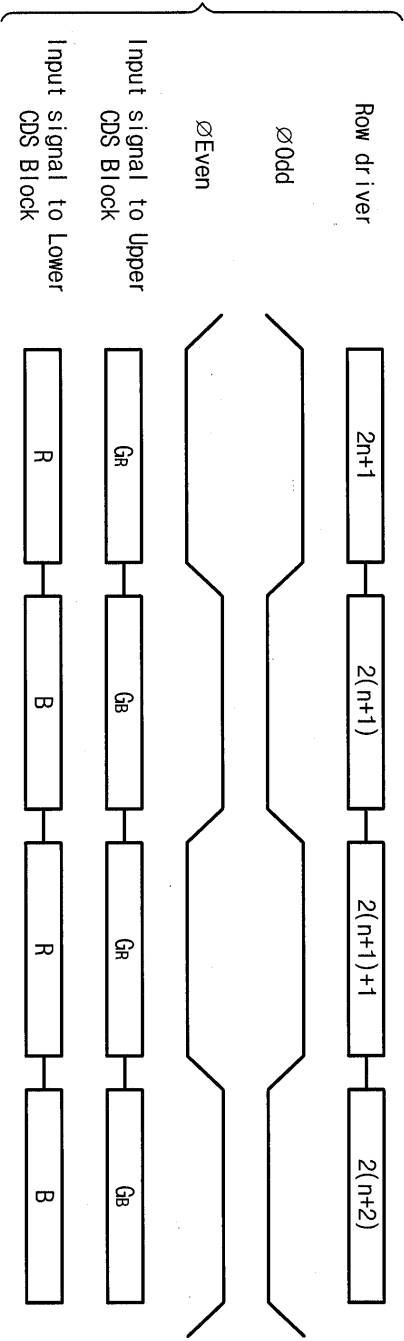


Fig. 5B

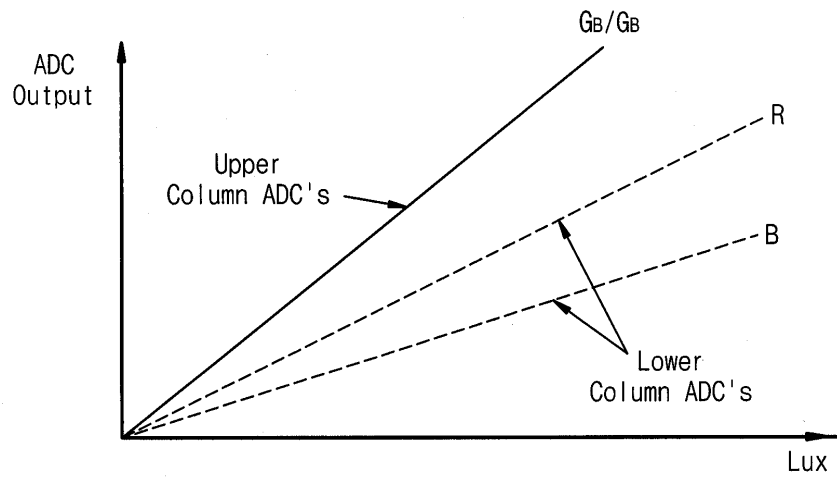
도면6



도면7

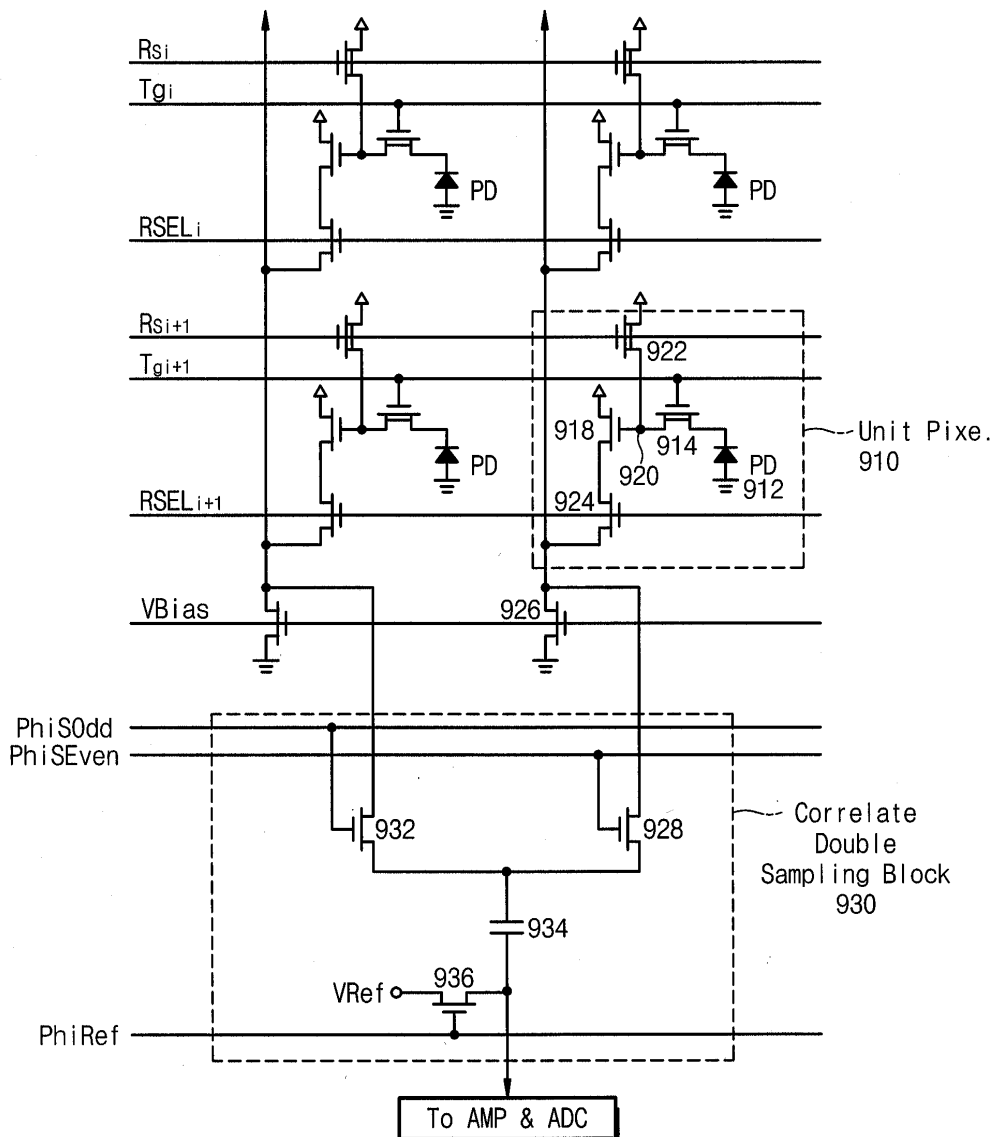


도면8

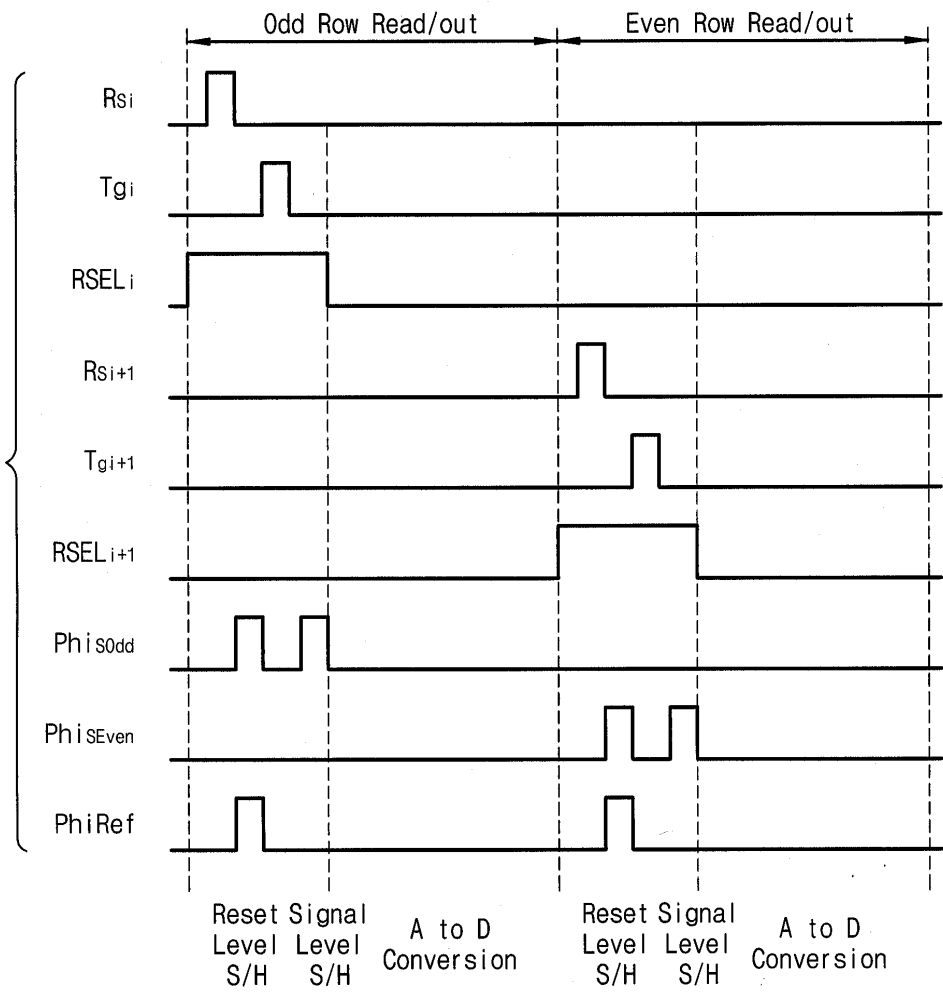


도면9a

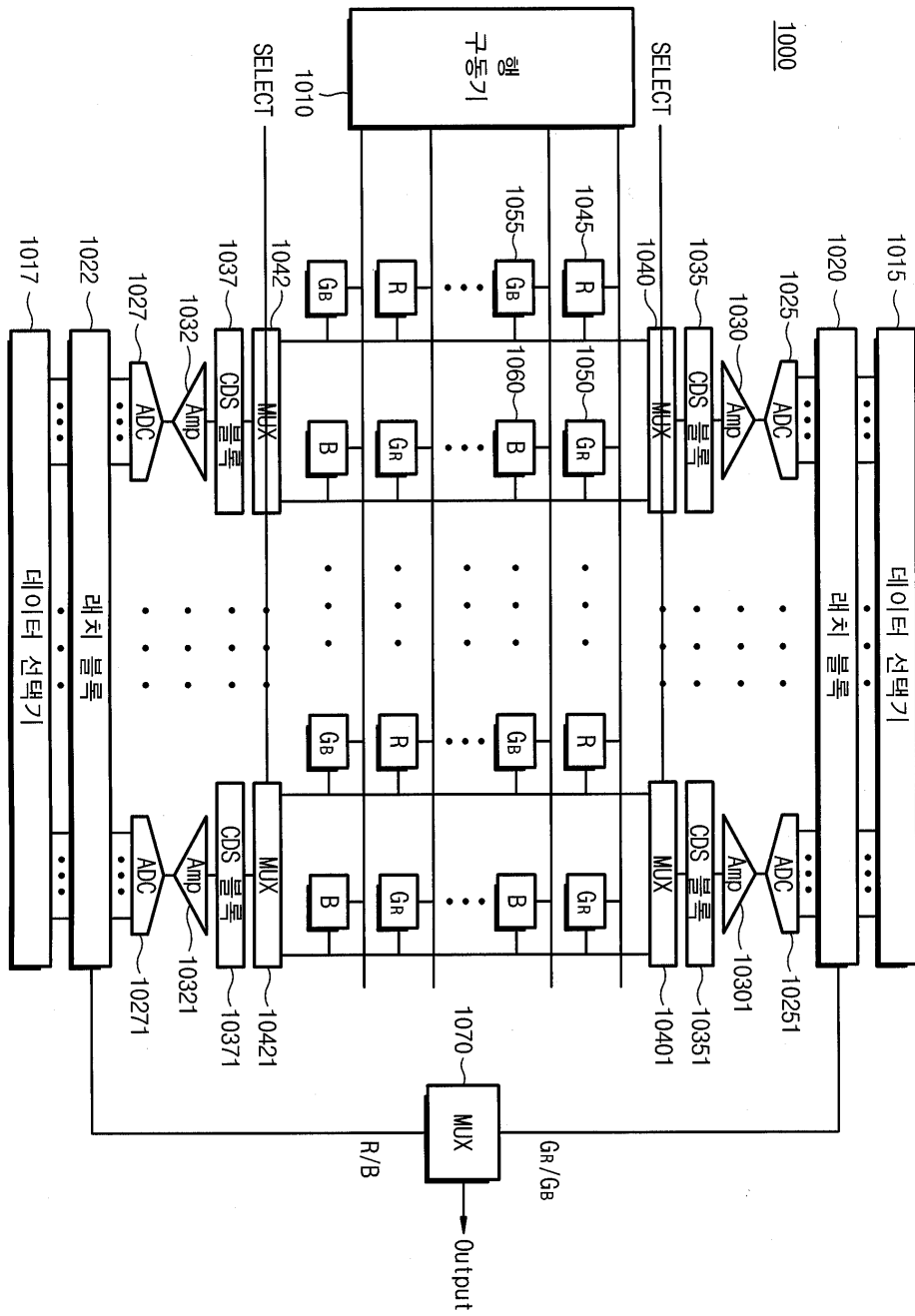
900



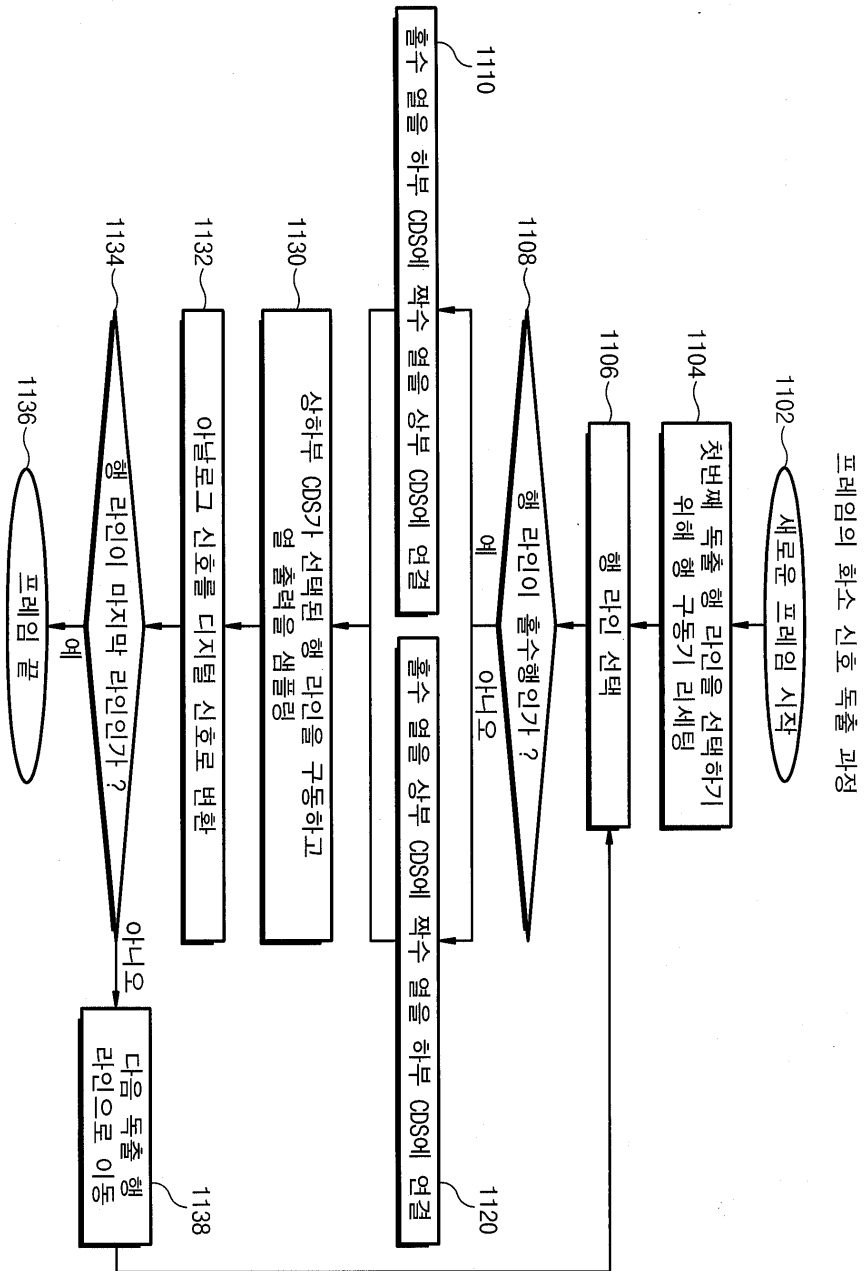
도면9b



도면10



도면11



도면12

