

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258755

(P2007-258755A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl. F I テーマコード(参考)  
 H O 1 L 21/60 (2006.01) H O 1 L 21/92 6 O 2 N 5 F O 4 4  
 H O 1 L 21/60 3 1 1 Q

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号	特願2007-168695 (P2007-168695)	(71) 出願人	000002185
(22) 出願日	平成19年6月27日(2007.6.27)		ソニー株式会社
(62) 分割の表示	特願2003-40730 (P2003-40730)	(74) 代理人	100086298
	の分割		弁理士 船橋 國則
原出願日	平成15年2月19日(2003.2.19)	(72) 発明者	江崎 孝之
			東京都港区港南1丁目7番1号 ソニー株式会社内
		Fターム(参考)	5F044 KK01 LL00 QQ02

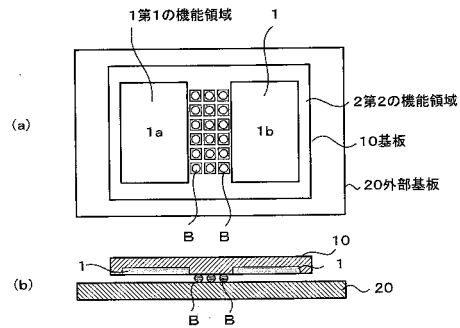
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】外部基板との加熱加圧による接続を行うにあたり、耐加圧力の低い第1の機能領域へのダメージを軽減し、信頼性の高い接続を行うこと。

【解決手段】本発明は、記憶素子からなり複数の領域が分割された第1の機能領域1と、外部との信号入出力を行う複数のバンプBを有し第1の機能領域1間にも領域を有する第2の機能領域2とが同一基板に設けられている半導体の基板10と、この基板10の上記複数のバンプBと直接接続された外部基板20とを有する半導体装置であって、前記半導体の基板10を平面視した場合、第1の機能領域1間の第2の機能領域2に、上記複数のバンプBが形成されているものである。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

記憶素子からなり複数の領域が分割された第 1 の機能領域と、外部との信号入出力を行う複数のバンプを有し上記第 1 の機能領域間にも領域を有する第 2 の機能領域とが同一基板に設けられている半導体基板と、

上記半導体基板の上記複数のバンプと直接接続された外部基板とを備える半導体装置であって、

前記半導体基板を平面視した場合、前記第 1 の機能領域間の前記第 2 の機能領域に、上記複数のバンプが形成されている

ことを特徴とする半導体装置。

10

## 【請求項 2】

前記第 2 の機能領域には、駆動回路もしくは信号処理回路を有することを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記第 2 の機能領域における耐加圧力は前記第 1 の機能領域における耐加圧力より大きい

ことを特徴とする請求項 1 記載の半導体装置。

## 【請求項 4】

記憶素子からなる第 1 の機能領域と、外部との信号入出力を行う複数のバンプを有し上記第 1 の機能領域に囲まれる領域を有する第 2 の機能領域とが同一基板に設けられている半導体基板と、

20

上記半導体基板の上記複数のバンプと直接接続された外部基板とを備える半導体装置であって、

前記半導体基板を平面視した場合、前記第 1 の機能領域に囲まれている前記第 2 の機能領域に、上記複数のバンプが形成されている

ことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、基板に記憶領域等から成る第 1 の機能領域と、駆動回路等から成る第 2 の機能領域と、外部との信号入出力を行う電極とが設けられた半導体装置に関する。

30

## 【背景技術】

## 【0002】

DRAM (Dynamic Random Access Memory) 等のメモリや駆動回路等が形成されたチップ (DRAM チップ) を外部基板に接続する技術として、はんだバンプを用いて加熱加圧により固定する方法が知られている。この DRAM チップにバンプ接続用パッドを配置する場合、DRAM セルアレイ直上に配置すると、バンプ接続 (組立) 時に荷重がかかるため、DRAM セルアレイにダメージが入ったり、特性が悪化するなどの問題が発生する。

## 【0003】

このため、従来では DRAM セルアレイ直上を避けて周辺回路 (駆動回路等) の位置にバンプ接続用パッドを配置している。図 8 は従来 of 半導体装置を説明する模式図であり、(a) は平面図、(b) は断面図である。すなわち、この半導体装置は、信号処理チップなどの LSI から成る外部基板 20 上にバンプ B を介して上に DRAM チップ等を備えた基板 10 を接続した構成となっている。この場合、DRAM チップ上に形成された DRAM セルアレイ領域 (第 1 の機能領域 1) 内の同一表面上を避けて、他の信号処理回路等が形成される第 2 の機能領域 2 内にバンプ接続用パッドおよびバンプ B が配置されている。また、ボンディングワイヤーを接続するためのボンディングパッドの配置に関する技術が特許文献 1 で開示されている。

40

## 【0004】

【特許文献 1】特開平 04 - 162664 号公報

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、従来の半導体装置では、 bumps 接続用パッドおよび bumps が DRAM セルアレイ領域を避けて配置されているため、DRAM チップの接続の際に bumps を介して荷重がかかっても DRAM セルアレイに影響を与えることはないものの、 bumps 接続用パッドおよび bumps が DRAM チップ上の左右両端といったように離れた位置に配置されるため、 bumps 接続（組立）時の歩留が低下するといった問題が発生する。つまり、DRAM チップのわずかな傾きでも左右両端に配置された bumps への荷重ばらつきが大きくなり、例えば一方端の bumps は接続されても他方端の bumps が浮いてしまうなど、全ての bumps に対する均一な加圧接続が困難となり、製品の信頼性低下を招くことになる。

10

## 【課題を解決するための手段】

## 【0006】

本発明は、このような課題を解決するために成されたものである。すなわち、本発明は、記憶素子からなり複数に領域が分割された第1の機能領域と、外部との信号入出力を行う複数の bumps を有し上記第1の機能領域間にも領域を有する第2の機能領域とが同一基板に設けられている半導体基板と、上記半導体基板の上記複数の bumps と直接接続された外部基板とを備える半導体装置であって、前記半導体基板を平面視した場合、前記第1の機能領域間の前記第2の機能領域に、上記複数の bumps が形成されているものである。

## 【0007】

このような本発明では、第1の機能領域の外接矩形よりも内側に配置された第2の機能領域と重なる位置に電極が配置されていることから、電極の配置として基板の略中央にまとめることができる。これにより、接続の際の圧力が第1の機能領域へ加わることを防止できるとともに、電極の配置領域を広げることなく電極を介した外部基板との加圧接続を行うことができ、電極に対する均一な接続を行うことができるようになる。

20

## 【発明の効果】

## 【0008】

したがって、本発明によれば次のような効果がある。すなわち、半導体装置を加熱加圧によって外部基板と接続する場合、電極を介した圧力が第1の機能領域へ加わることがなくなるとともに、第1の機能領域へのダメージを防止することが可能となる。さらに、電極の配置領域が基板の略中央部分にまとまるため、電極に対する均一な接続によって信頼性の高い機器を提供することが可能となる。

30

## 【発明を実施するための最良の形態】

## 【0009】

以下、本発明の実施の形態を図に基づき説明する。図1は、第1実施形態に係る半導体装置を説明する模式図で、(a)は平面図、(b)は断面図である。すなわち、この半導体装置は、チップ状の基板10に第1の機能領域1と第2の機能領域2とが設けられたもので、第1の機能領域1としてはDRAMセルアレイ（記憶素子領域）、第2の機能領域2としてはDRAMセルアレイに対する信号処理回路や駆動回路からなるものである。

## 【0010】

第1実施形態の半導体装置では、第1の機能領域1が2つ（1a、1b）設けられており、その間の領域（第1の機能領域1を平面視した場合の外接矩形よりも内側の領域）となる第2の機能領域2内に外部との信号入出力を行う電極である bumps（金属突起）B が設けられている。半導体装置は、この bumps B を介してフェイスダウンで外部基板20と接続される。

40

## 【0011】

このような各部の配置により、基板10の略中央部で第1の機能領域1であるDRAMセルアレイ直上を避けて、 bumps B を設けることが可能となる。したがって、半導体装置の bumps B を介した外部基板20との加熱加圧接続において、 bumps B からDRAMセルアレイ（第1の機能領域1）には圧力が加わらないことになる。

50

## 【0012】

つまり、第1の機能領域1であるDRAMセルアレイは、一定面積当たりの耐加圧力（以下、単に「耐加圧力」と言う。）が第2の機能領域2である信号処理回路や駆動回路の領域よりも低いため、DRAMセルアレイ（第1の機能領域1）にはパンプBから圧力が加わらないことでDRAMセルアレイへのダメージを防止できるようになる。

## 【0013】

また、パンプBが基板10の略中央部分に配置されているため、基板10の端部にパンプを設ける場合に比べて最端のパンプ間の距離を短くすることができ、基板10が多少傾いても外部基板20に対して均一にパンプ接続を行うことが可能となる。

## 【0014】

図2は、第2実施形態に係る半導体装置を説明する模式図で、(a)は平面図、(b)は断面図である。すなわち、この半導体装置は、チップ状の基板10に設けられた第1の機能領域1および第2の機能領域のうち、第1の機能領域1が4つ(1a、1b、1c、1d)設けられており、その間の領域(第1の機能領域1を平面視した場合の外接矩形よりも内側の領域)となる第2の機能領域2内に十字状に複数のパンプBが配置されたものである。半導体装置は、このパンプBを介してフェースダウンで外部基板20と接続される。

10

## 【0015】

このような各部の配置により、基板10の略中央部で第1の機能領域1であるDRAMセルアレイ直上を避けて、パンプBを設けることが可能となる。したがって、半導体装置のパンプBを介した外部基板20との加熱加圧接続において、先の例と同様の作用効果、すなわちパンプBから耐加圧力の低い(信号処理回路や駆動回路からなる第2の機能領域2よりも耐加圧力の低い)DRAMセルアレイ(第1の機能領域1)には圧力が加わらず、DRAMセルアレイへのダメージを防止できるようになる。

20

## 【0016】

また、複数のパンプBが十字状に配置されることで、基板10の略中央部分への配置とともに、各パンプBと第1の機能領域1との配線間距離を極力短くすることができ、信号遅延の抑制を図ることが可能となる。

## 【0017】

図3は、第3実施形態に係る半導体装置を説明する模式平面図である。この半導体装置は図2に示す第2の実施形態に係る半導体装置の応用例であり、チップ状の基板10に設けられた第1の機能領域1および第2の機能領域のうち、第1の機能領域1が6つ(1a、1b、1c、1d、1e、1f)設けられており、その間の領域(第1の機能領域1を平面視した場合の外接矩形よりも内側の領域)となる第2の機能領域2内に、複数のパンプBが連続する十字状となって配置されたものである。

30

## 【0018】

このように、第1の機能領域1はいくつ設けられていてもよく、各第1の機能領域(例えば、1a~1f)の間となる第2の機能領域2の位置にパンプBを配置することで、基板10の略中央部分へのパンプ配置および各パンプBと第1の機能領域1との配線間距離の短縮化を両立できるようになる。

40

## 【0019】

図4は、第4実施形態に係る半導体装置を説明する模式平面図である。この半導体装置は図2に示す第2の実施形態に係る半導体装置の応用例であり、チップ状の基板10に設けられた第1の機能領域1および第2の機能領域のうち、第1の機能領域が4つ(1a、1b、1c、1d)設けられており、その間の領域(第1の機能領域1を平面視した場合の外接矩形よりも内側の領域)となる第2の機能領域2内に複数のパンプBが矩形状に配置されたものである。

## 【0020】

このような各部の配置により、基板10の略中央部分へパンプBを配置できるとともに、各パンプBと第1の機能領域1との配線間距離の短縮化することが可能となる。

50

## 【0021】

図5は、第5実施形態に係る半導体装置を説明する模式平面図である。この半導体装置は図4に示す第4の実施形態に係る半導体装置の応用例であり、チップ状の基板10に設けられた第1の機能領域1および第2の機能領域のうち、第1の機能領域1が4つ(1a、1b、1c、1d)設けられており、その間の領域(第1の機能領域1を平面視した場合の外接矩形よりも内側の領域)となる第2の機能領域2内に矩形状にバンプBが配置されたものである。

## 【0022】

この実施形態では、第1の機能領域1(1a~1d)が基板10の略中央部分に矩形状に配置されたバンプBの回りを囲むように一部領域を切り欠いた状態で配置されている。このような配置によって、基板10の略中央部分へのバンプ配置および各バンプBと第1の機能領域1との配線間距離の短縮化とともに、基板10のレイアウト効率を高めることが可能となる。

10

## 【0023】

図6は、第6実施形態に係る半導体装置を説明する模式平面図である。この半導体装置は図5に示す第5の実施形態に係る半導体装置の応用例であり、チップ状の基板10に設けられた第1の機能領域1および第2の機能領域のうち、第1の機能領域1が4つ(1a、1b、1c、1d)設けられており、その間の領域(第1の機能領域1を平面視した場合の外接矩形よりも内側の領域)となる第2の機能領域2内に複数のバンプBが矩形状に配置されたものである。

20

## 【0024】

特にこの実施形態では、バンプBの偶部の一部が第1の機能領域1の一部と重なっている点で他の実施形態と相違する。つまり、第1の機能領域1のうちバンプBと重なる部分は接続の際に当然圧力を受けることになる。したがって、設計当初からこのバンプBから圧力を受ける第1の機能領域1の一部を無効領域(機能させない領域)として設定しておく。これによって、バンプBの領域と第1の機能領域1とを接近でき、第5の実施形態に係る半導体装置の効果に加え、さらにレイアウト効率を高めることが可能となる。

## 【0025】

図7は、第7実施形態に係る半導体装置を説明する模式平面図である。この半導体装置は、第2の機能領域2が第1の機能領域1に囲まれる状態で配置され、その第1の機能領域1に囲まれる第2の機能領域2内にバンプBが配置されたものである。つまり、第1の機能領域1が環状に連続しており、その中央の抜けている部分に第2の機能領域2およびバンプBが配置されている。

30

## 【0026】

このように第1の機能領域1が分割されずに環状となっても基板10の略中央部分へのバンプBを配置でき、また各バンプBと第1の機能領域1との配線間距離の短縮化を図ることが可能となる。

## 【0027】

なお、上記説明した各実施形態において、複数の第1の機能領域1としては、1つの機能領域を分割して配置したものでも、複数の機能領域を配置したものでもよい。例えば、第1の機能領域1がDRAMセルアレイから成る場合、合計で256Mbitとなるよう複数のDRAMセルアレイに分割して配置しても(この場合、分割された1つのDRAMセルアレイが第1の機能領域1の1個に相当)、また1つの第1の機能領域1が256MbitのDRAMセルアレイでこれを複数個配置してもよい(この場合、第1の機能領域1の個数×256Mbit分の合計容量となる)。

40

## 【0028】

また、第1の機能領域1としては矩形を中心に説明したが、これに限定されず、円形などの曲線部分を含むものでもよい。さらに、電極はバンプB以外であっても加圧加熱による接続を行うものであれば他の電極であっても同様である。

## 【図面の簡単な説明】

50

【 0 0 2 9 】

【 図 1 】 第 1 実施形態に係る半導体装置を説明する模式図である。

【 図 2 】 第 2 実施形態に係る半導体装置を説明する模式図である。

【 図 3 】 第 3 実施形態に係る半導体装置を説明する模式図平面である。

【 図 4 】 第 4 実施形態に係る半導体装置を説明する模式図平面である。

【 図 5 】 第 5 実施形態に係る半導体装置を説明する模式図平面である。

【 図 6 】 第 6 実施形態に係る半導体装置を説明する模式図平面である。

【 図 7 】 第 7 実施形態に係る半導体装置を説明する模式図平面である。

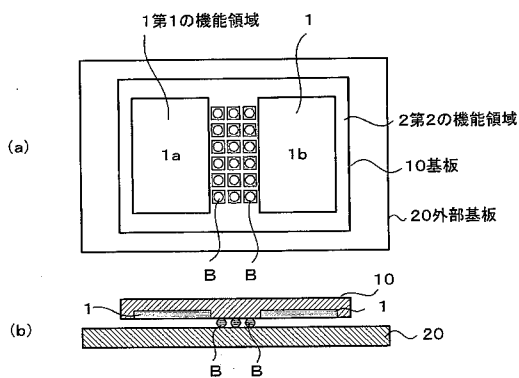
【 図 8 】 従来 of 半導体装置を説明する模式図である。

【 符号の説明 】

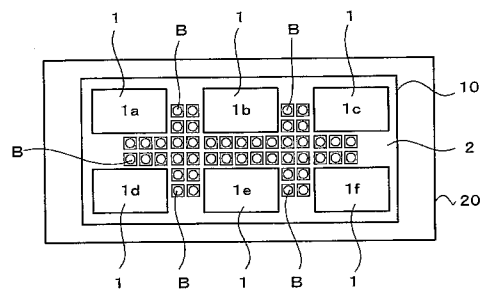
【 0 0 3 0 】

1 ... 第 1 の機能領域、 2 ... 第 2 の機能領域、 1 0 ... 基板、 2 0 ... 外部基板、 B ... バンプ

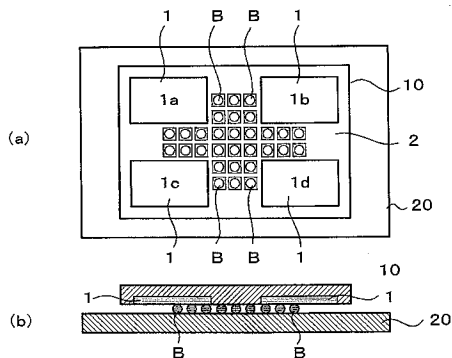
【 図 1 】



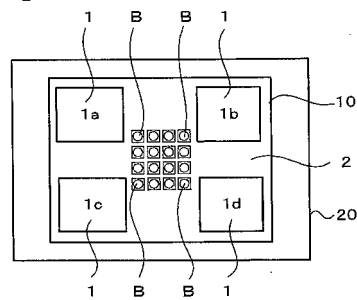
【 図 3 】



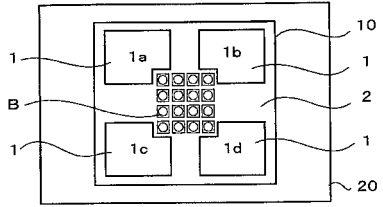
【 図 2 】



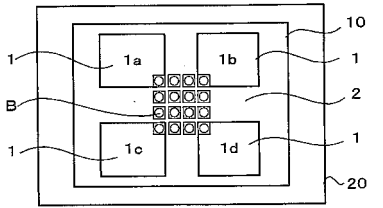
【 図 4 】



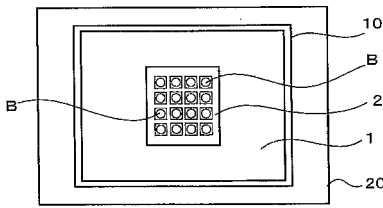
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

