



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I433263 B

(45) 公告日：中華民國 103 (2014) 年 04 月 01 日

(21) 申請案號：099138497

(22) 申請日：中華民國 99 (2010) 年 11 月 09 日

(51) Int. Cl. : H01L21/76 (2006.01)

H01L21/311 (2006.01)

(30) 優先權：2009/11/09 美國

12/614,496

(71) 申請人：東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72) 發明人：隆 凡恩 LUONG, VINH (US) ; 高明輝 KO, AKITERU (JP)

(74) 代理人：周良謀；周良吉

(56) 參考文獻：

US 6146970

US 6239476B1

US 2002/0185469A1

US 2005/0101100A1

US 2006/0003544A1

審查人員：修宇鋒

申請專利範圍項數：20 項 圖式數：13 共 0 頁

(54) 名稱

深渠溝襯層移除製程

DEEP TRENCH LINER REMOVAL PROCESS

(57) 摘要

本發明係關於一種襯層移除製程，其中，可實質上移除形成在渠溝中之保角襯層的過剩部分，並同時降低或最小化對渠溝中之主體填充材料的損害。

A liner removal process is described, wherein an excess portion of a conformal liner formed in a trench is substantially removed while reducing or minimizing damage to a bulk fill material in the trench.

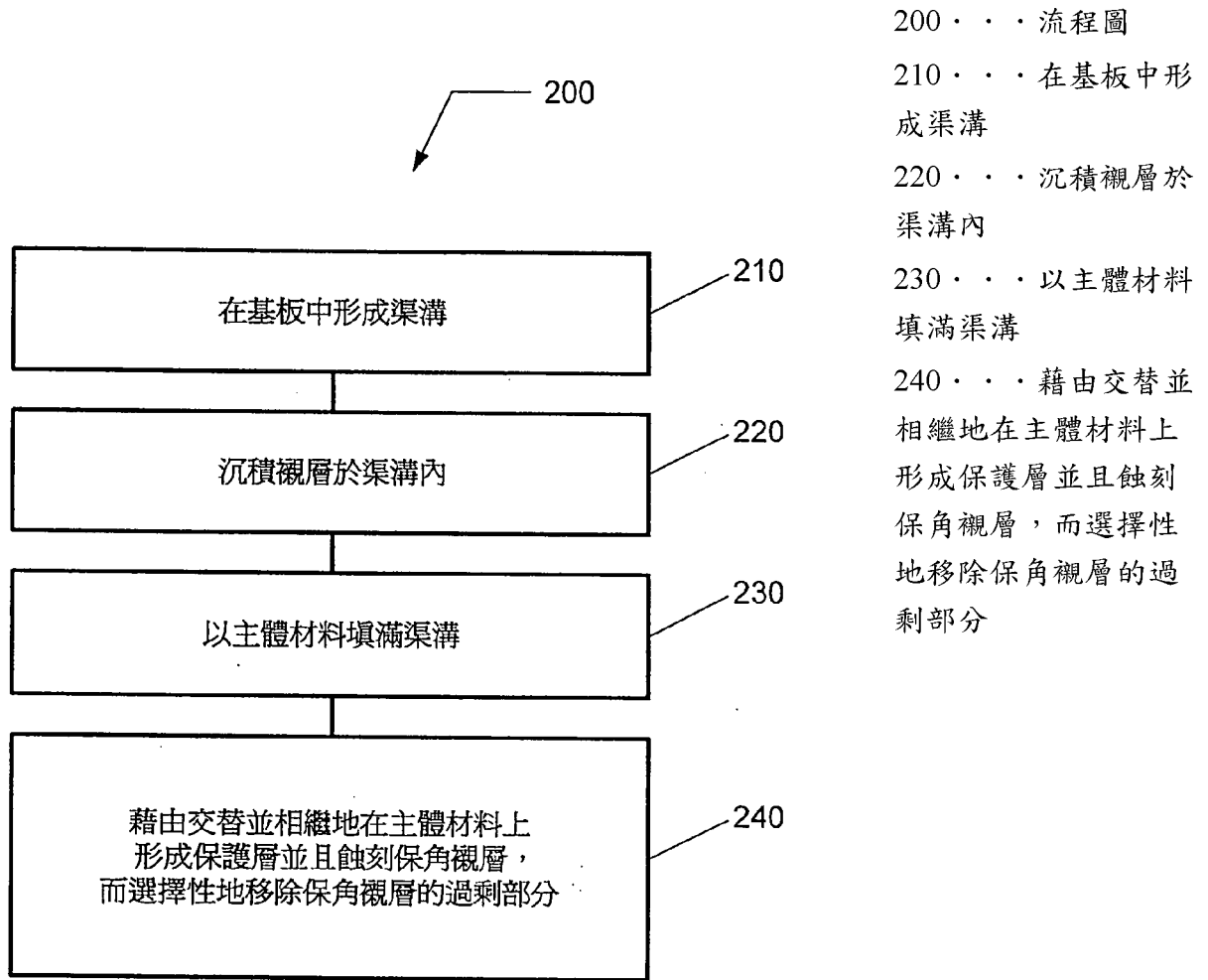


圖 2

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99138499

※ 申請日： 99.11.9

※IPC 分類：

H01L 21/76 E2003.01

H01L 21/311 E2006.01

一、發明名稱：(中文/英文)

深渠溝襯層移除製程/

DEEP TRENCH LINER REMOVAL PROCESS

二、中文發明摘要：

本發明係關於一種襯層移除製程，其中，可實質上移除形成在渠溝中之保角襯層的過剩部分，並同時降低或最小化對渠溝中之主體填充材料的損害。

三、英文發明摘要：

A liner removal process is described, wherein an excess portion of a conformal liner formed in a trench is substantially removed while reducing or minimizing damage to a bulk fill material in the trench.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200 流程圖

210 在基板中形成渠溝

220 沉積襯層於渠溝內

230 以主體材料填滿渠溝

240 藉由交替並相繼地在主體材料上形成保護層並且蝕刻保角襯層，而選擇性地移除保角襯層的過剩部分

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種襯層移除製程，尤其係關於一種可實質上移除形成在渠溝中之保角襯層之過剩部分並同時降低或最小化對渠溝中之主體填充材料之損害的襯層移除製程。

【先前技術】

在未來世代的電子裝置中，期望將高介電常數(high-k)材料使用作為電容器介電質。最早使用作為電容器介電質的高介電常數材料為氧化鈮以及氧化鋁材料。目前，預計鉛系介電質可進入閘極介電質的生產，藉以替代現行矽氧化物與矽氧氮化物材料。然而，依據目前的評估，現行高介電常數介電材料的整合會遭遇到各種問題。例如，在電容器渠溝中進行電容器電介質的保角沉積之後，當執行蝕刻製程而移除電容器介電質延伸到渠溝外及/或延伸超出渠溝內之主體填充材料之任何過剩部分時，會在主體填充材料中形成非所欲凹部。非所欲凹部的形成會因為電容器介電質與主體填充材料之間的不佳蝕刻選擇性而發生。

【發明內容】

本發明係關於一種襯層移除製程，尤其係關於一種可實質上移除形成在渠溝中之保角襯層之過剩部分並同時降低或最小化對渠溝中之主體填充材料之損害的襯層移除製程。

依照一種實施例，說明一種襯層移除製程。此襯層移除製程包含在基板中形成渠溝、將保角襯層沉積於渠溝內、以及以主體填充材料來填滿渠溝。再者，此襯層移除製程包含藉由交替地在主體填充材料上形成保護層並且蝕刻保角襯層，而選擇性地移除保角襯層的過剩部分。

依照另一實施例，說明一種襯層移除製程。此襯層移除製程包含在基板中形成渠溝、將保角高介電常數襯層沉積於渠溝內、以及以多晶矽層來填滿渠溝。再者，此襯層移除製程包含藉由執

行下列步驟而選擇性地移除保角高介電常數襯層的過剩部分：藉由將渠溝內之多晶矽層的曝露表面曝露至含氧電漿，而使此曝露表面氧化；在進行此氧化步驟之後，使用由具有含鹵氣體之製程氣體所形成的電漿來蝕刻保角高介電常數襯層；以及重複此氧化步驟以及此蝕刻步驟，直到實質上移除保角高介電常數襯層的過剩部分為止。

【實施方式】

在以下說明內容中，為了解釋而非限制之目的，提及具體細節，例如處理腔室的特定幾何形狀、各種用於其中之構件與製程的說明。然而，吾人應瞭解在背離這些具體細節的其他實施例中仍可實施本發明。

同樣地，為了解釋之目的，提及具體的數量、材料、以及構造，以提供對本發明的徹底瞭解。然而，在不具有這些具體細節的情況下，仍可實施本發明。再者，吾人可瞭解到圖式所示之各種實施例為例示性之表示，其並不一定是依比例繪製。

參照整個本說明書中的「一種實施例」或「一實施例」或其變化，其係指結合此實施例所述的特定特徵部、結構、材料、或性質係包含在本發明之至少一實施例中，而非指其在每一實施例中出現。因此，在整個本說明書的各處所出現之例如「在一種實施例中」或「在一實施例中」的詞組不必然指本發明之同一個實施例。再者，這些特定特徵部、結構、材料、或性質可以適當方式在一個以上的實施例中結合。在其他實施例中，可包含各種額外的層及/或結構，及/或可省略已說明過的特徵。

以最有助於瞭解本發明的方式，將各種操作依序描述成多個分離的操作。然而，不應將描述的順序理解為暗指這些操作必須按照順序。尤其，不必然要以陳述的順序來執行這些操作。吾人可以不同於所述之實施例的順序來執行所述之操作。在附加實施例中，可執行額外的操作及/或可省略所述之操作。

如在此所使用之「基板」一般係指依照本發明所處理的對象。

此基板可包含裝置(尤其係半導體裝置或其他電子裝置)的任何材料部分或結構，並且舉例來說，其可為底基板(base substrate)結構，例如半導體晶圓，或者可為位於或覆蓋於底基板結構上的層，例如薄膜。因此，基板並非意指限制於任何特定的底結構、下伏層或上覆層之圖案化或未圖案化者，而是考慮到包含任何此種層或底結構、以及層及/或底結構的任何組合。以下說明可涉及特定種類的基板，但此僅為例示性目的而非限制。

如上所述，在進行襯層移除製程期間，於襯層與主體填充材料之間，不佳的蝕刻選擇性可能會導致損害，更具體而言，可能會在主體填充材料中形成凹部。因此，依照數個實施例來說明襯層移除製程，其用以實質上移除形成在渠溝中之保角襯層的過剩部分，並同時降低或最小化對渠溝中之主體填充材料的損害。

以下參照圖式，其中，於圖 1A 到 1E 之數個視圖整體中，同樣的參考符號係標示相同或對應的零件，以及圖 2 顯示依照一實施例之襯層移除製程。將此方法顯示在流程圖 200 中，且此方法開始於在基板 110 中形成渠溝 150 的 210。此渠溝可包含用於電子裝置的渠溝，例如在記憶體裝置中的渠溝式電容器或埋入式電容器。

如圖 1A 所示，渠溝 150 係形成穿過一或多個層(120、130、140)並且到達基板 110 內。渠溝 150 的形成可包含一或多道乾式蝕刻製程、或一或多道溼式蝕刻製程、或其組合。

形成在基板 110 上的該一或多個層可包含襯墊氧化物層 120、中間層 130、以及停止層 140。舉例而言，襯墊氧化物層 120 可包含矽氧化物(SiO_x)，中間層 130 可包含矽，以及停止層 140 可包含矽氮化物(SiN_y)。停止層 140 亦可包含碳化物(例如 SiC_x)層、氧氮化物(例如 SiO_xN_y)層、碳氮化物(例如 SiC_xN_y)層、或其他介電層，其可抵抗後續平坦化以及蝕刻期間的侵蝕。

襯墊氧化物層 120 可例如藉由沉積或氧化製程而設置在基板 110 的頂部上。對後者而言，氧化可包含在氧氣環境中以高溫(例如 800°C 到約 1100°C)對基板 110 進行加熱，直到在基板 110 的表

面上形成氧化物為止。亦可藉由習知沉積製程來形成襯墊氧化物層 120，這些製程可例如但不限於：化學氣相沉積(CVD, chemical vapor deposition)、電漿增強 CVD(PECVD, plasma-enhanced CVD)、原子層沉積(ALD, atomic layer deposition)、電漿增強 ALD(PEALD, plasma-enhanced ALD)、或物理氣相沉積(PVD, physical vapor deposition)。

中間層 130 以及停止層 140 可使用氣相沉積製程加以形成，這些製程可例如但不限於：化學氣相沉積(CVD)、電漿增強 CVD(PECVD)、原子層沉積(ALD)、電漿增強 ALD(PEALD)、或物理氣相沉積(PVD)。

在 220 中，一旦在基板 110 中形成渠溝 150，即可將保角襯層 160 沉積在渠溝 150 內。保角襯層 160 可包含介電材料，例如高介電常數(high-k)材料。此高介電常數介電材料可具有大於 4 的介電常數。舉例來說，此高介電常數介電材料可包含氧化物，例如金屬氧化物。此外，例如，此高介電常數介電材料可包含氧化鋁(Al_2O_3)、氧化釷(La_2O_3)、氧化鋯(ZrO_2)、氧化鈦(HfO_2)、例如鋁酸鈦(HfAlO)的鋁酸鹽、矽酸鋯(ZrSiO_4)、矽酸鈦(HfSiO_4)、或氧氮化鈦矽(HfSiON)。此外，例如，此高介電常數介電材料可包含高介電常數材料的混合物。保角襯層 160 可使用氣相沉積製程加以沉積，此製程可例如但不限於：化學氣相沉積(CVD)、電漿增強 CVD(PECVD)、原子層沉積(ALD)、電漿增強 ALD(PEALD)、或物理氣相沉積(PVD)。

在 230 中，以主體填充材料 180 來填滿渠溝 150。主體填充材料 180 可作為渠溝式/嵌入式電容器中之電極或電極的部分。主體填充材料 180 可包含多結晶矽(多晶矽)。此渠溝填充製程可包含氣相沉積製程，其包含但不限於：化學氣相沉積(CVD)、電漿增強 CVD(PECVD)、或物理氣相沉積(PVD)。

此外，電極層 170 可配置在保角層 160 與主體填充材料 180 之間。電極層 170 可包含：未摻雜的多晶矽、摻雜的多晶矽、鈦(Ta)、氮化鈦(TaN)、鈦鈦(TaTi)、鈦鉑(TaPt)、氮化鈦矽(TaSiN)、

鈦(Ti)、氮化鈦(TiN)、鋁化鈦(Ti₃Al)、氮化鈦鋁(Ti₂AlN)、鎢(W)、氮化鎢(WN)、矽化鎢(WSi)、鈦(Hf)、氮化鈦(HfN)、鈮(Nb)、鉬(Mo)、氮化鉬(Mo₂N)、鈦(Ru)、二氧化鈦(RuO₂)、矽化鎳(NiSi)、鈀(Pd)、銱(Ir)、鉑(Pt)、鈷(Co)、矽化鈷(CoSi)、或矽化鋁(AlSi)、或其兩者以上之任何組合。電極層 170 可使用氣相沉積製程加以沉積，此製程可例如但不限於：化學氣相沉積(CVD)、電漿增強 CVD(PECVD)、原子層沉積(ALD)、電漿增強 ALD(PEALD)、或物理氣相沉積(PVD)。

主體填充材料 180 以及電極層 170 可使用蝕刻及/或平坦化製程加以修整，而留下主體填充材料 180 上的曝露表面 182 並且露出保角襯層 160 的過剩部分 162。

在 240 中，並且如圖 1B 到 1E 所示，藉由交替地在主體填充材料 180 的曝露表面 182、182'上形成保護層 190、190'並且蝕刻保角襯層 160 的過剩部分 162、162'，而移除保角襯層 160 的過剩部分 162、162'。可重疊或不重疊地相繼執行保護層 190、190'的形成以及保角襯層 160 之過剩部分 162、162'的蝕刻。

如圖 1B 與 1C 所示，在主體填充材料 180 的曝露表面 182 上形成保護層 190，並且蝕刻保角襯層 160 的過剩部分 162 直到完全消耗保護層 190 為止。然而，可蝕刻保角襯層 160 的過剩部分 162 直到部分消耗保護層 190 為止。之後，如圖 1D 與 1E 所示，在主體填充材料 180 的新曝露表面 182'上形成另一保護層 190'，並且蝕刻保角襯層 160 的剩餘過剩部分 162'直到部分或完全消耗保護層 190'為止。如圖 1B 到 1E 所示，保角襯層 160 的過剩部分 162、162'係使用兩道循環來進行修整；然而，可使用及/或需要更多或更少的循環。

依照一種實施例，可藉由在主體填充材料 180 的曝露表面 182、182'上沉積材料薄膜，或在主體填充材料 180 的曝露表面 182、182'上成長材料薄膜，或在主體填充材料 180 的曝露表面 182、182'上沉積並成長材料薄膜，以形成保護層 190、190'。舉例而言，可使用氣相沉積製程來形成此薄膜，例如化學氣相沉積

(CVD)、電漿增強 CVD(PECVD)、原子層沉積(ALD)、電漿增強 ALD(PEALD)、或物理氣相沉積(PVD)。

依照另一實施例，可藉由使主體填充材料 180 的曝露表面 182、182' 氧化而形成保護層 190、190'。或者，可藉由使主體填充材料 180 的曝露表面 182、182' 氮化而形成保護層 190、190'。例如，保護層 190、190' 的形成可包含將基板 110 曝露至選自於由 O 自由基、O₂、臭氧、CO、CO₂、NO、N₂O、或 NO₂ 所組成之群組的含氧氣體。

依照另一實施例，可藉由將基板 110 曝露至非電漿氣體環境而形成保護層 190、190'。依照另一實施例，可藉由將基板 110 曝露至電漿而形成保護層 190、190'。依照又另一實施例，可藉由將基板 110 曝露至離子束或氣體團簇離子束而形成保護層 190、190'。

依照一種實施例，可使用溼式蝕刻製程、或乾式蝕刻製程、或兩者來修整保角襯層 160 的過剩部分 162、162'。此乾式蝕刻製程可包含乾式電漿蝕刻製程。此乾式電漿蝕刻製程可包含使用製程氣體的電漿蝕刻製程，此製程氣體具有一含鹵氣體以及一非必須鈍氣。舉例來說，此含鹵氣體可選自於由 HBr、Cl₂、或 BCl₃ 所組成的群組。此製程氣體可更包含碳氫化合物氣體。例如，此碳氫化合物氣體可包含選自於由 C₂H₄、CH₄、C₂H₂、C₂H₆、C₃H₄、C₃H₆、C₃H₈、C₄H₆、C₄H₈、C₄H₁₀、C₅H₈、C₅H₁₀、C₆H₆、C₆H₁₀、以及 C₆H₁₂ 所組成之群組的氣體。

保護層 190、190' 的形成以及保角襯層之過剩部分 162、162' 的蝕刻可在同一處理系統中發生。或者，保護層 190、190' 的形成以及保角襯層之過剩部分 162、162' 的蝕刻可在不同處理系統中發生。

依照一實施例，用以執行上述製程條件的處理系統 1a 係顯示在圖 3 中，該處理系統 1a 包含電漿處理腔室 10、基板支座 20、以及真空抽取系統 50，於此基板支座上可固定待處理之基板 25。基板 25 可為半導體基板、晶圓、平面顯示器、或液晶顯示器。電漿處理腔室 10 可用以促使在基板 25 之表面附近的處理區域 45 中

產生電漿。經由氣體分配系統 40 導入一可游離氣體或製程氣體的混合物。對於已知流量的製程氣體而言，可使用真空抽取系統 50 來調整製程壓力。電漿可用以產生預定材料處理所特有的材料，及/或協助從基板 25 之曝露表面移除材料。電漿處理系統 1a 可用以處理具有任何期望尺寸的基板，例如 200 mm 的基板、300 mm 的基板、或更大者。

可經由夾持系統 28 將基板 25 固定於基板支座 20，此夾持系統可例如為機械式夾持系統或電氣式夾持系統(例如靜電夾持系統)。再者，基板支座 20 可包含加熱系統(未圖示)或冷卻系統(未圖示)，其可用以調整及/或控制基板支座 20 與基板 25 的溫度。此加熱系統或冷卻系統可包含再循環式流動的熱傳流體，當進行冷卻時，其可接收來自基板支座 20 的熱並且將熱傳遞至熱交換系統(未圖示)；或者當進行加熱時，可將來自熱交換系統的熱傳遞至基板支座 20。在其他實施例中，加熱/冷卻元件(例如電阻加熱元件)或熱-電加熱器/冷卻器，可包含在基板支座 20 中、電漿處理腔室 10 的腔室壁以及處理系統 1a 內的任何其他構件中。

此外，為了改善基板 25 與基板支座 20 之間的氣隙熱傳導，可經由背側氣體供應系統 26 將熱傳氣體輸送至基板 25 的背側。當基板的溫度控制被要求在升高或降低的溫度時，可利用此種系統。例如，此背側氣體供應系統可包含兩區氣體分配系統，其中氬氣氣隙壓力可在基板 25 的中心與邊緣之間獨立變化。

在圖 3 所示之實施例中，基板支座 20 可包含電極 22，RF 功率可透過此電極而耦合至處理區域 45 內的處理電漿。例如，可經由從 RF 產生器 30 透過可選阻抗匹配網路 32 到基板支座 20 的 RF 功率傳輸，而以 RF 電壓使基板支座 20 產生電性偏壓。RF 偏壓可用以加熱電子而形成並維持電漿。在此種構造中，此系統可如反應性離子蝕刻(RIE, reactive ion etch)反應器般操作，其中此腔室以及上氣體注入電極可作為接地表面。RF 偏壓的典型頻率可從約 0.1 MHz 分佈到約 100 MHz。用於電漿處理的 RF 系統係熟習本項技藝者所熟知。

或者，以多頻率將 RF 功率施加至基板支座電極。再者，阻抗匹配網路 32 可藉由降低反射功率而改善對電漿處理腔室 10 內之電漿的 RF 功率傳遞。匹配網路拓樸(例如 L-型、 π -型、T-型等等)以及自動控制方法係熟習本項技藝者所熟知。

氣體分配系統 40 可包含用以導入製程氣體之混合物的噴淋頭設計。或者，氣體分配系統 40 可包含多區噴淋頭設計，其可用以導入製程氣體的混合物並且調整位於基板 25 上方之製程氣體的混合物之分配。舉例而言，此多區噴淋頭設計可相對於流到基板 25 上方之實質上中心區域之製程氣體流或組成物的量，而調整流到基板 25 上方之實質上周邊區域的製程氣體流或組成物。

真空抽取系統 50 可包含渦輪分子式真空幫浦(TMP, turbo-molecular vacuum pump)，其抽取速度能夠達到每秒約 5000 升(以上)；並且包含用以調節腔室壓力的閘閥。在用於乾式電漿蝕刻的習知電漿處理裝置中，可使用每秒 1000 到 3000 升的 TMP。渦輪分子式真空幫浦可用於典型小於約 50 mTorr 的低壓處理。對於高壓處理(即，大於約 100 mTorr)而言，可使用機械升壓幫浦以及乾式粗抽幫浦。再者，監測腔室壓力的裝置(未圖示)可耦合至電漿處理腔室 10。此壓力量測裝置可例如為從 MKS Instruments, Inc.(Andover, MA)所購得的 Type 628B Baratron 絕對電容式壓力計。

控制器 55 包含微處理器、記憶體、以及數位 I/O 埠，其能夠產生足以通訊與啟動對電漿處理系統 1a 之輸入、並且監測來自電漿處理系統 1a 之輸出的控制電壓。此外，控制器 55 可耦合至 RF 產生器 30、阻抗匹配網路 32、氣體分配系統 40、真空抽取系統 50、基板加熱/冷卻系統(未圖示)、背側氣體供應系統 26、及/或靜電夾持系統 28，並與其交換資訊。例如，儲存在記憶體內的程式可依照製程配方而啟動對電漿處理系統 1a 之上述構件的輸入，以在基板 25 上執行非電漿或電漿輔助處理。

吾人可相對於處理系統 1a 而就近設置控制器 55，或者可相對於處理系統 1a 而遠端設置此控制器。例如，控制器 55 可使用直

接連接、內部網路、及/或網際網路而與處理系統 1a 交換資料。控制器 55 可耦合至例如位在客戶端(即, 裝置製造商)的內部網路, 或者可耦合至例如位在供應端(即, 設備製造商)的內部網路。或者或此外, 控制器 55 可耦合至網際網路。再者, 另一電腦(即, 控制器、伺服器等等)可經由直接連接、內部網路、及/或網際網路而存取控制器 55 以交換資料。

在圖 4 所示之實施例中, 處理系統 1b 可類似於圖 3 之實施例, 並且除了參照圖 3 所述之這些構件以外, 更包含固定式或機械式或電氣式旋轉磁場系統 60, 以潛在地增加電漿密度及/或改善電漿處理均勻性。此外, 控制器 55 可耦合至磁場系統 60, 以調節旋轉速度與場強度。旋轉磁場的設計與實施係熟習本項技藝者所熟知。

在圖 5 所示之實施例中, 處理系統 1c 可類似於圖 3 或圖 4 之實施例, 並且更包含上電極 70, RF 功率可從 RF 產生器 72 透過非必須阻抗匹配網路 74 而耦合至此上電極。施加到上電極之 RF 功率的頻率可從約 0.1 MHz 分佈到約 200 MHz。此外, 施加到下電極之功率的頻率可從約 0.1 MHz 分佈到約 100 MHz。此外, 控制器 55 可耦合至 RF 產生器 72 以及阻抗匹配網路 74, 以控制對上電極 70 之 RF 功率的施加。上電極的設計與實施係熟習本項技藝者所熟知。如圖顯示, 上電極 70 以及氣體分配系統 40 可設計在同一腔室組件內。

在圖 6 所示之實施例中, 處理系統 1c' 可類似於圖 5 之實施例, 並且更包含直流(DC)電源 90, 此電源耦合至位於基板 25 對面的上電極 70。上電極 70 可包含電極板。此電極板可包含含矽電極板。此外, 此電極板可包含摻雜矽電極板。DC 電源 90 可包含可變 DC 電源。此外, DC 電源可包含雙極性 DC 電源。DC 電源 90 可更包含用以執行監測、調整、或控制 DC 電源 90 之極性、電流、電壓、或開啟/關閉狀態之至少其中一者的系統。一旦形成電漿, DC 電源 90 可促使彈道電子束(ballistic electron beam)的形成。電濾波器(未圖示)可用以使 RF 功率與 DC 電源 90 去耦合(de-couple)。

例如, 由 DC 電源 90 施加至上電極 70 的 DC 電壓, 可從約 -2000

伏特(V)分佈到約 1000 V。期望 DC 電壓的絕對值具有等於或大於約 100 V 的值，並且更期望 DC 電壓的絕對值具有等於或大於約 500 V 的值。此外，期望 DC 電壓具有負極性。再者，期望 DC 電壓為負電壓，其具有大於產生在上電極 70 之表面上之自偏壓的絕對值。面向基板支座 20 之上電極 70 的表面可由含矽材料所構成。

在圖 7 所示之實施例中，處理系統 1d 可類似於圖 3 與 4 之實施例，並且可更包含感應線圈 80，RF 功率可經由 RF 產生器 82 透過可選阻抗匹配網路 84 而耦合至此感應線圈。RF 功率可從感應線圈 80 透過介電窗(未圖示)而感應耦合至電漿處理區域 45。施加至感應線圈 80 之 RF 功率的頻率可從約 10 MHz 分佈到約 100 MHz。同樣地，施加至夾頭電極之功率的頻率可從約 0.1 MHz 分佈到約 100 MHz。此外，開槽法拉第遮屏(未圖示)可用以降低感應線圈 80 與處理區域 45 內之電漿之間的電容耦合。此外，控制器 55 可耦合至 RF 產生器 82 以及阻抗匹配網路 84，以控制對感應線圈 80 之功率的施加。

在一替代實施例中，如圖 8 所示，處理系統 1e 可類似於圖 7 之實施例，並且可更包含為「螺旋式(spiral)」線圈或「平繞式(pancake)」線圈的感應線圈 80'，其可如同用於變壓器耦合電漿(TCP, transformer coupled plasma)反應器般從上方與電漿處理區域 45 連通。感應耦合電漿(ICP, inductively coupled plasma)源或變壓器耦合電漿(TCP)源的設計與實施，係熟習本項技藝者所熟知。

或者，吾人可使用電子迴旋共振(ECR, electron cyclotron resonance)來形成電漿。在又另一實施例中，電漿係由發射螺旋波而形成。在又另一實施例中，電漿係由傳播表面波而形成。上述每一種電漿源皆為熟習本項技藝者所熟知。

在圖 9 所示之實施例中，處理系統 1f 可類似於圖 3 之實施例，並且可更包含表面波電漿(SWP, surface wave plasma)源 80"。SWP 源 80"可包含例如輻射線開槽天線(RLSA, radial line slot antenna)的開槽天線，微波功率可經由微波產生器 82'透過非必須阻抗匹配網路 84'而耦合至此開槽天線。

在下列說明中，提出一種移除襯層的方法。例如，此處理系統可包含如圖 3 到 9 所述的各種元件及其組合。

依照一範例，製備具有高介電常數襯層(例如氧化鈦(HfO_2)襯層)以及金屬/多晶矽電極(例如 TiN/多晶矽電極)的渠溝式電容器。其中，保角地塗佈高介電常數襯層(例如 HfO_2)，之後進行金屬(TiN)層的保角沉積並且以多晶矽進行剩餘渠溝的填充。高介電常數襯層的過剩部分可藉由下列方式加以移除：經由將渠溝內之多晶矽層的曝露表面曝露至含氧電漿，而使此曝露表面層氧化；在進行此氧化步驟之後，使用由具有含鹵氣體之製程氣體所形成的電漿來蝕刻保角高介電常數襯層；以及重複此氧化步驟以及此蝕刻步驟，直到實質上移除保角高介電常數襯層的過剩部分為止。

此氧化製程可包含一製程參數空間，其包含：分佈上至約 1000 mtorr(毫托)的腔室壓力，例如約 10 mtorr；分佈上至約 2000 sccm(每分鐘標準立方公分)的 O_2 製程氣體流率，例如約 200 sccm；分佈上至約 2000 W(瓦特)的上電極(例如圖 5 中的元件 70)RF 偏壓，例如約 400 W；以及分佈上至約 1000 W 的下電極(例如圖 5 中的元件 22)RF 偏壓，例如約 0 W。又，上電極偏壓頻率可從約 0.1 MHz 分佈到約 200 MHz，例如約 60 MHz。此外，下電極偏壓頻率可從約 0.1 MHz 分佈到約 100 MHz，例如約 2 MHz。

此蝕刻製程可包含一製程參數空間，其包含：分佈上至約 1000 mtorr(毫托)的腔室壓力，例如約 10 mtorr；分佈上至約 2000 sccm(每分鐘標準立方公分)的 BCl_3 製程氣體流率，例如約 150 sccm；分佈上至約 2000 sccm 的 He 製程氣體流率，例如約 150 sccm；分佈上至約 2000 sccm 的 C_2H_4 製程氣體流率，例如約 1 sccm；分佈上至約 2000 W(瓦特)的上電極(例如圖 5 中的元件 70)RF 偏壓，例如約 600 W；以及分佈上至約 1000 W 的下電極(例如圖 5 中的元件 22)RF 偏壓，例如約 0 W。又，上電極偏壓頻率可從約 0.1 MHz 分佈到約 200 MHz，例如約 60 MHz。此外，下電極偏壓頻率可從約 0.1 MHz 分佈到約 100 MHz，例如約 2 MHz。

使用上述條件，本案發明人發現到：藉由使多晶矽的曝露表

面層氧化而形成 SiO_x 層、並且使用上述製程組成物來蝕刻高介電常數襯層，可增加蝕刻高介電常數襯層與多晶矽材料之間的蝕刻選擇性。因此，可使蝕刻選擇性增加超過 30 比 1(高介電常數與多晶矽材料之間)。此外，蝕刻選擇性可因此增加超過 40 比 1。又此外，蝕刻選擇性可因此增加超過 50 比 1。

在一實施例中，僅將 RF 功率供應至上電極而不供應至下電極。在另一替代實施例中，僅將 RF 功率供應至下電極而不供應至上電極。在又另一實施例中，將 RF 功率供應至下電極以及上電極。

吾人可使用實驗設計(DOE, design of experiment)技術來決定移除襯層的時間；然而，亦可使用終點偵測或其某種組合來決定此時間。一種可行的終點偵測方法為監測來自電漿區域的一部分發射光光譜，其可指示電漿化學作用何時因為襯層實質上幾乎完全從基板移除而發生改變。

作為另一範例，已發現到使用下列表 1 中的製程配方可實質上降低及/或最小化多晶矽層中的凹部。將用以移除高介電常數襯層的製程配方與不包含形成保護層(即，多晶矽材料的氧化)的參照條件進行比較。

表 1

氧化 / 蝕刻條件	壓力 (mtorr)	UEL 功率 (W)	LEL 功率 (W)	O ₂ 流率 (sccm)	BCl ₃ 流率 (sccm)	C ₂ H ₄ 流率 (sccm)	He 流率 (sccm)	時間 (sec)
參照	20	600	0	0	150	0	150	180
1(氧化)	10	400	0	200	0	0	0	60
2(蝕刻)	10	600	0	0	150	1	150	173.4

雖然以上僅詳述本發明之某些實施例，但熟習本項技藝者可輕易明白在實質上不背離本發明之新穎教示與優點的情況下，於實施例中可進行許多的修改。因此，吾人意欲將所有此種修改皆包含在本發明之範圍內。

【圖式簡單說明】

在隨附圖式中：

依照一實施例，圖 1A 到 1E 顯示襯層移除製程的示意圖；

依照另一實施例，圖 2 提供用以執行襯層移除製程的流程圖；

依照一實施例，圖 3 顯示處理系統的示意圖；

依照另一實施例，圖 4 顯示處理系統的示意圖；

依照另一實施例，圖 5 顯示處理系統的示意圖；

依照另一實施例，圖 6 顯示處理系統的示意圖；

依照另一實施例，圖 7 顯示處理系統的示意圖；

依照另一實施例，圖 8 顯示處理系統的示意圖；及

依照另一實施例，圖 9 顯示處理系統的示意圖。

【主要元件符號說明】

- 1a 處理系統
- 1b 處理系統
- 1c 處理系統
- 1c' 處理系統
- 1d 處理系統
- 1e 處理系統
- 1f 處理系統
- 10 電漿處理腔室
- 20 基板支座
- 22 電極
- 25 基板
- 26 背側氣體供應系統
- 28 夾持系統
- 30 RF 產生器
- 32 阻抗匹配網路
- 40 氣體分配系統

- 45 處理區域
- 50 真空抽取系統
- 55 控制器
- 60 磁場系統
- 70 上電極
- 72 RF 產生器
- 74 阻抗匹配網路
- 80 感應線圈
- 80' 感應線圈
- 80" 表面波電漿源
- 82 RF 產生器
- 82' 微波產生器
- 84 阻抗匹配網路
- 84' 阻抗匹配網路
- 90 直流電源
- 110 基板
- 120 襯墊氧化物層
- 130 中間層
- 140 停止層
- 150 渠溝
- 160 保角襯層
- 162 過剩部分
- 162' 過剩部分
- 170 電極層
- 180 主體填充材料
- 182 曝露表面
- 182' 曝露表面
- 190 保護層
- 190' 保護層
- 200 流程圖

七、申請專利範圍：

1.一種襯層移除製程，包含下列步驟：

在一基板中形成一渠溝；

沉積一保角襯層於該渠溝內；

以一主體填充材料來填滿該渠溝；及

藉由交替地在該主體填充材料的一曝露表面上形成一保護層並且蝕刻該保角襯層，而選擇性地移除該保角襯層的一過剩部分。

2.如申請專利範圍第 1 項所述之襯層移除製程，其中該主體填充材料含有多晶矽。

3.如申請專利範圍第 1 項所述之襯層移除製程，其中該保角襯層包含一高介電常數(high-k)層。

4.如申請專利範圍第 1 項所述之襯層移除製程，其中該保角襯層含有鉛。

5.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護層的該步驟包含在該主體填充材料的該曝露表面上沉積該保護層，或在該主體填充材料的該曝露表面上成長該保護層，或在該主體填充材料的該曝露表面上沉積並成長該保護層。

6.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護層的該步驟包含使該主體填充材料的該曝露表面氧化。

7.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護層的該步驟包含將該基板曝露至選自於由 O 自由基、O₂、臭氧、CO、CO₂、NO、N₂O、或 NO₂ 所組成之群組的一含氧氣體。

8.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護層

的該步驟包含將該基板曝露至一非電漿氣體環境。

9.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護層的該步驟包含將該基板曝露至電漿。

10.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護層的該步驟包含將該基板曝露至離子束或氣體團簇離子束。

11.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護層的該步驟包含使用氣相沉積製程，將該保護層沉積在該基板上。

12.如申請專利範圍第 1 項所述之襯層移除製程，其中蝕刻該保角襯層的該步驟包含執行溼式蝕刻製程、或乾式蝕刻製程、或兩者。

13.如申請專利範圍第 1 項所述之襯層移除製程，其中蝕刻該保角襯層的該步驟包含使用一製程氣體而執行一電漿蝕刻製程，該製程氣體具有一含鹵氣體以及一非必須鈍氣。

14.如申請專利範圍第 13 項所述之襯層移除製程，其中該含鹵氣體係選自於由 HBr、Cl₂、或 BCl₃ 所組成的群組。

15.如申請專利範圍第 13 項所述之襯層移除製程，其中該製程氣體更包含一碳氫化合物氣體。

16.如申請專利範圍第 15 項所述之襯層移除製程，其中該碳氫化合物氣體係選自於由 C₂H₄、CH₄、C₂H₂、C₂H₆、C₃H₄、C₃H₆、C₃H₈、C₄H₆、C₄H₈、C₄H₁₀、C₅H₈、C₅H₁₀、C₆H₆、C₆H₁₀、以及 C₆H₁₂ 所組成的群組。

17.如申請專利範圍第 1 項所述之襯層移除製程，其中形成該保護

層的該步驟係在蝕刻該保角襯層的該步驟之前，並且其中以實質上足以消耗該保護層的持續時間來執行該蝕刻步驟。

18. 一種襯層移除製程，包含下列步驟：

在一基板中形成一渠溝；

沉積一保角高介電常數襯層於該渠溝內；

以一多晶矽層來填滿該渠溝；及

藉由執行下列步驟而選擇性地移除該保角高介電常數襯層的一過剩部分：

藉由將該渠溝內之該多晶矽層的一曝露表面曝露至含氧電漿，而使該曝露表面氧化，

在進行該氧化步驟之後，使用由具有一含鹵氣體之一製程氣體所形成的電漿來蝕刻該保角高介電常數襯層，以及

重複該氧化步驟以及該蝕刻步驟，直到實質上移除該保角高介電常數襯層的該過剩部分為止。

19. 如申請專利範圍第 18 項所述之襯層移除製程，其中該保角高介電常數襯層含有鉛，而該製程氣體包含 BCl_3 以及一碳氫化合物氣體。

20. 如申請專利範圍第 18 項所述之襯層移除製程，其中選擇性地移除該保角高介電常數襯層之該過剩部分的蝕刻選擇性超過約 30 比 1，該蝕刻選擇性係表示該保角高介電常數襯層之蝕刻速率對該多晶矽層之蝕刻速率的比率。

八、圖式：

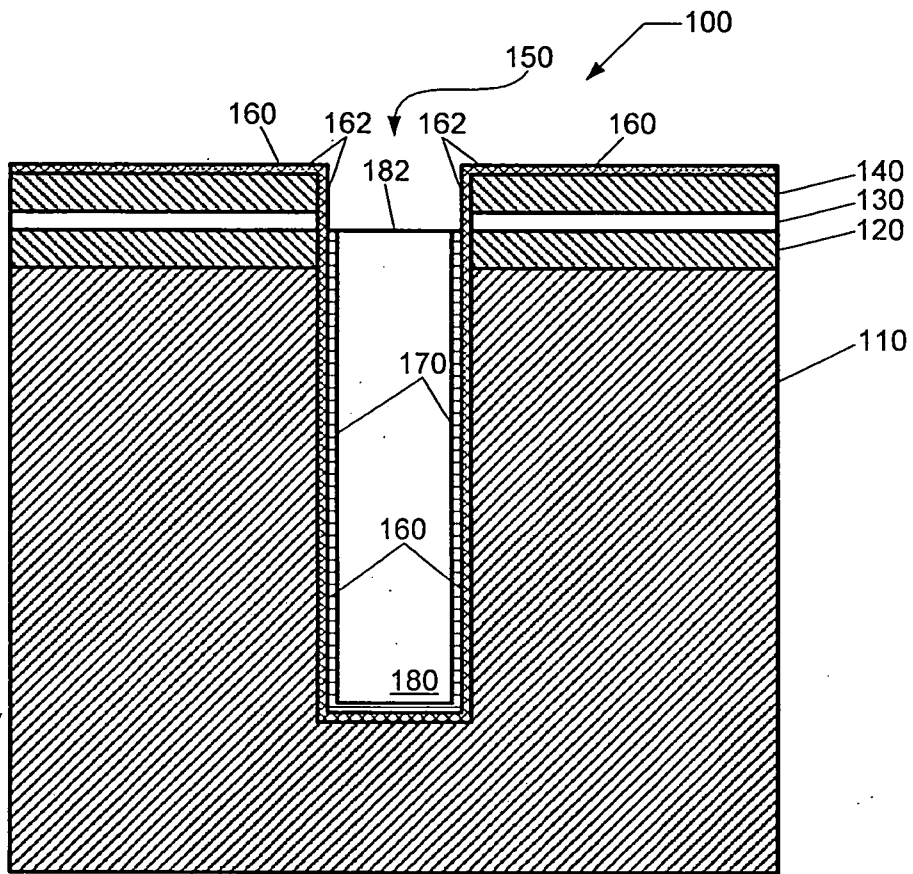


圖 1A

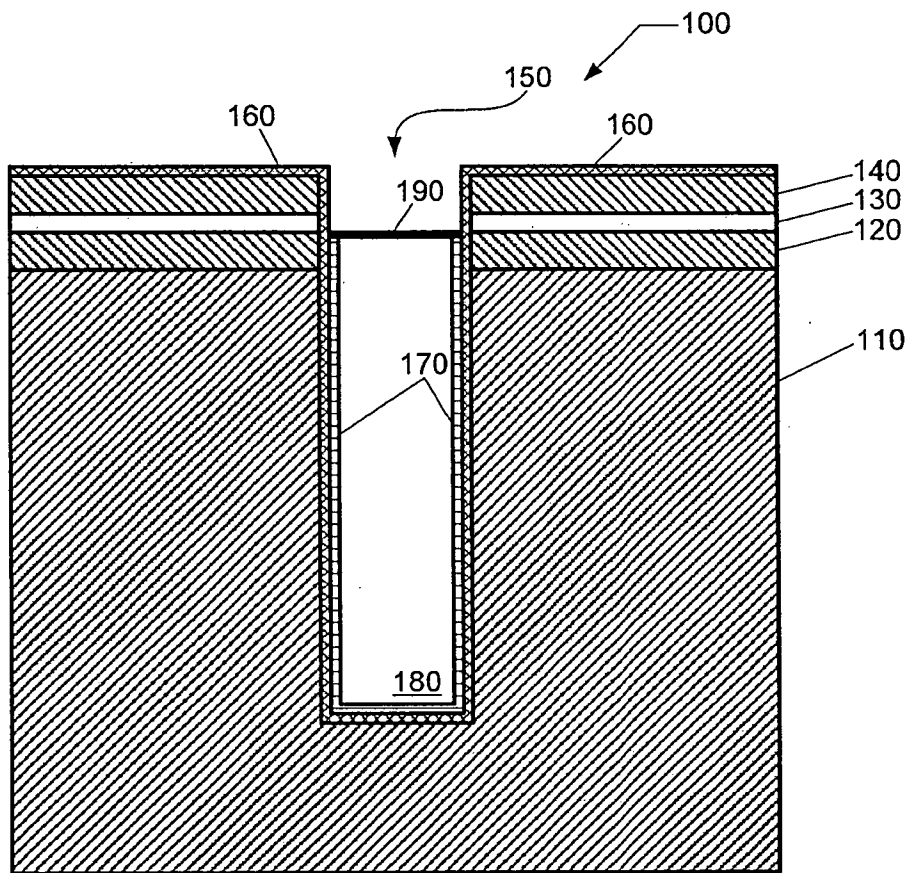


圖 1B

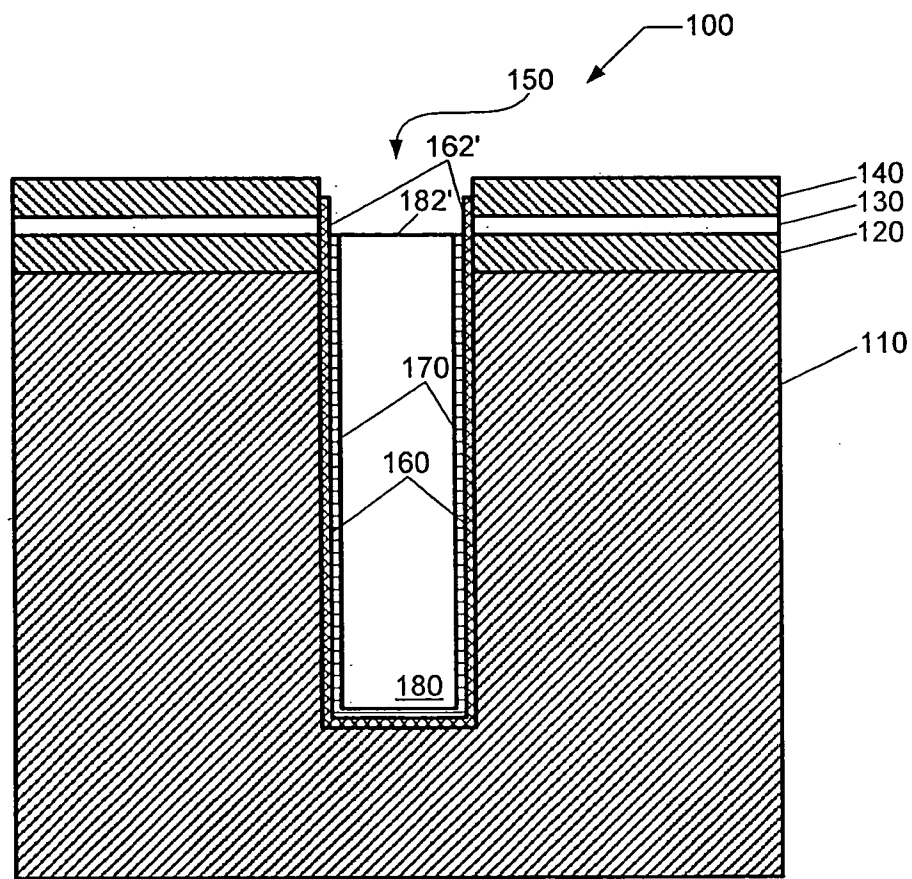


圖 1C

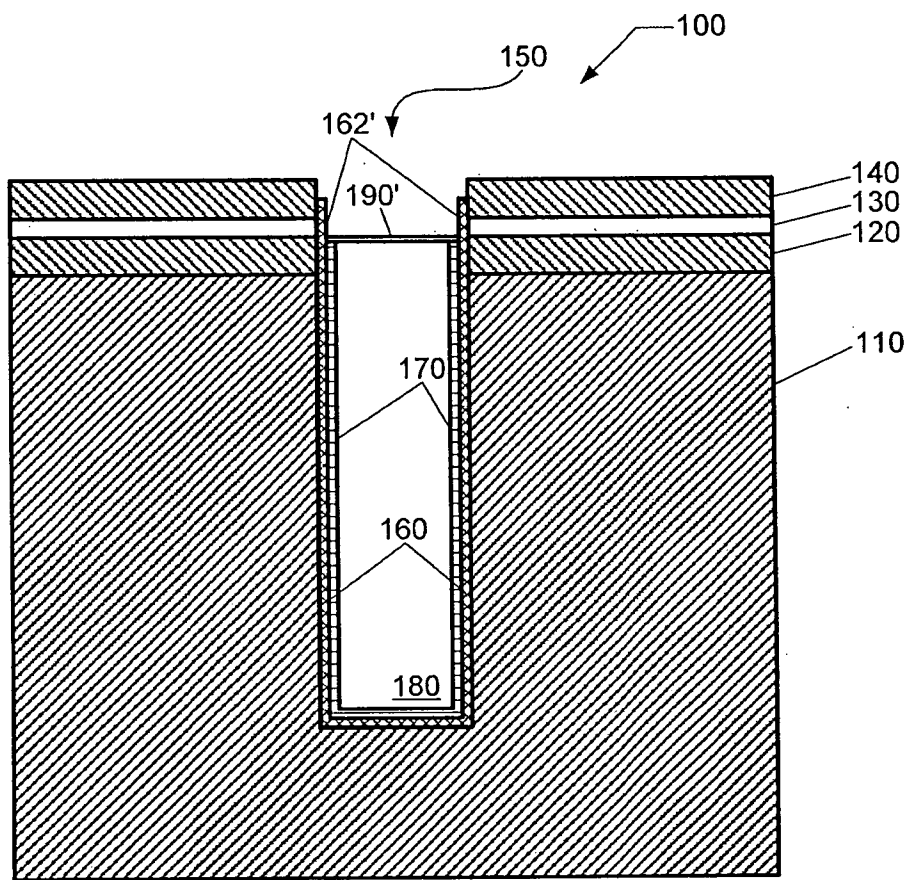


圖 1D

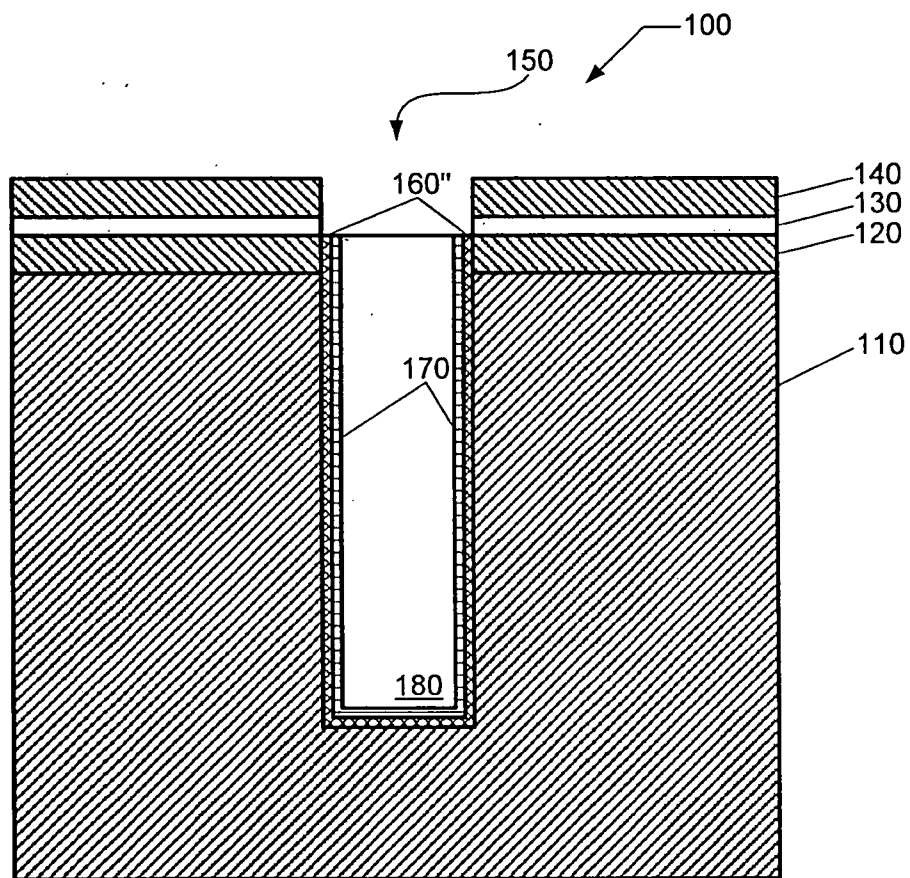


圖 1E

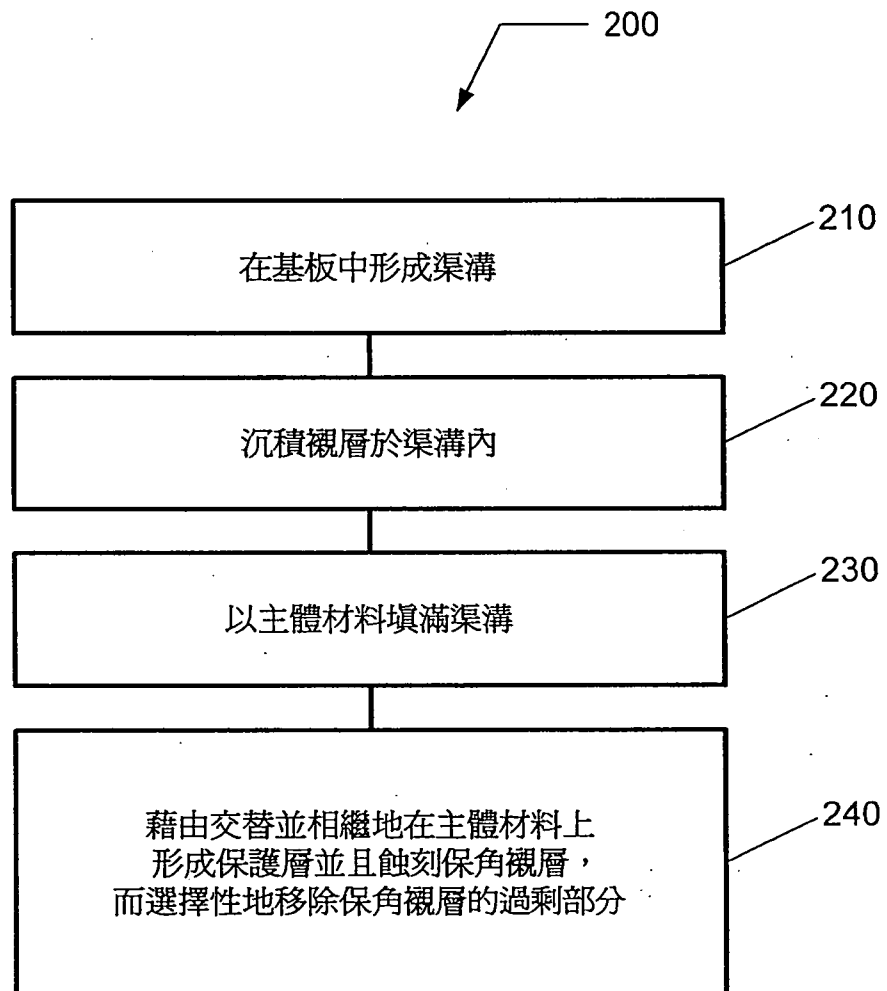


圖 2

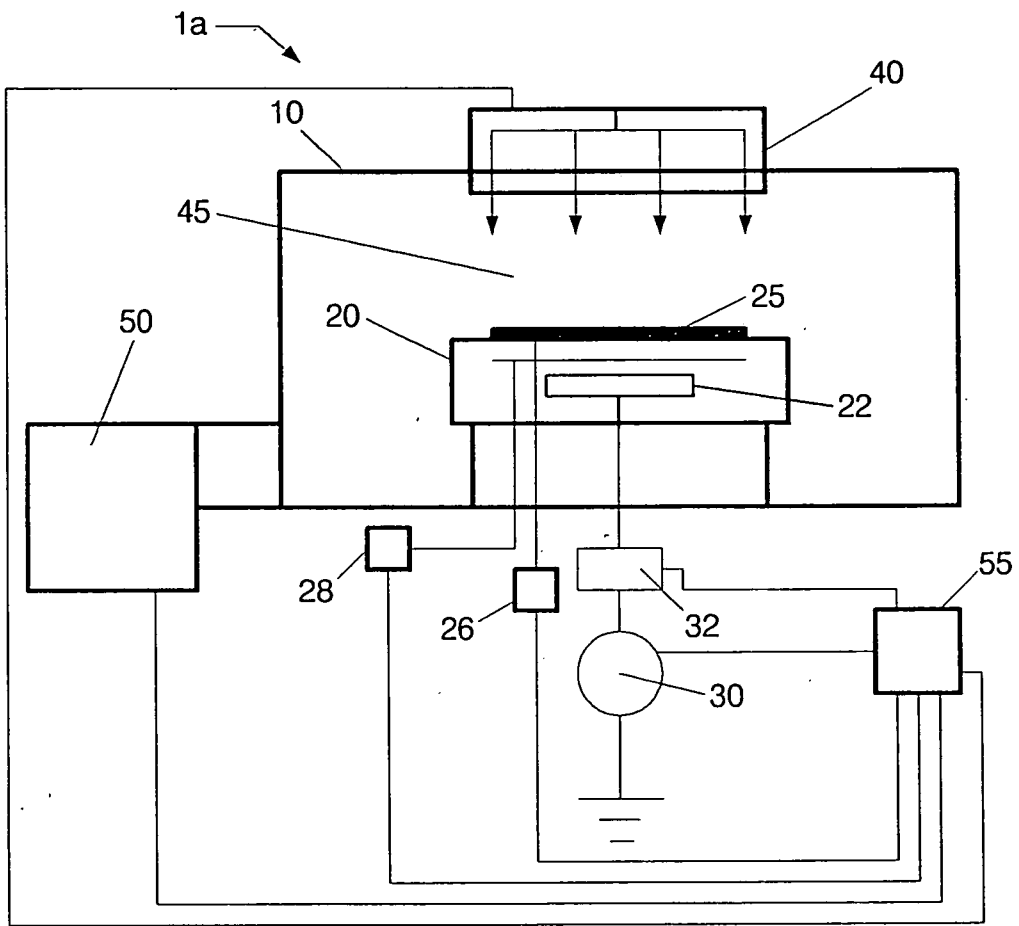


圖 3

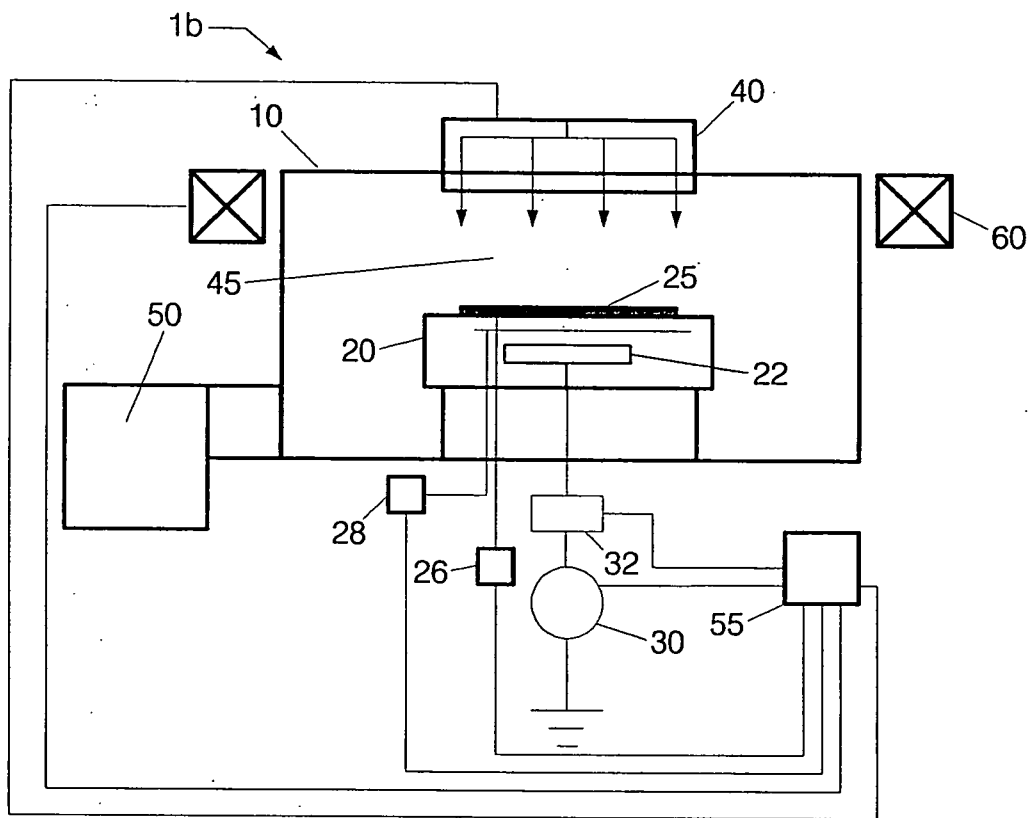


圖 4

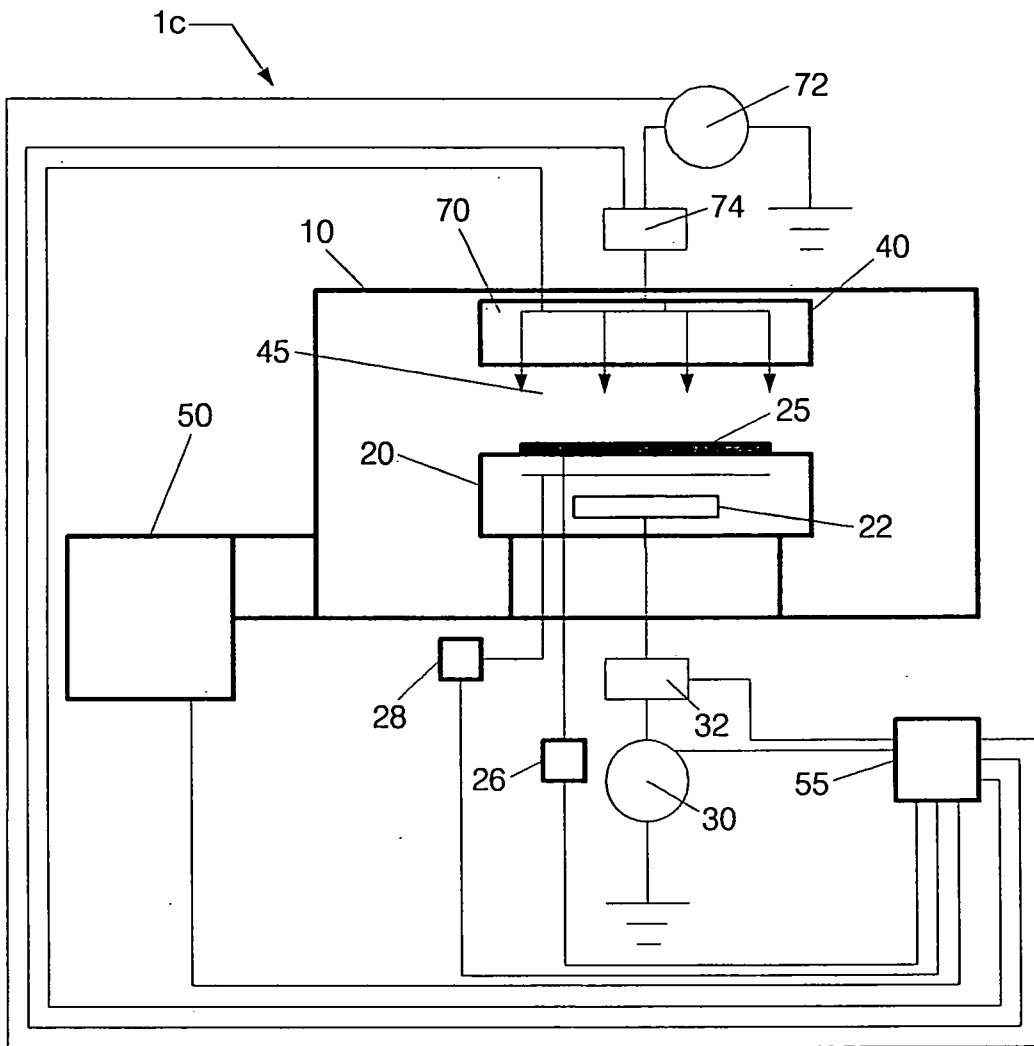


圖 5

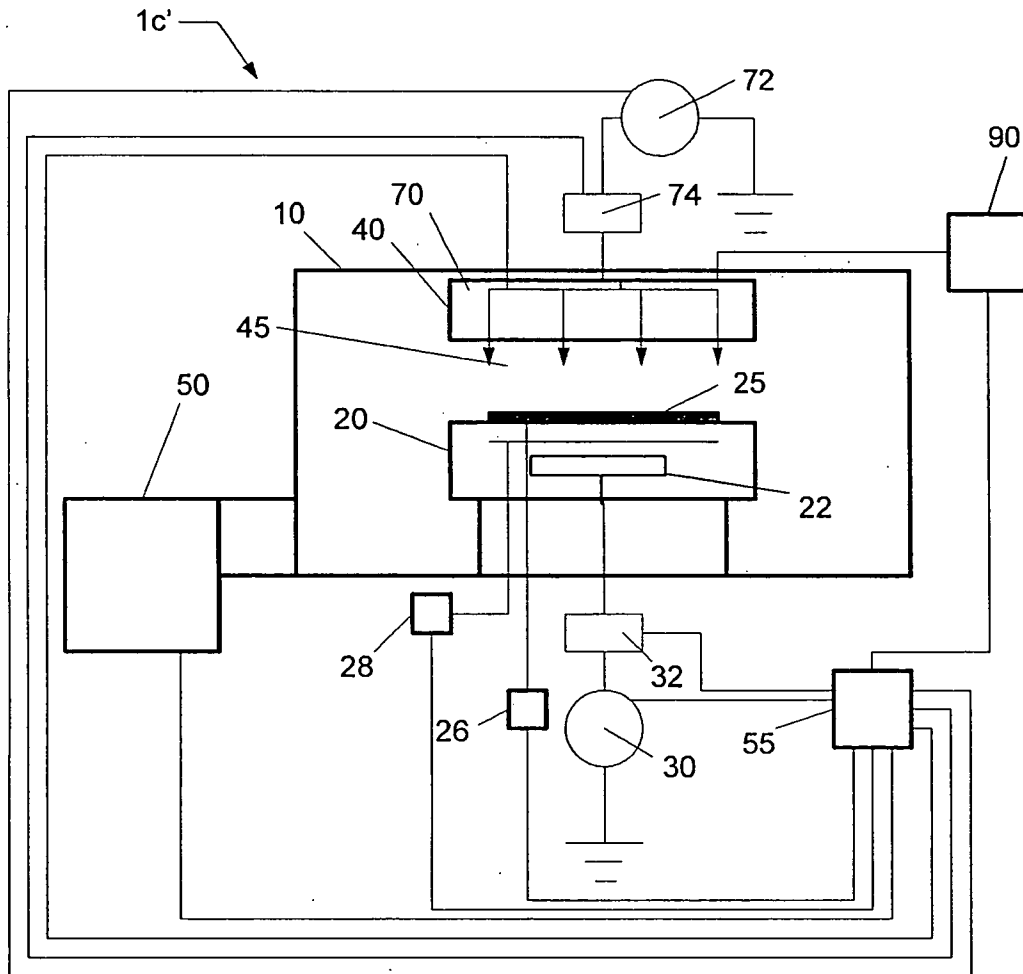


圖 6

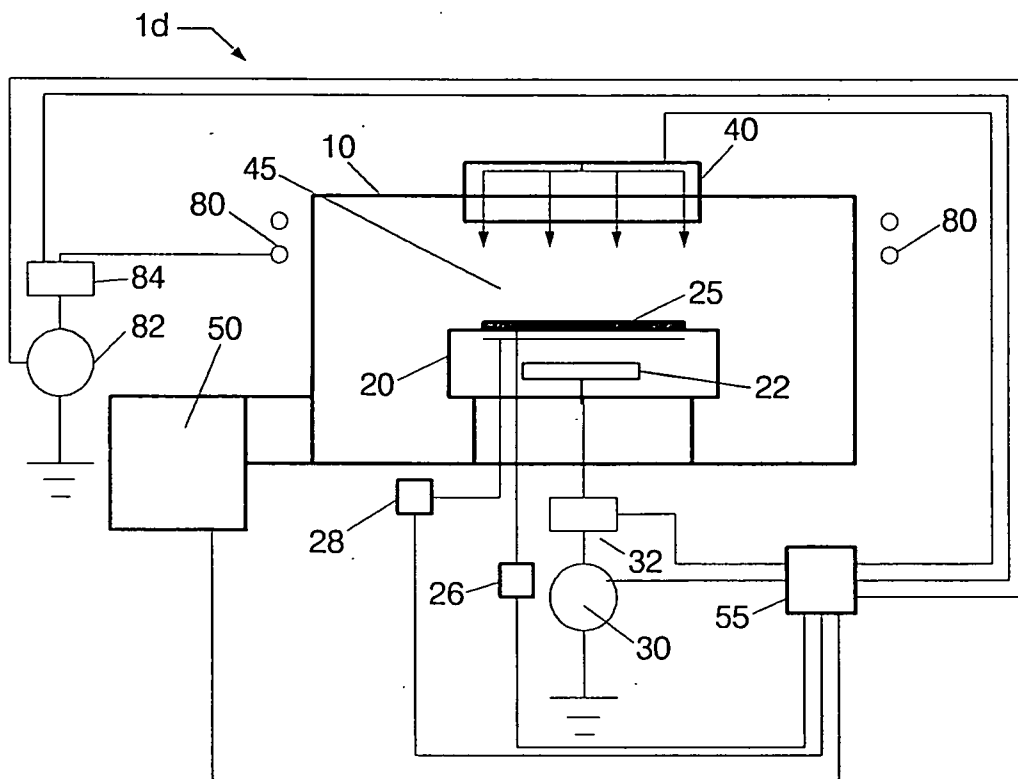


圖 7

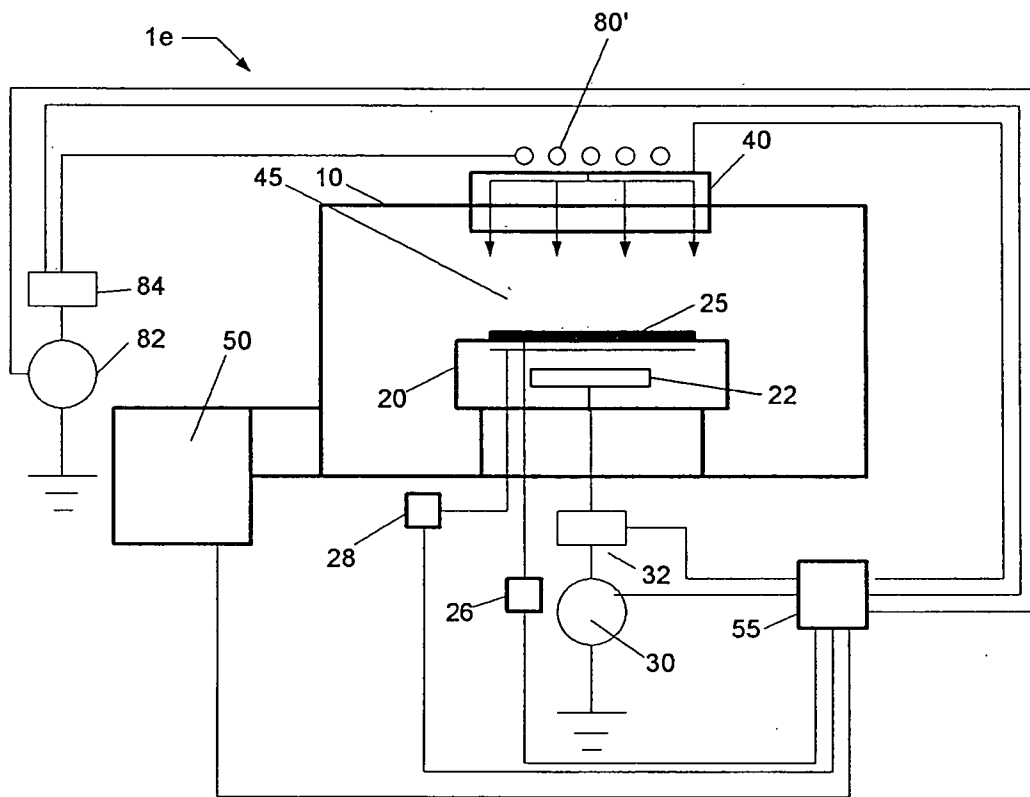


圖 8

