

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年9月19日(19.09.2024)



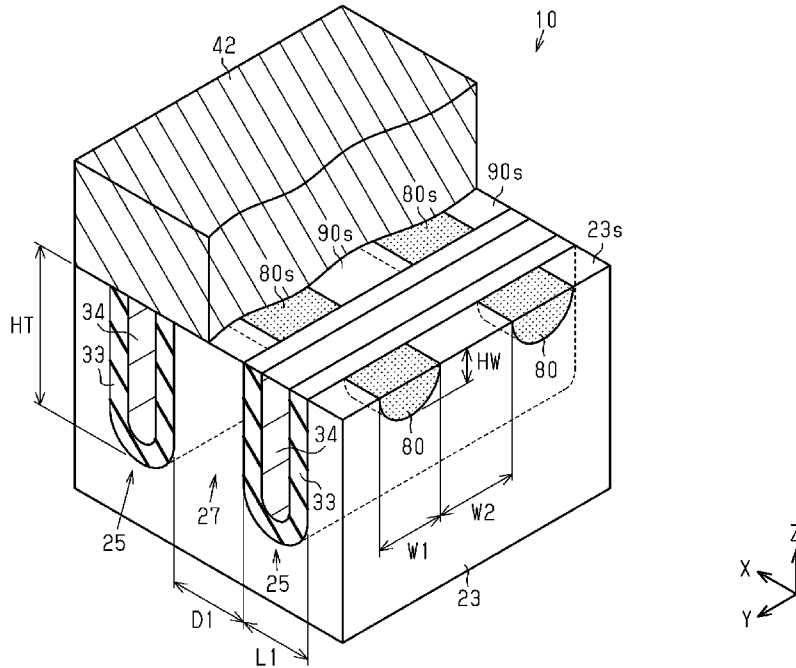
(10) 国際公開番号  
**WO 2024/190344 A1**

- (51) 国際特許分類:  
*H01L 29/861* (2006.01) *H01L 29/47* (2006.01)  
*H01L 21/76* (2006.01) *H01L 29/868* (2006.01)  
*H01L 21/762* (2006.01) *H01L 29/872* (2006.01)
- (21) 国際出願番号: PCT/JP2024/006344
- (22) 国際出願日: 2024年2月21日(21.02.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-042200 2023年3月16日(16.03.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 滝川 勇光 (TAKIGAWA Yuto);  
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);  
〒5008731 岐阜県岐阜市大宮町二丁目1-2番地 1 Gifu (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図7



(57) Abstract: This semiconductor device comprises an n-type semiconductor layer, a plurality of trenches, an insulating layer, a third electrode, and a p-type well region. The plurality of trenches extend in a first direction orthogonal to the thickness direction of the semiconductor layer, and are separated in a second direction orthogonal to the first direction. The insulating layer is provided so as to cover the trenches. The third electrode is formed within the insulating layer and is in contact with the first electrode. The p-type well region is formed in the surface of the semiconductor layer. The well

[続葉有]



WO 2024/190344 A1

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

region extends in a direction intersecting the first direction and is one of a plurality of well regions separated from each other in the first direction. The surface of the semiconductor layer forms ohmic contact with the first electrode on the well surface of the well region. The surface of the semiconductor layer forms Schottky contact with the first electrode on exposed surfaces positioned between the plurality of well surfaces.

(57) 要約: 半導体装置は、n型の半導体層と、複数のトレンチと、絶縁層と、第3電極と、p型のウェル領域とを含む。複数のトレンチは半導体層の厚さ方向と直交する第1方向に伸び、第1方向と直交する第2方向に離隔する。絶縁層はトレンチを覆うように設けられる。第3電極は絶縁層内に形成され、第1電極と接する。p型のウェル領域は半導体層の表面に形成される。ウェル領域は、第1方向に交差する方向に伸びるとともに、第1方向に離隔する複数のウェル領域のうちの一つである。半導体層の表面は、ウェル領域のウェル表面において第1電極とオーミック接触を形成する。半導体層の表面は、複数のウェル表面の間に位置する露出表面において第1電極とショットキー接触を形成している。

## 明 細 書

発明の名称：半導体装置

### 技術分野

[0001] 本発明は、半導体装置に関する。

### 背景技術

[0002] 半導体基板と、半導体基板上に形成された半導体層と、半導体層上に形成されたアノード電極と、半導体基板のうち半導体層とは反対側に形成されたカソード電極と、を備える半導体装置が知られている（たとえば、特許文献1参照）。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2012-124329号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] ところで、半導体装置に関して、順方向電圧降下を低減する特性とリーク電流を抑制する特性とを調整する技術が求められている。

#### 課題を解決するための手段

[0005] 本開示の一態様による半導体装置は、基板表面、および前記基板表面とは反対側の基板裏面を有する第1導電型の半導体基板と、前記基板表面上に形成され、表面を有する第1導電型の半導体層と、前記半導体層の前記表面上に形成された第1電極と、前記基板裏面に形成された第2電極と、前記半導体層の前記表面から前記半導体層の厚さ方向に延びるとともに前記半導体層の厚さ方向と直交する第1方向に延び、前記半導体層の厚さ方向および前記第1方向と直交する第2方向に離隔して形成された複数のトレンチと、前記トレンチの各々の底壁および側壁を覆うように設けられた絶縁層と、前記絶縁層内に形成され、前記第1電極と接する第3電極と、前記半導体層の前記表面の一部に形成された第2導電型のウェル領域と、を含み、前記ウェル領

域は、前記第1方向に交差する方向に延びるとともに、前記第1方向に離隔する複数のウェル領域のうちの1つであり、前記ウェル領域は、前記半導体層の前記表面の一部を形成しているウェル表面、および前記トレンチの前記絶縁層に接するウェル端部を有し、前記ウェル表面は複数のウェル表面のうちの1つであり、前記半導体層の前記表面は、前記ウェル表面において前記第1電極とオーミック接触を形成し、前記半導体層の前記表面は、前記複数のウェル表面の間に位置する露出表面において前記第1電極とショットキー接触を形成している。

### 発明の効果

[0006] 本開示の半導体装置によれば、順方向電圧降下を低減する特性とリーク電流を抑制する特性とを容易に調整できる。

### 図面の簡単な説明

[0007] [図1]図1は、一実施形態の半導体装置の概略平面図である。

[図2]図2は、図1の半導体装置の半導体層の概略平面図である。

[図3]図3は、図2のF3-F3線で切断した半導体装置の概略断面図である。

[図4]図4は、図3のトレンチの周辺を拡大した概略断面図である。

[図5]図5は、図2のF5-F5線で切断した半導体装置の概略断面図である。

[図6]図6は、図2のF6-F6線で切断した半導体装置の概略断面図である。

[図7]図7は、図1の半導体装置における半導体層の表面とトレンチの形状を示す概略断面斜視図である。

[図8]図8は、半導体装置の製造工程を示す概略断面図である。

[図9]図9は、図8に続く製造工程を示す概略断面図である。

[図10]図10は、図9に続く製造工程を示す概略断面図である。

[図11]図11は、図10に続く製造工程を示す概略断面図である。

[図12]図12は、図11に続く製造工程を示す概略断面図である。

[図13]図13は、図12に続く製造工程を示す概略断面図である。

[図14]図14は、図13に続く製造工程を示す概略断面図である。

[図15]図15は、図14に続く製造工程を示す概略断面図である。

[図16]図16は、図15に続く製造工程を示す概略断面図である。

[図17]図17は、図16に続く製造工程を示す概略断面図である。

[図18]図18は、変更例のウェル領域の配置を示す半導体層の概略平面図である。

### 発明を実施するための形態

[0008] 以下、添付図面を参照して本開示における半導体装置に関する実施形態を説明する。なお、説明を簡単かつ明確にするために、図面に示される構成要素は必ずしも一定の縮尺で描かれていない。また、理解を容易にするために、断面図では、ハッチング線が省略されている場合がある。添付の図面は、本開示の実施形態を例示するに過ぎず、本開示を制限するものとみなされるべきではない。

[0009] 以下の詳細な記載は、本開示の例示的な実施形態を具体化する装置、システム、および方法を含む。この詳細な記載は本來說明のためのものに過ぎず、本開示の実施形態またはこのような実施形態の適用および使用を限定することを意図していない。

[0010] (半導体装置の概略構成)

図1～図4を参照して、本実施形態の半導体装置10の概略構成について説明する。図1は、半導体装置10の概略平面構造を示している。図2は、図1の半導体装置10の後述する半導体チップ11の概略平面構造を示している。図3は、図2のF3-F3線の概略断面構造を示している。図4は、図3の矢印F4で示す範囲の拡大断面図である。

[0011] なお、図1では、理解を容易にするため、後述する表面保護層70にガラスハッチング線を付している。図2では、理解を容易にするため、後述する表面絶縁層60、アノード電極42、および表面保護層70を省略するとともに、後述する分離トレンチ24およびトレンチ25にクロスハッチング線

を付している。図3および図4では、便宜上、半導体装置10の一部のハッチング線を省略している。

[0012] また、本開示において使用される「平面視」という用語は、図1に示される互いに直交するXYZ軸のZ軸方向に半導体装置10を視ることをいう。また、図3に示される半導体装置10において、便宜上、+Z方向を上、-Z方向を下、+X方向を右、-X方向を左と定義する。明示的に別段の記載がない限り、「平面視」とは、半導体装置10をZ軸に沿って上方から視ることを指す。

[0013] 半導体装置10は、半導体整流器である。図1に示すように、半導体装置10は、半導体チップ11を含む。半導体チップ11は、たとえばシリコン(Si)を含む材料によって形成されている。なお、半導体チップ11を構成する材料は、Siに限られず任意である。本実施形態では、半導体チップ11は、平板状に形成されている。半導体チップ11は、チップ表面11sおよびチップ裏面11r(図3参照)を含む。さらに、半導体チップ11は、チップ表面11sとチップ裏面11rとを接続する第1~第4チップ側面12A~12Dを含む。

[0014] 平面視における半導体チップ11の形状、換言すると平面視におけるチップ表面11sおよびチップ裏面11rの形状は矩形状である。第1チップ側面12Aおよび第2チップ側面12BはX軸方向に沿って延び、第3チップ側面12Cおよび第4チップ側面12DはY軸方向に沿って延びている。第1チップ側面12Aおよび第2チップ側面12BはY軸方向を向くように配置され、第3チップ側面12Cおよび第4チップ側面12DはX軸方向を向くように配置されている。

[0015] 図3に示すように、半導体装置10は、半導体チップ11のうちチップ裏面11r寄りに形成された半導体基板21を含む。半導体基板21は、基板表面21s、基板表面21sとは反対側の基板裏面21rを有する。基板表面21sはチップ表面11sと同じ側を向き、基板裏面21rはチップ裏面11rと同じ側を向いている。

- [0016] 半導体基板21は、たとえば $0.5\text{ m}\Omega\cdot\text{cm}$ 以上 $3\text{ m}\Omega\cdot\text{cm}$ 以下の電気抵抗率を有する。半導体基板21は、たとえば $1\times 10^{18}\text{ cm}^{-3}$ 以上 $1\times 10^{21}\text{ cm}^{-3}$ 以下のn型不純物濃度を有する。半導体基板21は、 $5\text{ }\mu\text{m}$ 以上 $300\text{ }\mu\text{m}$ 以下の厚さを有する。一例では、半導体基板21の厚さは、 $50\text{ }\mu\text{m}$ 以上 $300\text{ }\mu\text{m}$ 以下である。本実施形態では、半導体基板21は、n型の半導体基板によって形成されている。半導体基板21としては、たとえばSi基板が用いられる。なお、半導体基板21の構成材料は、Siに限られず任意である。一例では、半導体基板21の構成材料は、シリコンカーバイド(SiC)が用いられてもよい。
- [0017] 半導体装置10は、半導体基板21の基板裏面21rに形成されたカソード電極41を含む。カソード電極41は、基板裏面21rの全体にわたり形成されている。カソード電極41は、半導体基板21と電氣的に接続されている。カソード電極41は、半導体基板21(基板裏面21r)とオーミック接触を形成している。カソード電極41は、チップ裏面11rを構成している。ここで、本実施形態では、カソード電極41は「第2電極」に対応している。
- [0018] カソード電極41は、複数の金属膜の積層構造を有する。一例では、カソード電極41は、基板裏面21rから順に第1金属膜、第2金属膜、および第3金属膜が積層された構造である。
- [0019] 第1金属膜は、たとえばチタン(Ti)を含む材料によって形成されている。第1金属膜は、たとえば $500\text{ }\text{\AA}$ 以上 $2000\text{ }\text{\AA}$ 以下の厚さを有する。第2金属膜は、たとえばニッケル(Ni)を含む材料によって形成されている。第2金属膜の厚さは、たとえば第1金属膜の厚さよりも厚い。第2金属膜は、たとえば $2000\text{ }\text{\AA}$ 以上 $6000\text{ }\text{\AA}$ 以下の厚さを有する。第3金属膜は、たとえば金(Au)を含む材料によって形成されている。第3金属膜の厚さは、たとえば第2金属膜の厚さよりも薄い。第3金属膜の厚さは、たとえば第1金属膜の厚さよりも薄い。第3金属膜は、たとえば $100\text{ }\text{\AA}$ 以上 $1000\text{ }\text{\AA}$ 以下の厚さを有する。第1金属膜、第2金属膜、および第3金属膜

の組み合わせ（第1金属膜／第2金属膜／第3金属膜）としては、たとえば、Ti／Ni／Au、Ti／Ni／銀（Ag）が挙げられる。カソード電極41は、第2金属膜と第3金属膜との間に介在する第4金属膜を有していてもよい。第4金属膜は、たとえばパラジウム（Pd）を含む材料によって形成されている。また、カソード電極41は、第1金属膜および第2金属膜を有し、第3金属膜が省略されていてもよい。この場合、第1金属膜および第2金属膜の組み合わせ（第1金属膜／第2金属膜）としては、たとえば、Ti／Niが挙げられる。なお、カソード電極41が有する上記金属膜の各々を形成する材料は、上記材料に限定されない。

[0020] 半導体装置10は、半導体基板21上に形成されたn型のバッファ層22と、バッファ層22上に形成されたn型のドリフト層23と、を含む。ドリフト層23は、バッファ層22を介して半導体基板21の上に形成されている。このため、ドリフト層23は、半導体基板21上に形成されているともいえる。ここで、本実施形態では、ドリフト層23は「半導体層」に対応し、n型は「第1導電型」に対応している。

[0021] バッファ層22は、半導体基板21の基板表面21sに接している。バッファ層22は、基板表面21sの全体にわたり形成されている。バッファ層22は、半導体基板21から上方に向かうにつれてn型不純物濃度が低下する濃度勾配を有する。バッファ層22は、1 $\mu$ m以上10 $\mu$ m以下の厚さを有する。本実施形態では、バッファ層22は、n型のエピタキシャル層（Siエピタキシャル層）によって形成されている。

[0022] ドリフト層23は、バッファ層22と接している。ドリフト層23は、チップ表面11sと同じ側を向く表面23sを有する。本実施形態では、ドリフト層23の表面23sは、チップ表面11sを構成している。ドリフト層23は、平面視においてバッファ層22の全体にわたり形成されている。ドリフト層23は、半導体基板21よりも低いn型不純物濃度を有する。ドリフト層23のn型不純物濃度は、たとえば $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下である。ドリフト層23は、たとえば $1.0 \Omega \cdot \text{cm}$ 以上 $4.0$

$\Omega \cdot \text{cm}$ 以下の電気抵抗率を有する。ドリフト層23は、 $6 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下の厚さを有する。本実施形態では、ドリフト層23は、 $n$ 型のエピタキシャル層（ $\text{Si}$ エピタキシャル層）によって形成されている。

[0023] 図1および図2に示すように、半導体装置10は、ドリフト層23の表面23sから $Z$ 軸方向に延びる分離トレンチ24を含む。分離トレンチ24は、平面視において第1～第4チップ側面12A～12Dよりも内方に位置している。分離トレンチ24は、平面視において環状に形成されている。本実施形態では、平面視における分離トレンチ24の形状は、略矩形枠状である。分離トレンチ24は、平面視において分離トレンチ24の内方領域である活性領域51と、分離トレンチ24よりも外方領域である外周領域52と、を区画している。なお、平面視における分離トレンチ24の形状は任意に変更可能である。

[0024] 活性領域51は、ダイオードが形成される領域である。活性領域51は、平面視において矩形状に形成されている。外周領域52は、ダイオードが形成されていない領域である。外周領域52には、たとえば耐圧向上のための終端構造が形成されている。外周領域52は、平面視において活性領域51を囲む環状に形成されている。

[0025] 図3に示すように、分離トレンチ24は、一对の側壁24aと、一对の側壁24aを連結する底壁24bと、を含む。分離トレンチ24は、ドリフト層23に設けられている。つまり、分離トレンチ24の底壁24bは、バッファ層22よりも上方に位置している。本実施形態では、底壁24bは、バッファ層22に向けて凸となる湾曲状に形成されている。なお、底壁24bの形状は任意に変更可能である。

[0026] 分離トレンチ24の深さは、たとえば $1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であってもよい。分離トレンチ24の深さは、たとえば $1.5 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下であってもよい。分離トレンチ24は、ドリフト層23の底部（バッファ層22）から $1 \mu\text{m}$ 以上（好ましくは $3 \mu\text{m}$ 以上）の間隔をあけて形成されている。分離トレンチ24の幅は、たとえば $0.5 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下であってもよ

い。分離トレンチ24の幅は、たとえば $0.8\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下であってもよい。ここで、分離トレンチ24の幅は、平面視において分離トレンチ24が延びる方向と直交する方向の大きさである。

[0027] 半導体装置10は、分離トレンチ24に設けられた分離絶縁膜31および分離電極32を含む。

分離絶縁膜31は、分離トレンチ24の一对の側壁24aおよび底壁24bに沿って形成されている。分離絶縁膜31は、たとえば酸化シリコン( $\text{SiO}_2$ )を含む材料によって形成されている。分離絶縁膜31は、たとえば $0.05\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下の厚さを有する。分離絶縁膜31の厚さは、 $0.1\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下であってもよい。分離絶縁膜31は、分離トレンチ24内にリセス空間を区画している。

[0028] 分離電極32は、分離トレンチ24内のリセス空間を埋めるように形成されている。つまり、分離電極32は、分離絶縁膜31を挟んで分離トレンチ24内に埋設されている。分離電極32は、たとえば導電性ポリシリコンを含む。なお、導電性ポリシリコンは、n型ポリシリコンであってもよいし、p型ポリシリコンであってもよい。

[0029] 図1～図3に示すように、活性領域51には、複数本（本実施形態では5本）のトレンチ25が形成されている。つまり、半導体装置10は、トレンチ25を含む。各トレンチ25は、ドリフト層23の表面23sからZ軸方向に延びるとともにY軸方向に延びている。本実施形態では、平面視における各トレンチ25の形状は、Y軸方向に延びる直線状である。複数のトレンチ25は、X軸方向において互いに離隔して形成されている。平面視において、複数のトレンチ25は、ストライプ状に形成されているともいえる。各トレンチ25は、Y軸方向において分離トレンチ24と連通している。ここで、本実施形態では、Y軸方向は「第1方向」に対応し、X軸方向は「第2方向」に対応している。なお、各トレンチ25と分離トレンチ24とは、互いに離隔していてもよい。つまり、各トレンチ25と分離トレンチ24とは連通していなくてもよい。

- [0030] 図3および図4に示すように、トレンチ25は、一对の側壁25aと、一对の側壁25aを連結する底壁25bと、を含む。トレンチ25は、ドリフト層23に設けられている。つまり、トレンチ25の底壁25bは、バッファ層22よりも上方に位置している。本実施形態では、底壁25bは、バッファ層22に向けて凸となる湾曲状に形成されている。なお、底壁25bの形状は任意に変更可能である。
- [0031] 本実施形態では、トレンチ25の深さ寸法HTは、分離トレンチ24の深さよりも浅い。換言すると、分離トレンチ24の深さは、トレンチ25の深さ寸法HTよりも深い。なお、トレンチ25の深さ寸法HTは、分離トレンチ24の深さと等しくてもよい。
- [0032] 一例では、トレンチ25の深さ寸法HTは、たとえば1 $\mu$ m以上5 $\mu$ m以下であってもよい。トレンチ25の深さ寸法HTは、たとえば0.8 $\mu$ m以上2 $\mu$ m以下であってもよい。トレンチ25は、ドリフト層23の底部（バッファ層22）から1 $\mu$ m以上（好ましくは3 $\mu$ m以上）の間隔をあけて形成されている。
- [0033] トレンチ25の幅L1は、分離トレンチ24の幅よりも小さい。換言すると、分離トレンチ24の幅は、トレンチ25の幅L1よりも大きい。一例では、トレンチ25の幅L1は、たとえば0.1 $\mu$ m以上2 $\mu$ m以下であってもよい。トレンチ25の幅L1は、たとえば0.4 $\mu$ m以上1.2 $\mu$ m以下であってもよい。ここで、トレンチ25の幅L1は、平面視においてトレンチ25が延びる方向と直交する方向の大きさである。本実施形態では、平面視においてトレンチ25はY軸方向に延びるため、トレンチ25の幅は、平面視においてトレンチ25のX軸方向の大きさ（第2方向長さ）である。
- [0034] X軸方向に隣り合う2つのトレンチ25の間隔D1は、たとえば1 $\mu$ m以上5 $\mu$ m以下であってもよい。X軸方向に隣り合う2つのトレンチ25の間隔D1は、2 $\mu$ m以上4 $\mu$ m以下であってもよい。また、図3に示すように、X軸方向の両端に位置するトレンチ25と、当該トレンチ25とX軸方向に隣り合う分離トレンチ24との間の距離は、X軸方向に隣り合う2つのト

レンチ 25 の間隔 D1 と概ね等しい。

[0035] 半導体装置 10 は、各レンチ 25 に設けられた絶縁層 33 および埋め込み電極 34 を含む。ここで、本実施形態では、埋め込み電極 34 は「第 3 電極」に対応している。

図 4 に示すように、絶縁層 33 は、レンチ 25 の一对の側壁 25 a および底壁 25 b に沿って形成されている。詳述すると、絶縁層 33 は、レンチ 25 の側壁 25 a に沿って形成されている 2 つの第 1 部分 33 a と、レンチ 25 の底壁 25 b に沿って形成されている第 2 部分 33 b とを有する。第 1 部分 33 a は、ドリフト層 23 および後述するウェル領域 80 のウェル端部 80 e に接している。第 2 部分 33 b は、2 つの第 1 部分 33 a の間に位置して、ドリフト層 23 に接している。

[0036] 絶縁層 33 は、レンチ 25 における分離レンチ 24 との連通部分において分離絶縁膜 31 に接続されている。絶縁層 33 は、たとえば  $\text{SiO}_2$  を含む材料によって形成されている。絶縁層 33 は、たとえば  $0.05 \mu\text{m}$  以上  $0.5 \mu\text{m}$  以下の厚さを有する。絶縁層 33 の厚さは、 $0.1 \mu\text{m}$  以上  $0.4 \mu\text{m}$  以下であってもよい。分離絶縁膜 31 の厚さは、たとえば絶縁層 33 の厚さ以上である。絶縁層 33 は、レンチ 25 内にリセス空間を区画している。

[0037] 埋め込み電極 34 は、レンチ 25 内のリセス空間を埋めるように形成されている。つまり、埋め込み電極 34 は、絶縁層 33 を挟んでレンチ 25 内に埋設されている。埋め込み電極 34 は、レンチ 25 における分離レンチ 24 との連通部分において分離電極 32 に接続されている。埋め込み電極 34 は、たとえば導電性ポリシリコンを含む。なお、導電性ポリシリコンは、n 型ポリシリコンであってもよいし、p 型ポリシリコンであってもよい。

[0038] 図 1 ~ 図 3 に示すように、半導体装置 10 は、外周領域 52 において分離レンチ 24 に沿ってドリフト層 23 の表層部に形成された p 型の外周ウェル領域 26 を含む。ここで、本実施形態では、p 型は「第 2 導電型」に対応

している。

- [0039] 外周ウェル領域26は、ドリフト層23の表面23sに形成されている。図2に示すように、外周ウェル領域26は、平面視において環状に形成されている。外周ウェル領域26は、終端構造の一例であり、電氣的にフローティング状態に形成されている。つまり、外周ウェル領域26は、分離電極32および埋め込み電極34から電氣的に分離して形成されている。外周ウェル領域26は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下のp型不純物濃度を有する。図3に示すように、外周ウェル領域26のp型不純物濃度は、ドリフト層23の表面23sからドリフト層23の底部（バッファ層22）に向かうにつれて徐々に低下する濃度勾配を有する。
- [0040] 図2に示すように、外周ウェル領域26は、平面視において分離トレンチ24と隣接するように設けられている。外周ウェル領域26は、分離トレンチ24の側壁24aに接している。
- [0041] 図3に示すように、本実施形態では、外周ウェル領域26の厚さは、分離トレンチ24の深さよりも厚い。外周ウェル領域26の厚さは、トレンチ25の深さよりも厚い。外周ウェル領域26の底部は、ドリフト層23の底部（バッファ層22）から間隔をあけて形成されている。一例では、外周ウェル領域26の厚さは、 $1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であってもよい。なお、外周ウェル領域26の厚さは任意に変更可能である。一例では、外周ウェル領域26は、分離トレンチ24の深さよりも薄くてもよい。また、外周ウェル領域26は、分離トレンチ24の底壁24bの一部を覆うように形成されていてもよい。
- [0042] 外周ウェル領域26の幅は、分離トレンチ24の幅よりも大きい。外周ウェル領域26の幅は、トレンチ25の幅L1よりも大きい。外周ウェル領域26の幅は、外周ウェル領域26の厚さよりも大きい。一例では、外周ウェル領域26の幅は、 $2 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下であってもよい。また一例では、外周ウェル領域26の幅は、 $5 \mu\text{m}$ 以上 $15 \mu\text{m}$ 以下であってもよい。ここで、外周ウェル領域26の幅は、平面視において外周ウェル領域26が延

びる方向と直交する方向の大きさによって定義できる。

[0043] 図1および図3に示すように、半導体装置10は、外周領域52においてドリフト層23の表面23sを覆う表面絶縁層60を含む。表面絶縁層60は、平面視において外周領域52の形状に応じた環状に形成されている。つまり、図3に示すように、表面絶縁層60は、活性領域51を露出する貫通孔60Aを有する。表面絶縁層60の内周縁は、平面視において分離電極32の一部と重なる位置に形成されている。つまり、表面絶縁層60は、分離電極32の上面の一部を覆っている。表面絶縁層60は、外周ウェル領域26の全体を覆っている。これにより、外周ウェル領域26は、外部から絶縁されている。

[0044] 表面絶縁層60は、第1絶縁膜61および第2絶縁膜62を含む積層構造を有する。

第1絶縁膜61は、ドリフト層23の表面23sに接している。第1絶縁膜61は、たとえばSiO<sub>2</sub>を含む材料によって形成されている。一例では、第1絶縁膜61は、ドリフト層23の酸化物を含むフィールド酸化膜によって形成されている。

[0045] 第2絶縁膜62は、第1絶縁膜61上に形成されている。第2絶縁膜62は、第1絶縁膜61とは異なる性質を有する酸化シリコン膜を含む。一例では、第2絶縁膜62は、たとえばPSG (Phosphorus Silicate Glass) 膜およびUSG (Undoped Silicate Glass) 膜の少なくとも1つを含んでもよい。PSGはPを含む酸化シリコン膜であり、USG膜は不純物無添加の酸化シリコン膜である。また、第2絶縁膜62は、PSG膜およびUSG膜の積層構造であってもよい。

[0046] 第1絶縁膜61は、1000Å以上5000Å以下の厚さを有する。第1絶縁膜61の厚さは、1500Å以上3500Å以下であってもよい。第2絶縁膜62は、1000Å以上6000Å以下の厚さを有する。第2絶縁膜62の厚さは、2500Å以上4500Å以下であってもよい。

[0047] 半導体装置10は、ドリフト層23の表面23s上に形成されたアノード

電極 4 2 を含む。アノード電極 4 2 は「第 1 電極」に対応している。

アノード電極 4 2 は、活性領域 5 1 および外周領域 5 2 の双方にわたり形成されている。より詳細には、アノード電極 4 2 は、活性領域 5 1 の全体にわたり形成されている。一方、図 1 に示すように、アノード電極 4 2 は、平面視において外周領域 5 2 のうち第 1 ～第 4 チップ側面 1 2 A ～1 2 D よりも内方に形成されている。つまり、アノード電極 4 2 は、外周領域 5 2 のうち内周部に形成されている。平面視におけるアノード電極 4 2 の形状は矩形状である。

[0048] 図 3 に示すように、アノード電極 4 2 は、分離電極 3 2 および埋め込み電極 3 4 の双方に接している。より詳細には、アノード電極 4 2 は、分離電極 3 2 および埋め込み電極 3 4 の双方とオーミック接触を形成している。これにより、アノード電極 4 2 は、分離電極 3 2 および埋め込み電極 3 4 の双方と電氣的に接続されている。

[0049] 外周領域 5 2 においては、アノード電極 4 2 は、表面絶縁層 6 0 上に形成されている。このため、外周領域 5 2 においては、アノード電極 4 2 は、ドリフト層 2 3 および外周ウェル領域 2 6 と絶縁されている。本実施形態では、アノード電極 4 2 の外周縁は、外周ウェル領域 2 6 よりも外方に位置している。

[0050] 図 4 に示すように、アノード電極 4 2 は、たとえば第 1 電極膜 4 2 A、第 2 電極膜 4 2 B、および第 3 電極膜 4 2 C を含む積層構造を有する。第 1 電極膜 4 2 A は、ドリフト層 2 3 の表面 2 3 s と接している。第 2 電極膜 4 2 B は第 1 電極膜 4 2 A 上に形成され、第 3 電極膜 4 2 C は第 2 電極膜 4 2 B 上に形成されている。第 2 電極膜 4 2 B の厚さは、第 1 電極膜 4 2 A よりも厚い。第 3 電極膜 4 2 C の厚さは、第 1 電極膜 4 2 A および第 2 電極膜 4 2 B よりも厚い。第 1 電極膜 4 2 A の厚さは、たとえば 5 0 Å 以上 1 0 0 0 Å 以下であってもよい。第 1 電極膜 4 2 A の厚さは、たとえば 2 5 0 Å 以上 5 0 0 0 Å 以下であってもよい。第 2 電極膜 4 2 B の厚さは、5 0 0 Å 以上 5 0 0 0 Å 以下であってもよい。第 2 電極膜 4 2 B の厚さは、1 5 0 0 Å 以上 4

500 Å以下であってもよい。第3電極膜42Cの厚さは、0.5 μm以上10 μm以下であってもよい。第3電極膜42Cの厚さは、2.5 μm以上7.5 μm以下であってもよい。

[0051] 第1電極膜42Aの電極材料は、マグネシウム(Mg)、アルミニウム(Al)、チタン(Ti)、バナジウム(V)、クロム(Cr)、マンガン(Mn)、コバルト(Co)、ニッケル(Ni)、銅(Cu)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、パラジウム(Pd)、銀(Ag)、インジウム(In)、錫(Sn)、タンタル(Ta)、タングステン(W)、白金(Pt)、および金(Au)の少なくとも1つを含んでいてもよい。第1電極膜42Aは、単一の膜によって形成されてもよいし、複数の膜の積層構造によって形成されていてもよい。複数の膜は、互いに異なる電極材料によって形成されていてもよい。一例では、第1電極膜42Aは、たとえばMoを含んでいてもよい。

[0052] 第2電極膜42Bは、金属バリア膜であり、たとえばTi系金属膜によって形成されている。第2電極膜42Bの電極材料は、Tiおよび窒化チタン(TiN)の少なくとも一方を含んでいてもよい。第2電極膜42Bは、TiまたはTiNによって形成された単一の膜によって形成されてもよい。第2電極膜42Bは、Ti膜またはTiN膜の積層構造によって形成されていてもよい。本実施形態では、第2電極膜42BはTiNを含む材料によって形成されている。

[0053] 第3電極膜42Cは、電極パッドを構成するものであり、たとえばCuおよびAlの少なくとも一方を含む材料によって形成されている。第3電極膜42Cの電極材料は、Cu、Al、アルミニウム銅合金(AlCu)、アルミニウムシリコン合金(AlSi)、アルミニウムシリコン銅合金(AlSiCu)の少なくとも1つを含んでいてもよい。本実施形態では、第3電極膜42Cは、Alを含む材料によって形成されている。

[0054] 半導体装置10は、アノード電極42を覆うように表面絶縁層60上に形成された表面保護層70を含む。

図1に示すように、表面保護層70の外周縁は、第1～第4チップ側面12A～12Dから間隔をあけた位置に形成されている。図3に示すように、表面保護層70は、アノード電極42の上面から側面にわたり連続して形成されている。表面保護層70は、アノード電極42よりも外方まで形成されている。表面保護層70は、アノード電極42の中央部を露出する開口部71を有する。アノード電極42のうち開口部71から露出された部分は、ワイヤ等の接続部材が接合される電極パッドを構成している。

[0055] 表面保護層70は、無機絶縁膜によって形成された単層構造を有する。表面保護層70は、表面絶縁層60とは異なる絶縁体によって形成されている。表面保護層70は、たとえばSiNおよび酸化窒化シリコン(SiON)の少なくとも一方を含んでいてもよい。表面保護層70の厚さは、たとえば0.2 $\mu$ m以上1.5 $\mu$ m以下であってもよい。表面保護層70の厚さは、たとえば0.6 $\mu$ m以上1.2 $\mu$ m以下であってもよい。なお、表面保護層70は、ポリイミド等の有機絶縁膜によって形成されていてもよい。

[0056] (ウェル領域)

図2に示すように、半導体装置10は、活性領域51において、ドリフト層23の表層部に形成されたp型のウェル領域80を含む。ここで、本実施形態では、p型は「第2導電型」に対応している。

[0057] 以下では、図1～図7を参照して、ウェル領域80の詳細について説明する。図5は、図2のF5-F5線の概略断面構造を示している。図6は、図2のF6-F6線の概略断面構造を示している。図7は、図2の矢印F6で示す範囲の斜視断面図である。図1～図7では、理解を容易にするため、ウェル領域80にドットハッチングを付している。図4～図7では、便宜上、半導体装置10の一部のハッチング線を省略している。図7では、理解を容易にするため、ドリフト層23の下部、およびアノード電極42の上部を省略している。

[0058] 図2および図3に示すように、ウェル領域80は、活性領域51に位置するドリフト層23の表面23sに形成されている。ウェル領域80は、ドリ

フト層 23 における X 軸方向に隣り合う 2 つのトレンチ 25 の間の領域（以下、トレンチ間領域 27 と記載する。）に形成されている。また、ウェル領域 80 は、ドリフト層 23 における X 軸方向に隣り合う分離トレンチ 24 とトレンチ 25 との間の領域（以下、トレンチ側方領域 28 と記載する。）に形成されていてもよい。図 2 および図 3 に示す一例では、トレンチ間領域 27 およびトレンチ側方領域 28 の両方にウェル領域 80 が設けられている。トレンチ側方領域 28 に設けられているウェル領域 80 は、省略してもよい。また、2 つのトレンチ側方領域 28 のうちのいずれか一方のみにウェル領域 80 が設けられていてもよい。

[0059] 図 2 に示すように、本実施形態のウェル領域 80 は、トレンチ間領域 27 およびトレンチ側方領域 28 において、X 軸方向に延びるとともに、Y 軸方向に離隔して複数、形成されている。ウェル領域 80 の一例は、Y 軸方向に等間隔に離隔して複数、形成されている。

[0060] トレンチ間領域 27 およびトレンチ側方領域 28 の各々に形成されているウェル領域 80 は、トレンチ 25 を跨いで Y 軸方向に直交する方向（X 軸方向）に並ぶように配置されている。したがって、ウェル領域 80 は、トレンチ 25 を跨いで X 軸方向に延びている。換言すると、Y 軸方向に離隔する複数のウェル領域 80 は、トレンチ 25 を跨いで X 軸方向に延びるとともに、Y 軸方向に離隔しているストライプ状に配置されている。

[0061] ウェル領域 80 は、X 軸方向においてトレンチ間領域 27 の全体にわたり形成されている。また、ウェル領域 80 は、X 軸方向においてトレンチ間領域 27 およびトレンチ側方領域 28 の全体にわたり形成されていてもよい。なお、トレンチ 25 を跨いでウェル領域 80 が並ぶ方向は、Y 軸方向に直交する方向（X 軸方向）に限定されない。たとえば、トレンチ 25 を跨いでウェル領域 80 が並ぶ方向は、X 軸方向および Y 軸方向に交差する方向であってもよい。

[0062] 図 4 に示すように、ウェル領域 80 は、ドリフト層 23 の表面 23s に露出するウェル表面 80s を有する。ウェル表面 80s は、ドリフト層 23 の

表面23sの一部を構成している。ウェル表面80sは、活性領域51においてアノード電極42と接している。より詳細には、ウェル表面80sは、活性領域51においてアノード電極42とオーミック接触を形成している。

[0063] ウェル領域80は、当該ウェル領域80が延びる方向であるX軸方向の両端に位置するウェル端部80eを有する。トレンチ間領域27に位置するウェル領域80の各ウェル端部80eは、トレンチ25の絶縁層33に接している。したがって、トレンチ間領域27に位置するウェル領域80は、X軸方向において当該ウェル領域80を挟む2つのトレンチ25の各々に接している。トレンチ側方領域28に位置するウェル領域80のウェル端部80eは、分離トレンチ24の分離絶縁膜31およびトレンチ25の絶縁層33に接している。したがって、トレンチ側方領域28に位置するウェル領域80は、X軸方向において当該ウェル領域80を挟む分離トレンチ24とトレンチ25の各々に接している。

[0064] 図6および図7に示すように、ウェル領域80は、一例では、X軸方向から視て、半円状に形成されている。より詳細には、ウェル領域80は、ウェル表面80sにおいて、幅（Y軸方向寸法）が最大となり、ウェル表面80sから離れるにつれて幅（Y軸方向寸法）が徐々に小さくなるように形成されている。一例では、ウェル領域80の幅の最大値、すなわち、ウェル表面80sの幅寸法W1は、ウェル領域80の厚さ寸法HWの最大値の2倍に等しい。なお、幅寸法W1および厚さ寸法HWの詳細は、後述する。

[0065] ここで、図2および図7に示すように、トレンチ間領域27およびトレンチ側方領域28に位置するドリフト層23の表面23sは、隣り合う2つのウェル領域80のウェル表面80sの間に位置する露出表面90sを有する。露出表面90sは、活性領域51においてアノード電極42と接している。より詳細には、露出表面90sは、活性領域51においてアノード電極42とショットキー接触を形成している。なお、本実施形態では、ドリフト層23の表面23sにおいて、Y軸方向の両端に位置するウェル領域80のウェル表面80sと分離トレンチ24との間に位置する部分91sは、露出表

面 90 s に含まない。

[0066] トレンチ間領域 27 およびトレンチ側方領域 28 に位置するドリフト層 23 の表面 23 s は、ウェル表面 80 s により構成される部分と、露出表面 90 s により構成される部分とを含む。図 6 および図 7 に示すように、トレンチ間領域 27 およびトレンチ側方領域 28 に位置するドリフト層 23 の表面 23 s は、ウェル表面 80 s においてアノード電極 42 とオーミック接触を形成するとともに、露出表面 90 s においてアノード電極 42 とショットキー接触を形成している。換言すると、アノード電極 42 は、活性領域 51 においてウェル表面 80 s とオーミック接触を形成するとともに、露出表面 90 s とショットキー接触を形成している。

[0067] 図 7 に示すように、Y 軸方向におけるウェル表面 80 s の幅寸法  $W_1$  (第 1 方向長さ  $W_1$ ) は、たとえば、 $0.1 \mu\text{m}$  以上  $10 \text{mm}$  以下であってもよい。また、幅寸法  $W_1$  は、以下に記載する範囲であってもよい。図 2 に示すように、Y 方向に並ぶウェル表面 80 s および露出表面 90 s の各々の Y 軸方向における幅寸法の合計 (第 1 方向長さの合計) を総幅寸法  $W_t$  とする。この場合、幅寸法  $W_1$  は、たとえば、 $0.00001 W_t$  以上  $0.99999 W_t$  以下であってもよい。なお、総幅寸法  $W_t$  は、たとえば、 $0.1 \text{mm}$  以上  $10 \text{mm}$  以下であってもよい。ウェル表面 80 s の幅寸法  $W_1$  は、全てのウェル表面 80 s において同じであってもよいし、1 または複数のウェル表面 80 s において異なってもよい。

[0068] なお、ウェル表面 80 s の幅寸法  $W_1$  の一例は、X 軸方向に隣り合う 2 つのトレンチ 25 の間隔  $D_1$  よりも短い。ウェル表面 80 s の幅寸法  $W_1$  の一例は、X 軸方向に隣り合う 2 つのトレンチ 25 の間隔  $D_1$  よりも長い。ウェル表面 80 s の幅寸法  $W_1$  の一例は、X 軸方向に隣り合う 2 つのトレンチ 25 の間隔  $D_1$  と同じである。また、ウェル表面 80 s の幅寸法  $W_1$  の一例は、トレンチ 25 の幅  $L_1$  よりも長い。ウェル表面 80 s の幅寸法  $W_1$  の一例は、トレンチ 25 の幅  $L_1$  よりも短い。ウェル表面 80 s の幅寸法  $W_1$  の一例は、トレンチ 25 の幅  $L_1$  と同じである。

[0069] Z軸方向におけるウェル領域80の厚さ寸法HWは、たとえば、 $0.01\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。ウェル領域80の厚さ寸法HWの一例は、トレンチ25の深さ寸法HTよりも薄い。たとえば、ウェル領域80の厚さ寸法HWは、深さ寸法HTの $1/2$ 以下である。厚さ寸法HWは、深さ寸法HTの $1/3$ 以下であってもよい。ウェル領域80の厚さ寸法HWは、全てのウェル領域80において同じであってもよいし、1または複数のウェル領域80において異なってもよい。なお、ここでいうウェル領域80の厚さ寸法HWは、ウェル領域80の厚さ寸法の最大値を意味する。

[0070] ドリフト層23の表面23sにおいて、Y軸方向における露出表面90sの幅寸法W2は、たとえば、 $0.1\ \mu\text{m}$ 以上 $10\ \text{mm}$ 以下であってもよい。また、幅寸法W2は、たとえば、 $0.00001W_t$ 以上 $0.99999W_t$ 以下であってもよい（図2参照）。幅寸法W2は、Y軸方向に隣り合う2つのウェル領域80の間隔ということもできる。露出表面90sの幅寸法W2は、全ての露出表面90sにおいて同じであってもよいし、1または複数の露出表面90sにおいて異なってもよい。なお、ウェル領域80がY軸方向に等間隔に離隔して複数、形成されている場合、全ての露出表面90sの幅寸法W2は同じである。

[0071] ここで、各トレンチ間領域27および各トレンチ側方領域28に位置するウェル表面80sの面積の合計を合計面積S1とし、各トレンチ間領域27および各トレンチ側方領域28に位置する露出表面90sの面積の合計を合計面積S2とする。合計面積S1は、図2に示す破線で囲まれた範囲内におけるウェル表面80sの面積の合計である。合計面積S2は、図2に示す破線で囲まれた範囲内における露出表面90sの面積の合計である。露出表面90sの合計面積S2に対するウェル表面80sの合計面積S1の面積比（ $S1/S2$ ）は、たとえば、 $0 < S1/S2 \leq 100$ を満たす値である。面積比（ $S1/S2$ ）は、たとえば、 $0.00001$ 以上または $0.0001$ 以上である。

[0072] 一例では、ウェル表面80sの合計面積S1は、露出表面90sの合計面

積 $S_2$ よりも大きい。この場合、露出表面 $90s$ の合計面積 $S_2$ に対するウェル表面 $80s$ の合計面積 $S_1$ の面積比( $S_1/S_2$ )は、たとえば、 $1 < S_1/S_2 \leq 100$ を満たす値である。別の一例では、ウェル表面 $80s$ の合計面積 $S_1$ は、露出表面 $90s$ の合計面積 $S_2$ よりも小さい。この場合、露出表面 $90s$ の合計面積 $S_2$ に対するウェル表面 $80s$ の合計面積 $S_1$ の面積比( $S_1/S_2$ )は、たとえば、 $0 < S_1/S_2 < 1$ を満たす値である。別の一例では、ウェル表面 $80s$ の合計面積 $S_1$ は、露出表面 $90s$ の合計面積 $S_2$ と同じ(面積比 $S_1/S_2 = 1$ )である。

[0073] ウェル表面 $80s$ の合計面積 $S_1$ および露出表面 $90s$ の合計面積 $S_2$ は、たとえば、ウェル表面 $80s$ の幅寸法 $W_1$ および露出表面 $90s$ の幅寸法 $W_2$ を変更することにより調整できる。ウェル表面 $80s$ の幅寸法 $W_1$ および露出表面 $90s$ の幅寸法 $W_2$ は、任意に変更可能である。ウェル表面 $80s$ の幅寸法 $W_1$ は、露出表面 $90s$ の幅寸法 $W_2$ よりも長くてもよい。ウェル表面 $80s$ の幅寸法 $W_1$ は、露出表面 $90s$ の幅寸法 $W_2$ よりも短くてもよい。ウェル表面 $80s$ の幅寸法 $W_1$ は、露出表面 $90s$ の幅寸法 $W_2$ と同じであってもよい。

[0074] また、複数のウェル表面 $80s$ のうちの1または複数のウェル表面 $80s$ の幅寸法 $W_1$ を異ならせてもよい。複数の露出表面 $90s$ のうちの1または複数の露出表面 $90s$ の幅寸法 $W_2$ を異ならせてもよい。一例として、図18に示すように、ウェル表面 $80s$ の幅寸法 $W_1$ を異ならせてもよい。図18は、幅寸法 $W_1$ が相対的に長いウェル表面 $80s_1$ と、幅寸法 $W_1$ が相対的に短いウェル表面 $80s_2$ とが $Y$ 軸方向に交互に配置されるとともに、複数の露出表面 $90s$ の幅寸法 $W_2$ が一定である場合を示している。

[0075] ウェル領域 $80$ の $p$ 型不純物濃度は、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。ドリフト層 $23$ の $n$ 型不純物濃度は、ウェル領域 $80$ の $p$ 型不純物濃度よりも低い。

[0076] (半導体装置の製造方法)

図8～図17を参照して、半導体装置10の製造方法の一例について説明

する。図8～図17は、半導体装置10の製造方法を説明するため、活性領域51および外周領域52の一部を拡大して示す断面図である。

[0077] 図8に示すように、半導体基板21のベースとなる半導体ウエハ821が用意される。半導体ウエハ821は、ウエハ表面821sと、ウエハ表面821sとは反対側のウエハ裏面821rと、を含む。半導体ウエハ821の一例は、Siウエハである。ここで、本実施形態では、半導体ウエハ821は半導体装置の製造方法における「半導体基板」に対応し、ウエハ表面821sは「基板表面」に対応し、ウエハ裏面821rは「基板裏面」に対応している。

[0078] 続いて、エピタキシャル成長法によって、半導体ウエハ821のウエハ表面821sからSiが結晶成長される。これにより、所定のn型不純物濃度を有するバッファ層822および所定のn型不純物濃度を有するドリフト層823がこの順に形成される。ここで、本実施形態では、ドリフト層823は半導体装置の製造方法の「半導体層」に対応している。

[0079] 続いて、マスク900がドリフト層823の表面823s上に形成される。マスク900は、SiO<sub>2</sub>膜によって形成されている。マスク900は、化学気相成長（Chemical Vapor Deposition：CVD）法および熱酸化処理法の少なくとも一方によって形成されてもよい。本実施形態では、マスク900は、熱酸化処理法によって形成される。

[0080] 続いて、所定パターンを有する第1レジストマスク910がマスク900上に形成される。第1レジストマスク910は、ドリフト層823の表面823sのうち分離トレンチ24および複数のトレンチ25（ともに図3参照）を形成する領域に対応した複数の開口911を有する。

[0081] 続いて、第1レジストマスク910を介するエッチング法によってマスク900のうち各開口911によって露出した部分に開口901が形成される。複数の開口901、911によってドリフト層823の表面823sのうち分離トレンチ24および複数のトレンチ25を形成する領域が露出する。マスク900に複数の開口901が形成された後、第1レジストマスク91

0が除去される。

[0082] 図9に示すように、マスク900を介するエッチング法によってドリフト層823の表面823sのうち分離トレンチ24および複数のトレンチ25を形成する領域が除去される。これにより、分離トレンチ24および複数のトレンチ25が形成される。分離トレンチ24は、ドリフト層823の表面823sからZ軸方向に延びるとともに、平面視において矩形枠状に形成されている。各トレンチ25は、ドリフト層823の表面823sからZ軸方向に延びるとともにY軸方向に延びている。各トレンチ25は、分離トレンチ24と連通している。複数のトレンチ25は、X軸方向において互いに離隔している。

[0083] また、分離トレンチ24によって活性領域51および外周領域52が区画される。なお、エッチング法としては、ウエットエッチング法およびドライエッチング法の少なくとも一方であってもよい。本実施形態では、ドライエッチング法が用いられる。ドライエッチング法としては、たとえば反応性イオンエッチング(Reactive Ion Etching: RIE)法であってもよい。分離トレンチ24および複数のトレンチ25が形成された後、マスク900が除去される。

[0084] 図10に示すように、CVD法および熱酸化処理法の少なくとも一方によって、第1ベース絶縁膜850がドリフト層823の表面823s、分離トレンチ24の内壁、および複数のトレンチ25の内壁に形成される。本実施形態では、熱酸化処理法によって第1ベース絶縁膜850が形成される。第1ベース絶縁膜850は、フィールド酸化膜である。第1ベース絶縁膜850は、SiO<sub>2</sub>膜によって形成されている。第1ベース絶縁膜850は、分離絶縁膜31、トレンチ25の絶縁層33、および第1絶縁膜61(ともに図3参照)のベースとなる。第1ベース絶縁膜850は、ドリフト層823の近傍のn型不純物を吸収しながら成長する。したがって、第1ベース絶縁膜850は、ドリフト層823のn型不純物を含む。ここで、本実施形態では、第1ベース絶縁膜850は半導体装置の製造方法における「絶縁層」に対

応している。

[0085] 図11に示すように、CVD法によって、第1ベース電極膜830が第1ベース絶縁膜850上に形成される。第1ベース電極膜830は、分離電極32および埋め込み電極34（ともに図3参照）のベースとなる。第1ベース電極膜830は、分離トレンチ24内の第1ベース絶縁膜850によって形成された第1リセス空間、およびトレンチ25内の第1ベース絶縁膜850によって形成された第2リセス空間の双方を埋めるとともにドリフト層823の表面823sの全体にわたって形成される。第1ベース電極膜830は、たとえば導電性ポリシリコン膜によって形成される。

[0086] 図12に示すように、エッチング法によって、第1ベース電極膜830のうち上記第1リセス空間および第2リセス空間に埋められた部分以外が除去される。これにより、分離電極32および埋め込み電極34が形成される。エッチング法としては、たとえばウエットエッチング法およびドライエッチング法の少なくとも一方が用いられる。ここで、本実施形態では、埋め込み電極34は半導体装置の製造方法の「第3電極」に対応している。

[0087] 図13に示すように、第1ベース絶縁膜850上に、所定パターンを有する第2レジストマスク920が形成される。第2レジストマスク920は、ドリフト層823の表面823sに外周ウェル領域26を形成する領域を露出させる開口921を有する。

[0088] 続いて、第2レジストマスク920を介するイオン注入法によってドリフト層823の表面823sにp型不純物が注入される。p型不純物は、第1ベース絶縁膜850を介してドリフト層823の表層部に注入される。そして、ドライブイン処理法によって、ドリフト層823の表層部に注入されたp型不純物がドリフト層823の幅方向（X軸方向）および深さ方向（Z軸方向）に拡散される。以上の工程を経て、外周ウェル領域26が形成される。そして、外周ウェル領域26が形成された後、第2レジストマスク920が除去される。

[0089] 図14に示すように、CVD法によって、第2ベース絶縁膜860が第1

ベース絶縁膜 850 上、分離電極 32 上、および埋め込み電極 34 上に形成される。第 2 ベース絶縁膜 860 は、第 2 絶縁膜 62 のベースとなる。第 2 ベース絶縁膜 860 は、第 1 ベース絶縁膜 850 とは異なる絶縁材料によって形成されている。より詳細には、第 2 ベース絶縁膜 860 は、第 1 ベース絶縁膜 850 とは異なる性質を有する  $\text{SiO}_2$  膜によって形成されている。第 2 ベース絶縁膜 860 は、たとえば PSG 膜および USG 膜の少なくとも 1 つを含む。

[0090] 図 15 に示すように、第 2 ベース絶縁膜 860 上に、所定パターンを有する第 3 レジストマスク 930 が形成される。第 3 レジストマスク 930 は、第 2 ベース絶縁膜 860 において表面絶縁層 60 の貫通孔 60A が形成される領域を露出する開口 931 を有する。そして、第 3 レジストマスク 930 を介するエッチング法によって第 2 ベース絶縁膜 860 のうち開口 931 によって露出した部分が除去される。エッチング法としては、ウエットエッチング法およびドライエッチング法の少なくとも一方が用いられる。本実施形態では、ドライエッチング法（たとえば RIE 法）が用いられる。これにより、第 2 ベース絶縁膜 860 に貫通孔 861 が形成される。

[0091] 続いて、第 3 レジストマスク 930 を介するエッチング法によって第 1 ベース絶縁膜 850 のうち開口 931 および貫通孔 861 によって露出した部分が除去される。エッチング法としては、ウエットエッチング法およびドライエッチング法の少なくとも一方が用いられる。本実施形態では、ドライエッチング法（たとえば RIE 法）が用いられる。これにより、第 1 ベース絶縁膜 850 は、分離絶縁膜 31、絶縁層 33、および第 1 絶縁膜 61 に分離される。また、第 2 ベース絶縁膜 860 が第 2 絶縁膜 62 となる。これにより、第 1 絶縁膜 61 および第 2 絶縁膜 62 の積層構造を有する表面絶縁層 60 がドリフト層 823 の表面 823s 上に形成される。第 1 ベース絶縁膜 850 および第 2 ベース絶縁膜 860 のパターンニング後、第 3 レジストマスク 930 が除去される。

[0092] 図 16 に示すように、表面絶縁層 60 上に、所定パターンを有する第 4 レ

ジストマスク940が形成される。第4レジストマスク940は、ドリフト層823の表面823sのうちトレンチ間領域27およびトレンチ側方領域28の一部を露出する開口941を有する。第4レジストマスク940の開口941は、トレンチ間領域27ごとおよびトレンチ側方領域28ごとに形成されている。第4レジストマスク940は、トレンチ間領域27およびトレンチ側方領域28において、ウェル表面80sとなる部分を開口941により露出させるとともに、ウェル表面80sとならない部分の全体を覆っている。

[0093] 続いて、第4レジストマスク940を介するイオン注入法によってドリフト層823の表面823sにp型不純物が注入される。つまり、開口941を介してp型不純物がトレンチ間領域27およびトレンチ側方領域28に注入される。p型不純物は、ドリフト層823の表層部に注入される。そして、ドライブイン処理法によって、ドリフト層823の表層部に注入されたp型不純物がドリフト層823の幅方向（X軸方向）および深さ方向（Z軸方向）に拡散される。以上の工程を経て、ウェル領域80が形成されるとともに、Y方向に隣り合うウェル領域80の間に露出表面90s（図示略）が形成される。ウェル領域80が形成された後、第4レジストマスク940が除去される。

[0094] 本実施形態では、第4レジストマスク940を介するイオン注入法によるp型不純物の注入回数は、たとえば1回である。第4レジストマスク940を介するイオン注入法によるp型不純物の注入回数は、たとえば複数回であってもよい。p型不純物の注入回数が増えるほど、ウェル領域80の厚さ寸法HWが大きくなる。なお、トレンチ間領域27およびトレンチ側方領域28の幅に対する開口941の幅の比率と注入回数は、ウェル領域80の形状に応じて任意に変更可能である。

[0095] 図17に示すように、CVD法によって、第2ベース電極膜840がウェル領域80のウェル表面80s上、露出表面90s（図示略）上、分離電極32上、埋め込み電極34上、および表面絶縁層60上に形成される。第2

ベース電極膜 840 は、ウェル領域 80 のウェル表面 80 s、分離電極 32、および埋め込み電極 34 の各々にオーミック接触を形成する。これにより、第 2 ベース電極膜 840 は、分離電極 32 および埋め込み電極 34 と電氣的に接続されている。一方、第 2 ベース電極膜 840 は、外周ウェル領域 26 と絶縁されている。ここで、本実施形態では、第 2 ベース電極膜 840 は半導体装置の製造方法の「第 1 電極」に対応している。

[0096] 第 2 ベース電極膜 840 は、第 1 電極膜（図示略）、第 2 電極膜（図示略）、および第 3 電極膜（図示略）の積層構造によって構成されている。

第 1 電極膜は、ウェル領域 80 のウェル表面 80 s、露出表面 90 s（図示略）、分離電極 32、埋め込み電極 34、および表面絶縁層 60 に接するように形成される。本実施形態では、第 1 電極膜は、たとえば Ti を含む材料によって形成されている。第 2 電極膜は、第 1 電極膜上に形成されている。本実施形態では、第 2 電極膜は、たとえば TiN を含む材料によって形成されている。第 3 電極膜は、第 2 電極膜上に形成されている。本実施形態では、第 3 電極膜は、Al を含む材料によって形成されている。

[0097] 第 1 電極膜、第 2 電極膜、および第 3 電極膜の各々は、たとえばスパッタ法、蒸着法、およびめっき法の少なくとも 1 つの方法によって形成されてもよい。本実施形態では、第 1 電極膜、第 2 電極膜、および第 3 電極膜の各々は、スパッタ法によって形成される。

[0098] 続いて、図示していないが、第 6 レジストマスクが、第 2 ベース電極膜 840 上に形成される。第 6 レジストマスクは、第 2 ベース電極膜 840 の外周部分を覆っていない。続いて、第 6 レジストマスクを介するエッチング法によって、第 2 ベース電極膜 840 の外周部分が除去される。これにより、アノード電極 42 が形成される。

[0099] 図示していないが、半導体装置 10 の製造方法は、表面保護層 70 を形成することと、カソード電極 41 を形成することと、個片化することと、をさらに含む。

表面保護層 70 を形成することは、第 2 ベース電極膜 840 が形成された

後、実施される。たとえば、CVD法によって表面絶縁層60上および第2ベース電極膜840上に表面保護層70が形成される。

[0100] カソード電極41を形成することは、スパッタ法によって、半導体ウエハ821のウエハ裏面821rに、カソード電極41が形成される。カソード電極41は、半導体ウエハ821のウエハ裏面821rとオーミック接触を形成している。

[0101] 個片化することは、表面保護層70が形成された後、実施される。たとえばダイシングブレードを用いて、図17の一点鎖線で示す切断線CLに沿って表面保護層70、ドリフト層823、バッファ層822、およびカソード電極41が切断される。以上の工程を経て、半導体装置10が製造される。

[0102] (作用)

本実施形態の作用について説明する。

半導体装置10では、トレンチ間領域27に位置するn型のドリフト層23の表面23sにp型のウェル領域80が部分的に設けられている。そのため、ドリフト層23の表面23sには、p型のウェル領域80により形成されているウェル表面80sと、n型のドリフト層23により形成されている露出表面90sとが設けられる。ドリフト層23の表面23sは、ウェル表面80sにおいてアノード電極42とオーミック接触を形成するとともに、露出表面90sにおいてアノード電極42とショットキー接触を形成する。

[0103] 本実施形態では、ウェル領域80は、トレンチ25の延びる方向(X軸方向)に対して交差するY軸方向に延びるとともに、トレンチ25の延びる方向(X軸方向)に離隔して複数、形成されている。これにより、図2に示すように、共通のトレンチ25に隣接する領域として、アノード電極42とオーミック接触を形成している第1領域R1と、アノード電極42とショットキー接触を形成している第2領域R2の両方が形成される。また、第1領域R1および第2領域R2は、トレンチ25の延びる方向に交互に形成される。

[0104] 詳述すると、図3の断面図に示されるように、第1領域R1においては、

トレンチ間領域 27 およびトレンチ側方領域 28 におけるドリフト層 23 の表面 23s の全体に亘ってウェル領域 80 が形成されている。そして、第 1 領域 R1 のドリフト層 23 の表面 23s は、その全体がウェル表面 80s により構成されるとともに、アノード電極 42 とオーミック接触を形成している。第 1 領域 R1 においては、アノード電極 42 とオーミック接触を形成しているウェル表面 80s がトレンチ 25 の側壁 25a に隣接している。

[0105] 一方、図 5 の断面図に示すように、第 2 領域 R2 においては、隣接するトレンチ 25 の間におけるドリフト層 23 の表面 23s の全体が n 型のドリフト層 23 により形成されている。そして、第 2 領域 R2 のドリフト層 23 の表面 23s は、その全体が露出表面 90s により構成されるとともに、アノード電極 42 とショットキー接触を形成している。第 2 領域 R2 においては、アノード電極 42 とショットキー接触を形成している露出表面 90s がトレンチ 25 の側壁 25a に隣接している。

[0106] 上記のように、本実施形態では、アノード電極 42 とオーミック接触を形成している第 1 領域 R1 と、アノード電極 42 とショットキー接触を形成している第 2 領域 R2 の両方が、トレンチ 25 における共通の側壁 25a に隣接している。この場合、アノード電極 42 とオーミック接触を形成している第 1 領域 R1 において、リーク電流を抑制する特性が得られる。また、アノード電極 42 とショットキー接触を形成している第 2 領域 R2 において、順方向電圧降下  $V_F$  を低減する特性が得られる。特に、トレンチ 25 の側壁 25a に隣接して第 2 領域 R2 を設ける構成は、順方向電圧降下  $V_F$  を低減する特性を強める。

[0107] 本実施形態では、ウェル領域 80 のウェル表面 80s の合計面積  $S_1$  を調整することにより、順方向電圧降下  $V_F$  を低減する特性およびリーク電流を抑制する特性を容易に調整できる。順方向電圧降下  $V_F$  を低減する特性を強める場合には、ウェル表面 80s の合計面積  $S_1$  が小さくなるようにウェル領域 80 を形成する。ウェル表面 80s の合計面積  $S_1$  を小さくすると、相対的に露出表面 90s の合計面積  $S_2$  が大きくなる。露出表面 90s の増大

に伴ってアノード電極42とショットキー接触を形成している第2領域R2が大きくなるとともに、アノード電極42とオーミック接触を形成している第1領域R1が小さくなる。その結果、順方向電圧降下VFを低減する特性が強められるとともに、リーク電流を抑制する特性が弱められる。

[0108] 一方、リーク電流を抑制する特性を強める場合には、ウェル表面80sの合計面積S1が大きくなるようにウェル領域80を形成する。ウェル表面80sの合計面積S1の増大に伴ってアノード電極42とオーミック接触を形成している第1領域R1が大きくなるとともに、アノード電極42とショットキー接触を形成している第2領域R2が小さくなる。その結果、リーク電流を抑制する特性が強められるとともに、順方向電圧降下VFを低減する特性が弱められる。

[0109] 本実施形態によれば、以下の効果が得られる。

(1) 半導体装置10は、基板表面21sおよび基板裏面21rを有する第1導電型の半導体基板21と、基板表面21s上に形成された第1導電型のドリフト層23と、ドリフト層23の表面23s上に形成されたアノード電極42と、基板裏面21rに形成されたカソード電極41と、ドリフト層23の厚さ方向と直交する第1方向に延び、ドリフト層23の厚さ方向および第1方向と直交する第2方向に離隔して形成された複数のトレンチ25と、トレンチ25の底壁25bおよび側壁25aを覆うように設けられた絶縁層33と、絶縁層33内に形成され、アノード電極42と接する埋め込み電極34と、ドリフト層23の表面23sの一部に形成された第2導電型のウェル領域80と、を含む。ウェル領域80は、第1方向に交差する方向に延びるとともに、第1方向に離隔して複数、形成されている。ウェル領域80は、ドリフト層23の表面23sの一部を形成しているウェル表面80s、およびトレンチ25の絶縁層33に接するウェル端部80eを有する。ドリフト層23の表面23sは、ウェル表面80sにおいてアノード電極42とオーミック接触を形成し、複数のウェル表面80sの間に位置する露出表面90sにおいてアノード電極42とショットキー接触を形成している。

[0110] この構成によれば、ウェル表面80sの合計面積S1が小さくなるようにウェル領域80を形成することにより、順方向電圧降下VFを低減する特性を強めることができる。また、ウェル表面80sの合計面積S1が大きくなるようにウェル領域80を形成することにより、リーク電流を抑制する特性を強めることができる。したがって、ウェル領域80のウェル表面80sの合計面積S1を調整することにより、順方向電圧降下VFを低減する特性およびリーク電流を抑制する特性を容易に調整できる。

[0111] (2) ウェル領域80は、トレンチ25を跨いで第1方向に交差する方向に延びている。この構成によれば、共通の1つのトレンチ25に対して、X方向の両側に隣接するように、アノード電極42とオーミック接触を形成している第1領域R1およびアノード電極42とショットキー接触を形成している第2領域R2を形成できる。そのため、上記(1)の効果がより顕著に得られる。

[0112] (3) ウェル領域80は、第2方向、すなわち、トレンチ25と直交する方向に延びている。この構成によれば、図3に示すようなトレンチ25に直交する断面において、1つのトレンチ間領域27に、アノード電極42とオーミック接触を形成しているウェル表面80sと、アノード電極42とショットキー接触を形成している露出表面90sの両方が形成されることを抑制できる。この場合、アノード電極42とオーミック接触を形成している第1領域R1において、リーク電流を抑制する特性がより顕著に得られる。

[0113] (4) 複数のウェル領域80は、第1方向に等間隔に離隔して形成されている。この場合には、ウェル表面80sの第1方向長さW1を変更することにより、ウェル表面80sの合計面積S1を容易に調整できる。

[0114] [変更例]

上記実施形態は、以下のように変更して実施することができる。また、上記実施形態および以下の各変更例は、技術的に矛盾しない範囲で互いに組み合わせ実施することができる。

[0115] ・半導体基板21、バッファ層22、ドリフト層23、外周ウェル領域2

6、およびウェル領域80の導電型が反転された構造が採用されてもよい。つまり、p型の領域がn型の領域とされ、n型の領域がp型の領域とされてもよい。

[0116] (ウェル領域に関する変更例)

・ウェル領域80の形状および配置は任意に変更可能である。たとえば、ウェル領域80の配置は、トレンチ25を跨いで特定方向に並ぶ配置に限定されない。一例では、X軸方向に隣り合う2つのトレンチ間領域27において、ウェル表面80sと露出表面90sとが互い違いに配置されていてもよい。

[0117] ・1つのウェル領域80において、ウェル表面80sの幅寸法W1は、トレンチ間領域27の範囲において一定であってもよいし、部分的または全体的に変化してもよい。1つのウェル領域80において、ウェル領域80の厚さ寸法HWは、トレンチ間領域27の範囲において一定であってもよいし、部分的または全体的に変化してもよい。

[0118] ・ウェル領域80のX軸方向から視た断面形状(X軸方向(第2方向)に垂直な断面形状)は、半円状に限定されない。たとえば、両端がウェル表面80sに位置する円弧の内域として区画される断面形状のウェル領域80であってもよい。

[0119] ・1つのウェル領域80は、両端に位置する2つのウェル端部80eを有する。これら2つのウェル端部80eのうち、少なくとも一方のウェル端部80eがトレンチ25の絶縁層33に接していればよい。一方のウェル端部80eがトレンチ25の絶縁層33に接しており、他方のウェル端部80eがトレンチ25の絶縁層33に接していない構成であってもよい。

[0120] (トレンチに関する変更例)

・複数のトレンチ25は、平面視でY軸方向に延びるとともにX軸方向において隣り合う2つのトレンチ25同士が連通するように格子状に形成されていてもよい。各トレンチ25は、Y軸方向に延びる部分を有していればよい。

[0121] ・分離トレンチ24は、複数のトレンチ25を囲む環状に形成されていればよく、平面視における形状は任意である。一例では、分離トレンチ24は、X軸方向において隣り合う2つのトレンチ25同士を連結する部分が平面視で湾曲状に形成されていてもよい。

[0122] 本開示で使用される「～上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「～上に」と「～の上方に」との意味を含む。したがって、「第1層が第2層上に形成される」という表現は、或る実施形態では第1層が第2層に接触して第2層上に直接配置され得るが、他の実施形態では第1層が第2層に接触することなく第2層の上方に配置され得ることが意図される。すなわち、「～上に」という用語は、第1層と第2層との間に他の層が形成される構造を排除しない。

[0123] 本開示で使用されるZ軸方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。したがって、本開示による種々の構造（たとえば、図1に示される構造）は、本明細書で説明されるZ軸方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。たとえば、X軸方向が鉛直方向であってもよく、またはY軸方向が鉛直方向であってもよい。

[0124] 本開示における記述「AおよびBの少なくとも1つ」は、「Aのみ、または、Bのみ、または、AとBの両方」を意味するものとして理解されたい。

[付記]

上記実施形態および各変更例から把握できる技術的思想を以下に記載する。なお、限定する意図ではなく理解の補助のために、付記に記載した構成について実施形態中の対応する符号を括弧書きで示す。符号は、理解の補助のために例として示すものであり、各符号に記載された構成要素は、符号で示される構成要素に限定されるべきではない。

[0125] [付記1]

基板表面(21s)、および前記基板表面(21s)とは反対側の基板裏面(21r)を有する第1導電型(n)の半導体基板(21)と、

前記基板表面（21s）上に形成され、表面（23s）を有する第1導電型（n）の半導体層（23）と、

前記半導体層（23）の前記表面（23s）上に形成された第1電極（42）と、

前記基板裏面（21r）に形成された第2電極（41）と、

前記半導体層（23）の前記表面（23s）から前記半導体層（23）の厚さ方向に延びるとともに前記半導体層（23）の厚さ方向と直交する第1方向に延び、前記半導体層（23）の厚さ方向および前記第1方向と直交する第2方向に離隔して形成された複数のトレンチ（25）と、

前記トレンチ（25）の各々の底壁（25b）および側壁（25a）を覆うように設けられた絶縁層（33）と、

前記絶縁層（33）内に形成され、前記第1電極（42）と接する第3電極（34）と、

前記半導体層（23）の前記表面（23s）の一部に形成された第2導電型（p）のウェル領域（80）と、を含み、

前記ウェル領域（80）は、前記第1方向に交差する方向に延びるとともに、前記第1方向に離隔する複数のウェル領域（80）のうちの1つであり、

前記ウェル領域（80）は、前記半導体層（23）の前記表面（23s）の一部を形成しているウェル表面（80s）、および前記トレンチ（25）の前記絶縁層（33）に接するウェル端部（80e）を有し、前記ウェル表面（80s）は複数のウェル表面（80s）のうちの1つであり、

前記半導体層（23）の前記表面（23s）は、前記ウェル表面（80s）において前記第1電極（42）とオーミック接触を形成し、前記半導体層（23）の前記表面（23s）は、前記複数のウェル表面（80s）の間に位置する露出表面（90s）において前記第1電極（42）とショットキー接触を形成している、半導体装置（10）。

前記ウェル領域（80）は、前記トレンチ（25）を跨いで前記第1方向に交差する方向に延びている、付記1に記載の半導体装置（10）。

[0127] [付記3]

前記ウェル領域（80）は、前記第2方向に延びている、付記1または付記2に記載の半導体装置（10）。

[0128] [付記4]

前記複数のウェル領域（80）は、前記第1方向に等間隔に離隔して形成されている、付記1～3のいずれか1つに記載の半導体装置（10）。

[0129] [付記5]

前記ウェル表面（80s）の合計面積（S1）は、前記露出表面（90s）の合計面積（S2）よりも小さい、付記1～4のいずれか1つに記載の半導体装置（10）。

[0130] [付記6]

前記露出表面（90s）の合計面積（S2）に対する前記ウェル表面（80s）の合計面積（S1）の面積比（ $S1/S2$ ）は、 $0 < S1/S2 \leq 100$ を満たす値である、付記1～4のいずれか1つに記載の半導体装置（10）。

[0131] [付記7]

前記半導体層（23）の前記表面（23s）において、前記ウェル表面（80s）の第1方向長さ（W1）は、露出表面（90s）の第1方向長さ（W2）よりも短い、付記5または付記6に記載の半導体装置（10）。

[0132] [付記8]

前記ウェル表面（80s）の合計面積（S1）は、前記露出表面（90s）の合計面積（S2）よりも大きい、付記1～4のいずれか1つに記載の半導体装置（10）。

[0133] [付記9]

前記露出表面（90s）の合計面積（S2）に対する前記ウェル表面（80s）の合計面積（S1）の面積比（ $S1/S2$ ）は、 $1 < S1/S2 \leq 1$

00を満たす値である、付記8に記載の半導体装置(10)。

[0134] [付記10]

前記半導体層(23)の前記表面(23s)において、前記ウェル表面(80s)の第1方向長さ(W1)は、露出表面(90s)の第1方向長さ(W2)よりも長い、付記8または付記9に記載の半導体装置(10)。

[0135] [付記11]

前記ウェル表面(80s)の第1方向長さ(W1)は、隣り合う前記トレンチ(25)の間隔(D1)よりも短い、付記1~10のいずれか1つに記載の半導体装置(10)。

[0136] [付記12]

前記ウェル表面(80s)の第1方向長さ(W1)は、隣り合う前記トレンチ(25)の間隔(D1)よりも長い、付記1~10のいずれか1つに記載の半導体装置(10)。

[0137] [付記13]

前記ウェル表面(80s)の第1方向長さ(W1)は、前記トレンチ(25)の第2方向長さ(L1)よりも長い、付記1~12のいずれか1つに記載の半導体装置(10)。

[0138] [付記14]

前記ウェル領域(80)の厚さ寸法(HW)は、前記トレンチ(25)の深さ寸法(HT)の1/2以下である、付記1~13のいずれか1つに記載の半導体装置(10)。

[0139] [付記15]

前記トレンチ(25)の前記絶縁層(33)は、  
前記ウェル領域(80)の前記ウェル端部(80e)に接する複数の第1部分(33a)と、

前記複数の第1部分(33a)の間に位置して、前記半導体層(23)に接する第2部分(33b)とを有する、付記1~14のいずれか1つに記載の半導体装置(10)。

[0140] [付記16]

基板表面(21s)、および前記基板表面(21s)とは反対側の基板裏面(21r)を有する第1導電型の半導体基板(21)を準備すること、

表面(23s)を有する第1導電型の半導体層(23)を前記基板表面(21s)上に形成すること、

第1電極(42)を前記半導体層(23)の前記表面(23s)上に形成すること、

第2電極(41)を前記基板裏面(21r)に形成すること、

前記半導体層(23)の前記表面(23s)から前記半導体層(23)の厚さ方向(Z軸方向)に延びるとともに前記半導体層(23)の厚さ方向(Z軸方向)と直交する第1方向(Y軸方向)に延び、前記半導体層(23)の厚さ方向(Z軸方向)および前記第1方向(Y軸方向)と直交する第2方向(X軸方向)において互いに離隔する複数のトレンチ(25)を形成すること、

前記トレンチ(25)の底壁(25b)および側壁(25a)を覆うように絶縁層(33)を形成すること、

前記第1電極(42)と接する第3電極(34)を前記絶縁層(33)内に形成すること、

前記半導体層(23)の前記表面(23s)のうち隣り合う前記トレンチ(25)の間の部分であるトレンチ間領域(27)に第2導電型のウェル領域(80)を形成すること、を含み、

前記ウェル領域(80)は、前記半導体層(23)の前記表面(23s)の一部を形成しているウェル表面(80s)、および前記トレンチ(25)の前記絶縁層(33)に接するウェル端部(80e)を有し、前記ウェル表面(80s)は複数のウェル表面(80s)のうちの一つであり、

前記半導体層(23)の前記表面(23s)が、前記ウェル表面(80s)において前記第1電極(42)とオーミック接触を形成し、前記半導体層(23)の前記表面(23s)が、前記複数のウェル表面(80s)の間に

位置する露出表面（90s）において前記第1電極（42）とショットキー接触を形成するように前記第1電極（42）を形成する、半導体装置（10）の製造方法。

### 符号の説明

- [0141] CL…切断線  
D1…間隔  
HT…深さ寸法  
HW…厚さ寸法  
L1…幅（第2方向長さ）  
R1…第1領域  
R2…第2領域  
W1…幅寸法（第1方向長さ）  
W2…幅寸法（第1方向長さ）  
10…半導体装置  
11…半導体チップ  
11r…チップ裏面  
11s…チップ表面  
12A-12D…第1～第4チップ側面  
21…半導体基板  
21r…基板裏面  
21s…基板表面  
22…バッファ層  
23…ドリフト層（半導体層）  
23s…表面  
24…分離トレンチ  
24a…側壁  
24b…底壁  
25…トレンチ

- 2 5 a …側壁
- 2 5 b …底壁
- 2 6 …外周ウェル領域
- 2 7 …トレンチ間領域
- 2 8 …トレンチ側方領域
- 3 1 …分離絶縁膜
- 3 2 …分離電極 (第 3 電極)
- 3 3 …絶縁層
- 3 3 a …第 1 部分
- 3 3 b …第 2 部分
- 3 4 …埋め込み電極
- 4 1 …カソード電極 (第 2 電極)
- 4 2 …アノード電極 (第 1 電極)
- 4 2 A …第 1 電極膜
- 4 2 B …第 2 電極膜
- 4 2 C …第 3 電極膜
- 5 1 …活性領域
- 5 2 …外周領域
- 6 0 …表面絶縁層
- 6 0 A …貫通孔
- 6 1 …第 1 絶縁膜
- 6 2 …第 2 絶縁膜
- 7 0 …表面保護層
- 7 1 …開口部
- 8 0 …ウェル領域
- 8 0 e …ウェル端部
- 8 0 s …ウェル表面
- 8 0 s 1 …ウェル表面

80s2…ウェル表面  
90s…露出表面  
91s…部分  
821…半導体ウエハ  
821r…ウエハ裏面  
821s…ウエハ表面  
822…バッファ層  
823…ドリフト層  
823s…表面  
830…第1ベース電極膜  
840…第2ベース電極膜  
850…第1ベース絶縁膜  
860…第2ベース絶縁膜  
861…貫通孔  
900…マスク  
901, 911, 921, 931, 941…開口  
910…第1レジストマスク  
920…第2レジストマスク  
930…第3レジストマスク  
940…第4レジストマスク

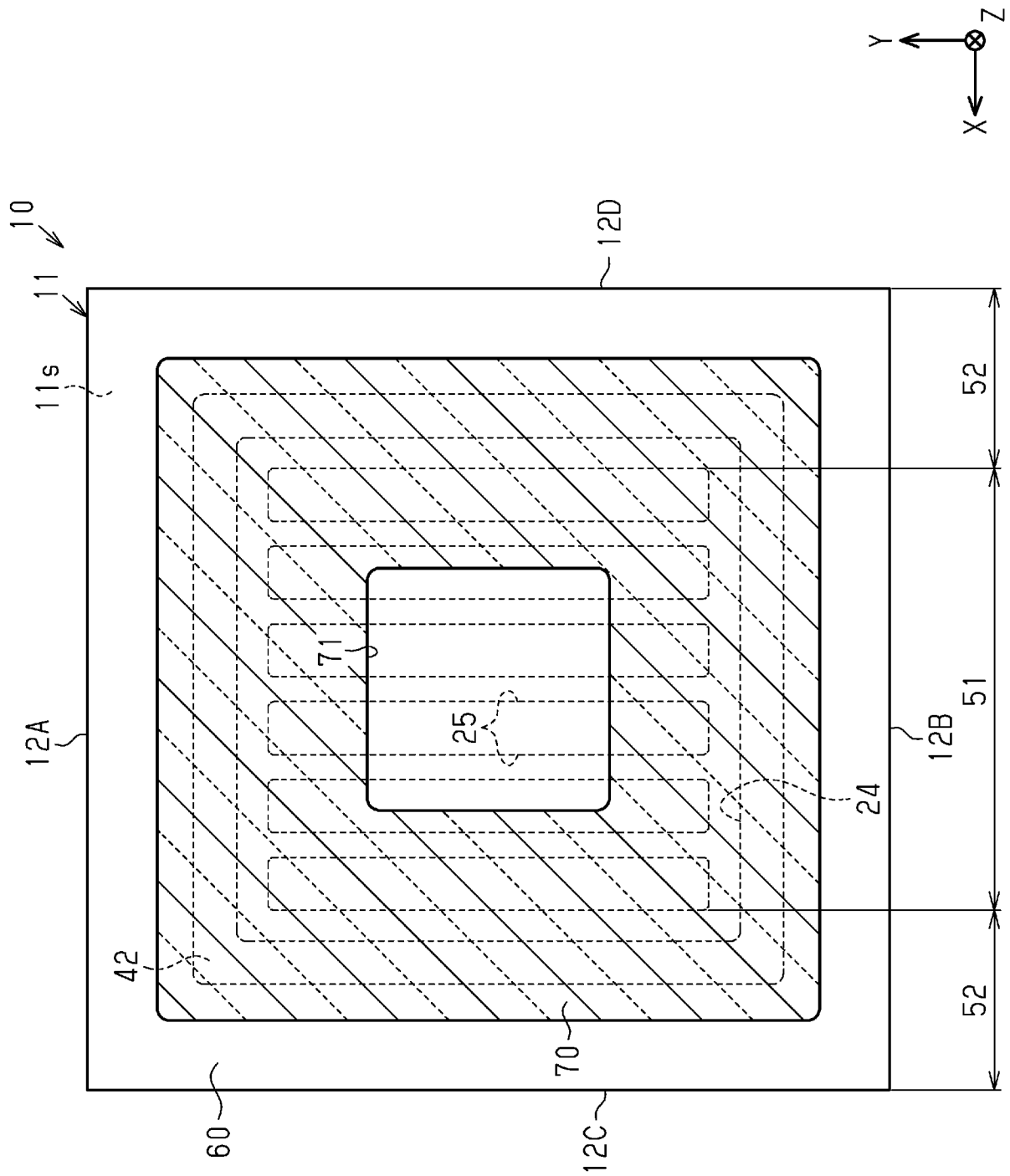
## 請求の範囲

- [請求項1] 基板表面、および前記基板表面とは反対側の基板裏面を有する第1導電型の半導体基板と、  
前記基板表面上に形成され、表面を有する第1導電型の半導体層と、  
、  
前記半導体層の前記表面上に形成された第1電極と、  
前記基板裏面に形成された第2電極と、  
前記半導体層の前記表面から前記半導体層の厚さ方向に延びるとともに前記半導体層の厚さ方向と直交する第1方向に延び、前記半導体層の厚さ方向および前記第1方向と直交する第2方向に離隔して形成された複数のトレンチと、  
前記トレンチの各々の底壁および側壁を覆うように設けられた絶縁層と、  
前記絶縁層内に形成され、前記第1電極と接する第3電極と、  
前記半導体層の前記表面の一部に形成された第2導電型のウェル領域と、を含み、  
前記ウェル領域は、前記第1方向に交差する方向に延びるとともに、前記第1方向に離隔する複数のウェル領域のうちの一つであり、  
前記ウェル領域は、前記半導体層の前記表面の一部を形成しているウェル表面、および前記トレンチの前記絶縁層に接するウェル端部を有し、前記ウェル表面は複数のウェル表面のうちの一つであり、  
前記半導体層の前記表面は、前記ウェル表面において前記第1電極とオーミック接触を形成し、前記半導体層の前記表面は、前記複数のウェル表面の間に位置する露出表面において前記第1電極とショットキー接触を形成している、半導体装置。
- [請求項2] 前記ウェル領域は、前記トレンチを跨いで前記第1方向に交差する方向に延びている、請求項1に記載の半導体装置。
- [請求項3] 前記ウェル領域は、前記第2方向に延びている、請求項1または請

求項2に記載の半導体装置。

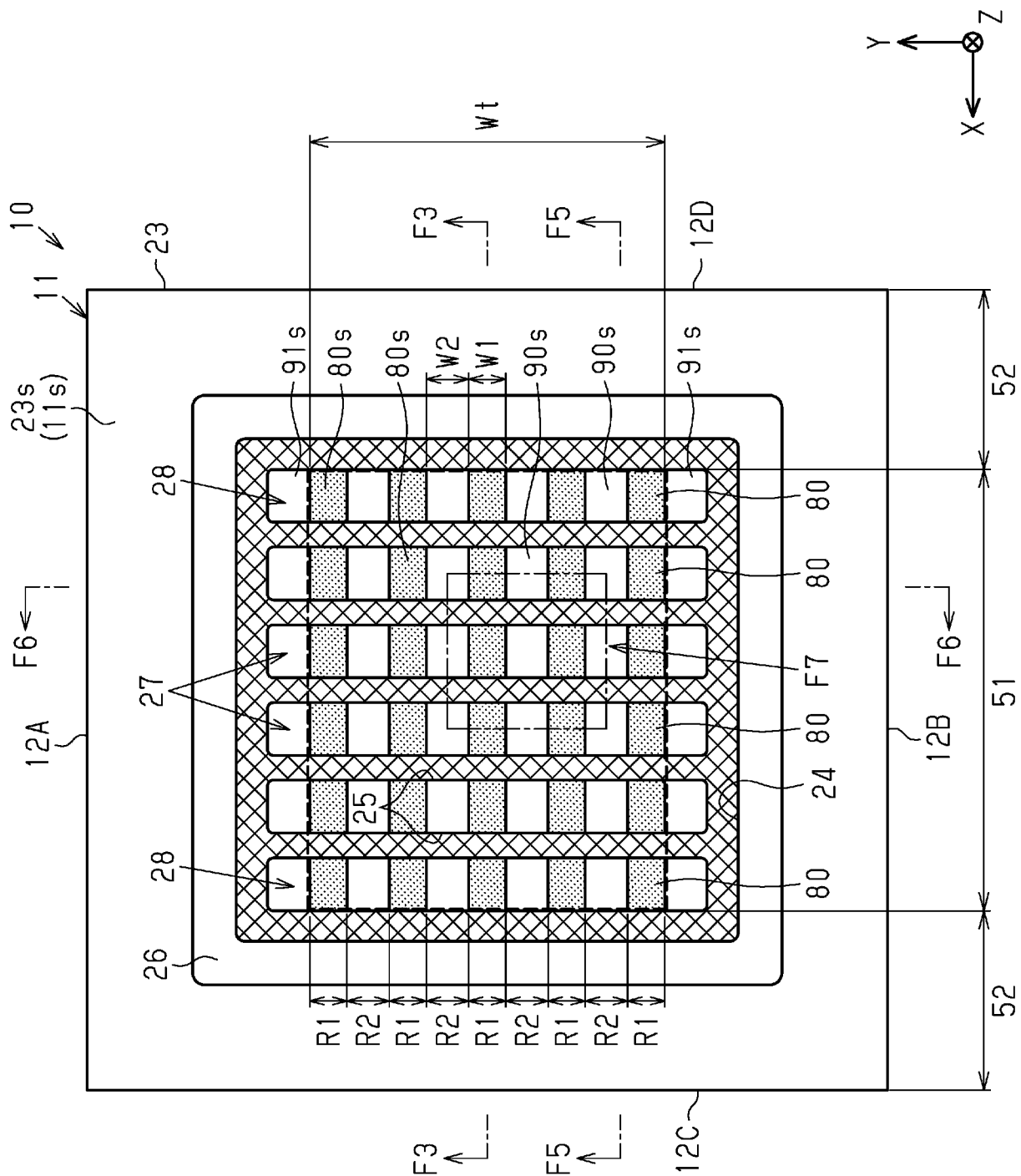
- [請求項4] 前記複数のウェル領域は、前記第1方向に等間隔に離隔して形成されている、請求項1～3のいずれか一項に記載の半導体装置。
- [請求項5] 前記ウェル表面の合計面積（ $S1$ ）は、前記露出表面の合計面積（ $S2$ ）よりも小さい、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記露出表面の合計面積（ $S2$ ）に対する前記ウェル表面の合計面積（ $S1$ ）の面積比（ $S1/S2$ ）は、 $0 < S1/S2 \leq 100$ を満たす値である、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項7] 前記ウェル表面の合計面積（ $S1$ ）は、前記露出表面の合計面積（ $S2$ ）よりも大きい、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項8] 前記露出表面の合計面積（ $S2$ ）に対する前記ウェル表面の合計面積（ $S1$ ）の面積比（ $S1/S2$ ）は、 $1 < S1/S2 \leq 100$ を満たす値である、請求項7に記載の半導体装置。
- [請求項9] 前記ウェル表面の第1方向長さは、隣り合う前記トレンチの間隔よりも短い、請求項1～8のいずれか一項に記載の半導体装置。
- [請求項10] 前記ウェル表面の第1方向長さは、隣り合う前記トレンチの間隔よりも長い、請求項1～8のいずれか一項に記載の半導体装置。
- [請求項11] 前記ウェル表面の第1方向長さは、前記トレンチの第2方向長さよりも長い、請求項1～10のいずれか一項に記載の半導体装置。
- [請求項12] 前記ウェル領域の厚さ寸法は、前記トレンチの深さ寸法の $1/2$ 以下である、請求項1～11のいずれか一項に記載の半導体装置。
- [請求項13] 前記トレンチの前記絶縁層は、  
前記ウェル領域の前記ウェル端部に接する複数の第1部分と、  
複数の前記第1部分の間に位置して、前記半導体層に接する第2部分とを有する、請求項1～12のいずれか一項に記載の半導体装置。

[図1]



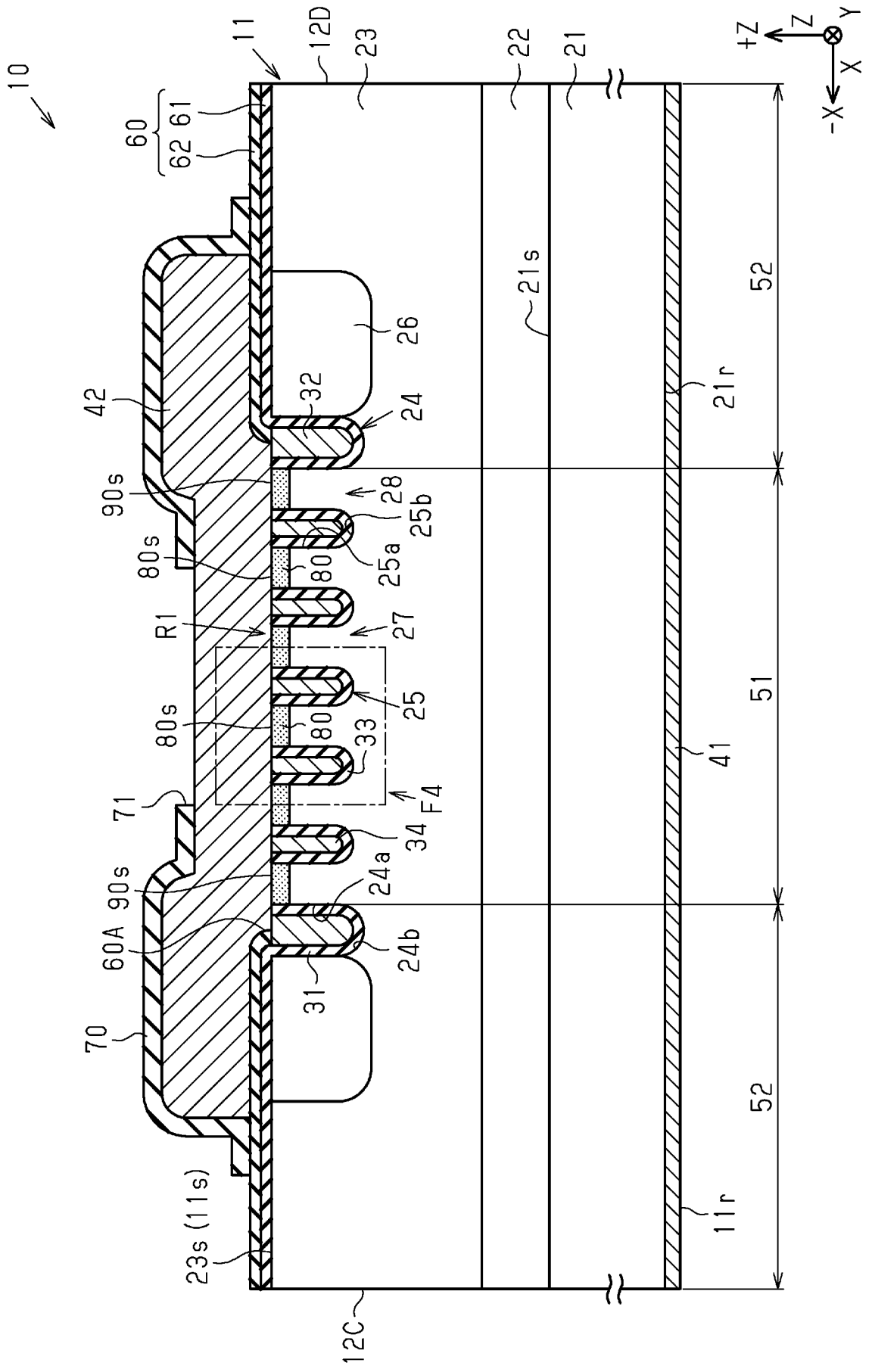
[図1]

[図2]



[図2]

[図3]

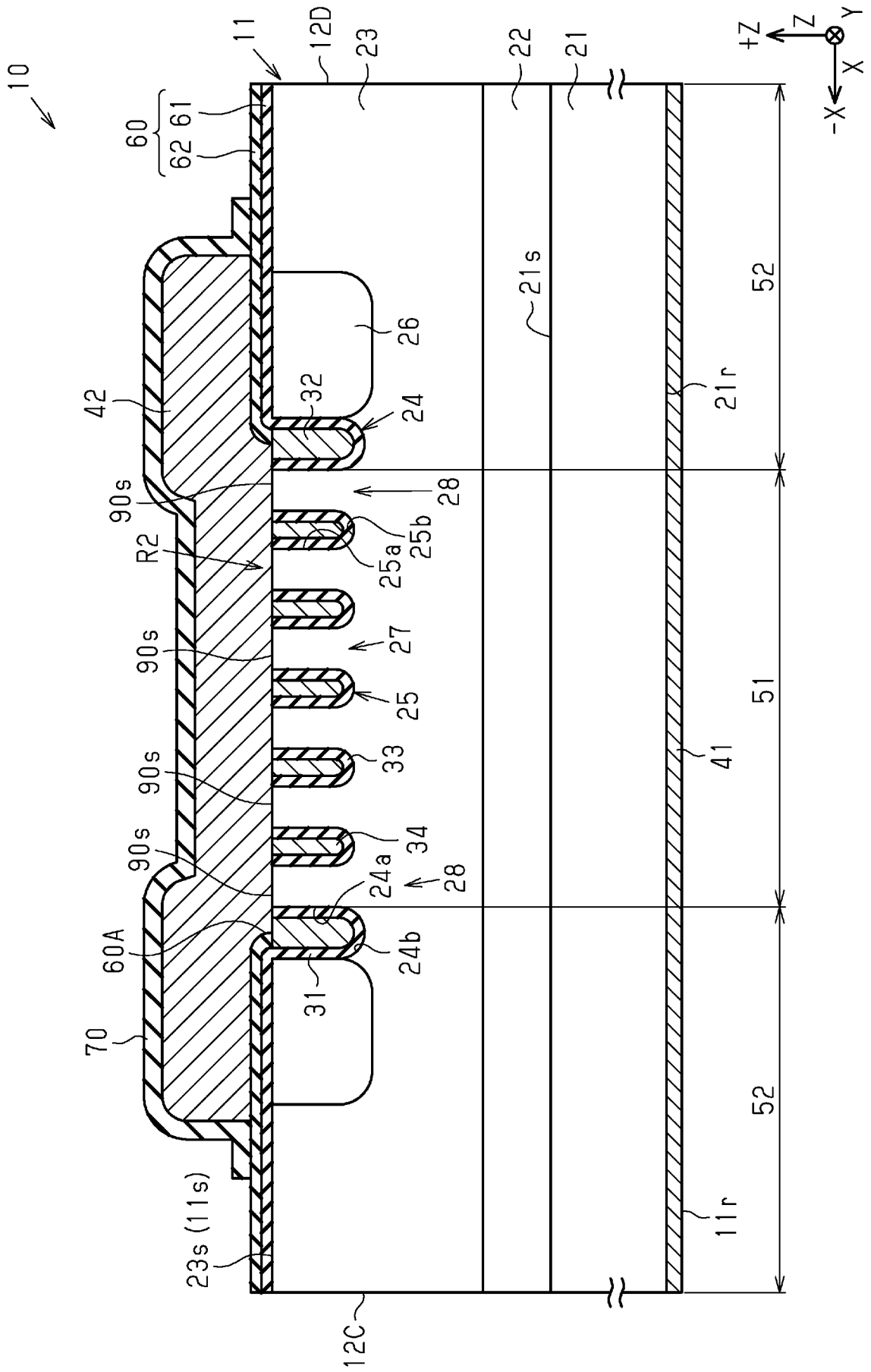


[図3]



[図5]

図5



[図6]

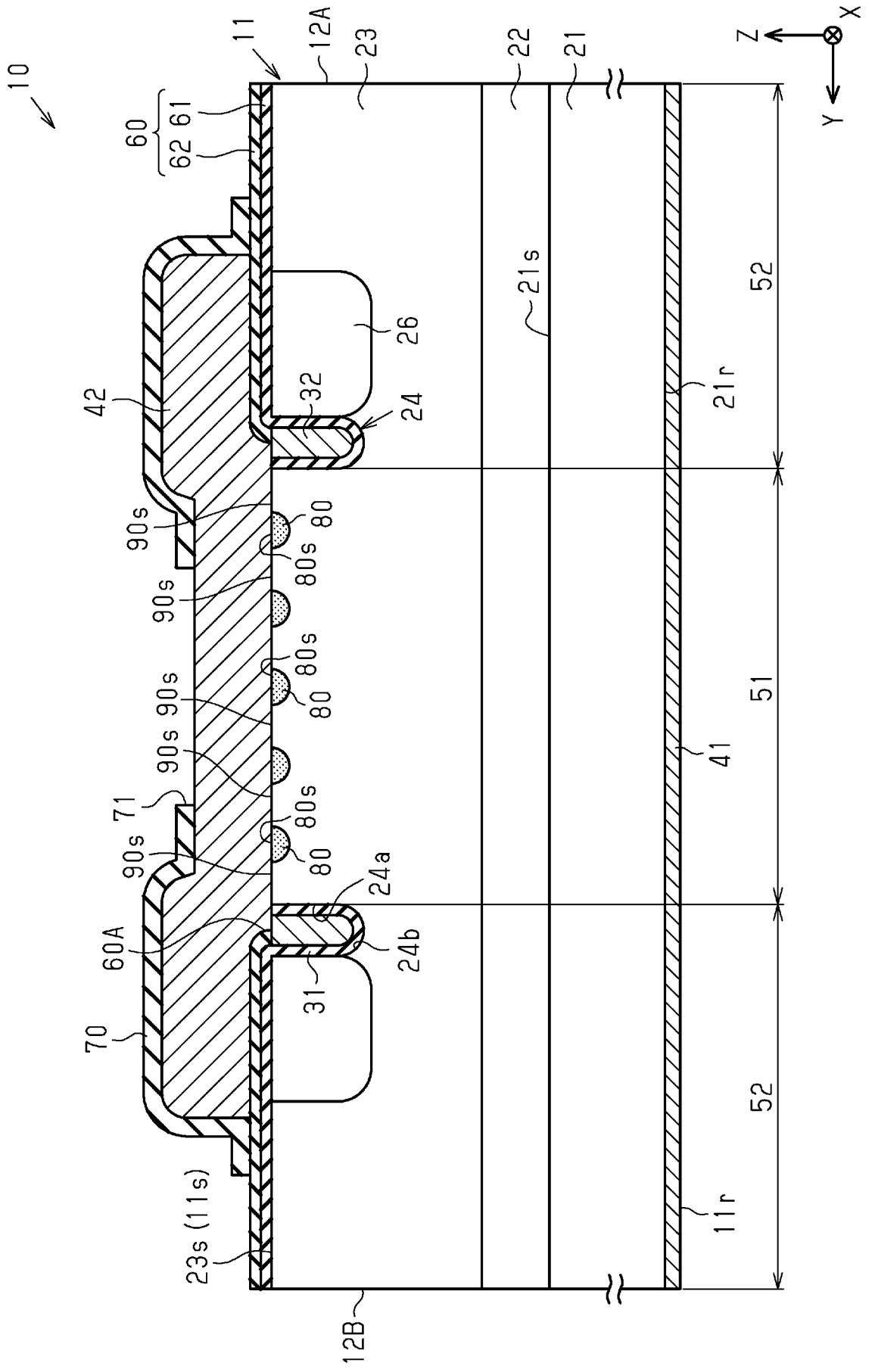


図6

[図7]

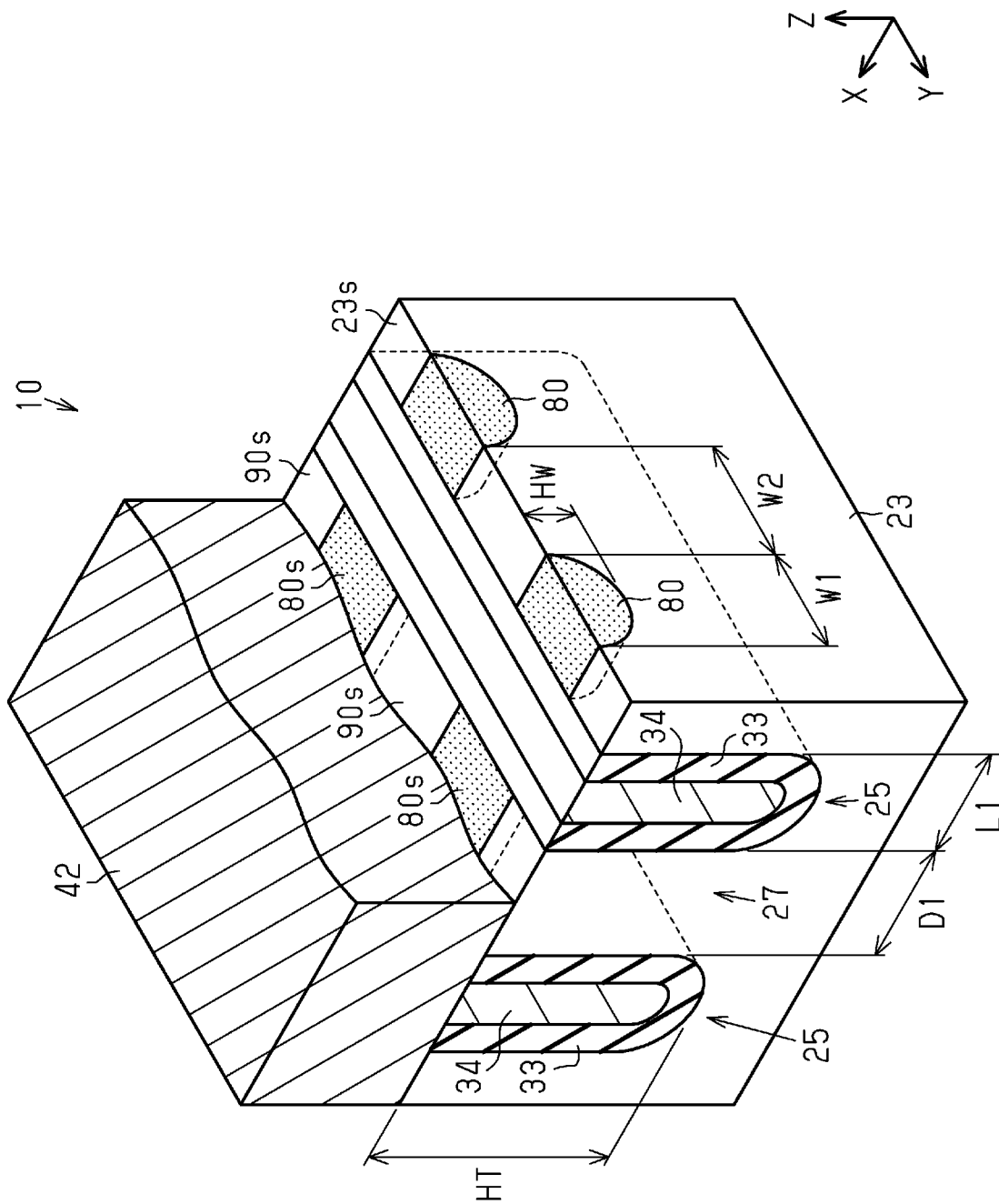
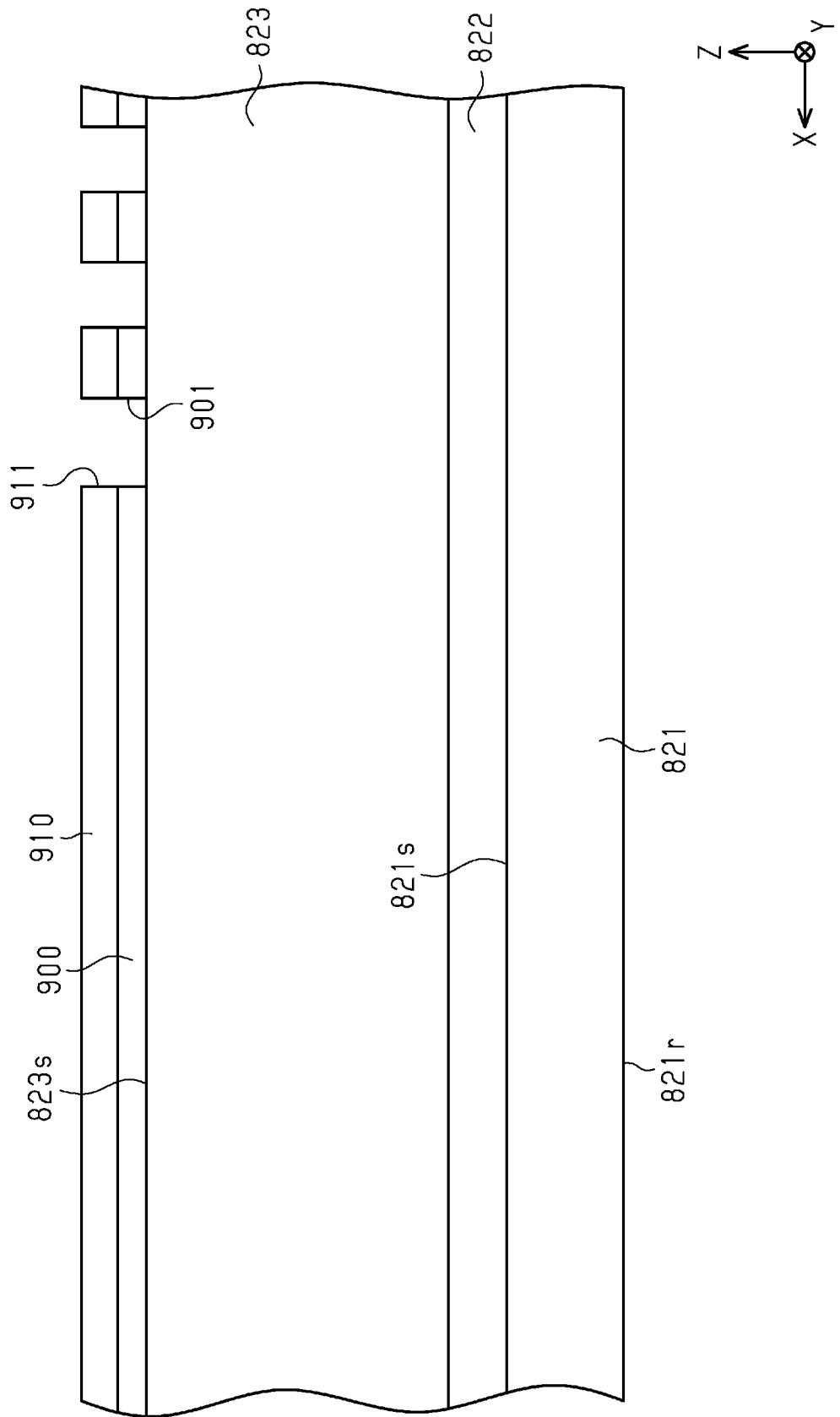


図7

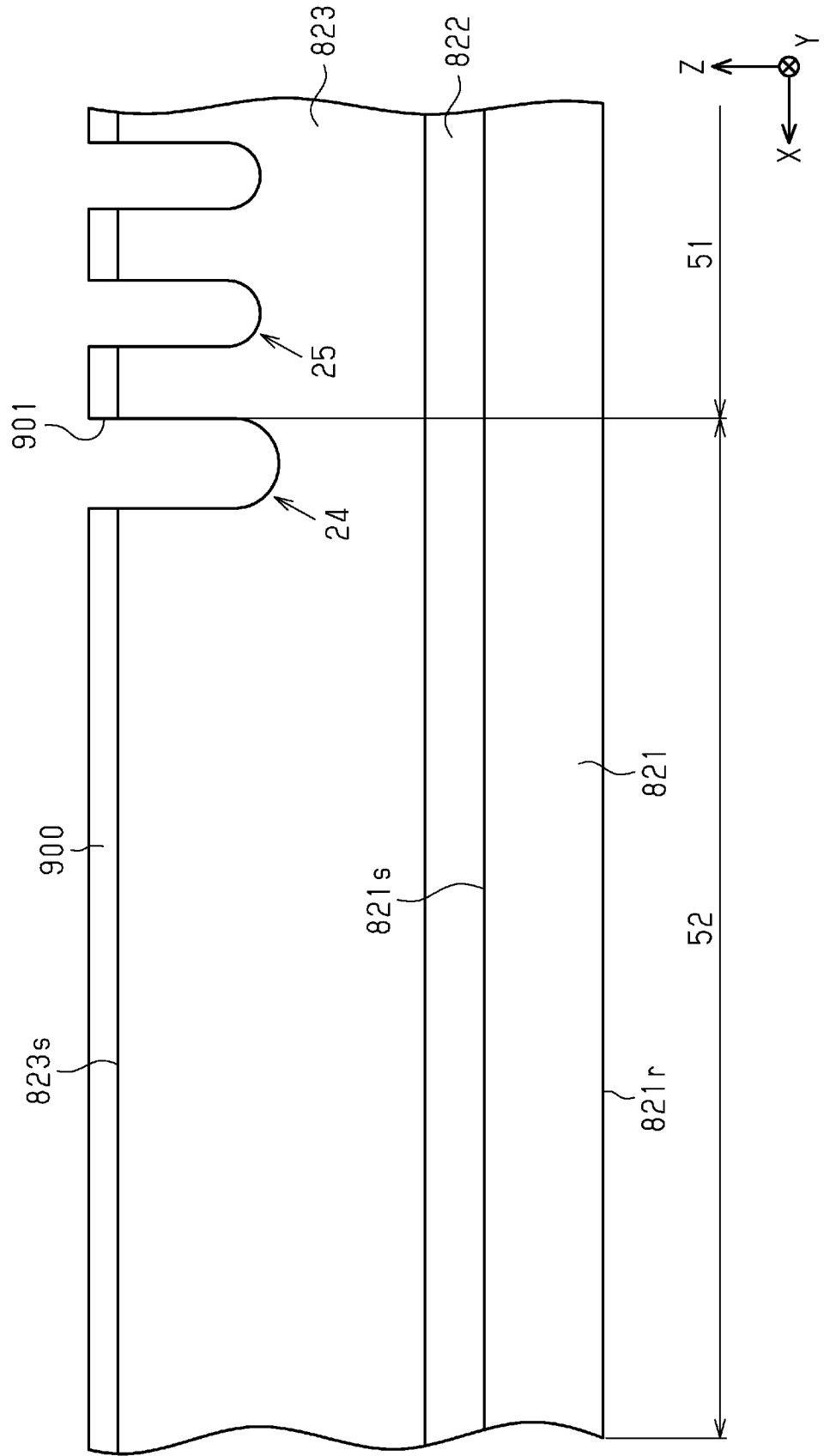
[図8]



[図8]

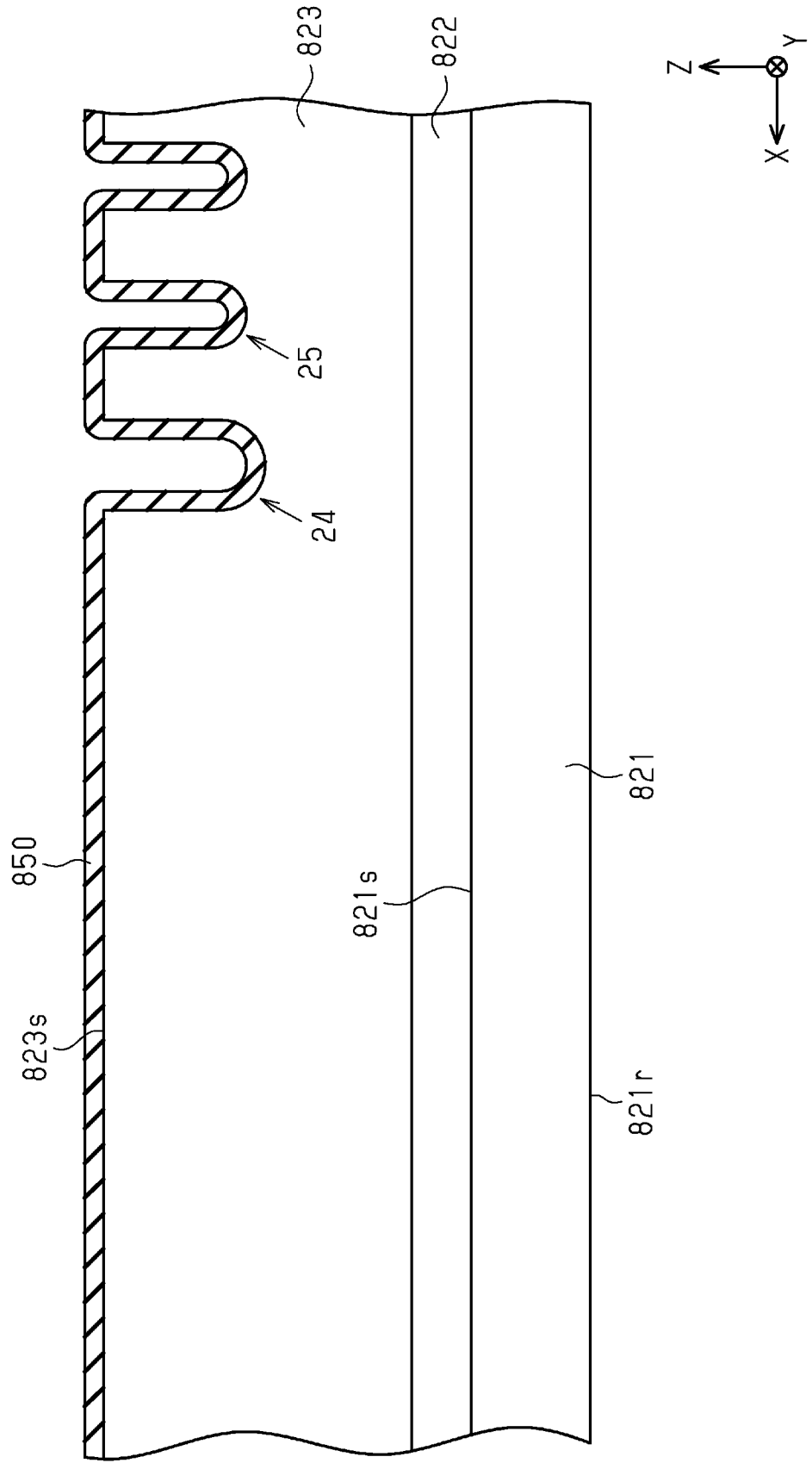
[図9]

図9



[図10]

図10



[図11]

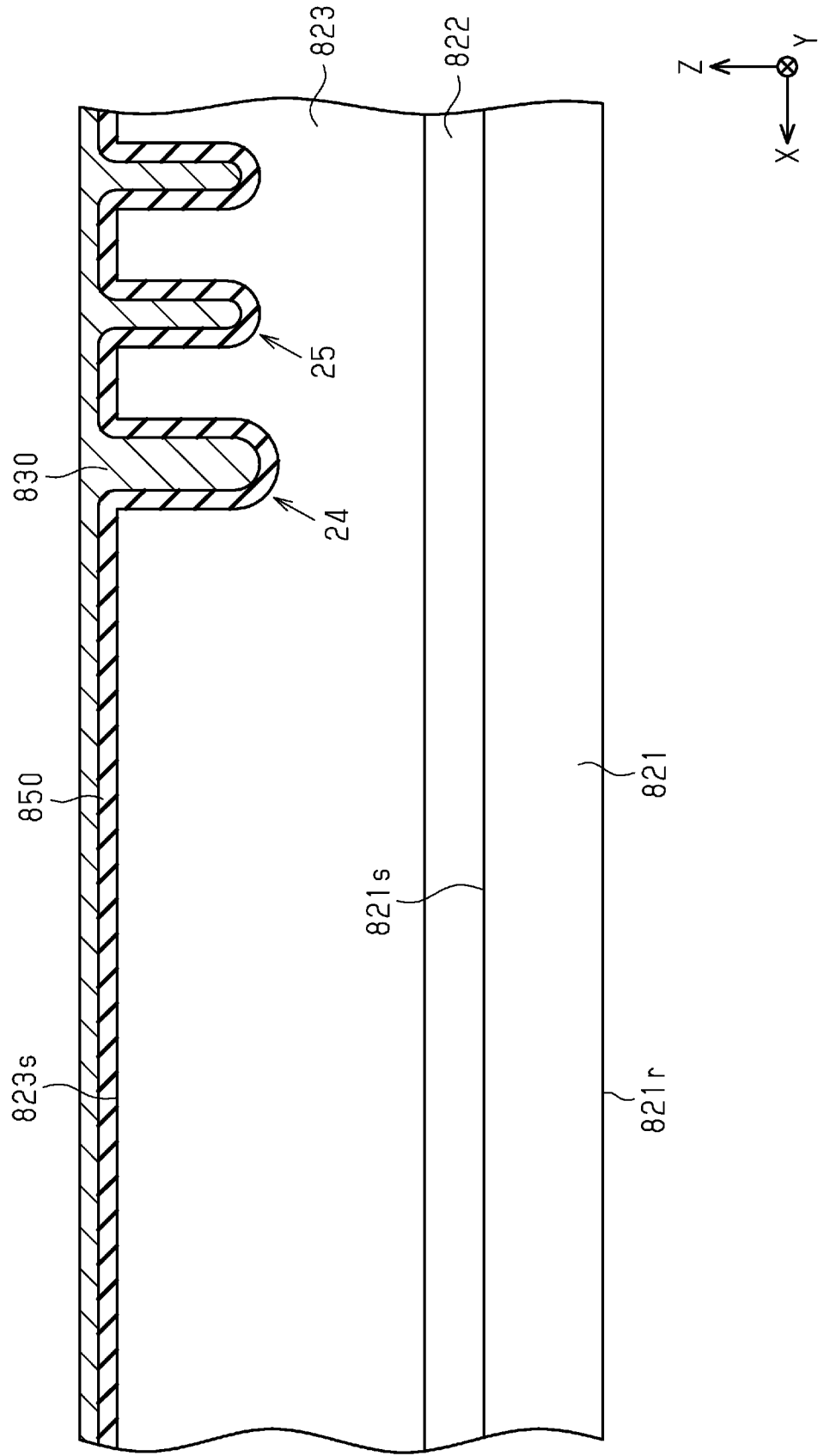
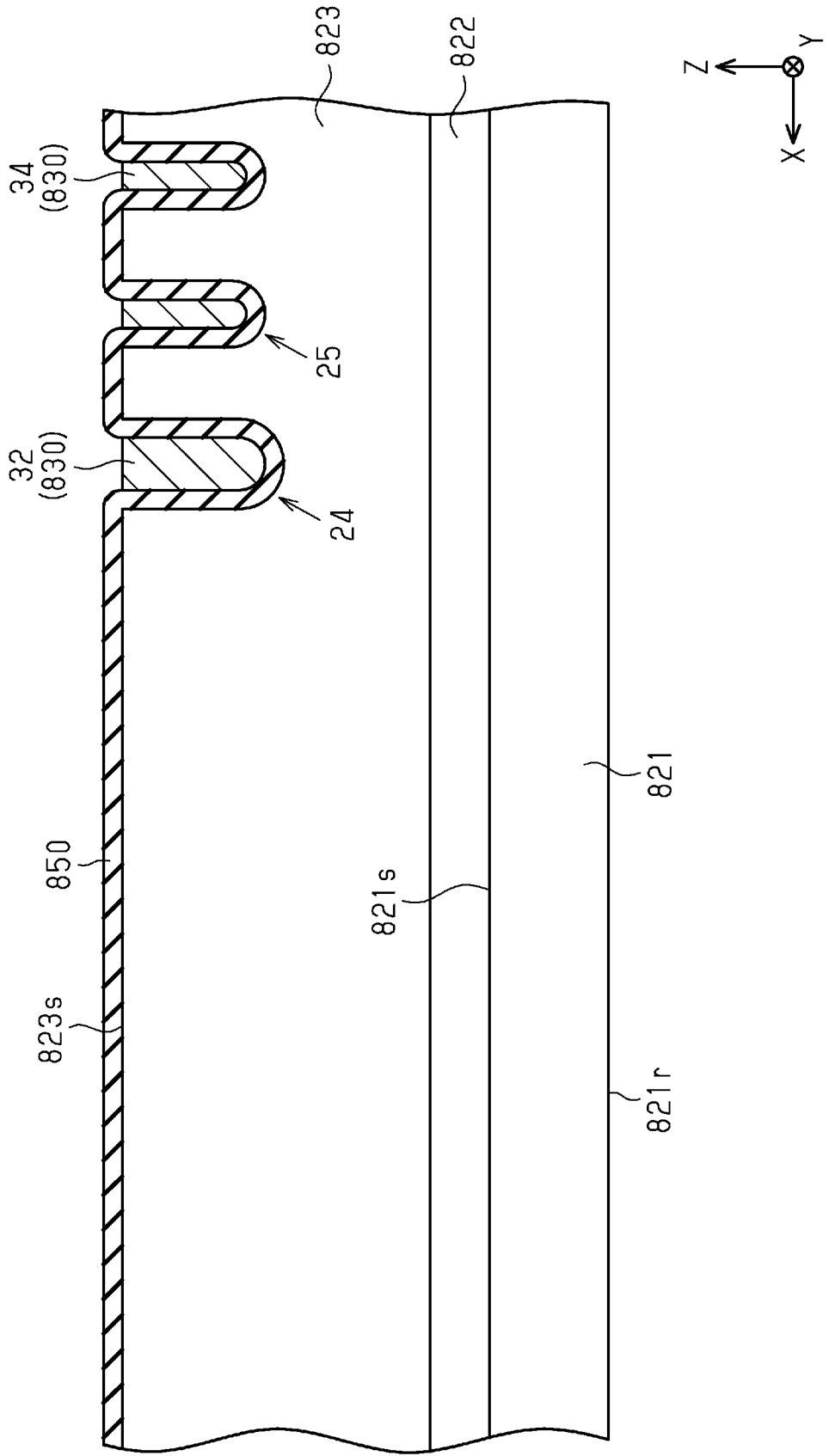


図11

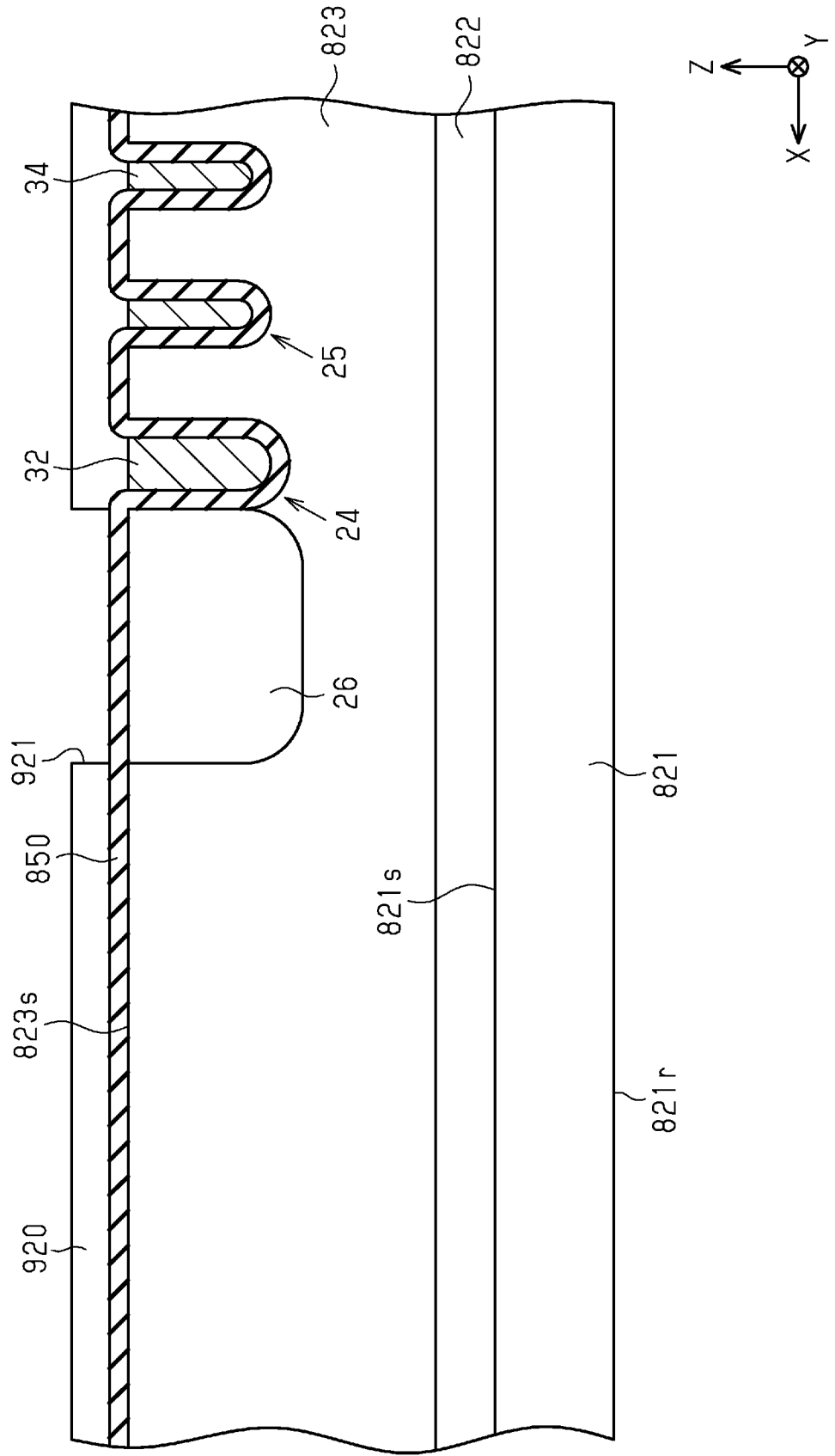
[図12]

図12



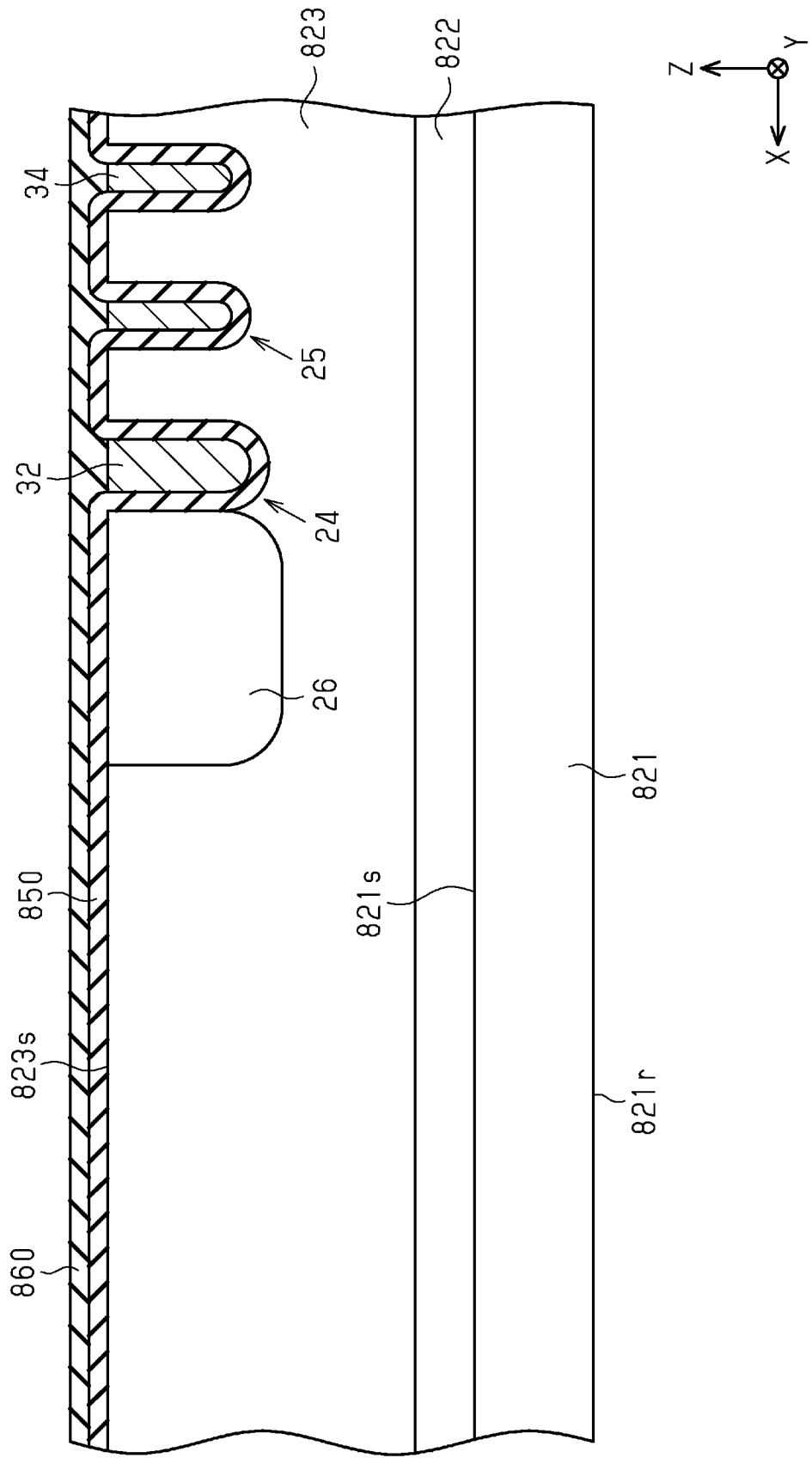
[図13]

図13



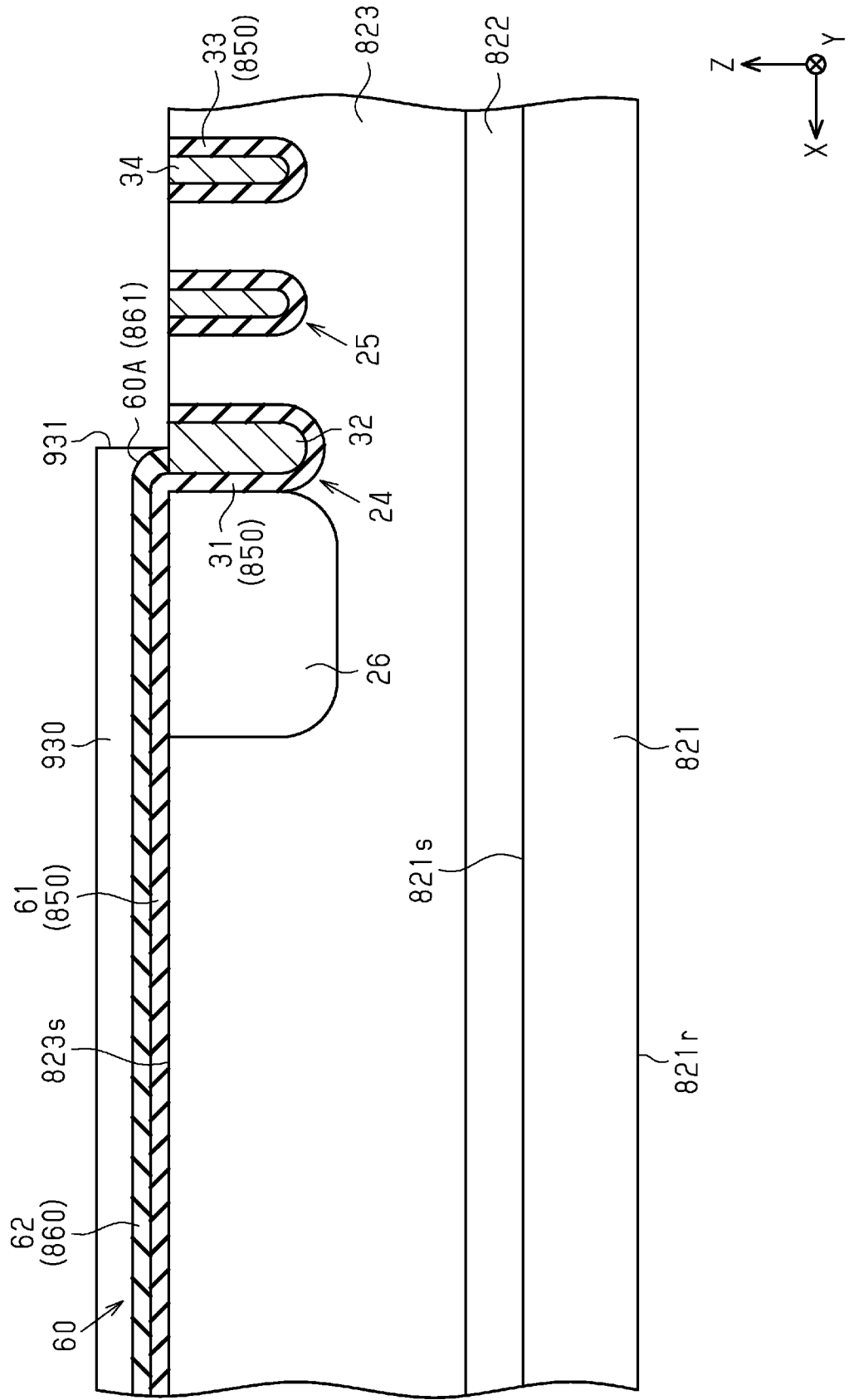
[図14]

図14



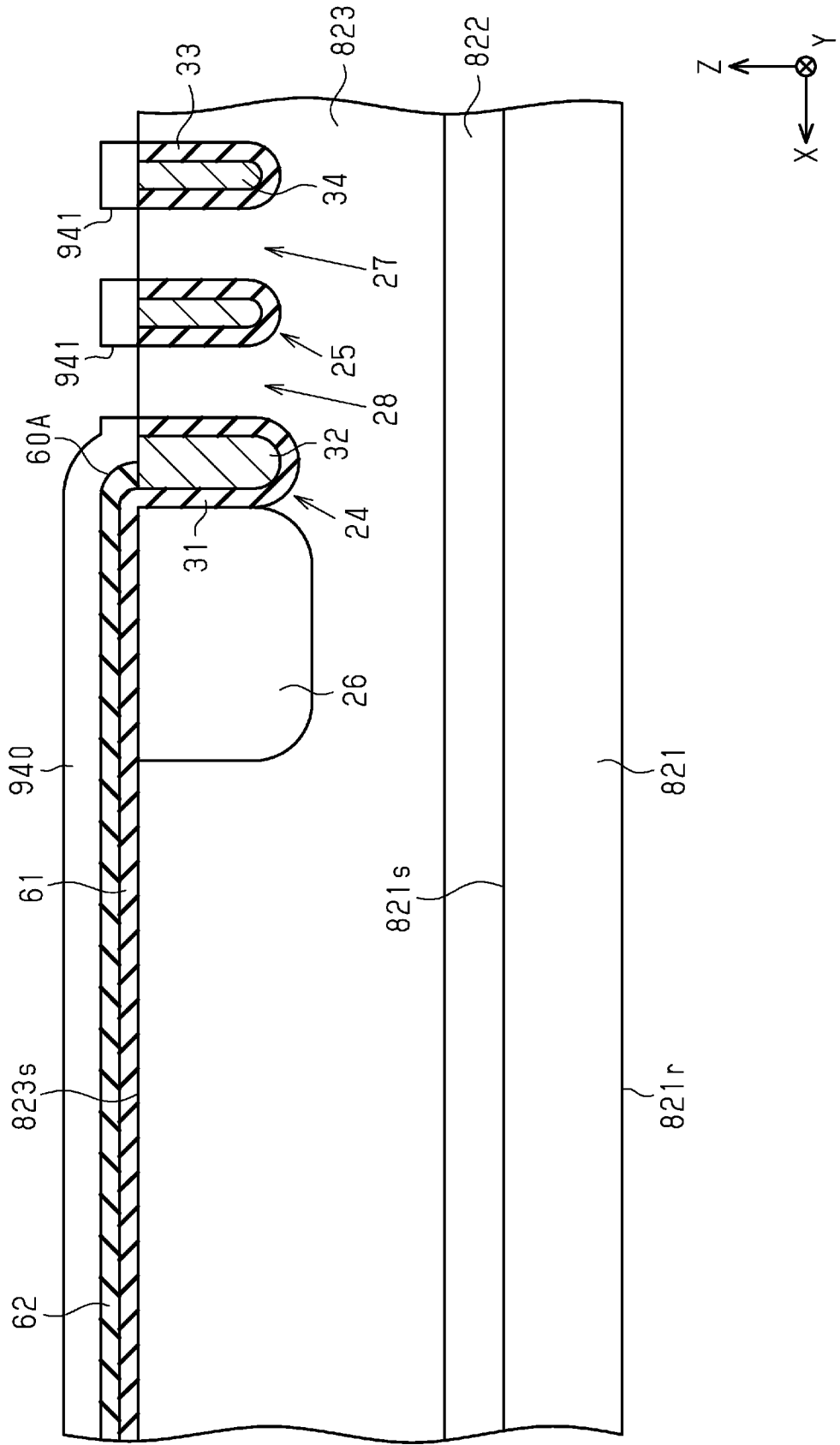
[図15]

図15



[図16]

図16



[図17]

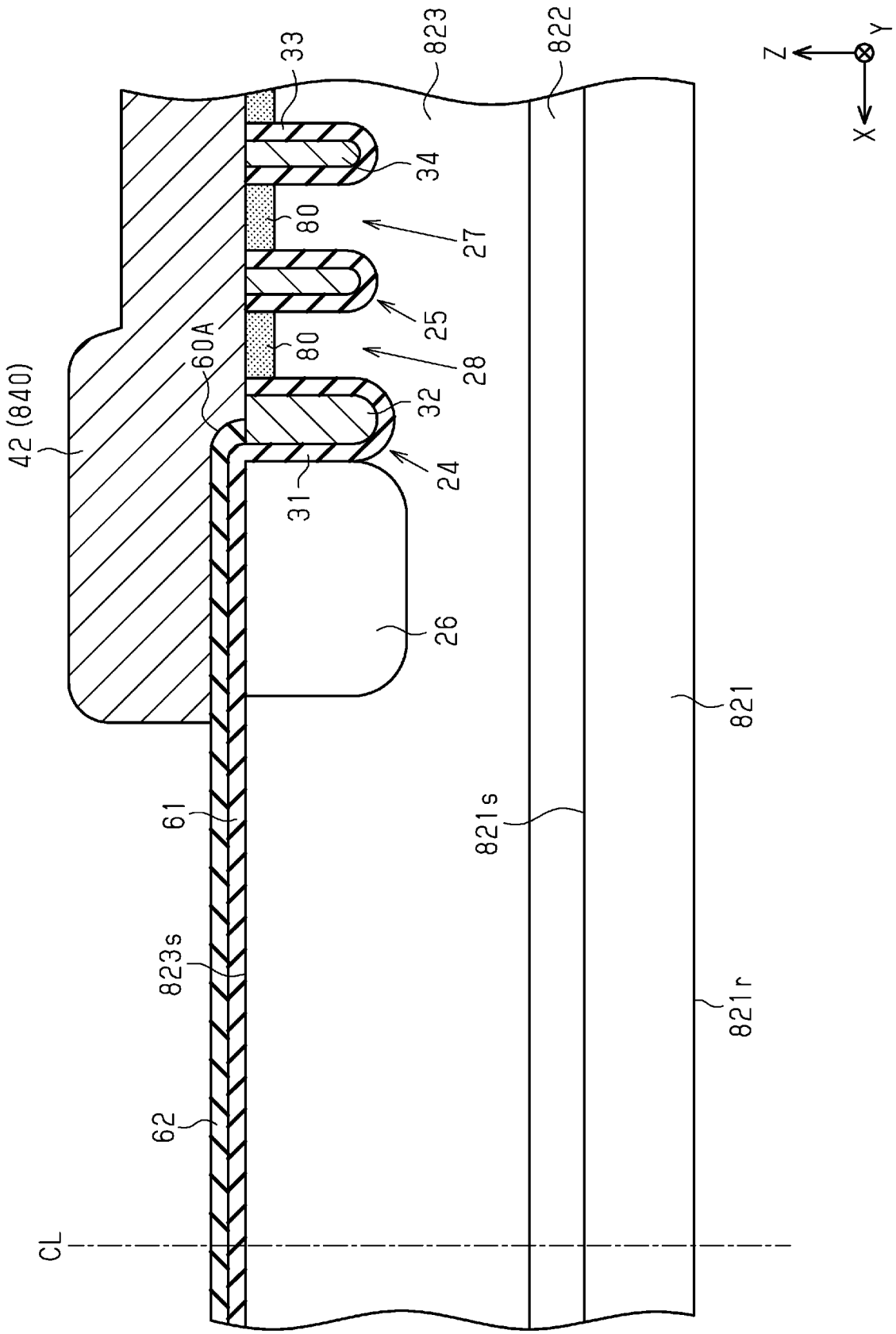


図17

[図18]

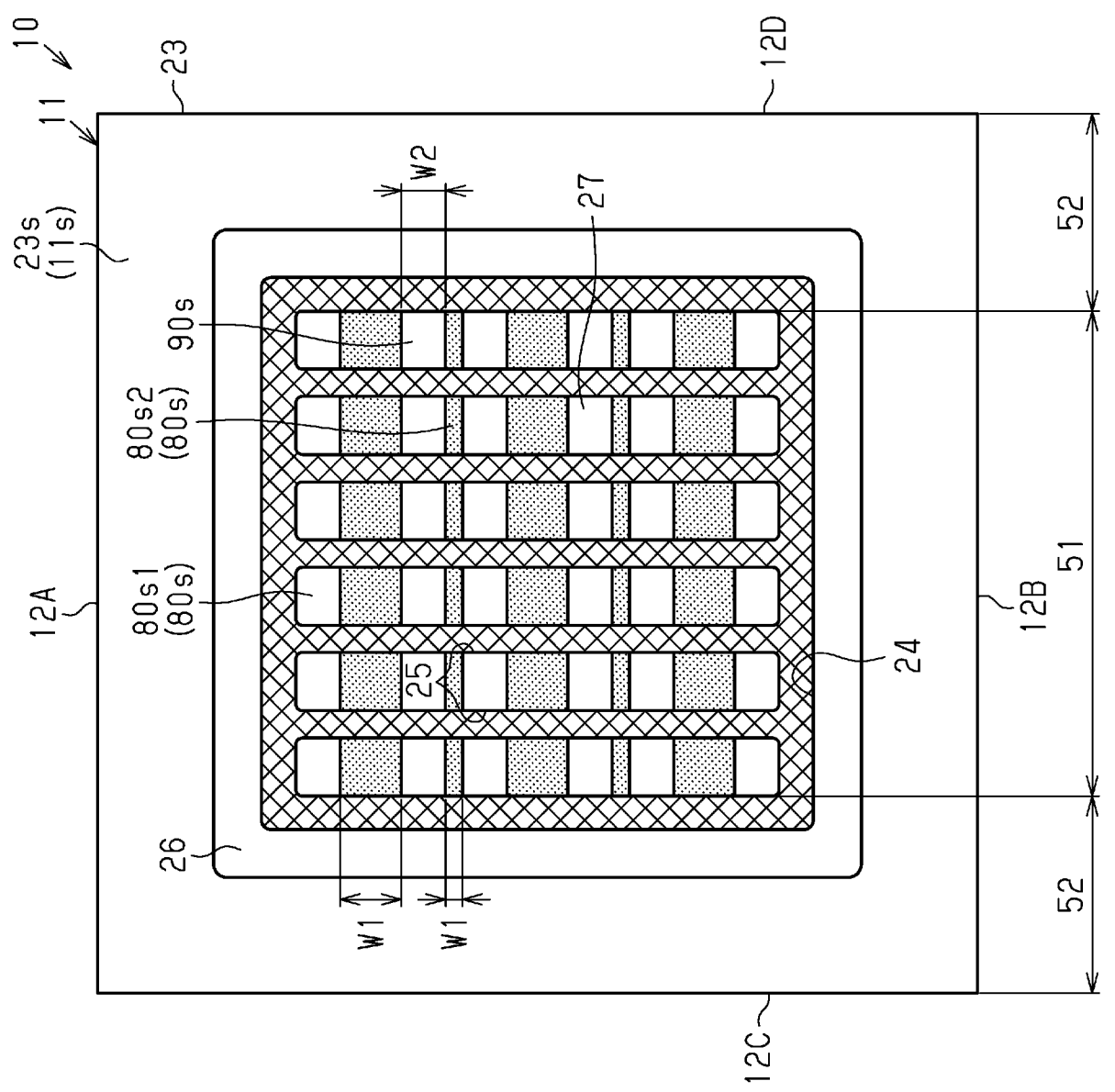


図18

## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2024/006344**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 29/861</i> (2006.01)i; <i>H01L 21/76</i> (2006.01)i; <i>H01L 21/762</i> (2006.01)i; <i>H01L 29/47</i> (2006.01)i; <i>H01L 29/868</i> (2006.01)i; <i>H01L 29/872</i> (2006.01)i FI: H01L29/91 K; H01L21/76 D; H01L21/76 L; H01L29/48 F; H01L29/86 301E; H01L29/86 301F; H01L29/91 C; H01L29/91 F		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L29/861; H01L21/76; H01L21/762; H01L29/47; H01L29/868; H01L29/872		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-306095 A (ROHM CO., LTD.) 18 December 2008 (2008-12-18)	1-13
A	JP 2021-34726 A (FUJI ELECTRIC CO., LTD.) 01 March 2021 (2021-03-01)	1-13
A	WO 2015/050262 A1 (FUJI ELECTRIC CO., LTD.) 09 April 2015 (2015-04-09)	1-13
A	WO 2021/246361 A1 (ROHM CO., LTD.) 09 December 2021 (2021-12-09)	1-13
A	JP 11-8399 A (MITSUBISHI ELECTRIC CORPORATION) 12 January 1999 (1999-01-12)	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search <b>22 April 2024</b>		Date of mailing of the international search report <b>07 May 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/006344**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2008-306095	A	18 December 2008	WO	2008/149922	A1	
JP	2021-34726	A	01 March 2021	US	2021/0050345	A1	
				US	2022/0293775	A1	
WO	2015/050262	A1	09 April 2015	US	2016/0043073	A1	
				EP	2966683	A1	
				CN	105210187	A	
WO	2021/246361	A1	09 December 2021	US	2023/0231012	A1	
				CN	115699334	A	
JP	11-8399	A	12 January 1999	US	6501146	B1	
				US	2003/0057482	A1	
				DE	19801999	A1	
				KR	10-1999-0006300	A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/861(2006.01)i; H01L 21/76(2006.01)i; H01L 21/762(2006.01)i; H01L 29/47(2006.01)i;                  H01L 29/868(2006.01)i; H01L 29/872(2006.01)i                  FI: H01L29/91 K; H01L21/76 D; H01L21/76 L; H01L29/48 F; H01L29/86 301E; H01L29/86 301F; H01L29/91 C;                  H01L29/91 F</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/861; H01L21/76; H01L21/762; H01L29/47; H01L29/868; H01L29/872</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2024年																			
日本国実用新案登録公報	1996 - 2024年																			
日本国登録実用新案公報	1994 - 2024年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2008-306095 A（ローム株式会社）18.12.2008（2008-12-18）</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 2021-34726 A（富士電機株式会社）01.03.2021（2021-03-01）</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>WO 2015/050262 A1（富士電機株式会社）09.04.2015（2015-04-09）</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>WO 2021/246361 A1（ローム株式会社）09.12.2021（2021-12-09）</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 11-8399 A（三菱電機株式会社）12.01.1999（1999-01-12）</td> <td>1-13</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー                  “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの                  “D” 国際出願で出願人が先行技術文献として記載した文献                  “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）                  “O” 口頭による開示、使用、展示等に言及する文献                  “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献                  “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの                  “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  “&amp;” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2008-306095 A（ローム株式会社）18.12.2008（2008-12-18）	1-13	A	JP 2021-34726 A（富士電機株式会社）01.03.2021（2021-03-01）	1-13	A	WO 2015/050262 A1（富士電機株式会社）09.04.2015（2015-04-09）	1-13	A	WO 2021/246361 A1（ローム株式会社）09.12.2021（2021-12-09）	1-13	A	JP 11-8399 A（三菱電機株式会社）12.01.1999（1999-01-12）	1-13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	JP 2008-306095 A（ローム株式会社）18.12.2008（2008-12-18）	1-13																		
A	JP 2021-34726 A（富士電機株式会社）01.03.2021（2021-03-01）	1-13																		
A	WO 2015/050262 A1（富士電機株式会社）09.04.2015（2015-04-09）	1-13																		
A	WO 2021/246361 A1（ローム株式会社）09.12.2021（2021-12-09）	1-13																		
A	JP 11-8399 A（三菱電機株式会社）12.01.1999（1999-01-12）	1-13																		
<p>国際調査を完了した日</p> <p>22.04.2024</p>	<p>国際調査報告の発送日</p> <p>07.05.2024</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)                  〒100-8915                  日本国                  東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>鈴木 聡一郎 5F 3864</p> <p>電話番号 03-3581-1101 内線 3514</p>																			

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/006344

引用文献	公表日	パテントファミリー文献	公表日
JP 2008-306095 A	18.12.2008	WO 2008/149922 A1	
JP 2021-34726 A	01.03.2021	US 2021/0050345 A1	
		US 2022/0293775 A1	
WO 2015/050262 A1	09.04.2015	US 2016/0043073 A1	
		EP 2966683 A1	
		CN 105210187 A	
WO 2021/246361 A1	09.12.2021	US 2023/0231012 A1	
		CN 115699334 A	
JP 11-8399 A	12.01.1999	US 6501146 B1	
		US 2003/0057482 A1	
		DE 19801999 A1	
		KR 10-1999-0006300 A	