

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7337563号
(P7337563)

(45)発行日 令和5年9月4日(2023.9.4)

(24)登録日 令和5年8月25日(2023.8.25)

(51)国際特許分類

G 0 6 N	3/063(2023.01)	F I	G 0 6 N	3/063
G 0 6 G	7/60 (2006.01)		G 0 6 G	7/60

請求項の数 9 (全104頁)

(21)出願番号 特願2019-118472(P2019-118472)
 (22)出願日 令和1年6月26日(2019.6.26)
 (65)公開番号 特開2020-9432(P2020-9432A)
 (43)公開日 令和2年1月16日(2020.1.16)
 審査請求日 令和4年6月13日(2022.6.13)
 (31)優先権主張番号 特願2018-124122(P2018-124122)
 (32)優先日 平成30年6月29日(2018.6.29)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72)発明者	木村 肇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者	黒川 義元 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
審査官	武田 広太郎

最終頁に続く

(54)【発明の名称】 半導体装置、及び電子機器

(57)【特許請求の範囲】**【請求項1】**

第1回路を有し、

前記第1回路は、第1入力端子と、第2入力端子と、第1出力端子と、第2出力端子と、第2インバータ回路と、第3インバータ回路と、第4インバータ回路と、第5インバータ回路と、切り替え回路と、を有し、

前記切り替え回路は、第1トランジスタと、第2トランジスタと、第1インバータ回路と、を有し、

前記第1トランジスタは、第1ゲートと、第2ゲートと、を有し、

前記第2トランジスタは、第3ゲートと、第4ゲートと、を有し、

前記切り替え回路は、第3入力端子を有し、

前記第1トランジスタの前記第1ゲートは、前記第3入力端子に電気的に接続され、

前記第2トランジスタの前記第3ゲートは、前記第1インバータ回路の出力端子に電気的に接続され、

前記第1インバータ回路の入力端子は、前記第3入力端子に電気的に接続され、

前記第1入力端子は、前記第2インバータ回路の入力端子に電気的に接続され、

前記第2入力端子は、前記第3インバータ回路の入力端子に電気的に接続され、

前記第1出力端子は、前記第4インバータ回路の出力端子に電気的に接続され、

前記第2出力端子は、前記第5インバータ回路の出力端子に電気的に接続され、

前記切り替え回路は、

10

20

前記第3入力端子に入力された信号に応じて、前記第2インバータ回路の出力端子と、前記第4インバータ回路又は前記第5インバータ回路の一方の入力端子と、の間を導通状態にし、かつ前記第3インバータ回路の出力端子と、前記第4インバータ回路又は前記第5インバータ回路の他方の入力端子と、の間を導通状態にする機能と、

前記第1トランジスタの前記第2ゲートの電位に応じて、前記第2インバータ回路の出力端子から出力された信号が、前記第4インバータ回路の入力端子に入力されるまでの時間を変動させる機能と、

前記第2トランジスタの前記第4ゲートの電位に応じて、前記第3インバータ回路の出力端子から出力された信号が、前記第4インバータ回路の入力端子に入力されるまでの時間を変動させる機能と、を有する、

半導体装置。

【請求項2】

第1回路を有し、

前記第1回路は、第1入力端子と、第2入力端子と、第1出力端子と、第2出力端子と、第2回路と、第3回路と、切り替え回路と、を有し、

前記切り替え回路は、第1トランジスタと、第2トランジスタと、第1インバータ回路と、を有し、

前記第1トランジスタは、第1ゲートと、第2ゲートと、を有し、

前記第2トランジスタは、第3ゲートと、第4ゲートと、を有し、

前記切り替え回路は、第3入力端子を有し、

前記第1トランジスタの前記第1ゲートは、前記第3入力端子に電気的に接続され、

前記第2トランジスタの前記第3ゲートは、前記第1インバータ回路の出力端子に電気的に接続され、

前記第1インバータ回路の入力端子は、前記第3入力端子に電気的に接続され、

前記第1入力端子は、前記第2回路の入力端子に電気的に接続され、

前記第2入力端子は、前記第3回路の入力端子に電気的に接続され、

前記第2回路は、前記第2回路の入力端子に入力された信号を補正して、前記第2回路の出力端子に補正された信号を出力する機能を有し、

前記第3回路は、前記第3回路の入力端子に入力された信号を補正して、前記第3回路の出力端子に補正された信号を出力する機能を有し、

前記切り替え回路は、

前記第3入力端子に入力された信号に応じて、前記第2回路の出力端子と、前記第1出力端子又は前記第2出力端子の一方と、の間を導通状態にし、かつ前記第3回路の出力端子と、前記第1出力端子又は前記第2出力端子の他方と、の間を導通状態にする機能と、

前記第1トランジスタの前記第2ゲートの電位に応じて、前記第2回路の出力端子から出力された信号が、前記第1出力端子に入力されるまでの時間を変動させる機能と、

前記第2トランジスタの前記第4ゲートの電位に応じて、前記第3回路の出力端子から出力された信号が、前記第1出力端子に入力されるまでの時間を変動させる機能と、を有する、

半導体装置。

【請求項3】

請求項1又は請求項2において、

前記切り替え回路は、第1保持部を有し、

前記第1保持部は、前記第1トランジスタの前記第2ゲートの電位、及び前記第2トランジスタの前記第4ゲートの電位を保持する機能を有する、

半導体装置。

【請求項4】

請求項1又は請求項2において、

前記切り替え回路は、第1保持部と、第2保持部と、を有し、

前記第1保持部は、前記第1トランジスタの前記第2ゲートの電位を保持する機能を有

10

20

30

40

50

し、

前記第2保持部は、前記第2トランジスタの前記第4ゲートの電位を保持する機能を有する、

半導体装置。

【請求項5】

請求項1又は請求項2において、

前記切り替え回路は、第1保持部と、第2保持部と、第1スイッチと、第2スイッチと、を有し、

前記第1保持部は、前記第1スイッチを介して、前記第1トランジスタの前記第2ゲートと、前記第2トランジスタの前記第4ゲートと、に電気的に接続され、

10

前記第2保持部は、前記第2スイッチを介して、前記第1トランジスタの前記第2ゲートと、前記第2トランジスタの前記第4ゲートと、に電気的に接続され、

前記第1スイッチ、又は第2スイッチの一方をオン状態にし、他方をオフ状態にすることで、前記第1トランジスタの前記第2ゲート及び前記第2トランジスタの前記第4ゲートと、前記第1保持部又は前記第2保持部の一方と、の間を導通状態にする機能を有する、半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記第1回路を複数段、有し、

複数の前記第1回路に含まれている前記切り替え回路は、第4入力端子を有し、

20

前段の前記第1回路の第1出力端子は、後段の前記第1回路の第1入力端子に電気的に接続され、

前段の前記第1回路の第2出力端子は、後段の前記第1回路の第2入力端子に電気的に接続され、

全ての前記第1回路の前記第1トランジスタの前記第2ゲート、及び前記第2トランジスタの前記第4ゲートには、それぞれ対応する第1データに応じた電位が保持され、かつ全ての前記切り替え回路の前記第3入力端子には、それぞれ対応する第2データに応じた信号が入力されている場合に、一段目の前記第1回路の前記第1入力端子と前記第2入力端子とにそれぞれ入力信号が入力されることによって、最終段の前記第1回路の第1出力端子と前記第2出力端子とから出力されるそれぞれの出力信号の時間差は、前記第1データと前記第2データの積和に応じた時間となる、

30

半導体装置。

【請求項7】

請求項6において、

第4回路を有し、

前記第4回路は、前記最終段の前記第1回路の前記第1出力端子と、前記第2出力端子と、に電気的に接続され、

前記第4回路は、前記出力信号の時間差に応じた信号を生成する機能を有する、

半導体装置。

【請求項8】

請求項1乃至請求項7のいずれか一において、

前記第1トランジスタ及び前記第2トランジスタの少なくともいずれか一は、チャネル形成領域に金属酸化物を有する、

半導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一の半導体装置と、筐体と、を有し、

前記半導体装置によってニューラルネットワークの演算を行う、

電子機器。

【発明の詳細な説明】

【技術分野】

40

50

【0001】

本発明の一態様は、半導体装置、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

10

【背景技術】**【0003】**

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモーフィック」や「ブレインモーフィック」と呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

【0004】

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ANN）と呼ばれる。例えば、特許文献1、特許文献2、非特許文献1、及び非特許文献2には、ReRAM（Resistive Random Access Memory）を用いて、人工ニューラルネットワークを構成した演算装置について開示されている。特に、非特許文献1、及び非特許文献2には、当該演算装置を有する脳の仕組みを模した回路について開示されている。

20

【先行技術文献】**【特許文献】****【0005】****【文献】特許第5885719号公報**

特開2017-228295号公報

30

【非特許文献】**【0006】**

【文献】D. Miyashita et al., IEEE Asian Solid-State Circuits Conference, Nov. 7-9, 2016, S4-2(4077), pp. 25-28.

D. Miyashita et al., IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 52, NO. 10, Oct. 2017, pp. 2679-2689.

【発明の概要】**【発明が解決しようとする課題】****【0007】**

人工ニューラルネットワークでは、2つのニューロン同士を結合するシナプスの結合強度（重み係数という場合がある。）と、2つのニューロン間で伝達する信号と、を乗じる計算が行われる。特に、階層型の人工ニューラルネットワークでは、第1層の複数の第1ニューロンと第2層の第2ニューロンとの間のそれぞれのシナプスの結合強度と、第1層の複数の第1ニューロンから第2層の第2ニューロンのーに入力されるそれぞれの信号と、を乗じて足し合わせる必要があり、人工ニューラルネットワークの規模に応じて、当該結合強度の数、及び当該信号を示すパラメータの数が決まる。つまり、人工ニューラルネットワークは、階層の数、ニューロン数などが多くなる程、「ニューロン」及び「シナプス」のそれに相当する回路の数が多くなり、演算量も膨大になることがある。

40

50

【 0 0 0 8 】

チップを構成する回路の数が増えると消費電力が高くなり、装置の駆動時の発熱量も大きくなる。特に、発熱量が高くなるほど、チップに含まれている回路素子の特性に影響が出るため、チップを構成する回路は温度による影響を受けにくい回路素子を有することが好ましい。

【 0 0 0 9 】

本発明の一態様は、階層型の人工ニューラルネットワークが構築された半導体装置などを提供することを課題の一とする。また、本発明の一態様は、消費電力が低い半導体装置などを提供することを課題の一とする。また、本発明の一態様は、環境の温度の影響を受けにくい半導体装置などを提供することを課題の一とする。また、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。

10

【 0 0 1 0 】

なお、本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

【課題を解決するための手段】

20

【 0 0 1 1 】**(1)**

本発明の一態様は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第1インバータ回路と、を含む回路と、保持部と、を有し、保持部は、第5トランジスタと容量素子と、を有し、第1トランジスタは、第1ゲートと、第2ゲートと、を有し、第2トランジスタは、第3ゲートと、第4ゲートと、を有し、第1トランジスタの第1端子は、第3トランジスタの第1端子に電気的に接続され、第4トランジスタの第1端子は、第2トランジスタの第1端子に電気的に接続され、第1トランジスタの第2端子は、第2トランジスタの第2端子に電気的に接続され、第4トランジスタの第2端子は、第3トランジスタの第2端子に電気的に接続され、第1インバータ回路の入力端子は、第1トランジスタの第1ゲートと、第4トランジスタのゲートと、に電気的に接続され、第1インバータ回路の出力端子は、第2トランジスタの第3ゲートと、第3トランジスタのゲートと、に電気的に接続され、第5トランジスタの第1端子は、第1トランジスタの第2ゲートと、第2トランジスタの第4ゲートと、容量素子と、に電気的に接続されている、半導体装置である。

30

【 0 0 1 2 】**(2)**

また、本発明の一態様は、第1回路を有し、第1回路は、第1入力端子と、第2入力端子と、第1出力端子と、第2出力端子と、第2インバータ回路と、第3インバータ回路と、第4インバータ回路と、第5インバータ回路と、切り替え回路と、を有し、切り替え回路は、第1トランジスタと、第2トランジスタと、第1インバータ回路と、を有し、第1トランジスタは、第1ゲートと、第2ゲートと、を有し、第2トランジスタは、第3ゲートと、第4ゲートと、を有し、切り替え回路は、第3入力端子を有し、第1トランジスタの第1ゲートは、第3入力端子に電気的に接続され、第2トランジスタの第3ゲートは、第1インバータ回路の出力端子に電気的に接続され、第1インバータ回路の入力端子は、第3入力端子に電気的に接続され、第1入力端子は、第2インバータ回路の入力端子に電気的に接続され、第2入力端子は、第3インバータ回路の入力端子に電気的に接続され、第1出力端子は、第4インバータ回路の出力端子に電気的に接続され、第2出力端子は、第5インバータ回路の出力端子に電気的に接続され、切り替え回路は、第3入力端子に入力された信号に応じて、第2インバータ回路の出力端子と、第4インバータ回路又は第5

40

50

インバータ回路の一方の入力端子と、の間を導通状態にし、かつ第3インバータ回路の出力端子と、第4インバータ回路又は第5インバータ回路の他方の入力端子と、の間を導通状態にする機能と、第1トランジスタの第2ゲートの電位に応じて、第2インバータ回路の出力端子から出力された信号が、第4インバータ回路の入力端子に入力されるまでの時間を変動させる機能と、第2トランジスタの第4ゲートの電位に応じて、第3インバータ回路の出力端子から出力された信号が、第4インバータ回路の入力端子に入力されるまでの時間を変動させる機能と、を有する、半導体装置である。

【0013】

(3)

また、本発明の一態様は、第1回路を有し、第1回路は、第1入力端子と、第2入力端子と、第1出力端子と、第2出力端子と、第2回路と、第3回路と、切り替え回路と、を有し、切り替え回路は、第1トランジスタと、第2トランジスタと、第1インバータ回路と、を有し、第1トランジスタは、第1ゲートと、第2ゲートと、を有し、第2トランジスタは、第3ゲートと、第4ゲートと、を有し、切り替え回路は、第3入力端子を有し、第1トランジスタの第1ゲートは、第3入力端子に電気的に接続され、第2トランジスタの第3ゲートは、第1インバータ回路の出力端子に電気的に接続され、第1インバータ回路の入力端子は、第3入力端子に電気的に接続され、第1入力端子は、第2回路の入力端子に電気的に接続され、第2回路は、第2回路の入力端子に入力された信号を補正して、第2回路の出力端子に補正された信号を出力する機能を有し、第3回路は、第3回路の入力端子に入力された信号を補正して、第3回路の出力端子に補正された信号を出力する機能を有し、切り替え回路は、第3入力端子に入力された信号に応じて、第2回路の出力端子と、第1出力端子又は第2出力端子の一方と、の間を導通状態にし、かつ第3回路の出力端子と、第1出力端子又は第2出力端子の他方と、の間を導通状態にする機能と、第1トランジスタの第2ゲートの電位に応じて、第2回路の出力端子から出力された信号が、第1出力端子に入力されるまでの時間を変動させる機能と、第2トランジスタの第4ゲートの電位に応じて、第3回路の出力端子から出力された信号が、第1出力端子に入力されるまでの時間を変動させる機能と、を有する、半導体装置である。

10

20

【0014】

(4)

30

また、本発明の一態様は、上記(2)又は(3)の構成において、切り替え回路は、第1保持部を有し、第1保持部は、第1トランジスタの第2ゲートの電位、及び第2トランジスタの第4ゲートの電位を保持する機能を有する、半導体装置である。

【0015】

(5)

また、本発明の一態様は、上記(2)又は(3)の構成において、切り替え回路は、第1保持部と、第2保持部と、を有し、第1保持部は、第1トランジスタの第2ゲートの電位を保持する機能を有し、第2保持部は、第2トランジスタの第4ゲートの電位を保持する機能を有する、半導体装置である。

【0016】

40

(6)

また、本発明の一態様は、上記(2)又は(3)の構成において、切り替え回路は、第1保持部と、第2保持部と、第1スイッチと、第2スイッチと、を有し、第1保持部は、第1スイッチを介して、第1トランジスタの第2ゲートと、第2トランジスタの第4ゲートと、に電気的に接続され、第2保持部は、第2スイッチを介して、第1トランジスタの第2ゲートと、第2トランジスタの第4ゲートと、に電気的に接続され、第1スイッチ、又は第2スイッチの一方をオン状態にし、他方をオフ状態にすることで、第1トランジスタの第2ゲート及び第2トランジスタの第4ゲートと、第1保持部又は第2保持部の一方と、の間を導通状態にする機能を有する、半導体装置である。

【0017】

50

(7)

また、本発明の一態様は、上記(1)乃至(6)のいずれか一の構成において、第1回路を複数段、有し、複数の第1回路に含まれている切り替え回路は、第4入力端子を有し、前段の第1回路の第1出力端子は、後段の第1回路の第1入力端子に電気的に接続され、前段の第1回路の第2出力端子は、後段の第1回路の第2入力端子に電気的に接続され、全ての第1回路の第1トランジスタの第2ゲート、及び第2トランジスタの第4ゲートには、それぞれ対応する第1データに応じた電位が保持され、かつ全ての切り替え回路の第3入力端子には、それぞれ対応する第2データに応じた信号が入力されている場合に、一段目の第1回路の第1入力端子と第2入力端子とにそれぞれ入力信号が入力されることによって、最終段の第1回路の第1出力端子と第2出力端子とから出力されるそれぞれの出力信号の時間差は、第1データと第2データの積和に応じた時間となる、半導体装置である。

【 0 0 1 8 】

(8)

また、本発明の一態様は、上記(7)の構成において、第4回路を有し、第4回路は、最終段の第1回路の第1出力端子と、第2出力端子と、に電気的に接続され、第4回路は、出力信号の時間差に応じた信号を生成する機能を有する、半導体装置である。

【 0 0 1 9 】

(9)

また、本発明の一態様は、上記(1)乃至(8)のいずれか一の構成において、第1トランジスタ、及び／又は第2トランジスタは、チャネル形成領域に金属酸化物を有する、半導体装置である。

【 0 0 2 0 】

(1 0)

また、本発明の一態様は、第1回路を有し、第1回路は、第1入力端子と、第2入力端子と、第1出力端子と、第2出力端子と、第1負荷回路と、第2負荷回路と、第2インバータ回路と、第3インバータ回路と、第4インバータ回路と、第5インバータ回路と、切り替え回路と、を有し、第1入力端子は、第2インバータ回路の入力端子に電気的に接続され、第2入力端子は、第3インバータ回路の入力端子に電気的に接続され、第1出力端子は、第4インバータ回路の出力端子に電気的に接続され、第2出力端子は、第5インバータ回路の出力端子に電気的に接続され、第2インバータ回路の出力端子は、第1負荷回路の第1端子に電気的に接続され、第3インバータ回路の出力端子は、第2負荷回路の第1端子に電気的に接続され、切り替え回路は、第3入力端子を有し、第1負荷回路は、第5入力端子を有し、第1負荷回路は、第5入力端子に入力された信号に応じて、第1負荷回路の第1端子と第2端子との間の抵抗値を変動する機能を有し、切り替え回路は、第3入力端子に入力された信号に応じて、第1負荷回路の第2端子と、第4インバータ回路又は第5インバータ回路の一方の入力端子と、の間を導通状態にし、かつ第2負荷回路の第2端子と、第4インバータ回路又は第5インバータ回路の他方の入力端子と、の間を導通状態にする機能を有する、半導体装置である。

【 0 0 2 1 】

(1 1)

また、本発明の一態様は、上記(10)の構成において、第2負荷回路は、第6入力端子を有し、第2負荷回路は、第6入力端子に入力された信号に応じて、第2負荷回路の第1端子と第2端子との間の抵抗値を変動する機能を有する、半導体装置である。

【 0 0 2 2 】

(1 2)

また、本発明の一態様は、上記(11)又は(12)の構成において、第1負荷回路は、抵抗变化素子、MTJ素子、相変化メモリのいずれか一を有する、半導体装置である。

【 0 0 2 3 】

(1 3)

10

20

30

40

50

また、本発明の一態様は、上記(10)又は(11)の構成において、第1負荷回路は、第1負荷素子と、第2負荷素子と、を有し、第1負荷回路は、第7入力端子を有し、第1負荷回路は、第7入力端子に入力された信号に応じて、第1負荷素子又は第2負荷素子の一方を選択して、選ばれた負荷素子を介して、第1負荷回路の第1端子と第2端子との間を導通状態にする機能を有する、半導体装置である。

【0024】

(14)

また、本発明の一態様は、上記(10)乃至(13)のいずれか一の構成において、第1回路を複数段、有し、前段の第1回路の第1出力端子は、後段の第1回路の第1入力端子に電気的に接続され、前段の第1回路の第2出力端子は、後段の第1回路の第2入力端子に電気的に接続され、全ての第1回路の第1負荷回路の第5入力端子には、それぞれ対応する第1データに応じた電位が入力され、かつ全ての切り替え回路の第3入力端子には、それぞれ対応する第2データに応じた信号が入力されている場合に、一段目の第1回路の第1入力端子と第2入力端子とにそれぞれ入力信号が入力されることによって、最終段の第1回路の第1出力端子と第2出力端子とから出力されるそれぞれの出力信号の時間差は、第1データと第2データの積和に応じた時間となる、半導体装置である。

10

【0025】

(15)

また、本発明の一態様は、上記(14)の構成において、第4回路を有し、第4回路は、最終段の第1回路の第1出力端子と、第2出力端子と、に電気的に接続され、第4回路は、出力信号の時間差に応じた信号を生成する機能を有する、半導体装置である。

20

【0026】

(16)

また、本発明の一態様は、上記(1)乃至(15)のいずれか一の半導体装置と、筐体と、を有し、半導体装置によってニューラルネットワークの演算を行う、電子機器である。

【0027】

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用して機能を実現する装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

30

【0028】

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層など)であるとする。

【0029】

XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、又は、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。

40

【0030】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(

50

電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、增幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

【0031】

なお、XとYとが電気的に接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電気的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

10

【0032】

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電気的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電気的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電気的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0033】

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

【0034】

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記を用いる。なお、トランジスタの構造によつては、上述した3つの端子に加えて、バックゲートを有する場合がある。

40

【0035】

50

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0036】

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

10

【0037】

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

20

【0038】

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

30

【0039】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

【0040】

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

40

【0041】

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例

50

えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

【0042】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0043】

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

10

【0044】

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS(Density of States)が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素(水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

20

【0045】

本明細書等において、スイッチとは、導通状態(オン状態)、又は、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電気的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

30

【0046】

電気的なスイッチの一例としては、トランジスタ(例えば、バイポーラトランジスタ、MOSトランジスタなど)、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

40

【0047】

50

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【発明の効果】

【0048】

本発明の一態様によって、階層型の人工ニューラルネットワークが構築された半導体装置などを提供することができる。又は、本発明の一態様によって、消費電力が低い半導体装置などを提供することができる。又は、本発明の一態様によって、環境の温度の影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、新規な半導体装置などを提供することができる。

10

【0049】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0050】

20

【図1】半導体装置の構成例を示すブロック図。

【図2】半導体装置が有する回路の構成例を示すブロック図、及び回路図。

【図3】半導体装置が有する回路の構成例を示す回路図。

【図4】階層型のニューラルネットワークを説明する図。

【図5】半導体装置が有する回路の構成例を示すブロック図。

【図6】半導体装置が有する回路の構成例を示す回路図。

【図7】半導体装置が有する回路の動作例を示すタイミングチャート。

【図8】半導体装置が有する回路の構成例を示す回路図。

【図9】半導体装置の構成例を示すブロック図。

【図10】半導体装置が有する回路の構成例を示す回路図。

30

【図11】半導体装置の構成例を示すブロック図。

【図12】半導体装置が有する回路の構成例を示すブロック図。

【図13】半導体装置が有する回路の構成例を示す回路図。

【図14】半導体装置が有する回路の構成例を示す回路図。

【図15】半導体装置が有する回路の構成例を示す回路図。

【図16】半導体装置が有する回路の構成例を示す回路図。

【図17】半導体装置が有する回路の構成例を示す回路図。

【図18】半導体装置が有する回路の構成例を示す回路図。

【図19】半導体装置が有する回路の構成例を示すブロック図。

【図20】半導体装置が有する回路の構成例を示すブロック図。

40

【図21】半導体装置が有する回路の構成例を示す回路図。

【図22】半導体装置が有する回路の構成例を示す回路図。

【図23】半導体装置が有する回路の構成例を示す回路図。

【図24】半導体装置が有する回路の構成例を示すブロック図。

【図25】半導体装置が有する回路の構成例を示すブロック図。

【図26】半導体装置が有する回路の構成例を示すブロック図。

【図27】半導体装置の構成例を示す断面図。

【図28】半導体装置の構成例を示す断面図。

【図29】トランジスタの構造例を示す上面図、及び断面図。

【図30】トランジスタの構造例を示す上面図、及び断面図。

50

- 【図31】トランジスタの構造例を示す上面図、及び断面図。
- 【図32】トランジスタの構造例を示す上面図、及び断面図。
- 【図33】トランジスタの構造例を示す上面図、及び断面図。
- 【図34】トランジスタの構造例を示す上面図、及び断面図。
- 【図35】トランジスタの構造例を示す上面図、及び斜視図。
- 【図36】トランジスタの構造例を示す断面図。
- 【図37】容量素子の構造例を示す上面図、及び斜視図。
- 【図38】容量素子の構造例を示す上面図、及び斜視図。
- 【図39】半導体ウェハと電子部品の一例を示す斜視図。
- 【図40】電子機器の一例を示す斜視図。
- 【図41】電子機器の一例を示す斜視図。

10

【発明を実施するための形態】

【0051】

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

【0052】

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

20

【0053】

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

【0054】

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（oxide Semiconductor又は単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が增幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）と呼ぶことができる。また、OS FET、又はOSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

30

【0055】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxy nitride）と呼称してもよい。

40

【0056】

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0057】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わ

50

せ、又は置き換えなどを行うことができる。

【 0 0 5 8 】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【 0 0 5 9 】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【 0 0 6 0 】

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【 0 0 6 1 】

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

【 0 0 6 2 】

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【 0 0 6 3 】

(実施の形態 1)

本実施の形態では、本発明の一態様の半導体装置である、ニューラルネットワークの演算を行う演算回路について説明する。

【 0 0 6 4 】

<階層型のニューラルネットワーク>

初めに、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計3以上の層によって構成されている。図4(A)に示す階層型のニューラルネットワーク100はその一例を示しており、ニューラルネットワーク100は、第1層乃至第R層（ここでRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図4(A)には、中間層として第(k-1)層、第k層（ここでkは3以上R-1以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

【 0 0 6 5 】

ニューラルネットワーク100の各層は、一又は複数のニューロンを有する。図4(A)において、第1層はニューロンN₁(1)乃至ニューロンN_p(1)（ここでpは1以上の整数である。）を有し、第(k-1)層はニューロンN₁(k-1)乃至ニューロンN_m(k-1)（ここでmは1以上の整数である。）を有し、第k層はニューロンN₁(k)乃至ニューロンN_n(k)（ここでnは1以上の整数である。）を有し、第R層はニューロンN₁(R)乃至ニューロンN_q(R)（ここでqは1以上の整数である。）を有する。

10

20

30

40

50

【 0 0 6 6 】

なお、図4(A)には、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ (ここでの*i*は1以上m以下の整数である。)、第k層のニューロン $N_j^{(k)}$ (ここでの*j*は1以上n以下の整数である。)も図示しており、それ以外のニューロンについては図示を省略している。

【 0 0 6 7 】

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第k層のニューロン $N_j^{(k)}$ に着目している。10

【 0 0 6 8 】

図4(B)は、第k層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

【 0 0 6 9 】

具体的には、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第 $(k+1)$ 層(図示しない。)の各ニューロンに向けて出力する。20

【 0 0 7 0 】

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度(以後、重み係数と呼称する。)によって、信号の伝達の度合いが定まる。ニューラルネットワーク100では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。*i*を1以上m以下の整数として、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ と第k層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_i^{(k-1)} j^{(k)}$ としたとき、第k層のニューロン $N_j^{(k)}$ に入力される信号は、式(1.1)で表すことができる。

【 0 0 7 1 】**【 数 1 】**

$$w_i^{(k-1)} j^{(k)} \cdot z_i^{(k-1)} \cdots (1.1)$$

30

【 0 0 7 2 】

つまり、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第k層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数($w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$)が乗じられる。そして、第k層のニューロン $N_j^{(k)}$ には、 $w_1^{(k-1)} j^{(k)} \cdot z_1^{(k-1)}$ 乃至 $w_m^{(k-1)} j^{(k)} \cdot z_m^{(k-1)}$ が入力される。このとき、第k層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式(1.2)となる。40

【 0 0 7 3 】**【 数 2 】**

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} j^{(k)} \cdot z_i^{(k-1)} \cdots (1.2)$$

【 0 0 7 4 】

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。50

【 0 0 7 5 】

【数3】

$$z_j^{(k)} = f(u_j^{(k)}) \quad \cdots(1.3)$$

【 0 0 7 6 】

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なっていてもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なっていてもよい。

10

【 0 0 7 7 】

ところで、各層のニューロンが出力する信号は、アナログ値としてもよいし、2値としてもよい。前者の場合、活性化関数として、線形ランプ関数、シグモイド関数を用いればよい。後者の場合、出力を -1 又は 1 とするステップ関数を用いればよい。

【 0 0 7 8 】

ニューラルネットワーク 100 は、第1層（入力層）に入力信号が入力されることによって、第1層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式(1.1)乃至(1.3)を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク 100 によって計算された結果に相当する。

20

【 0 0 7 9 】

< 演算回路 >

ここでは、ニューロンの活性化関数を、出力が -1 又は 1 をとるステップ関数としたニューラルネットワーク 100 において、式(1.2)、及び式(1.3)の演算を行うことができる演算回路について説明する。

【 0 0 8 0 】

図1(A)に示す演算回路 110 は、回路 MPC[1] 乃至回路 MPC[m] と、回路 ACTF と、変換回路 TRF と、を有する半導体装置である。演算回路 110 は、図4(A)(B)における第 k 層のニューロン $N_j^{(k)}$ に入力される信号を処理して、ニューロン $N_j^{(k)}$ から出力される信号 $z_j^{(k)}$ を生成する回路である。なお、本明細書等において、回路 MPC[1] 乃至回路 MPC[m] のそれぞれを区別しない場合は、回路 MPC と記載することとする。

30

【 0 0 8 1 】

<< 回路 MPC >>

図1(B)は、回路 MPC が有する端子を説明する図である。回路 MPC は、一例としては、端子 in p と、端子 in n と、端子 out p と、端子 out n と、端子 wt と、端子 xt と、を有する。

【 0 0 8 2 】

回路 MPC は、端子 in p に入力された信号を端子 out p 又は端子 out n の一方に出力し、端子 in n に入力された信号を端子 out p 又は端子 out n の他方に出力する機能を有する。端子 in p 及び端子 in n に入力された信号の出力先は、一例としては、端子 xt に入力される信号によって定めることができる。

40

【 0 0 8 3 】

また、回路 MPC は、一例としては、信号が端子 in p に入力されてから端子 out p 又は端子 out n の一方から出力するまでにかかる時間を可変する機能を有する。当該時間は、端子 wt に入力される信号によって定めることができる。なお、以後、回路の入力端子に信号が入力されてから、回路の出力端子から信号が出力されるまでにかかる時間を入出力時間と呼称する。

【 0 0 8 4 】

回路 MPC の構成例を図2(A)に示す。図2(A)に示す回路 MPC は、回路 B F 1

50

と、回路 B F 2 と、切り替え回路 S C と、を有する。

【 0 0 8 5 】

回路 B F 1 の入力端子は端子 i n p に電気的に接続され、回路 B F 1 の出力端子は切り替え回路 S C の 2 つの入力端子の一方に電気的に接続されている。回路 B F 2 の入力端子は端子 i n n に電気的に接続され、回路 B F 2 の出力端子は切り替え回路 S C の 2 つの入力端子の他方に電気的に接続されている。切り替え回路 S C の 2 つの出力端子の一方は端子 o u t p に電気的に接続され、切り替え回路 S C の 2 つの出力端子の他方は端子 o u t n に電気的に接続されている。

【 0 0 8 6 】

〔回路 B F 1 〕

10

回路 B F 1 は、回路 B F 1 の入力端子に入力された信号を補正して、回路 B F 1 の出力端子に出力する回路として機能する。回路 B F 1 としては、例えば、インバータ回路を 2 個直列に接続した回路（バッファ回路）などを適用することができる。なお、インバータ回路の数は、2 個に限定されない。ただし、入力と同じ論理値で出力するほうが回路を構成しやすいため、複数個の方が望ましい。インバータ回路の他には、N A N D 回路、N O R 回路などを用いることも出来る。また、回路 B F 1 としては、例えば、論理回路、信号変換回路、電位レベル変換回路などを適用できる場合がある。図 2 (A) では、回路 B F 1 は、インバータ回路 D I N V 1 と、インバータ回路 I N V 1 と、を有している構成を示している。

【 0 0 8 7 】

20

インバータ回路 D I N V 1 及びインバータ回路 I N V 1 のそれぞれは、入力された信号の反転信号を出力する機能を有する。特にインバータ回路 D I N V 1 は、端子 w t に電気的に接続されており、端子 w t に入力された信号に応じて、インバータ回路 D I N V 1 の駆動速度を決めることができる。つまり、インバータ回路 D I N V 1 の入出力時間を可変することができる。

【 0 0 8 8 】

図 2 (B 1) に、回路 B F 1 の具体的な構成例を示す。一例としては、インバータ回路 D I N V 1 は、トランジスタ T r 0 1 乃至トランジスタ T r 0 3 と、容量素子 C 0 1 と、を有し、インバータ回路 I N V 1 は、トランジスタ T r 0 4 、トランジスタ T r 0 5 と、を有する。また、一例としては、トランジスタ T r 0 1 及びトランジスタ T r 0 4 は p チャネル型トランジスタとし、トランジスタ T r 0 2 と、トランジスタ T r 0 3 と、トランジスタ T r 0 5 と、は n チャネル型トランジスタとする。更に、一例としては、トランジスタ T r 0 2 はバックゲートを有する構造のトランジスタとする。同様に、一例としては、トランジスタ T r 0 3 はバックゲートを有する構造のトランジスタとしてもよい。または、一例としては、トランジスタ T r 0 3 は、オフ電流の小さいトランジスタとすることが望ましい。具体例としては、トランジスタ T r 0 3 は、O S トランジスタとすることが望ましい。トランジスタ T r 0 3 以外のトランジスタについても、n チャネル型トランジスタについて、O S トランジスタを採用してもよい。

30

【 0 0 8 9 】

例えば、本明細書等において、トランジスタとして、様々な構造のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有するトランジスタなどを用いることが出来る。または、それらの半導体を薄膜化した薄膜トランジスタ（T F T）などを用いることが出来る。T F T を用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることが出来る。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトラン

40

50

ジスタを製造できる。または、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。または、トランジスタの膜厚が薄いため、トランジスタを形成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

【 0 0 9 0 】

なお、トランジスタの一例としては、化合物半導体（例えば、SiGe、GaAsなど）、又は酸化物半導体（例えば、Zn-O、In-Ga-Zn-O、In-Zn-O、In-Sn-O（ITO）、Sn-O、Ti-O、Al-Zn-Sn-O、In-Sn-Zn-Oなど）などを有するトランジスタを用いることが出来る。または、これらの化合物半導体、又は、これらの酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することが出来る。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

【 0 0 9 1 】

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空中で製造、又は大型基板上に製造することができる。よって、マスク（レチカル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。または、レジストを用いずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【 0 0 9 2 】

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。有機半導体やカーボンナノチューブを有するトランジスタを用いた装置は、衝撃に強くすることができる。

【 0 0 9 3 】

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることが出来る。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、多数のトランジスタを搭載することができる。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することができる。

【 0 0 9 4 】

なお、トランジスタの一例としては、チャネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル領域が増えるため、電流値の増加を図ることができる。または、チャネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

【 0 0 9 5 】

なお、トランジスタの一例としては、チャネル領域の上にゲート電極が配置されている構造、チャネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構

10

20

30

40

50

造、チャネル領域を複数の領域に分けた構造、チャネル領域を並列に接続した構造、又はチャネル領域が直列に接続する構造などのトランジスタを用いることができる。または、トランジスタとして、プレーナ型、F I N型（フィン型）、T R I - G A T E型（トライゲート型）、トップゲート型、ボトムゲート型、ダブルゲート型（チャネルの上下にゲートが配置されている）、など、様々な構成をとることが出来る。

【 0 0 9 6 】

なお、トランジスタの一例としては、チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

10

【 0 0 9 7 】

なお、トランジスタの一例としては、L D D領域を設けた構造を適用できる。L D D領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、L D D領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

【 0 0 9 8 】

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、S O I基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルファン（P E S）、ポリテトラフルオロエチレン（P T F E）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はS O I基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

20

【 0 0 9 9 】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するためには用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

30

【 0 1 0 0 】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、

40

50

皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0101】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はS O I 基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

【0102】

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はS O I 基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（I C チップともいう）を、C O G（C h i p O n G l a s s）によって、ガラス基板に接続して、ガラス基板にそのI C チップを配置することが可能である。または、I C チップを、T A B（T a p e A u t o m a t e d B o n d i n g）、C O F（C h i p O n F i l m）、S M T（S u r f a c e M o u n t T e c h n o l o g y）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、I C チップを構成する。このI C チップを用いることによって、消費電力の増加を防ぐことができる。

【0103】

インバータ回路D I N V 1において、トランジスタT r 0 1のゲートとトランジスタT r 0 2のゲートは端子i n pに電気的に接続され、トランジスタT r 0 1の第1端子は配線V D D Lに電気的に接続され、トランジスタT r 0 1の第2端子は、トランジスタT r 0 2の第1端子に電気的に接続されている。トランジスタT r 0 2の第2端子は、配線V S S Lに電気的に接続され、トランジスタT r 0 2のバックゲートは、トランジスタT r 0 3の第1端子と、容量素子C 0 1の第1端子と、に電気的に接続されている。トランジスタT r 0 3の第2端子は、端子w tに電気的に接続され、トランジスタT r 0 3のゲートは、配線S L 0 1に電気的に接続されている。容量素子C 0 1の第2端子は、配線V Lに電気的に接続されている。また、トランジスタT r 0 1の第2端子と、トランジスタT r 0 2の第1端子は、インバータ回路I N V 1の入力端子に電気的に接続されている。

【0104】

インバータ回路I N V 1において、トランジスタT r 0 4のゲートとトランジスタT r 0 5のゲートは、インバータ回路I N V 1の入力端子に電気的に接続され、トランジスタT r 0 4の第1端子は、配線V D D Lに電気的に接続され、トランジスタT r 0 4の第2端子は、トランジスタT r 0 5の第1端子に電気的に接続されている。トランジスタT r 0 5の第2端子は、配線V S S Lに電気的に接続されている。また、トランジスタT r 0 4の第2端子とトランジスタT r 0 5の第1端子は、インバータ回路I N V 1の出力端子に電気的に接続されている。

【0105】

配線V D D Lは、高レベル電位である電圧V D D を供給する電圧線として機能し、配線V S S Lは、低レベル電位である電圧V S S を供給する電圧線として機能する。なお、配線V S S Lには、マイナスの電位が供給されてもよいし、プラスの電位が供給されてもよいし、0 V (G N D) の電位が供給されてもよい。また、配線V Lは、定電圧を供給する

10

20

30

40

50

電圧線として機能し、当該定電圧としては、VDD、VSS、又は接地電位などとすることができる。

【0106】

インバータ回路DINV1において、トランジスタTr03と、容量素子C01とは、保持部HCAに含まれている。保持部HCAは、端子wtから入力された信号に応じた電位を保持する機能を有する。

【0107】

保持部HCAに含まれるトランジスタTr03はスイッチング素子として機能し、配線SL01からトランジスタTr03のゲートに電位を印加することによって、トランジスタTr03をオン状態又はオフ状態にすることができる。

10

【0108】

配線SL01に高レベル電位を与えて、トランジスタTr03をオン状態にすることによって、端子wtと容量素子C01の第1端子との間を導通状態にすることができる。このとき、回路MPCは端子wtから信号を受信することで、当該信号に応じた電位を容量素子C01の第1端子に書き込むことができる。そして、当該電位を容量素子C01の第1端子に書き込んだ後に、配線SL01に低レベル電位を与えて、トランジスタTr03をオフ状態にすることによって、保持部HCAに当該電位を保持することができる。

【0109】

保持部HCAにおいて、容量素子C01の第1端子に書き込んだ電位を長時間保持したい場合、トランジスタTr03は、OSトランジスタであることが好ましい。加えて、トランジスタTr03のチャネル形成領域は、インジウム、元素M（元素Mとしては、アルミニウム、ガリウム、イットリウム、スズなどが挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタTr03は、特に実施の形態4に記載するトランジスタの構造であることが更に好ましい。

20

【0110】

OSトランジスタは、チャネル形成領域として機能する金属酸化物のバンドギャップが大きいため、オフ電流が極めて小さいという特性を有する。このため、トランジスタTr03として、OSトランジスタを用いることにより、トランジスタTr03がオフ状態における、容量素子C01の第1端子から端子wtへのリーク電流を非常に小さくすることができる。つまり、容量素子C01の第1端子の電位のリフレッシュ動作を少なくすることができるため、容量素子C01の第1端子の電位を保持するのに必要な消費電力を低減することができる。

30

【0111】

ところで、トランジスタTr02はバックゲートを有しているため、当該バックゲートに電位を与えることによって、トランジスタTr02のしきい値電圧を当該電位に応じて変動することができる。回路MPCでは、トランジスタTr02のバックゲートは、容量素子C01の第1端子に接続されているため、トランジスタTr02のしきい値電圧は、容量素子C01の第1端子の電位に応じて決まる。

【0112】

例えば、容量素子C01の第1端子の電位が高レベル電位である場合、トランジスタTr02のしきい値電圧は、マイナス側に変動するため、トランジスタTr02のソース-ドレイン間に流れる電流量は大きくなる。これにより、インバータ回路DINV1の入力端子に信号が入力されてから、出力端子から信号が出力するまでにかかる入出力時間が短くなる。

40

【0113】

また、例えば、容量素子C01の第1端子の電位が低レベル電位である場合、トランジスタTr02のしきい値電圧は、プラス側に変動するため、トランジスタTr02のソース-ドレイン間に流れる電流量は小さくなる。これにより、インバータ回路DINV1の入力端子に信号が入力されてから、出力端子から信号が出力するまでにかかる入出力時間が長くなる。

50

【0114】

具体的には、トランジスタTr02を、トランジスタTr02のゲートに印加する電位の範囲を-0.8V以上2.5V以下として動作させる場合、トランジスタTr02のバックゲートには、例えば、高レベル電位として1.5V以上の電位を与えればよく、低レベル電位として1.5V未満の電位を与えればよい。

【0115】

また、トランジスタTr03も、バックゲートを有してもよい。図2(B2)では、図2(B1)のインバータ回路DINV1において、トランジスタTr03がバックゲートを有する場合の回路構成を示している。なお、トランジスタTr03のバックゲートの電気的な接続先としては、例えば、トランジスタTr03のゲートとすることができる。トランジスタTr03のゲートとバックゲートを電気的に接続することによって、トランジスタTr03のオン状態のときに流れる電流を大きくすることができます。また、例えば、トランジスタTr03のバックゲートに、外部回路と電気的に接続するための配線を設けて、当該外部回路によってトランジスタTr03のバックゲートに電位を与えて、しきい値電圧を上げてもよい。このような構成にすることにより、外部回路によってトランジスタTr03のオフ電流を小さくすることができる。

10

【0116】**[回路BF2]**

図2(A)では、回路BF2は、インバータ回路DINV2と、インバータ回路INV2と、を有している構成を示している。回路BF2は、回路BF1と同様に、回路BF2の入力端子に入力された信号を増幅して、回路BF2の出力端子に出力する増幅回路として機能する。そのため、回路BF2は、図2(B1)に示す回路BF1と同様の構成とすることができる。この場合、インバータ回路DINV2の容量素子C01の第1端子には、高レベル電位と低レベル電位の中間電位を保持するのが好ましい。そして、インバータ回路DINV1の容量素子C01の第1端子の電位を高レベル電位、又は低レベル電位にすることによって、回路BF1の入出力時間を、回路BF2の入出力時間よりも短く、又は長くすることができる。

20

【0117】

また、回路BF2は、図2(C1)に示す回路構成としてもよい。図2(C1)のインバータ回路DINV2は、トランジスタTr06及びトランジスタTr07を有し、インバータ回路INV2は、トランジスタTr08及びトランジスタTr09を有する。また、トランジスタTr06及びトランジスタTr08はpチャネル型トランジスタとし、トランジスタTr07及びトランジスタTr09はnチャネル型トランジスタとする。

30

【0118】

インバータ回路DINV2において、トランジスタTr06のゲートとトランジスタTr07のゲートは端子 i_{nn} に電気的に接続され、トランジスタTr06の第1端子は配線VDDLに電気的に接続され、トランジスタTr06の第2端子は、トランジスタTr07の第1端子に電気的に接続されている。トランジスタTr07の第2端子は、配線VSSLに電気的に接続されている。また、トランジスタTr06の第2端子と、トランジスタTr07の第1端子は、インバータ回路INV2の入力端子に電気的に接続されている。

40

【0119】

インバータ回路INV2において、トランジスタTr08のゲートとトランジスタTr09のゲートは、インバータ回路INV2の入力端子に電気的に接続され、トランジスタTr08の第1端子は、配線VDDLに電気的に接続され、トランジスタTr08の第2端子は、トランジスタTr09の第1端子に電気的に接続されている。トランジスタTr09の第2端子は、配線VSSLに電気的に接続されている。また、トランジスタTr08の第2端子とトランジスタTr09の第1端子は、インバータ回路INV2の出力端子に電気的に接続されている。

【0120】

50

つまり、インバータ回路DINV2の回路構成は、インバータ回路INV2と同じ回路構成とすることができます。または、トランジスタTr07にバックゲートを設けて、当該バックゲートを配線VSSLに接続してもよい。

【0121】

また、上述したインバータ回路INV1、インバータ回路INV2、インバータ回路DINV2は、例えば、図2(C2)に示すインバータ回路INV1Aの構成に置き換えてよい。インバータ回路INV1Aは、インバータ回路INV1、インバータ回路INV2、インバータ回路DINV2の回路構成において、トランジスタTr05(トランジスタTr07、トランジスタTr09)がバックゲートを有し、当該バックゲートがトランジスタTr05(トランジスタTr07、トランジスタTr09)の第2端子に電気的に接続されている構成となっている。10

【0122】

[切り替え回路SC]

切り替え回路SCは、回路MPCにおける、端子inp又は端子innに入力された信号の出力先を端子outp又は端子outnのどちらか一方に選択する機能を有する。また、切り替え回路SCは、端子xtに電気的に接続され、端子xtに入力される信号(図1(A)における信号x₁(k-1)乃至x_m(k-1))に応じて、当該出力先を定めることができる。

【0123】

図3(A)に、切り替え回路SCの構成例を示す。切り替え回路SCは、スイッチS01乃至スイッチS04と、インバータ回路INV3と、を有する。20

【0124】

スイッチS01の第1端子は、回路BF1の出力端子と、スイッチS03の第1端子と、に電気的に接続され、スイッチS01の第2端子は、端子outpに電気的に接続されている。スイッチS02の第1端子は、回路BF2の出力端子と、スイッチS04の第1端子と、に電気的に接続され、スイッチS02の第2端子は、端子outnに電気的に接続されている。スイッチS03の第2端子は端子outnに電気的に接続され、スイッチS04の第2端子は端子outpに電気的に接続されている。端子xtは、スイッチS01、スイッチS02のそれぞれの制御端子と、インバータ回路INV3の入力端子と、に電気的に接続され、インバータ回路INV3の出力端子は、スイッチS03、スイッチS04のそれぞれの制御端子と、に電気的に接続されている。30

【0125】

なお、本明細書などにおいて、スイッチS01乃至スイッチS04のそれぞれは、制御端子に高レベル電位が印加されたときにオン状態となり、制御端子に低レベル電位が印加されたときにオフ状態となるものとする。

【0126】

次に、切り替え回路SCの動作について説明する。例えば、端子xtに高レベル電位が印加されることによって、スイッチS01及びスイッチS02はオン状態となり、スイッチS03及びスイッチS04はオフ状態となるため、切り替え回路SCは、回路BF1の出力端子と端子outpとを電気的に接続し、回路BF2の出力端子と端子outnとを電気的に接続するように動作する。また、例えば、端子xtに低レベル電位が印加されることによって、スイッチS03及びスイッチS04はオン状態となり、スイッチS01及びスイッチS02はオフ状態となるため、切り替え回路SCは、回路BF1の出力端子と端子outnとを電気的に接続し、回路BF2の出力端子と端子outpとを電気的に接続するように動作する。40

【0127】

次に、切り替え回路SCの具体的な構成例について説明する。図3(B)は、図3(A)の切り替え回路SCに含まれているスイッチS01乃至スイッチS04をアナログスイッチA01乃至アナログスイッチA04に置き換えた回路構成となっている。

【0128】

また、図3(B)と異なる、図3(A)の切り替え回路SCの具体的な構成例として、図3(C)に示す回路構成とすることができます。図3(C)の切り替え回路SCは、トランジスタTr11乃至トランジスタTr14と、インバータ回路INV3と、を有する。また、トランジスタTr11乃至トランジスタTr14は、nチャネル型トランジスタとする。なお、スイッチS01乃至スイッチS04の制御端子は、トランジスタTr11乃至トランジスタTr14のゲートに相当する。

【0129】

トランジスタTr11の第1端子は、回路BF1の出力端子と、トランジスタTr13の第1端子と、に電気的に接続され、トランジスタTr11の第2端子は、端子outpに電気的に接続されている。トランジスタTr12の第1端子は、回路BF2の出力端子と、トランジスタTr14の第1端子と、に電気的に接続され、トランジスタTr12の第2端子は、端子outnに電気的に接続されている。トランジスタTr13の第2端子は端子outnに電気的に接続され、トランジスタTr14の第2端子は端子outpに電気的に接続されている。端子xtは、トランジスタTr11乃至トランジスタTr14のそれぞれのゲートに電気的に接続されている。

10

【0130】

また、図3(B)(C)と異なる、図3(A)の切り替え回路SCの具体的な構成例として、図3(D)に示す回路構成とすることができます。図3(D)の切り替え回路SCは、図3(C)と同様に、トランジスタTr11乃至トランジスタTr14を有する。また、トランジスタTr11及びトランジスタTr12は、nチャネル型トランジスタとし、トランジスタTr13及びトランジスタTr14は、pチャネル型トランジスタとする。なお、スイッチS01乃至スイッチS04の制御端子は、トランジスタTr11乃至トランジスタTr14のゲートに相当する。また、トランジスタTr11及びトランジスタTr12と、トランジスタTr13及びトランジスタTr14と、は極性が異なるため、図3(D)の切り替え回路SCは、インバータ回路INV3を有していない。

20

【0131】

また、切り替え回路SCを図3(A)乃至(D)に示す構成にすることによって、端子xtに入力される信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ のそれぞれは、低レベル電位、又は高レベル電位の信号とすることができます。

30

【0132】

また、回路MPCに適用する切り替え回路SCは、状況に応じて、図3(A)乃至(D)に示したいずれか一から選択することができます。また、回路MPCに適用する切り替え回路SCは、図3(A)乃至(D)に示した切り替え回路SCと異なる回路構成としてもよい。

【0133】

<<回路ACTF>>

図1(C)は、回路ACTFが有する端子を説明する図である。回路ACTFは、端子inpaと、端子innnaと、端子outtaと、を有する。

【0134】

回路ACTFは、端子inpaと端子innnaと、のそれぞれに入力される信号(図1(A)における信号 $S_p[m]$ 、 $S_n[m]$)の順番及び/又は時間差に応じて信号を生成して、当該信号を端子outtaから出力する機能を有する。なお、当該信号は、図4(B)における $z_j(k)$ に相当する。

40

【0135】

例えば、回路ACTFは、端子inpaに入力される信号が端子innnaに入力される信号よりも遅い場合に、低レベル電位を信号として端子outtaから出力し、端子inpaに入力される信号が端子innnaに入力される信号よりも速い場合に、高レベル電位を信号として端子outtaから出力する構成にすることができます。換言すると、端子inpaに入力される電位の遷移が端子innnaに入力される電位の遷移よりも遅い場合に、低レベル電位を信号として端子outtaから出力し、端子inpaに入力される電位の遷移

50

が端子 i_{nna} に入力される電位の遷移よりも速い場合に、高レベル電位を信号として端子 o_{uta} から出力する構成にすることができる。このとき、低レベル電位を -1、高レベル電位を 1 に対応する信号 $z_j(k)$ とすることで、回路 A C T F は、ステップ関数の演算を行う回路に相当することができる。

【0136】

また、例えば、回路 A C T F は、シグモイド関数、線形ランプ関数などアナログ値を出力する回路としてもよい。または、回路 A C T F は、端子 i_{npa} と端子 i_{nna} とに入力される信号のタイミングのズレに応じて、デジタル値、または、アナログ値を出力する機能を有していてもよい。

【0137】

つまり、回路 A C T F は、ニューラルネットワーク 100において、ニューロンの活性化関数の演算を行う機能を有する。

【0138】

なお、本実施の形態では、以後、回路 A C T F はステップ関数の演算を行う回路として説明する。

【0139】

また、この場合、回路 A C T F は、ステップ関数の演算を行う回路として、フリップフロップ回路を適用することができる。このような場合、回路 A C T F は、端子 i_{nna} に入力される信号が遷移したときに、端子 i_{npa} に入力されている信号を読み出して、端子 o_{uta} に当該信号を出力する動作を行う。

【0140】

<< 変換回路 T R F >>

変換回路 T R F は、ニューラルネットワーク 100において、第 $(k-1)$ 層のニューロン $N_1(k-1)$ 乃至ニューロン $N_m(k-1)$ のそれぞれから出力される信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ を適切に変換して、変換したそれぞれの信号を回路 M P C [1] 乃至回路 M P C [m] に送信する機能を有する。

【0141】

図 1 (A) では、信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ を信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ に変換して、信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ をそれぞれ回路 M P C [1] 乃至回路 M P C [m] に送信している様子を図示している。

【0142】

なお、信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ のそれぞれは、前述のとおり、-1 又は 1 の値であり、信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ は、前述した切り替え回路 S C の説明のとおり、低レベル電位又は高レベル電位の信号とすることができるため、変換回路 T R F は論理回路として構成することができる。

【0143】

なお、変換回路 T R F が行う信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ の変換については後述する。

【0144】

<< 回路 M P C、回路 A C T F、変換回路 T R F 等の変更例 >>

図 1 の演算回路 110 が有する回路 M P C は、上述した回路 M P C の構成に限定されず、状況に応じて、回路 M P C の回路構成が変更されたものとしてもよい。例えば、本発明の一態様の半導体装置として、回路 M P C は、図 5 (A) (B) の構成を適用することができる。図 5 (A) に示す回路 M P C は、図 2 (A) の回路 B F 1 のインバータ回路 D I N V 1 とインバータ回路 I N V 1 との電気的な接続の順序が変更され、かつ図 2 (A) の回路 B F 2 のインバータ回路 D I N V 2 とインバータ回路 I N V 2 との電気的な接続の順序が変更された構成となっている。また、図 5 (B) に示す回路 M P C は、図 2 (A) の回路 B F 1 のインバータ回路 I N V 1 と切り替え回路 S C との電気的な接続の順序が変更され、かつ図 2 (A) のインバータ回路 I N V 2 と切り替え回路 S C との電気的な接続の順序が変更された構成となっている。

10

20

30

40

50

【0145】

また、上述した回路MPC、回路ACTF、変換回路TRFなどに含まれるトランジスタは、OSトランジスタであることが好ましい。保持部HCAの説明において、トランジスタTr03として、OSトランジスタを適用するのが好ましいと言及したが、他のトランジスタについても、OSトランジスタを適用するのが好ましい。特に、他のトランジスタとしてOSトランジスタを適用する場合、OSトランジスタは、特に実施の形態4に記載するトランジスタの構造であることがより好ましい。ただし、本発明の一態様は、これに限定されない。

【0146】

また、回路MPC、回路ACTF、変換回路TRFなどに含まれるトランジスタは、OSトランジスタではなく、チャネル形成領域にシリコンを含むトランジスタ（以後、Siトランジスタと呼称する。）としてもよい。また、シリコンとしては、例えば、水素化アモルファスシリコン、微結晶シリコン、または多結晶シリコン等を用いることができる。また、OSトランジスタ、Siトランジスタ以外のトランジスタとしては、Geを活性層としたトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体を活性層としたトランジスタ、カーボンナノチューブを活性層としたトランジスタ、有機半導体を活性層としたトランジスタ等を用いることができる。

10

【0147】

なお、OSトランジスタの半導体層の金属酸化物において、インジウムを含む金属酸化物（例えば、In酸化物）、あるいは亜鉛を含む金属酸化物（例えば、Zn酸化物）では、n型半導体は作製できているが、p型半導体は移動度及び信頼性の点で作製が難しい。そのため、演算回路110は、回路MPC、回路ACTF、変換回路TRFなどに含まれるnチャネル型トランジスタとしてOSトランジスタを適用し、pチャネル型トランジスタとしてSiトランジスタを適用した構成としてもよい。

20

【0148】

<動作方法>

ここでは、演算回路110の動作方法の一例について説明する。

【0149】

図6は、本動作例で扱う回路MPC[i]の構成例を示している。回路MPC[i]は、回路BF1及び回路BF2として図2(B1)に図示した回路BF1を適用し、切り替え回路SCとして図3(A)に図示した切り替え回路SCを適用している。

30

【0150】

なお、図6に示す回路BF2のインバータ回路DINV2が有する回路素子のそれぞれは、回路BF1のインバータ回路DINV1と区別するために、符号の最後に“m”を付記している。そのため、インバータ回路DINV2において、保持部HCAmは、保持部HCAに相当し、トランジスタTr01mはインバータ回路DINV1のトランジスタTr01に相当し、トランジスタTr02mはインバータ回路DINV1のトランジスタTr02に相当し、トランジスタTr03mはインバータ回路DINV1のトランジスタTr03に相当し、容量素子C01mはインバータ回路DINV1の容量素子C01に相当し、配線SL01mはインバータ回路DINV1の配線SL01に相当する。また、端子wtmは、容量素子C01mの第1端子に電位を書き込むための入力端子として機能する。

40

【0151】

また、図6に示す回路MPCでは、回路BF1の保持部HCAにおける端子wtは、配線DLに電気的に接続され、回路BF2の保持部HCAmにおける端子wtmは、配線DLmに電気的に接続されている。また、図6に示す回路MPCでは、回路BF1における配線SL01と回路BF2における配線SL01mとは、配線SWLに電気的に接続されている。

【0152】

また、本明細書などにおいて、トランジスタTr01乃至トランジスタTr05、トランジスタTr01m乃至トランジスタTr03m、トランジスタTr08、トランジスタ

50

T_{r09} 、トランジスタ T_{r11} 乃至トランジスタ T_{r14} は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。

【0153】

また、本明細書などにおいて、「低レベル電位」、「高レベル電位」という用語は、特定の電位を意味するものではなく、配線が異なれば、具体的な電位も異なる場合がある。例えば、回路 MPC に入出力される信号に応じた低レベル電位、高レベル電位のそれぞれは、配線 $SL01$ に印加される低レベル電位、高レベル電位と異なる電位であってもよい。

【0154】

<< 初期動作 >>

初期動作として、端子 x_t には、信号 $x_i(k-1)$ に相当する電位が入力される。これによって、トランジスタ T_{r11} 乃至トランジスタ T_{r14} のそれぞれは、信号 $x_i(k-1)$ に相当する電位に応じて、オン状態又はオフ状態となる。

【0155】

また、配線 DL には重み係数 $w_i(k-1)_j(k)$ に相当する電位が入力され、配線 DLm には中間電位が入力される。その後、配線 SWL に高レベル電位を印加して、トランジスタ T_{r03} 、及びトランジスタ T_{r03m} をオン状態にする。この動作によって、容量素子 $C01$ の第1端子に重み係数 $w_i(k-1)_j(k)$ に相当する電位が書き込まれ、容量素子 $C01m$ の第1端子に中間電位が書き込まれる。このため、トランジスタ T_{r02} のしきい値電圧は、重み係数 $w_i(k-1)_j(k)$ に応じて変動し、トランジスタ T_{r02m} のしきい値電圧は、中間電位に応じて変動する。最後に、配線 SWL に低レベル電位を印加して、トランジスタ T_{r03} 、及びトランジスタ T_{r03m} をオフ状態にすることによって、容量素子 $C01$ の第1端子及び容量素子 $C01m$ の第1端子のそれぞれの電位を保持することができる。

【0156】

<< 演算動作 >>

初期動作の後に、回路 $MPC[i]$ (ここでの i は 1 以上 m 以下の整数とする。) の端子 inp に信号 $Sp[i-1]$ 、また端子 inn に信号 $Sn[i-1]$ が入力されることで、回路 $MPC[i]$ において演算動作が開始される。特に、 i が 1 である場合、信号 $Sp[0]$ 、 $Sn[0]$ のそれぞれは、時間差がほぼ無く(ほぼ同時に)、回路 $MPC[1]$ の端子 inp 、端子 inn に入力されるものとする。また、 i が 2 以上であるとき、信号 $Sp[i-1]$ 、 $Sn[i-1]$ は、回路 $MPC[i-1]$ から出力されているため、互いに時間差が生じていることがある。なお、演算動作の説明では、便宜的に、信号 $Sp[i-1]$ 、 $Sn[i-1]$ は、時間差がほぼ無く(ほぼ同時に)、回路 $MPC[i]$ の端子 inp 、端子 inn に入力されるものとする。

【0157】

[条件1]

ここで、重み係数 $w_i(k-1)_j(k)$ に相当する電位が高レベル電位であり、かつ信号 $x_i(k-1)$ に相当する電位が高レベル電位である場合を考える。図 7(A) は、その場合における端子 inp 、端子 inn 、端子 $outp$ 、端子 $outn$ の電位の変動を示したタイミングチャートである。初めに、回路 $MPC[i]$ の端子 inp 、端子 inn のそれに信号 $Sp[i-1]$ 、 $Sn[i-1]$ として、高レベル電位が印加される。そして、時刻 T_1 のときに、回路 $MPC[i]$ の端子 inp 、端子 inn のそれぞれの電位が高レベル電位に達したとする。

【0158】

このとき、回路 $MPC[i]$ の回路 $BF1$ の入力端子に信号 $Sp[i-1]$ として高レベル電位が印加されるため、回路 $MPC[i]$ の回路 $BF1$ の出力端子から高レベル電位が出力される。同様に、回路 $MPC[i]$ の回路 $BF2$ の入力端子に信号 $Sn[i-1]$ として高レベル電位が印加されるため、回路 $MPC[i]$ の回路 $BF2$ の出力端子から高

10

20

30

40

50

レベル電位が出力される。なお、回路BF1のトランジスタTr02のバックゲートには高レベル電位が印加され、回路BF2のトランジスタTr02mのバックゲートには中間電位が印加されているため、回路BF1は、回路BF2よりも早く動作する。したがって、端子inp及び端子innに同時に信号が入力された場合、回路BF1は、回路BF2よりも先に出力信号を出力する。

【0159】

ところで、切り替え回路SCにおいて、端子xtには高レベル電位が印加されているため、回路BF1の出力端子と端子outpとの間は導通状態となり、回路BF2の出力端子と端子outnとの間は導通状態となる。すなわち、回路BF1からの出力信号は端子outpから出力され、回路BF2からの出力信号は端子outnから出力される。

10

【0160】

回路BF1からの出力信号は、回路BF2からの出力信号よりも早く出力されるため、図7(A)のとおり、時刻T2に端子outpの電位が高レベル電位となり、その後の時刻T3に端子outnの電位が高レベル電位となる。つまり、時刻T2に端子outpから出力信号としてSp[i]が出力され、時刻T3に端子outnから出力信号としてSn[i]が出力される。なお、図7(A)では、端子inpに信号Sp[i-1]が入力されてから、端子outpから信号Sp[i]が出力されるまでの入出力時間をTHと記載し、端子innに信号Sn[i-1]が入力されてから、端子outnから信号Sn[i]が出力されるまでの入出力時間をTMと記載している。

【0161】

20

〔条件2〕

また、重み係数 $w_{i(k-1)}j^{(k)}$ に相当する電位が低レベル電位であり、かつ信号 $x_i(k-1)$ に相当する電位が高レベル電位である場合を考える。図7(B)は、その場合における端子inp、端子inn、端子outp、端子outnの電位の変動を示したタイミングチャートである。図7(A)の場合と同様に、初めに、回路MPC[i]の端子inp、端子innのそれぞれに信号Sp[i-1]、Sn[i-1]として、高レベル電位が印加される。そして、時刻T1のときに、回路MPC[i]の端子inp、端子innのそれぞれの電位が高レベル電位に達したとする。

【0162】

このとき、回路MPC[i]の回路BF1の入力端子に信号Sp[i-1]として高レベル電位が印加されるため、回路MPC[i]の回路BF1の出力端子から高レベル電位が出力される。同様に、回路MPC[i]の回路BF2の入力端子に信号Sn[i-1]として高レベル電位が印加されるため、回路MPC[i]の回路BF2の出力端子から高レベル電位が出力される。なお、回路BF1のトランジスタTr02のバックゲートには低レベル電位が印加され、回路BF2のトランジスタTr02mのバックゲートには中間電位が印加されているため、回路BF1は、回路BF2よりも遅く動作する。したがって、端子inp及び端子innに同時に信号が入力された場合、回路BF1は、回路BF2よりも後に出力信号を出力する。

30

【0163】

ところで、切り替え回路SCにおいて、端子xtには高レベル電位が印加されているため、図7(A)の場合と同様に、回路BF1の出力端子と端子outpとの間は導通状態となり、回路BF2の出力端子と端子outnとの間は導通状態となる。すなわち、回路BF1からの出力信号は端子outpから出力され、回路BF2からの出力信号は端子outnから出力される。

40

【0164】

回路BF1からの出力信号は、回路BF2からの出力信号よりも遅く出力されるため、図7(B)のとおり、時刻T3に端子outnの電位が高レベル電位となり、その後の時刻T4に端子outpの電位が高レベル電位となる。つまり、時刻T3に端子outnから出力信号としてSn[i]が出力され、時刻T4に端子outpから出力信号としてSp[i]が出力される。なお、図7(B)では、端子inpに信号Sp[i-1]が入力

50

されてから、端子 out_p から信号 $S_p[i]$ が出力されるまでの入出力時間を T_L と記載し、端子 inn に信号 $S_n[i-1]$ が入力されてから、端子 out_n から信号 $S_n[i]$ が出力されるまでの入出力時間を T_M と記載している。

【0165】

〔条件3〕

また、重み係数 $w_i(k-1)_j(k)$ に相当する電位が高レベル電位であり、かつ信号 $x_i(k-1)$ に相当する電位が低レベル電位である場合を考える。図7(C)は、その場合における端子 inp 、端子 inn 、端子 out_p 、端子 out_n の電位の変動を示したタイミングチャートである。図7(A)の場合と同様に、初めに、回路 $MPC[i]$ の端子 inp 、端子 inn のそれぞれに信号 $S_p[i-1]$ 、 $S_n[i-1]$ として、高レベル電位が印加される。そして、時刻 T_1 のときに、回路 $MPC[i]$ の端子 inp 、端子 inn のそれぞれの電位が高レベル電位に達したとする。10

【0166】

このとき、回路 $MPC[i]$ の回路 $BF1$ の入力端子に信号 $S_p[i-1]$ として高レベル電位が印加されるため、回路 $MPC[i]$ の回路 $BF1$ の出力端子から高レベル電位が出力される。同様に、回路 $MPC[i]$ の回路 $BF2$ の入力端子に信号 $S_n[i-1]$ として高レベル電位が印加されるため、回路 $MPC[i]$ の回路 $BF2$ の出力端子から高レベル電位が出力される。なお、回路 $BF1$ のトランジスタ $Tr02$ のバックゲートには高レベル電位が印加され、回路 $BF2$ のトランジスタ $Tr02m$ のバックゲートには中間電位が印加されているため、回路 $BF1$ は、回路 $BF2$ よりも速く動作する。したがって、端子 inp 及び端子 inn に同時に信号が入力された場合、回路 $BF1$ は、回路 $BF2$ よりも先に出力信号を出力する。20

【0167】

ところで、切り替え回路 SC において、端子 xt には低レベル電位が印加されているため、回路 $BF1$ の出力端子と端子 out_n との間は導通状態となり、回路 $BF2$ の出力端子と端子 out_p との間は導通状態となる。すなわち、回路 $BF1$ からの出力信号は端子 out_n から出力され、回路 $BF2$ からの出力信号は端子 out_p から出力される。

【0168】

回路 $BF1$ からの出力信号は、回路 $BF2$ からの出力信号よりも早く出力されるため、図7(C)のとおり、時刻 T_2 に端子 out_n の電位が高レベル電位となり、その後の時刻 T_3 に端子 out_p の電位が高レベル電位となる。つまり、時刻 T_2 に端子 out_n から出力信号として $S_n[i]$ が出力され、時刻 T_3 に端子 out_p から出力信号として $S_p[i]$ が出力される。なお、図7(C)では、端子 inp に信号 $S_p[i-1]$ が入力されてから、端子 out_n から信号 $S_n[i]$ が出力されるまでの入出力時間を T_H と記載し、端子 inn に信号 $S_n[i-1]$ が入力されてから、端子 out_p から信号 $S_p[i]$ が出力されるまでの入出力時間を T_M と記載している。30

【0169】

〔条件4〕

また、重み係数 $w_i(k-1)_j(k)$ に相当する電位が低レベル電位であり、かつ信号 $x_i(k-1)$ に相当する電位が高レベル電位である場合を考える。図7(D)は、その場合における端子 inp 、端子 inn 、端子 out_p 、端子 out_n の電位の変動を示したタイミングチャートである。図7(A)の場合と同様に、初めに、回路 $MPC[i]$ の端子 inp 、端子 inn のそれぞれに信号 $S_p[i-1]$ 、 $S_n[i-1]$ として、高レベル電位が印加される。そして、時刻 T_1 のときに、回路 $MPC[i]$ の端子 inp 、端子 inn のそれぞれの電位が高レベル電位に達したとする。40

【0170】

このとき、回路 $MPC[i]$ の回路 $BF1$ の入力端子に信号 $S_p[i-1]$ として高レベル電位が印加されるため、回路 $MPC[i]$ の回路 $BF1$ の出力端子から高レベル電位が出力される。同様に、回路 $MPC[i]$ の回路 $BF2$ の入力端子に信号 $S_n[i-1]$ として高レベル電位が印加されるため、回路 $MPC[i]$ の回路 $BF2$ の出力端子から高50

レベル電位が出力される。なお、回路BF1のトランジスタTr02のバックゲートには低レベル電位が印加され、回路BF2のトランジスタTr02mのバックゲートには中間電位が印加されているため、回路BF1は、回路BF2よりも遅く動作する。したがって、端子inp及び端子innに同時に信号が入力された場合、回路BF1は、回路BF2よりも後に出力信号を出力する。

【0171】

ところで、切り替え回路SCにおいて、端子xtには低レベル電位が印加されているため、回路BF1の出力端子と端子outnとの間は導通状態となり、回路BF2の出力端子と端子outpとの間は導通状態となる。すなわち、回路BF1からの出力信号は端子outnから出力され、回路BF2からの出力信号は端子outpから出力される。

10

【0172】

回路BF1からの出力信号は、回路BF2からの出力信号よりも遅く出力されるため、図7(D)のとおり、時刻T3に端子outpの電位が高レベル電位となり、その後の時刻T4に端子outnの電位が高レベル電位となる。つまり、時刻T3に端子outpから出力信号としてSp[i]が出力され、時刻T4に端子outnから出力信号としてSn[i]が出力される。なお、図7(D)では、端子inpに信号Sp[i-1]が入力されてから、端子outnから信号Sn[i]が出力されるまでの入出力時間をTLと記載し、端子innに信号Sn[i-1]が入力されてから、端子outpから信号Sp[i]が出力されるまでの入出力時間をTMと記載している。

【0173】

上述の条件1乃至条件4において、端子outnから信号Sn[i]が出力される時間を基準として、端子outpから信号Sp[i]が出力される時間差をTi[i]とする(図7(A)乃至図7(D)では、|Ti[i]|としている)。Ti[i]は、条件1乃至条件4の記載のとおり、重み係数wi(k-1)j(k)に相当する電位と、信号xi(k-1)に相当する電位と、に応じて決まる。

20

【0174】

例えば、信号xi(k-1)に応じた電位が高レベル電位であるときにおいて、重み係数wi(k-1)j(k)が大きいほど(重み係数wi(k-1)j(k)に応じた電位が高いほど)、Ti[i]は小さくなる。そして、端子outnから信号Sn[i]が出力されるよりも早く、端子outpから信号Sp[i]が出力されるため、Ti[i]は負の値をとる。また、重み係数wi(k-1)j(k)が小さいほど(重み係数wi(k-1)j(k)に応じた電位が低いほど)、Ti[i]は大きくなる。そして、端子outnから信号Sn[i]が出力されるよりも遅く、端子outpから信号Sp[i]が出力されるため、Ti[i]は正の値をとる。

30

【0175】

また、例えば、信号xi(k-1)に応じた電位を高レベル電位であるとき、回路BF2に対する回路BF1の入出力時間の差はそのまま出力される。また、例えば、信号xi(k-1)に応じた電位が低レベル電位であるとき、回路MPC[i]は、回路BF2に対する回路BF1の入出力時間の差は-1倍されて出力される。具体的には、条件1(図7(A)のタイミングチャート)において、端子outnから信号Sn[i]が出力された時と、端子outpから信号Sp[i]が出力された時との時間差をTi[i](=TM-TH)としたとき、条件3(図7(C)のタイミングチャート)において、端子outnから信号Sn[i]が出力された時と、端子outpから信号Sp[i]が出力された時との時間差は-Ti[i](=TM-TL)となる。

40

【0176】

ところで、現実的には、切り替え回路SCにおいても、信号が入力されてから出力されるまで遅延が生じるため、端子outnから信号Sn[i]が出力される時間を基準として、端子outpから信号Sp[i]が出力される時間差Ti[i]には、当該遅延の時間が含まれている。なお、本実施の形態では当該遅延を無視して説明するものとする。

【0177】

50

上記のとおり、回路MPC[i]は、回路MPC[i]に信号Sp[i-1]、Sn[i-1]が入力されることで、重み係数 $w_i^{(k-1)} j^{(k)}$ に相当する電位と、信号 $x_i^{(k-1)}$ に相当する電位と、に応じた時間差T[i]を、回路MPC[i]から出力される2つの信号Sp[i]、Sn[i]に付与する。

【0178】

<<回路MPCを複数個、接続した場合の演算動作>>

ここで、図1(A)のとおり、回路MPCをm個、接続した場合の演算回路110の動作について説明する。回路MPC[i]は、重み係数 $w_i^{(k-1)} j^{(k)}$ と、信号 $x_i^{(k-1)}$ と、に応じた時間差T[i]を、回路MPC[i]から出力される2つの信号Sp[i]、Sn[i]に付与するため、回路MPC[1]に同時に信号Sp[0]、Sn[0]を与えることで、回路MPC[1]乃至回路MPC[m]の各回路において生じる時間差が累積される。

【0179】

回路MPC[i-1]から出力された2つの信号Sp[i-1]、Sn[i-1]の時間差をT[i-1]とし、回路MPC[i]から出力された2つの信号Sp[i]、Sn[i]の時間差をT[i]とすると、T[i]とT[i-1]との関係式は、次の式で表すことができる。

【0180】

【数4】

$$T[i] = \{T[i-1] + g(w_i^{(k-1)} j^{(k)})\} \cdot x_i^{(k-1)} \quad \dots(1.4)$$

20

【0181】

$g(w_i^{(k-1)} j^{(k)})$ は、重み係数を変数として、回路BF1と回路BF2とのそれぞれから出力される信号の時間差を出力する関数である。なお、切り替え回路SCにおける遅延時間を考慮する場合、式(1.4)に当該遅延時間を示す項を加えればよい。

【0182】

式(1.4)は、回路MPC[i-1]から出力された2つの信号Sp[i-1]、Sn[i-1]の時間差T[i-1]に対して、回路MPC[i]に保持されている重み係数 $w_i^{(k-1)} j^{(k)}$ に応じた時間差である $g(w_i^{(k-1)} j^{(k)})$ を足して、その値に切り替え回路SCの効果として信号 $x_i^{(k-1)}$ の値を乗じた内容となっている。

30

【0183】

なお、T[1]は、次の式で表される。

【0184】

【数5】

$$T[1] = g(w_1^{(k-1)} j^{(k)}) \cdot x_1^{(k-1)} \quad \dots(1.5)$$

40

【0185】

ここで、式(1.4)及び式(1.5)の漸化式を解いてT[m]について求めると、式(1.6)となる。但し、式(1.6)の \prod は、総乗を示す多項演算子である。

【0186】

【数6】

$$T[m] = \sum_{i=1}^m g(w_i^{(k-1)} j^{(k)}) \cdot \left(\prod_{h=i}^m x_h^{(k-1)} \right) \quad \dots(1.6)$$

【0187】

50

ここで、 $x_i^{(k-1)}$ を $z_i^{(k-1)}$ に置き換えることを考える。

【0188】

【数7】

$$\prod_{h=i}^m x_h^{(k-1)} = x_i^{(k-1)} \times \cdots \times x_m^{(k-1)} = z_i^{(k-1)} \quad \cdots(1.7)$$

【0189】

$x_i^{(k-1)}$ を $z_i^{(k-1)}$ に置き換えることによって、式(1.6)、及び式(1.7)より、T[m]は、重み係数に依る関数 $g(w_i^{(k-1)} j^{(k)})$ と信号 $z_i^{(k-1)}$ との積和で表すことができる。つまり、式(1.2)を演算回路110によって計算することができる。

【0190】

次に、 $x_i^{(k-1)}$ を $z_i^{(k-1)}$ に置き換えるための $x_i^{(k-1)}$ と $z_i^{(k-1)}$ との関係式、及び信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を信号 $x_1^{(k-1)}$ 乃至 $x_m^{(k-1)}$ に変換する変換回路TRFについて説明する。

【0191】

初めに、 $z_{i+1}^{(k-1)}$ を考える。 $z_{i+1}^{(k-1)}$ は、式(1.7)を用いることによって次の式に表される(但し、ここでの*i*は1以上m-1以下の整数とする)。

【0192】

【数8】

$$x_{i+1}^{(k-1)} \times \cdots \times x_m^{(k-1)} = z_{i+1}^{(k-1)} \quad \cdots(1.8)$$

【0193】

次に、式(1.7)と式(1.8)との辺々を割ることによって、次の式が得られる。

【0194】

【数9】

$$x_i^{(k-1)} = \frac{z_i^{(k-1)}}{z_{i+1}^{(k-1)}} \quad \cdots(1.9)$$

【0195】

また、 $i = m$ のとき、 $x_m^{(k-1)}$ は、式(1.7)より次の式となる。

【0196】

【数10】

$$x_m^{(k-1)} = z_m^{(k-1)} \quad \cdots(1.10)$$

【0197】

式(1.9)、及び式(1.10)の関係を満たすことによって、式(1.6)において、 $x_i^{(k-1)}$ を $z_i^{(k-1)}$ に置き換えることができる。

【0198】

次に、式(1.9)、及び式(1.10)の関係を満たすように、信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を信号 $x_1^{(k-1)}$ 乃至 $x_m^{(k-1)}$ に変換する変換回路TRFについて説明する。

【0199】

式(1.9)に示されている $z_i^{(k-1)}$ 、 $z_{i+1}^{(k-1)}$ は、それぞれ第($k-1$)層のニューロン $N_i^{(k-1)}$ 、ニューロン $N_{i+1}^{(k-1)}$ から出力された信号である。演算回路110では、ニューロンの活性化関数を、出力が-1又は1をとるステップ関

10

20

30

40

50

数としているため、信号 $x_i(k-1)$ がとる値も -1 又は 1 となる。そのため、 $x_i(k-1)$ は、 $z_i(k-1)$ と $z_{i+1}(k-1)$ の排他的論理和の否定をとることによって表現することができる。

【0200】

図 8 には、信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ を信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ に変換する変換回路 TRF の構成例を図示している。

【0201】

図 8 (A) に示す変換回路 TRF は、一致回路（排他的論理和の否定回路）E [1] 乃至一致回路 E [m-1] を有する。なお、図 8 (A) では、一致回路 E [1]、一致回路 E [2]、一致回路 E [i]、一致回路 E [m-2]、一致回路 E [m-1] のみ図示しており、それ以外の一致回路については図示を省略している。10

【0202】

一致回路 E [i] (ここでの i は 1 以上 m-1 以下の整数である。) について説明する。一致回路 E [i] の第 1 端子には信号 $z_i(k-1)$ が入力され、一致回路 E [i] の第 2 端子には信号 $z_{i+1}(k-1)$ が入力される。また、一致回路 E [i] の出力端子から信号 $x_i(k-1)$ が出力される。

【0203】

また、図 8 (A) に示す変換回路 TRF は、信号 $z_m(k-1)$ が入力されることで、信号 $z_m(k-1)$ を信号 $x_m(k-1)$ としてそのまま出力している。

【0204】

図 8 (A) に示す変換回路 TRF を構成することによって、式 (1.9)、式 (1.10) の関係式を満たすように、信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ の信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ への変換を行うことができる。20

【0205】

なお、演算回路 110 が有する変換回路 TRF は図 8 (A) に示す回路構成に限定されず、状況に応じて、図 8 (A) に示す変換回路 TRF の構成を変更してもよい。

【0206】

例えば、演算回路 110 が有する変換回路 TRF として、図 8 (B) に示す変換回路 TRF を適用してもよい。図 8 (B) の変換回路 TRF は、図 8 (A) の変換回路 TRF に一致回路 E [m] を加えた構成となっている。30

【0207】

具体的には、一致回路 E [m] の第 1 端子には信号 $z_m(k-1)$ が入力され、一致回路 E [m] の第 2 端子には低レベル電位に相当する信号 S i g L が入力される。また、一致回路 E [m] の出力端子から信号 $x_m(k-1)$ が出力される。図 8 (B) の変換回路 TRF を構成することによって、図 8 (A) の変換回路 TRF と同様の動作を行うことができる。

【0208】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0209】

(実施の形態 2)

本実施の形態では、実施の形態 1 で説明した演算回路 110 の別の構成例について説明する。

【0210】

< 演算回路 110 の構成例 >

図 1 に示した演算回路 110において、回路 MPC は、例えば、マトリクス状に配置することができる。このような演算回路の構成例を図 9 に示す。

【0211】

演算回路 120 は、回路 MPC がマトリクス状に配置されたアレイ部 ALP と、複数の回路 ACTF を含む回路 AFP と、回路 TSG と、回路 WLD と、回路 SWLD と、変換

10

20

30

40

50

回路 T R F と、を有する。

【 0 2 1 2 】

アレイ部 A L P は、 $n \times m$ 個の回路 M P C を有し、回路 M P C はアレイ部 A L P において n 行 m 列のマトリクス状に配置されている。なお、図 9 では、 j 行 i 列（ここでの j は 1 以上 n 以下の整数であって、 i は 1 以上 m 以下の整数である。）に位置する回路 M P C を、回路 M P C [j , i] と表記している。但し、図 9 では、回路 M P C [1, 1]、回路 M P C [1, m]、回路 M P C [n , 1]、回路 M P C [n , m] のみ図示しており、それ以外の回路 M P C については図示を省略している。

【 0 2 1 3 】

回路 A F P は、 n 個の回路 A C T F を有し、それぞれの回路 A C T F は回路 A F P において 1 列に配置されている。なお、図 9 では、 j 行に位置する回路 A C T F を、回路 A C T F [j] と表記している。但し、図 9 では、回路 A C T F [1]、回路 A C T F [n] のみ図示しており、それ以外の回路 A C T F については図示を省略している。

10

【 0 2 1 4 】

アレイ部 A L P 及び回路 A F P において、 j 行に着目すると、回路 M P C [j , 1] 乃至回路 M P C [j , m] は、隣接しあう回路 M P C 同士で、端子 o u t p と端子 i n p とが電気的に接続され、かつ端子 o u t n と端子 i n n とが電気的に接続されている。そして、回路 M P C [j , m] の端子 o u t p 及び端子 o u t n は、それぞれ回路 A C T F [j] の端子 i n p a 及び端子 i n n a に電気的に接続されている。また、回路 M P C [j , 1] 乃至回路 M P C [j , m] のそれぞれの端子 x t は、変換回路 T R F に電気的に接続されている。

20

【 0 2 1 5 】

つまり、演算回路 120 のアレイ部 A L P のある 1 行の回路 M P C と回路 A C T F に着目することで、当該 1 行の回路 M P C と回路 A C T F は、図 1 に示した演算回路 110 とみなすことができる。

【 0 2 1 6 】

アレイ部 A L P が有する回路 M P C は、実施の形態 1 で説明した端子 w t 、端子 w t m 、端子 x t 、端子 i n p 、端子 i n n 、端子 o u t p 、端子 o u t n に加え、端子 s t を有する。端子 s t は、実施の形態 1 で説明した配線 S L 0 1 と電気的に接続される端子とする。

30

【 0 2 1 7 】

回路 M P C [j , 1] 乃至回路 M P C [j , m] のそれぞれの端子 s t は、配線 S W L [j] に電気的に接続されている。配線 S W L [j] は、実施の形態 1 における配線 S W L に相当し、図 9 では、配線 S W L [1] と配線 S W L [n] が図示されている。また、回路 M P C [1, i] 乃至回路 M P C [n , i] のそれぞれの端子 w t は、配線 D L [i] に電気的に接続されている。配線 D L [i] は、実施の形態 1 における配線 D L に相当し、図 9 では、配線 D L [1] と配線 D L [m] が図示されている。更に、回路 M P C [1, i] 乃至回路 M P C [n , i] のそれぞれの端子 w t m は、配線 D L m [i] に電気的に接続されている。配線 D L m [i] は、実施の形態 1 における配線 D L m に相当し、図 9 では、配線 D L m [1] と配線 D L m [m] が図示されている。

40

【 0 2 1 8 】

回路 T S G は、回路 M P C [1, 1] 乃至回路 M P C [n , 1] のそれぞれの端子 i n p 、端子 i n n に入力するための信号を生成する回路である。

【 0 2 1 9 】

回路 W L D は、配線 D L [1] 乃至配線 D L [m] に重み係数に応じた電位を与える機能と、配線 D L m [1] 乃至配線 D L m [m] に中間電位を与える機能と、を有する。

【 0 2 2 0 】

回路 S W L D は、当該重み係数に応じた電位を保持するための保持部を選択するための回路である。具体的には、回路 S W L D は、配線 S W L [j] を介して、回路 M P C [j , 1] 乃至回路 M P C [j , m] が有する保持部 H C A 及び H C A m のそれぞれのトラン

50

ジスタ Tr 03 及びトランジスタ Tr 03m のゲートに電位を与える機能を有する。

【0221】

例えば、回路 MPC [j , i] の保持部 HCA 、保持部 HCAm のそれぞれに電位を保持する場合、回路 WLD によって、配線 DL [i] 、配線 DLm [i] のそれぞれに保持する電位を印加し、回路 SWLD によって、配線 SWL [j] に高レベル電位を印加して、回路 MPC [j , i] の保持部 HCA 及び HCAm のそれぞれのトランジスタ Tr 03 及びトランジスタ Tr 03m をオン状態にすることで、容量素子 C01 及び容量素子 C01m の第 1 端子に配線 DL [i] 、配線 DLm [i] のそれぞれの電位を書き込むことができる。また、容量素子 C01 及び容量素子 C01m の第 1 端子に電位を書き込んだ後は、回路 SWLD によって、配線 SWL [j] に低レベル電位を印加して、回路 MPC [j , i] の保持部 HCA 及び HCAm のそれぞれのトランジスタ Tr 03 及びトランジスタ Tr 03m をオフ状態にすることで、保持部 HCA 、保持部 HCAm にそれぞれ書き込まれた電位を保持することができる。10

【0222】

変換回路 TRF については、実施の形態 1 で説明した変換回路 TRF の記載を参照する。なお、図 9 では、変換回路 TRF に信号 $z_1(k-1)$ と信号 $z_m(k-1)$ が入力されている様子を示している。また、変換回路 TRF に入力された信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ が変換されて出力される信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ は、アレイ部 ALP が有する回路 MPC に送られる。特に、信号 $x_i(k-1)$ は、回路 MPC [1 , i] 乃至回路 MPC [n , i] の端子 xt に送られる。20

【0223】

図 9 に示す演算回路 120 を構成することによって、複数の演算を同時に行うことができる。実施の形態 1 では、図 1 の演算回路 110 は、図 4 (B) のニューロン $N_j(k)$ が出力する信号 $z_j(k)$ を求める回路と説明したが、図 9 に示す演算回路 120 を用いることにより、ニューロン $N_1(k)$ 乃至ニューロン $N_n(k)$ のそれぞれが出力する信号 $z_1(k)$ 乃至信号 $z_n(k)$ を同時に求めることができる。

【0224】

詳細に説明すると、第 k 層のニューロン $N_1(k)$ 乃至ニューロン $N_n(k)$ のそれぞれには、第 (k-1) 層のニューロン $N_1(k-1)$ 乃至ニューロン $N_m(k-1)$ のそれぞれから出力された信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ の全てが入力される。これは、変換回路 TRF から出力された信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ が、アレイ部 ALP が有する回路 MPC に送られることに相当する。そして、第 (k-1) 層のニューロン $N_i(k-1)$ と第 k 層のニューロン $N_j(k)$ との重み係数に応じた電位を回路 MPC [j , i] の保持部 HCA に保持することによって、第 k 層のニューロン $N_j(k)$ から出力される信号 $z_j(k)$ を、回路 ACTF [j] から出力することができる。なお、図 9 では、回路 ACTF [1] から信号 $z_1(k)$ を出力し、回路 ACTF [n] から信号 $z_n(k)$ を出力する様子を図示している。30

【0225】

なお、本発明の一態様の半導体装置は、図 9 に示す演算回路 120 に限定されない。図 9 に示す演算回路 120 は、図 6 に示す回路 MPC [i] をマトリクス状に配置した場合の構成であるが、図 10 に示す回路 MPC [i] をマトリクス状に配置した場合も演算回路を構成することができる。図 10 の回路 MPC [i] は、回路 BF1 の保持部 HCA における端子 wt と、回路 BF2 の保持部 HCAm における端子 wt m と、が配線 DL に電気的に接続されている点と、回路 BF1 における配線 SL01 が配線 SWL に電気的に接続されている点と、回路 BF2 における配線 SL01m が配線 SWLm に電気的に接続されている点で図 6 の回路 MPC [i] と異なっている。40

【0226】

図 9 の演算回路 120 と同様に、図 10 の回路 MPC [i] を $n \times m$ 個のマトリクス状に配置して演算回路を構成した例を図 11 に示す。図 11 に示す演算回路 130 は、回路 MPC が有する一部の端子、及び当該一部の端子に接続されている配線が、図 9 の演算回

路 1 2 0 と異なっている。

【 0 2 2 7 】

アレイ部 A L P が有する回路 M P C は、図 1 0 に示した端子 w t 、端子 w t m 、端子 x t 、端子 i n p 、端子 i n n 、端子 o u t p 、端子 o u t n に加え、端子 s t と端子 s t m を有する。端子 s t は、回路 B F 1 における配線 S L 0 1 と電気的に接続される端子であり、端子 s t m は、回路 B F 2 における配線 S L 0 1 m と電気的に接続される端子である。なお、端子 w t と端子 w t m は、図 1 0 において、互いに電気的に接続されているため、図 1 1 では端子 w t m の図示を省略し、端子 w t m は端子 w t と同一の端子とみなして説明する。

【 0 2 2 8 】

回路 M P C [j , 1] 乃至回路 M P C [j , m] のそれぞれの端子 s t は、配線 S W L [j] に電気的に接続されている。配線 S W L [j] は、図 1 0 における配線 S W L に相当し、図 1 1 では、配線 S W L [1] と配線 S W L [n] が図示されている。また、回路 M P C [j , 1] 乃至回路 M P C [j , m] のそれぞれの端子 s t m は、配線 S W L m [j] に電気的に接続されている。配線 S W L m [j] は、図 1 0 における配線 S W L m に相当し、図 1 1 では、配線 S W L m [1] と配線 S W L m [n] が図示されている。更に、回路 M P C [1 , i] 乃至回路 M P C [n , i] のそれぞれの端子 w t は、配線 D L [i] に電気的に接続されている。配線 D L [i] は、図 1 0 における配線 D L に相当し、図 1 1 では、配線 D L [1] と配線 D L [m] が図示されている。

【 0 2 2 9 】

つまり、演算回路 1 2 0 は、回路 M P C が有する 2 個の保持部 H C A に保持するための電位を別々の配線で入力し、トランジスタ T r 0 3 及びトランジスタ T r 0 3 m のオン状態とオフ状態の切り替えを 1 本の配線で行う構成であり、演算回路 1 3 0 は、回路 M P C が有する 2 個の保持部 H C A に保持するための電位を 1 本の配線で入力し、トランジスタ T r 0 3 及びトランジスタ T r 0 3 m のオン状態とオフ状態の切り替えを別々の配線で行う構成となっている。

【 0 2 3 0 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【 0 2 3 1 】

(実施の形態 3)

本実施の形態では、実施の形態 1 で説明した回路 M P C の別の構成例について説明する。

【 0 2 3 2 】

図 1 2 (A) に示す回路 M P C は、インバータ回路 I N V 5 乃至インバータ回路 I N V 8 と、切り替え回路 S C A と、を有する。

【 0 2 3 3 】

インバータ回路 I N V 5 の入力端子は端子 i n p に電気的に接続され、インバータ回路 I N V 5 の出力端子は切り替え回路 S C A の 2 つの入力端子の一方へ電気的に接続されている。インバータ回路 I N V 6 の入力端子は端子 i n n に電気的に接続され、インバータ回路 I N V 6 の出力端子は切り替え回路 S C A の 2 つの入力端子の他方に電気的に接続されている。切り替え回路 S C A の 2 つの出力端子の一方はインバータ回路 I N V 7 の入力端子に電気的に接続され、切り替え回路 S C A の 2 つの出力端子の他方はインバータ回路 I N V 8 の入力端子に電気的に接続されている。インバータ回路 I N V 7 の出力端子は端子 o u t p に電気的に接続され、インバータ回路 I N V 8 の出力端子は端子 o u t n に電気的に接続されている。

【 0 2 3 4 】

切り替え回路 S C A は、回路 M P C における、端子 i n p 又は端子 i n n に入力された信号の出力先を端子 o u t p 又は端子 o u t n のどちらか一方に選択する機能を有する。また、切り替え回路 S C A は、端子 x t に電気的に接続され、端子 x t に入力される信号 (図 1 (A) における信号 x 1 (k - 1) 乃至 x m (k - 1)) に応じて、当該出力先を定め

10

20

30

40

50

ることができる。

【0235】

また、図12(A)の回路MPCは、信号が端子in pに入力されてから端子out p又は端子out nの一方から出力するまでの入出力時間を可変する機能と、信号が端子innに入力されてから端子out p又は端子out nの他方から出力するまでの入出力時間を可変する機能と、を有する。それぞれの入出力時間は、端子wtに入力される信号(重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$)によって定めることができる。

【0236】

ところで、図12(A)の回路MPCにおいて、切り替え回路SCAは、保持部HCCを有する。保持部HCCは、端子wtから入力された当該信号に応じた電位を保持する機能を有し、回路MPCは、当該電位に応じて上述した入出力時間を可変することができる。

10

【0237】

インバータ回路INV5乃至インバータ回路INV8は、実施の形態1で説明したインバータ回路INV1及びインバータ回路INV2と同様に、入力された信号の反転信号を出力する機能を有する。また、図12(A)の回路MPCでは、インバータ回路INV5と、インバータ回路INV5に切り替え回路SCAを介して電気的に接続されている、インバータ回路INV7又はインバータ回路INV8の一方と、によって第1のバッファ回路が構成され、インバータ回路INV6と、インバータ回路INV6に切り替え回路SCAを介して電気的に接続される、インバータ回路INV7又はインバータ回路INV8の他方と、によって第2のバッファ回路が構成されている。つまり、図12(A)の回路MPCは、端子in pに入力された信号を補正して、端子out p又は端子out nの一方に出力し、端子innに入力された信号を補正して、端子out p又は端子out nの他方に出力する回路としても機能する。なお、インバータ回路の数は、2個に限定されない。ただし、入力と同じ論理値で出力するほうが回路を構成しやすいため、複数個の方が望ましい。

20

【0238】

また、図12(A)の回路MPCは、インバータ回路INV5乃至インバータ回路INV8を用いずに、代わりに論理回路、信号変換回路(アナログデジタル変換回路、デジタルアナログ変換回路など)、電位レベル変換回路などを用いて増幅回路を構成してもよい。

30

【0239】

また、図12(A)の回路MPCは、保持部HCCが切り替え回路SCAに含まれている構成としているが、保持部HCCは、図12(B)に示すとおり、切り替え回路SCAの外部に設けてもよい。

【0240】

また、図12(A)(B)の回路MPCは、端子wtから送られてきた信号に応じた電位を保持部HCCに保持して、当該電位に応じて回路MPCの入出力時間を変動させる構成としているが、回路MPCは、図12(C)に示すとおり、インバータ回路INV5及びインバータ回路INV6と、インバータ回路INV7及びインバータ回路INV8と、の間に、回路DECと、実施の形態1で説明した切り替え回路SCとを設けた構成としてもよい。回路DECは、端子wtから送られてきた信号に応じて、端子in p及び端子innと、端子out p及び端子out nと、の間の信号の伝達速度を変動させる機能を有し、図12(C)の回路MPCは、当該機能によって、回路MPCの入出力時間を変動させる構成となっている。

40

【0241】

<構成例1>

図12(A)の回路MPCの具体的な構成例を図13(A)に示す。図13(A)に示す回路MPCが有する切り替え回路SCAは、トランジスタTr21乃至トランジスタTr24と、インバータ回路INV3と、を有する。また、図12(A)の切り替え回路SCAが有する保持部HCCは、図13(A)では、保持部HCCaと保持部HCCbとして図示している。保持部HCCaは、トランジスタTr25aと、容量素子C11aと、

50

を有し、保持部 H C C b は、トランジスタ Tr 25b と、容量素子 C 11b と、を有する。

【 0 2 4 2 】

トランジスタ Tr 21 乃至トランジスタ Tr 24 のそれぞれは、バックゲートを有する。また、トランジスタ Tr 21 乃至トランジスタ Tr 24 としては、先の実施の形態で説明した OS トランジスタであることが好ましい。また、トランジスタ Tr 21 乃至トランジスタ Tr 24 のそれぞれは、Si トランジスタとしてもよい。

【 0 2 4 3 】

インバータ回路 IN V 5 の出力端子は、トランジスタ Tr 21 の第 1 端子と、トランジスタ Tr 23 の第 1 端子と、に電気的に接続され、インバータ回路 IN V 6 の出力端子は、トランジスタ Tr 22 の第 1 端子と、トランジスタ Tr 24 の第 1 端子と、に電気的に接続されている。インバータ回路 IN V 7 の入力端子は、トランジスタ Tr 21 の第 2 端子と、トランジスタ Tr 24 の第 2 端子と、に電気的に接続され、インバータ回路 IN V 8 の入力端子は、トランジスタ Tr 22 の第 2 端子と、トランジスタ Tr 23 の第 2 端子と、に電気的に接続されている。端子 x t は、トランジスタ Tr 21 のゲートと、トランジスタ Tr 22 のゲートと、インバータ回路 IN V 3 の入力端子と、に電気的に接続され、インバータ回路 IN V 3 の出力端子は、トランジスタ Tr 23 のゲートと、トランジスタ Tr 24 のゲートと、に電気的に接続されている。

【 0 2 4 4 】

保持部 H C C a において、トランジスタ Tr 25a の第 1 端子は、容量素子 C 11a の第 1 端子と、トランジスタ Tr 21 のバックゲートと、トランジスタ Tr 24 のバックゲートと、に電気的に接続され、トランジスタ Tr 25a の第 2 端子は、端子 w t を介して、配線 D L a に電気的に接続され、トランジスタ Tr 25a のゲートは、配線 S L 03 に電気的に接続されている。容量素子 C 11a の第 2 端子は、配線 V L に電気的に接続されている。

【 0 2 4 5 】

保持部 H C C b において、トランジスタ Tr 25b の第 1 端子は、容量素子 C 11b の第 1 端子と、トランジスタ Tr 22 のバックゲートと、トランジスタ Tr 23 のバックゲートと、に電気的に接続され、トランジスタ Tr 25b の第 2 端子は、端子 w t s を介して、配線 D L b に電気的に接続され、トランジスタ Tr 25b のゲートは、配線 S L 03 に電気的に接続されている。容量素子 C 11b の第 2 端子は、配線 V L に電気的に接続されている。

【 0 2 4 6 】

配線 V L は、実施の形態 1 で説明した配線 V L と同様に、定電圧を供給する電圧線として機能し、当該定電圧としては、V DD、V SS、又は接地電位などとすることができる。

【 0 2 4 7 】

保持部 H C C a は、端子 w t から入力された信号に応じた電位を保持する機能を有し、保持部 H C C b は、端子 w t s から入力された信号に応じた電位を保持する機能を有する。つまり、端子 w t に電気的に接続されている配線 D L a は、保持部 H C C a に保持する電位を供給する信号線として機能し、端子 w t s に電気的に接続されている配線 D L b は、保持部 H C C b に保持する電位を供給する信号線として機能する。

【 0 2 4 8 】

保持部 H C C a に含まれているトランジスタ Tr 25a はスイッチング素子として機能し、配線 S L 03 からトランジスタ Tr 25a のゲートに電位を印加することによって、トランジスタ Tr 25a をオン状態又はオフ状態にすることができる。同様に、保持部 H C C b に含まれているトランジスタ Tr 25b はスイッチング素子として機能し、配線 S L 03 からトランジスタ Tr 25b のゲートに電位を印加することによって、トランジスタ Tr 25b をオン状態又はオフ状態にすることができる。

【 0 2 4 9 】

配線 S L 03 に高レベル電位を与えて、トランジスタ Tr 25a 及びトランジスタ Tr 25b をオン状態にすることによって、端子 w t と容量素子 C 11a の第 1 端子との間は

10

20

30

40

50

導通状態となり、端子 w t s と容量素子 C 1 1 b の第 1 端子との間は導通状態となる。このとき、回路 M P C は端子 w t 及び端子 w t s からそれぞれ信号を受信することで、それぞれの信号に応じた電位を容量素子 C 1 1 a 及び容量素子 C 1 1 b の第 1 端子に書き込むことができる。そして、それぞれの電位を容量素子 C 1 1 a 及び容量素子 C 1 1 b の第 1 端子に書き込んだ後に、配線 S L 0 3 に低レベル電位を与えて、トランジスタ T r 2 5 a 及びトランジスタ T r 2 5 b をオフ状態にすることによって、保持部 H C C a 及び保持部 H C C b にそれぞれ送られた電位を保持することができる。

【 0 2 5 0 】

なお、保持部 H C C a 及び保持部 H C C b に長時間、電位の保持を行う場合、トランジスタ T r 2 5 a、トランジスタ T r 2 5 b は、オフ電流が非常に小さい O S トランジスタを適用するのが好ましい。また、トランジスタ T r 2 5 a 及びトランジスタ T r 2 5 b は、図 1 3 (A) に示すとおり、バックゲートを有するトランジスタとしてもよい。図 1 3 (A) では、トランジスタ T r 2 5 a 及びトランジスタ T r 2 5 b のバックゲートの詳細な電気的接続を図示していないが、例えば、トランジスタ T r 2 5 a (トランジスタ T r 2 5 b) のバックゲートとゲートとを電気的に接続することによって、トランジスタ T r 2 5 a (トランジスタ T r 2 5 b) のオン電流を大きくすることができます。また、例えば、トランジスタ T r 2 5 a (トランジスタ T r 2 5 b) のバックゲートに、しきい値電圧を高くするような電圧を与える配線を電気的に接続することによって、トランジスタ T r 2 5 a (トランジスタ T r 2 5 b) のオフ電流を小さくすることができます。なお、トランジスタ T r 2 5 a 及びトランジスタ T r 2 5 b は、バックゲートを有さなくてもよい。

10

【 0 2 5 1 】

なお、端子 w t には、実施の形態 1 の説明と同様に、重み係数 $w_i(k-1)_j(k)$ に相当する電位が、信号として入力される。当該電位としては、低レベル電位、高レベル電位、又は低レベル電位を超えて高レベル電位未満の電位などとすることができます。一方、端子 w t s には、中間電位が、信号として入力される。当該中間電位としては、低レベル電位を超えて高レベル電位未満の電位とすることができます。つまり、端子 w t s に入力される中間電位は、端子 w t に入力される電位における基準電位として考えることができます。そのため、配線 D L a は、重み係数 $w_i(k-1)_j(k)$ に相当する電位を供給する配線とし、配線 D L b は、中間電位を供給する配線とすればよい。

20

【 0 2 5 2 】

端子 x t には、実施の形態 1 の説明と同様に、信号 $x_i(k-1)$ に相当する電位が、信号として入力される。信号 $x_i(k-1)$ は、低レベル電位、又は高レベル電位の信号とすることができる。

30

【 0 2 5 3 】

なお、図 1 2 (A) の回路 M P C は、図 1 3 (A) の回路 M P C の回路構成に限定されず、状況に応じて、図 1 3 (A) の回路 M P C の回路構成を変更してもよい。例えば、図 1 3 (B) に示すとおり、インバータ回路 I N V 7 及びインバータ回路 I N V 8 を設ける場所を変更してもよい。図 1 3 (B) の回路 M P C では、インバータ回路 I N V 7 の入力端子がインバータ回路 I N V 5 の出力端子に電気的に接続され、インバータ回路 I N V 7 の出力端子が切り替え回路 S C A の 2 つある入力端子の一方に電気的に接続され、切り替え回路 S C A の 2 つある出力端子の一方が端子 o u t p に電気的に接続され、インバータ回路 I N V 8 の入力端子がインバータ回路 I N V 6 の出力端子に電気的に接続され、インバータ回路 I N V 8 の出力端子が切り替え回路 S C A の 2 つある入力端子の他方に電気的に接続され、切り替え回路 S C A の 2 つある出力端子の他方が端子 o u t n に電気的に接続されている。また、図 1 3 (B) には、インバータ回路 I N V 5 及びインバータ回路 I N V 7 を含む回路として回路 B F 3 と、インバータ回路 I N V 6 及びインバータ回路 I N V 8 を含む回路として回路 B F 4 と、を図示している。回路 B F 3、及び / 又は回路 B F 4 は、図 1 3 (B) に示すバッファ回路でなく、代わりに論理回路、信号変換回路 (アナログデジタル変換回路、デジタルアナログ変換回路など) 、電位レベル変換回路などを用いた增幅回路としてもよい。

40

50

【0254】

なお、図13(B)に示すトランジスタTr25a及びトランジスタTr25bにおいて、バックゲートを図示していないが、図13(A)に示すトランジスタTr25a及びトランジスタTr25bのとおり、バックゲートを有してもよい。また、特に断らない場合に限り、本明細書などに記載されるトランジスタのバックゲートの有無については、限定しないものとする。例えば、図面において、トランジスタにバックゲートが図示されていない場合であっても、当該トランジスタはバックゲートを有する構造とすることができる。

【0255】

また、例えば、図13(A)の回路MPCの配線の接続を変更してもよい。図14に示す回路MPCは図13(A)の回路MPCの配線の電気的な接続を変更した構成となっており、保持部HCCaのトランジスタTr25aのゲートには配線SL03aが電気的に接続され、保持部HCCbのトランジスタTr25bのゲートには配線SL03bが電気的に接続され、端子wt及び端子wtsには配線DLが電気的に接続されている。つまり、図14の回路MPCは、図13(A)の回路MPCの配線DLaと配線DLbとを共有し、配線SL03を配線SL03aと配線SL03bとに分けた構成となっている。図14の回路MPCの保持部HCCa、保持部HCCbのそれぞれに異なる電位を書き込む場合、端子wt及び端子wtsには配線DLが電気的に接続されているため、同時に書き込むことはできない。そのため、図14の回路MPCは、配線SL03aと配線SL03bとによって、トランジスタTr25a又はトランジスタTr25bの一方をオン状態にし、他方をオフ状態にして、保持部HCCa又は保持部HCCbの一方に配線DLの電位を書き込む構成となっている。

10

20

【0256】

<<演算動作>>

次に、図13(A)の回路MPCを図1の演算回路110に適用した場合の動作例について説明する。本動作例では、図1の演算回路110の回路MPC[i]について着目して説明する。なお、実施の形態1の説明と内容が重複する箇所については、省略する。

【0257】

初期動作として、端子xtには、信号xi(k-1)に相当する電位が入力される。これによって、トランジスタTr21乃至トランジスタTr24のそれぞれは、信号xi(k-1)に相当する電位に応じて、オン状態又はオフ状態となる。

30

【0258】

また、配線DLaは端子wtに対して重み係数wi(k-1)j(k)に相当する電位を入力し、配線DLbは端子wtsに対して中間電位を入力する。その後、配線SL03に高レベル電位を印加して、トランジスタTr25a、及びトランジスタTr25bをオン状態にする。この動作によって、容量素子C11aの第1端子に重み係数wi(k-1)j(k)に相当する電位が書き込まれ、容量素子C11bの第1端子に中間電位が書き込まれる。このため、トランジスタTr21及びトランジスタTr24のしきい値電圧は、重み係数wi(k-1)j(k)に応じて変動し、トランジスタTr22及びトランジスタTr23のしきい値電圧は、中間電位に応じて変動する。最後に、配線SL03に低レベル電位を印加して、トランジスタTr25a、及びトランジスタTr25bをオフ状態することによって、容量素子C11aの第1端子及び容量素子C11bの第1端子のそれぞれの電位を保持することができる。

40

【0259】

初期動作の後に、回路MPC[i](ここでのiは1以上m以下の整数とする。)の端子inpに信号Sp[i-1]、また端子innに信号Sn[i-1]が入力されることで、回路MPC[i]において演算動作が開始される。特に、iが1である場合、信号Sp[0]、Sn[0]のそれぞれは、時間差がほぼ無く(ほぼ同時に)、回路MPC[1]の端子inp、端子innに入力されるものとする。また、iが2以上であるとき、信号Sp[i-1]、Sn[i-1]は、回路MPC[i-1]から出力されているため、

50

互いに時間差が生じていることがある。なお、演算動作の説明では、便宜的に、信号 $S_p[i - 1]$ 、 $S_n[i - 1]$ は、時間差がほぼ無く（ほぼ同時に）、回路 $MPC[i]$ の端子 i_{np} 、端子 i_{nn} に入力されるものとする。

【0260】

〔条件1〕

重み係数 $w_i(k-1)j(k)$ に相当する電位が高レベル電位であり、かつ信号 $x_i(k-1)$ に相当する電位が高レベル電位である場合を考える。

【0261】

このとき、トランジスタ T_{r21} 及びトランジスタ T_{r22} のそれぞれがオン状態となり、トランジスタ T_{r23} 及びトランジスタ T_{r24} のそれぞれがオフ状態となるため、インバータ回路 $INV5$ の出力端子とインバータ回路 $INV7$ の入力端子との間が導通状態となり、かつインバータ回路 $INV6$ の出力端子とインバータ回路 $INV8$ の入力端子との間が導通状態となる。10

【0262】

また、トランジスタ T_{r21} のバックゲートには高レベル電位が印加され、トランジスタ T_{r22} のバックゲートには中間電位が印加されているため、トランジスタ T_{r21} のソース - ドレイン間の電流量は、トランジスタ T_{r22} のソース - ドレイン間の電流量よりも大きくなる。そのため、インバータ回路 $INV5$ の出力端子からインバータ回路 $INV7$ の入力端子への信号の伝達速度は、インバータ回路 $INV6$ の出力端子からインバータ回路 $INV8$ の入力端子への信号の伝達速度よりも速くなる。したがって、端子 i_{np} 及び端子 i_{nn} に同時に信号が入力された場合、端子 i_{np} に入力された信号が先に端子 out_p に出力され、端子 i_{nn} に入力された信号はその後に端子 out_n に出力される。20

【0263】

端子 out_p からの出力信号は、端子 out_n からの出力信号よりも早く出力されるため、本条件における回路 $MPC[i]$ のタイミングチャートは図7(A)のタイミングチャートと同様にみなすことができる。時刻 T_2 に端子 out_p の電位が高レベル電位となり、その後の時刻 T_3 に端子 out_n の電位が高レベル電位となる。つまり、時刻 T_2 に端子 out_p から出力信号として $S_p[i]$ が出力され、時刻 T_3 に端子 out_n から出力信号として $S_n[i]$ が出力される。

【0264】

〔条件2〕

また、重み係数 $w_i(k-1)j(k)$ に相当する電位が低レベル電位であり、かつ信号 $x_i(k-1)$ に相当する電位が高レベル電位である場合を考える。

【0265】

このとき、トランジスタ T_{r21} 及びトランジスタ T_{r22} のそれぞれがオン状態となり、トランジスタ T_{r23} 及びトランジスタ T_{r24} のそれぞれがオフ状態となるため、インバータ回路 $INV5$ の出力端子とインバータ回路 $INV7$ の入力端子との間が導通状態となり、かつインバータ回路 $INV6$ の出力端子とインバータ回路 $INV8$ の入力端子との間が導通状態となる。30

【0266】

また、トランジスタ T_{r21} のバックゲートには低レベル電位が印加され、トランジスタ T_{r22} のバックゲートには中間電位が印加されているため、トランジスタ T_{r21} のソース - ドレイン間の電流量は、トランジスタ T_{r22} のソース - ドレイン間の電流量よりも小さくなる。そのため、インバータ回路 $INV5$ の出力端子からインバータ回路 $INV7$ の入力端子への信号の伝達速度は、インバータ回路 $INV6$ の出力端子からインバータ回路 $INV8$ の入力端子への信号の伝達速度よりも遅くなる。したがって、端子 i_{np} 及び端子 i_{nn} に同時に信号が入力された場合、端子 i_{nn} に入力された信号が先に端子 out_n に出力され、端子 i_{np} に入力された信号はその後に端子 out_p に出力される。40

【0267】

端子 out_p からの出力信号は、端子 out_n からの出力信号よりも遅く出力されるた

50

め、本条件における回路MPC[i]のタイミングチャートは図7(B)のタイミングチャートと同様にみなすことができる。時刻T3に端子outnの電位が高レベル電位となり、その後の時刻T4に端子outpの電位が高レベル電位となる。つまり、時刻T3に端子outnから出力信号としてSn[i]が出力され、時刻T4に端子outpから出力信号としてSp[i]が出力される。

【0268】

[条件3]

また、重み係数 $w_{i(k-1)}j(k)$ に相当する電位が高レベル電位であり、かつ信号 $x_{i(k-1)}$ に相当する電位が低レベル電位である場合を考える。

【0269】

このとき、トランジスタTr21及びトランジスタTr22のそれぞれがオフ状態となり、トランジスタTr23及びトランジスタTr24のそれぞれがオン状態となるため、インバータ回路INV5の出力端子とインバータ回路INV8の入力端子との間が導通状態となり、かつインバータ回路INV6の出力端子とインバータ回路INV7の入力端子との間が導通状態となる。

【0270】

また、トランジスタTr24のバックゲートには高レベル電位が印加され、トランジスタTr23のバックゲートには中間電位が印加されているため、トランジスタTr24のソース-ドレイン間の電流量は、トランジスタTr23のソース-ドレイン間の電流量よりも大きくなる。そのため、インバータ回路INV6の出力端子からインバータ回路INV7の入力端子への信号の伝達速度は、インバータ回路INV5の出力端子からインバータ回路INV8の入力端子への信号の伝達速度よりも速くなる。したがって、端子inp及び端子innに同時に信号が入力された場合、端子innに入力された信号が先に端子outpに出力され、端子inpに入力された信号はその後に端子outnに出力される。

【0271】

端子outpからの出力信号は、端子outnからの出力信号よりも遅く出力されるため、本条件における回路MPC[i]のタイミングチャートは図7(C)のタイミングチャートと同様にみなすことができる。時刻T2に端子outnの電位が高レベル電位となり、その後の時刻T3に端子outpの電位が高レベル電位となる。つまり、時刻T2に端子outnから出力信号としてSn[i]が出力され、時刻T3に端子outpから出力信号としてSp[i]が出力される。

【0272】

[条件4]

また、重み係数 $w_{i(k-1)}j(k)$ に相当する電位が低レベル電位であり、かつ信号 $x_{i(k-1)}$ に相当する電位が低レベル電位である場合を考える。

【0273】

このとき、トランジスタTr21及びトランジスタTr22のそれぞれがオフ状態となり、トランジスタTr23及びトランジスタTr24のそれぞれがオン状態となるため、インバータ回路INV5の出力端子とインバータ回路INV8の入力端子との間が導通状態となり、かつインバータ回路INV6の出力端子とインバータ回路INV7の入力端子との間が導通状態となる。

【0274】

また、トランジスタTr24のバックゲートには低レベル電位が印加され、トランジスタTr23のバックゲートには中間電位が印加されているため、トランジスタTr24のソース-ドレイン間の電流量は、トランジスタTr23のソース-ドレイン間の電流量よりも小さくなる。そのため、インバータ回路INV6の出力端子からインバータ回路INV7の入力端子への信号の伝達速度は、インバータ回路INV5の出力端子からインバータ回路INV8の入力端子への信号の伝達速度よりも遅くなる。したがって、端子inp及び端子innに同時に信号が入力された場合、端子inpに入力された信号が先に端子outnに出力され、端子innに入力された信号はその後に端子outpに出力される。

10

20

30

40

50

【0275】

端子 out_p からの出力信号は、端子 out_n からの出力信号よりも速く出力されるため、本条件における回路 $MPC[i]$ のタイミングチャートは図 7 (D) のタイミングチャートと同様にみなすことができる。時刻 T_3 に端子 out_p の電位が高レベル電位となり、その後の時刻 T_4 に端子 out_n の電位が高レベル電位となる。つまり、時刻 T_3 に端子 out_p から出力信号として $S_p[i]$ が出力され、時刻 T_4 に端子 out_n から出力信号として $S_n[i]$ が出力される。

【0276】

上述の条件 1 乃至条件 4 において、端子 out_n から信号 $S_n[i]$ が出力される時間を基準とした、端子 out_p から信号 $S_p[i]$ が出力される時間差 $T[i]$ は、実施の形態 1 の演算動作の例の説明と同様に、重み係数 $w_i(k-1)_j(k)$ に相当する電位と、信号 $x_i(k-1)$ に相当する電位と、に応じて決まる。具体的には、トランジスタ Tr_{21} 及びトランジスタ Tr_{24} のゲートに印加する電位（信号 $x_i(k-1)$ に相当する電位）の範囲を -0.8V 以上 2.5V 以下として、トランジスタ Tr_{21} 及びトランジスタ Tr_{24} を動作させる場合、トランジスタ Tr_{21} 及びトランジスタ Tr_{24} のバックゲートに与える重み係数 $w_i(k-1)_j(k)$ に相当する電位は、例えば、高レベル電位としては 1.5V 以上の電位を与えればよく、低レベル電位としては 1.5V 未満の電位を与えればよい。また、トランジスタ Tr_{22} 及びトランジスタ Tr_{23} のゲートに印加する電位（信号 $x_i(k-1)$ に相当する電位）の範囲を -0.8V 以上 2.5V 以下として、トランジスタ Tr_{22} 及びトランジスタ Tr_{23} を動作させる場合、トランジスタ Tr_{22} 及びトランジスタ Tr_{23} のバックゲートに与える中間電位は、例えば、トランジスタ Tr_{21} 及びトランジスタ Tr_{24} のバックゲートに与えることができる低レベル電位と高レベル電位との間の電位とすればよい。また、時間差 $T[i]$ と、重み係数 $w_i(k-1)_j(k)$ 及び信号 $x_i(k-1)$ と、の関係については、実施の形態 1 の演算動作の例の説明を参照する。

【0277】

上記のとおり、回路 $MPC[i]$ は、回路 $MPC[i]$ に信号 $S_p[i-1]$ 、 $S_n[i-1]$ が入力されることで、重み係数 $w_i(k-1)_j(k)$ に相当する電位と、信号 $x_i(k-1)$ に相当する電位と、に応じた時間差 $T[i]$ は、2つの信号 $S_p[i]$ 、 $S_n[i]$ に反映されて、2つの信号 $S_p[i]$ 、 $S_n[i]$ が回路 $MPC[i]$ から出力される。

【0278】

そして、図 1 (A) のとおり、回路 MPC を m 個、接続して演算回路 110 を構成することによって、回路 $ACTF$ の端子 out_a から信号 $z_j(k)$ を出力することができる。なお、この場合の演算動作については、実施の形態 1 で説明した回路 MPC を複数個、接続した場合の演算動作の内容を参照する。

【0279】

<構成例 2>

次に、構成例 1 と異なる、図 12 (A) の回路 MPC に適用できる回路の構成例について説明する。

【0280】

図 15 に示す回路 MPC は、図 13 (A) 及び図 13 (B) のそれぞれの回路 MPC と異なり、トランジスタ Tr_{21} 乃至トランジスタ Tr_{24} のバックゲートに対して、それに保持部を設けた構成となっている。図 15 の回路 MPC の切り替え回路 SCA は、図 12 (A) の保持部 HCC として、保持部 HCC_a と、保持部 HCC_b と、保持部 HCC_c と、保持部 HCC_d と、を有する。

【0281】

保持部 HCC_a は、トランジスタ Tr_{25a} と、容量素子 C_{11a} と、を有する。トランジスタ Tr_{25a} の第 1 端子は、トランジスタ Tr_{21} のバックゲートと、容量素子 C_{11a} の第 1 端子に電気的に接続され、トランジスタ Tr_{25a} の第 2 端子は、端子 w_t

10

20

30

40

50

1を介して配線 S L 0 3に電気的に接続され、トランジスタ T r 2 5 aのゲートは配線 S L 0 3に電気的に接続されている。また、容量素子 C 1 1 aの第2端子は、配線 V Lに電気的に接続されている。

【 0 2 8 2 】

また、保持部 H C C b は、トランジスタ T r 2 5 b と、容量素子 C 1 1 b と、を有し、保持部 H C C c は、トランジスタ T r 2 5 c と、容量素子 C 1 1 c と、を有し、保持部 H C C d は、トランジスタ T r 2 5 d と、容量素子 C 1 1 d と、を有する。保持部 H C C b 、保持部 H C C c 、保持部 H C C d の回路構成は、一例として、保持部 H C C a と同様の構成とすることができます。図 1 5 の回路 M P C では、保持部 H C C b 、保持部 H C C c 、保持部 H C C d の回路構成は、保持部 H C C a と同様の構成を図示している。

10

【 0 2 8 3 】

特に、トランジスタ T r 2 5 b の第1端子は、トランジスタ T r 2 3 のバックゲートに電気的に接続され、トランジスタ T r 2 5 b の第2端子は、端子 w t s 1 を介して配線 D L b に電気的に接続されている。また、トランジスタ T r 2 5 c の第1端子は、トランジスタ T r 2 2 のバックゲートに電気的に接続され、トランジスタ T r 2 5 c の第2端子は、端子 w t s 2 を介して配線 D L c に電気的に接続されている。そして、トランジスタ T r 2 5 d の第1端子は、トランジスタ T r 2 4 のバックゲートに電気的に接続され、トランジスタ T r 2 5 d の第2端子は、端子 w t 2 を介して配線 D L d に電気的に接続されている。

【 0 2 8 4 】

上記より、保持部 H C C a は、図 1 3 の回路 M P C の保持部 H C C a と同様の構成となっているため、トランジスタ T r 2 1 のバックゲートの電位を保持することができる。同様に、保持部 H C C b は、トランジスタ T r 2 3 のバックゲートの電位を保持することができ、保持部 H C C c は、トランジスタ T r 2 2 のバックゲートの電位を保持することができ、保持部 H C C d は、トランジスタ T r 2 4 のバックゲートの電位を保持することができる。

20

【 0 2 8 5 】

図 1 5 に示す配線 S L 0 3 は、図 1 3 (A) に示す配線 S L 0 3 に相当する。そのため、保持部 H C C a 、保持部 H C C b 、保持部 H C C c 、保持部 H C C d への電位の書き込みは、配線 S L 0 3 に高レベル電位を与えて、トランジスタ T r 2 5 a 、トランジスタ T r 2 5 b 、トランジスタ T r 2 5 c 、及びトランジスタ T r 2 5 d のそれぞれをオン状態にすることによって行われ、保持部 H C C a 、保持部 H C C b 、保持部 H C C c 、保持部 H C C d での電位の保持は、電位の書き込み後に配線 S L 0 3 に低レベル電位を与えて、トランジスタ T r 2 5 a 、トランジスタ T r 2 5 b 、トランジスタ T r 2 5 c 、及びトランジスタ T r 2 5 d のそれぞれをオフ状態にすることによって行われる。

30

【 0 2 8 6 】

図 1 5 に示す端子 w t 1 及び端子 w t 2 は、図 1 3 (A) に示す端子 w t に相当し、図 1 5 に示す端子 w t s 1 及び端子 w t s 2 は、図 1 3 (A) に示す端子 w t s に相当する。そのため、図 1 5 において、配線 D L a 、配線 D L d は重み係数 $w_i (k - 1)_j (k)$ に相当する電位を供給する配線とし、配線 D L b 、配線 D L c は中間電位に相当する電位を供給する配線とすればよい。

40

【 0 2 8 7 】

保持部 H C C a の容量素子 C 1 1 a の第1端子に保持される電位は、保持部 H C C d の容量素子 C 1 1 d の第1端子に保持される電位と等しいことが好ましい。そのため、端子 w t 1 、及び端子 w t 2 は、互いに同一の端子としてもよい。又は、配線 D L a と配線 D L d を1本の配線にまとめてよい。また、保持部 H C C b の容量素子 C 1 1 b の第1端子に保持される電位は、保持部 H C C c の容量素子 C 1 1 c の第1端子に保持される電位と等しいことが好ましい。そのため、端子 w t s 1 、及び端子 w t s 2 は、互いに同一の端子としてもよい。又は、配線 D L b と配線 D L c を1本の配線にまとめてよい。

【 0 2 8 8 】

50

一方、演算回路 110 の作製工程などにおいて、トランジスタ Tr 21 乃至トランジスタ Tr 24 のそれぞれのトランジスタの特性が互いに異なってしまう場合がある。このとき、トランジスタ Tr 21 乃至トランジスタ Tr 24 のそれぞれのトランジスタの特性に応じて、それぞれのバックゲートに印加する電位を補正し、その補正した電位をトランジスタ Tr 21 乃至トランジスタ Tr 24 のそれぞれのバックゲートに入力すればよい。この場合、図 15 の回路 MPC のとおり、端子 wt 1、端子 wt 2 は互いに異なる端子とし、端子 wts 1、端子 wts 2 は互いに異なる端子とし、それぞれ異なる配線に電気的に接続されることが好ましい。

【0289】

なお、図 12(A) の回路 MPC は、図 15 の回路 MPC の回路構成に限定されず、状況に応じて、図 15 の回路 MPC の回路構成を変更してもよい。例えば、図 16 に示すとおり、トランジスタ Tr 22 及びトランジスタ Tr 23 のそれぞれのバックゲートの電位を、保持部 HCCb によって保持する構成としてもよい。図 16 の回路 MPC は、図 15 の保持部 HCCb と保持部 HCCc とをまとめて保持部 HCCb として構成されている。図 16 の回路 MPC では、図 15 の保持部 HCCb と保持部 HCCc とを保持部 HCCb として構成しているが、図 15 の保持部 HCCb と保持部 HCCc とをそのままとし、代わりに保持部 HCCa と保持部 HCCb とを互いに共有するように保持部をまとめてよい。このように、トランジスタ Tr 21 乃至トランジスタ Tr 24 の個々のバックゲートの電位を保持する際、一部の保持部を共有するように回路 MPC を構成することができる。

【0290】

また、例えば、図 15 の回路 MPC において、保持部 HCCa、保持部 HCCb、保持部 HCCc、保持部 HCCd のそれぞれが有するトランジスタ Tr 25a、トランジスタ Tr 25b、トランジスタ Tr 25c、トランジスタ Tr 25d のゲートには配線 SL0 3 が電気的に接続されているが、図 14 の回路 MPC のように、それぞれのトランジスタのゲートには異なる配線を電気的に接続してもよい。この場合、それぞれのトランジスタは、互いに独立にオン状態、オフ状態の切り替えを行うことができるため、配線 DLa、配線 D L b、配線 D L c、配線 D L d を一本の配線にまとめることができる。例えば、保持部 HCCa、保持部 HCCb、保持部 HCCc、保持部 HCCd のいずれかに電位を保持するとき、該当する保持部のトランジスタをオン状態にし、それ以外の保持部のトランジスタをオフ状態にして、配線 DL a、配線 D L b、配線 D L c、配線 D L d を一本にまとめた配線から、保持する電位を該当する保持部に与えればよい。

【0291】

<構成例 3>

次に、構成例 1、2 と異なる、図 12(A) の回路 MPC に適用できる回路の構成例について説明する。

【0292】

図 17 に示す回路 MPC は、図 13(A) の回路 MPC の保持部 HCC を別の構成とした回路構成となっている。図 17 の回路 MPC の保持部 HCC は、インバータ回路 SIN V3 と、インバータ回路 SIN V4 と、トランジスタ Tr 26 と、を有している。インバータ回路 SIN V3 の出力端子は、インバータ回路 SIN V4 の入力端子と、トランジスタ Tr 21 のバックゲートと、トランジスタ Tr 24 のバックゲートと、に電気的に接続され、インバータ回路 SIN V4 の出力端子は、インバータ回路 SIN V3 の入力端子と、トランジスタ Tr 26 の第 1 端子と、トランジスタ Tr 22 のバックゲートと、トランジスタ Tr 23 のバックゲートと、に電気的に接続されている。トランジスタ Tr 26 の第 2 端子は、端子 wt を介して配線 DL に電気的に接続され、トランジスタ Tr 26 のゲートは、配線 SL0 3 に電気的に接続されている。

【0293】

図 17 の回路 MPC の保持部 HCC において、インバータ回路 SIN V3 と、インバータ回路 SIN V4 と、によるインバータループの構成を有している。なお、図 17 では、インバータ回路 SIN V3 と、インバータ回路 SIN V4 と、を含む回路として回路 BF

10

20

30

40

50

5と記載している。また、インバータ回路の数は、2個に限定されない。ただし、入力と同じ論理値で出力するほうが回路を構成しやすいため、複数個の方が望ましい。

【0294】

また、インバータ回路SINV3と、インバータ回路SINV4と、のそれぞれの高電源電位入力端子は、配線VSS1Lに電気的に接続され、インバータ回路SINV3と、インバータ回路SINV4と、のそれぞれの低電源電位入力端子は、配線VSS2Lに電気的に接続されている。

【0295】

配線VSS1Lは、電圧VSS1を供給する電圧線として機能する。配線VSS2Lは、電圧VSS1よりも低い電圧VSS2を供給する電圧線として機能する。なお、電圧VSS1は、例えば、電圧VSS以下の値とすることができます。10

【0296】

図17に示す配線SL03は、図13(A)に示す配線SL03に相当する。そのため、保持部HCCへの電位の書き込みは、配線SL03に高レベル電位を与えて、トランジスタTr26をオン状態にすることによって行われ、保持部HCCでの電位の保持は、電位の書き込み後に配線SL03に低レベル電位を与えて、トランジスタTr26をオフ状態にすることによって行われる。

【0297】

保持部HCCは、図17に示すとおり、インバータ回路SINV3、及びインバータ回路SINV4によるインバターループの構成を有しているため、インバータ回路SINV3の入力端子に入力された電位に応じて、VSS1又はVSS2の一方をトランジスタTr21及びトランジスタTr24のそれぞれのバックゲートの電位として保持し、VSS1又はVSS2の他方をトランジスタTr22及びトランジスタTr23のそれぞれのバックゲートの電位として保持することができる。20

【0298】

つまり、図17に示す保持部HCCは、重み係数として2値のデータを保持することができる。そのため、図1の演算回路110の回路MPCとして、図17に示す回路MPCを適用する場合、端子wtに入力される重み係数は2値のデータであることが好ましい。

【0299】

したがって、トランジスタTr21乃至トランジスタTr24のそれぞれのバックゲートに与えられる電位がVSS1、又はVSS2の一方であるため、端子outpから出力される信号と端子outnから出力される信号との時間差は、2通りとなる。30

【0300】

また、保持部HCCにおいて、回路BF5に配線DLから入力された電位を保持するため、トランジスタTr26は、オフ電流が小さいトランジスタとするのが好ましい。そのため、トランジスタTr26は、前述したOSトランジスタとするのが好ましい。また、図17では、トランジスタTr26はバックゲートを有する構成としているが、例えば、当該バックゲートをトランジスタTr26のゲートに電気的に接続することによって、オフ電流を高くすることができる。また、当該バックゲートに低電位を与える配線に電気的に接続することによって、トランジスタTr26のオフ電流を更に低くすることができる。なお、トランジスタTr26はバックゲートを有さない構成としてもよい。40

【0301】

<構成例4>

図18に示す回路MPCは、図13(A)に示した回路MPCのトランジスタTr21及びトランジスタTr24のバックゲートの電位を保持する保持部HCCの数を変更した構成となっている。具体的には、図18に示す切り替え回路SCAは、図13(A)の回路MPCの保持部HCCaとして、保持部HCCa[1]及び保持部HCCa[2]を有する。

【0302】

図18の切り替え回路SCAは、図13(A)の回路MPCが有する回路素子に加え、50

スイッチ S 06 [1] と、スイッチ S 06 [2] と、を有する。また、保持部 H C C a [1] 及び保持部 H C C a [2] は、図 13 (A) の切り替え回路 S C A の保持部 H C C a と同様の回路構成を有する。なお、図 18 の保持部 H C C a [1] において、トランジスタ T r 25 a [1] は図 13 (A) のトランジスタ T r 25 a に対応し、容量素子 C 11 a [1] は図 13 (A) の容量素子 C 11 a に対応している。また、図 18 の保持部 H C C a [2] において、トランジスタ T r 25 a [2] は図 13 (A) のトランジスタ T r 25 a に対応し、容量素子 C 11 a [2] は図 13 (A) の容量素子 C 11 a に対応している。

【 0303 】

スイッチ S 06 [1] の第 1 端子は、トランジスタ T r 21 のバックゲートと、トランジスタ T r 24 のバックゲートと、に電気的に接続され、スイッチ S 06 [1] の第 2 端子は、トランジスタ T r 25 a [1] の第 1 端子と、容量素子 C 11 a [1] の第 1 端子と、に電気的に接続され、スイッチ S 06 [1] の制御端子は、配線 S L 04 [1] に電気的に接続されている。トランジスタ T r 25 a [1] の第 2 端子は、端子 w t [1] を介して配線 D L a [1] に電気的に接続され、トランジスタ T r 25 a [1] のゲートは、配線 S L 03 に電気的に接続されている。

【 0304 】

上記の接続構成より、保持部 H C C a [1] は、端子 w t [1] に電気的に接続されているため、端子 w t [1] から入力された信号に応じた電位を保持することができる。

【 0305 】

スイッチ S 06 [2] の第 1 端子は、トランジスタ T r 21 のバックゲートと、トランジスタ T r 24 のバックゲートと、に電気的に接続され、スイッチ S 06 [2] の第 2 端子は、トランジスタ T r 25 a [2] の第 1 端子と、容量素子 C 11 a [2] の第 1 端子と、に電気的に接続され、スイッチ S 06 [2] の制御端子は、配線 S L 04 [2] に電気的に接続されている。トランジスタ T r 25 a [2] の第 2 端子は、端子 w t [2] を介して配線 D L a [2] に電気的に接続され、トランジスタ T r 25 a [2] のゲートは、配線 S L 03 に電気的に接続されている。

【 0306 】

上記の接続構成より、保持部 H C C a [2] は、端子 w t [2] に電気的に接続されているため、端子 w t [2] から入力された信号に応じた電位を保持することができる。

【 0307 】

スイッチ S 06 [1] は、配線 S L 04 [1] からスイッチ S 06 [1] の制御端子に電位を印加することによって、オン状態又はオフ状態になる。同様に、スイッチ S 06 [2] は、配線 S L 04 [2] からスイッチ S 06 [2] の制御端子に電位を印加することによって、オン状態又はオフ状態になる。なお、本明細書等では、スイッチ S 06 [1] 又はスイッチ S 06 [2] は、制御端子に高レベル電位を印加することでオン状態となり、低レベル電位を印加することでオフ状態となるものとする。

【 0308 】

端子 w t [1] 及び端子 w t [2] は、図 13 (A) の端子 w t と同様に、重み係数に相当する電位が入力される。つまり、保持部 H C C a [1] 、及び保持部 H C C a [2] のそれぞれは、図 13 (A) の保持部 H C C と同様に、対応する重み係数に相当する電位を保持することができる。つまり、図 18 の回路 M P C の切り替え回路 S C A は、2 つの重み係数に相当する電位を保持することができる。

【 0309 】

演算回路 110 の全ての回路 M P C として、図 18 の回路 M P C を適用することによって、重み係数を切り替えて、演算を行うことができる。例えば、演算回路 110 の回路 M P C [1] 乃至回路 M P C [m] に含まれる切り替え回路 S C A のそれぞれの保持部 H C C a [1] に重み係数 $w_1 (k-1)_j (k)$ 乃至 $w_m (k-1)_j (k)$ に相当する電位を保持し、保持部 H C C a [2] に重み係数 $w_1 (k-1)_h (k)$ 乃至 $w_m (k-1)_h (k)$ (ここでの h は、1 以上 n 以下で j でない整数とする。) に相当する電位を保持し、端子 x

10

20

30

40

50

t には、信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ に応じた信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ が入力されているものとする。また、保持部 HCCb に中間電位を保持する。このとき、配線 SL04[1] に高レベル電位を印加してスイッチ S06[1] をオン状態とし、配線 SL04[2] に低レベル電位を印加してスイッチ S06[2] をオフ状態として、演算回路 110 は、重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$ と信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ の積和と活性化関数の演算を行うことができる。また、配線 SL04[1] に低レベル電位を印加してスイッチ S06[1] をオフ状態とし、配線 SL04[2] に高レベル電位を印加してスイッチ S06[2] をオン状態として、演算回路 110 は、重み係数 $w_1(k-1)_h(k)$ 乃至 $w_m(k-1)_h(k)$ と信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ の積和と活性化関数の演算を行うことができる。

10

【0310】

演算回路 110 の全ての回路 MPC として、図 18 の回路 MPC を適用することによって、重み係数を切り替えることで、それぞれの重み係数に対応する演算を行うことができる。また、図 18 の切り替え回路 SCA では、図 13(A) の保持部 HCCA として、保持部 HCCA[1] と保持部 HCCA[2] を図示したが、保持部 HCC は 3 個以上の保持部を有してもよい。また、ニューラルネットワークで扱う重み係数を 1 ビット(2 値)とする場合、例えば、保持部 HCCA[1] に高レベル電位を保持し、保持部 HCCA[2] に低レベル電位を保持して、状況に応じて重み係数を切り替えながら演算を行うことができる。

【0311】

20

<構成例 5 >

ここでは、図 12(C) の回路 MPC に適用できる回路の構成例について説明する。

【0312】

図 19(A) に示す回路 MPC は、インバータ回路 INV5 乃至インバータ回路 INV8 と、回路 DEC と、実施の形態 1 で説明した図 3(A) の切り替え回路 SC と、を有する。

【0313】

インバータ回路 INV5 の入力端子は、端子 in p に電気的に接続され、インバータ回路 INV5 の出力端子は、回路 DEC の 2 つある入力端子の一方に電気的に接続され、インバータ回路 INV6 の入力端子は、端子 in n に電気的に接続され、インバータ回路 INV6 の出力端子は、回路 DEC の 2 つある入力端子の他方に電気的に接続されている。回路 DEC の 2 つある出力端子の一方は、切り替え回路 SC の 2 つある入力端子の一方電気的に接続され、回路 DEC の 2 つある出力端子の他方は、切り替え回路 SC の 2 つある入力端子の他方に電気的に接続されている。インバータ回路 INV7 の入力端子は、切り替え回路 SC の 2 つある出力端子の一方電気的に接続され、インバータ回路 INV7 の出力端子は、端子 out p に電気的に接続され、インバータ回路 INV8 の入力端子は、切り替え回路 SC の 2 つある出力端子の他方に電気的に接続され、インバータ回路 INV8 の出力端子は、端子 out n に電気的に接続されている。

30

【0314】

回路 DEC は、負荷回路 LC01 と、負荷回路 LC02 と、を有する。

40

【0315】

負荷回路 LC01 の第 1 端子は、回路 DEC の 2 つある入力端子の一方電気的に接続され、負荷回路 LC01 の第 2 端子は、回路 DEC の 2 つある出力端子の一方電気的に接続されている。負荷回路 LC02 の第 1 端子は、回路 DEC の 2 つある入力端子の他方に電気的に接続され、負荷回路 LC02 の第 2 端子は、回路 DEC の 2 つある出力端子の他方に電気的に接続されている。

【0316】

また、負荷回路 LC01 は、端子 wt に電気的に接続され、負荷回路 LC02 は、端子 wt s に電気的に接続されている。負荷回路 LC01 及び負荷回路 LC02 は、それぞれ端子 wt 及び端子 wt s に入力された信号に応じて、抵抗値が決まる回路である。

50

【0317】

なお、図19(A)の回路MPCは、負荷回路LC02の抵抗値を変化させない構成としてもよい。具体的には、図19(B)に示す回路MPCのとおり、負荷回路LC02の代わりに、抵抗値が変動しない負荷素子LE02を適用してもよい。負荷回路LC02は、負荷回路LC01における基準となる負荷を与える機能を有する。そのため、当該基準となる負荷を変更する必要が無い場合は、負荷素子LE02を代わりに適用すればよい。なお、負荷素子LE02としては、抵抗素子、コイル、トランジスタなどを適用することができる。また、負荷素子LE02は、回路素子を有さない、即ち、インバータ回路INV6の出力端子と切り替え回路SCの2つの入力端子の他方との間を直接的に電気的に接続する配線としてもよい。

10

【0318】

また、図19(A)の回路MPCにおいて、インバータ回路INV7及びインバータ回路INV8を設ける位置は、図20(A)に示すとおり、回路DECと切り替え回路SCとの間としてもよい。また、インバータ回路INV7及びインバータ回路INV8を設ける位置は、図13(B)の回路MPCと同様に、図20(B)に示すとおり、インバータ回路INV5とインバータ回路INV7とを直列に電気的に接続し、インバータ回路INV6とインバータ回路INV8とを直列に電気的に接続してもよい。なお、図20(B)では、インバータ回路INV5とインバータ回路INV7とを含む回路として、回路BF3と記載し、インバータ回路INV6とインバータ回路INV8とを含む回路として、回路BF4と記載している。

20

【0319】

ここで、負荷回路LC01及び負荷回路LC02として、抵抗変化素子を用いた回路の例を図21(A)に示す。図21(A)に示す回路DECに含まれる負荷回路LC01は、抵抗変化素子VR01と、スイッチS07aと、スイッチS07bと、を有し、同様に回路DECに含まれる負荷回路LC02は、抵抗変化素子VR02と、スイッチS07cと、スイッチS07dと、を有する。なお、スイッチS07a乃至スイッチS07dのそれぞれは、制御端子に高レベル電位が印加されたときにオン状態となり、制御端子に低レベル電位が印加されたときにオフ状態となるものとする。

【0320】

抵抗変化素子VR01(抵抗変化素子VR02)としては、例えば、一対の電極とする導電体(例えば、銀、白金、窒化チタン、二酸化チタンなど。)と、その一対の電極に挟まれた金属酸化物(例えば、ペロブスカイト構造を有する金属酸化物など。)によって構成することができる。

30

【0321】

負荷回路LC01において、スイッチS07aの第1端子は、回路DECの2つある入力端子の一方と、抵抗変化素子VR01の第1端子と、に電気的に接続され、スイッチS07aの第2端子は、一例として、接地電位を与える配線GNDLに電気的に接続され、スイッチS07aの制御端子は、配線SL05に電気的に接続されている。スイッチS07bの第1端子は、回路DECの2つある出力端子の一方と、抵抗変化素子VR01の第2端子と、に電気的に接続され、スイッチS07bの第2端子は、端子wtに電気的に接続され、スイッチS07bの制御端子は、配線SL05に電気的に接続されている。

40

【0322】

負荷回路LC02において、スイッチS07cの第1端子は、回路DECの2つある入力端子の他方と、抵抗変化素子VR02の第1端子と、に電気的に接続され、スイッチS07cの第2端子は、一例として、配線GNDLに電気的に接続され、スイッチS07cの制御端子は、配線SL05に電気的に接続されている。スイッチS07dの第1端子は、回路DECの2つある出力端子の他方と、抵抗変化素子VR02の第2端子と、に電気的に接続され、スイッチS07dの第2端子は、端子wtbに電気的に接続され、スイッチS07dの制御端子は、配線SL05に電気的に接続されている。

【0323】

50

端子 w t には、重み係数に相当する信号が入力される。また、端子 w t b は、図 2 0 (A) (B) の回路 M P C に示した端子 w t s に相当し、端子 w t b には、当該信号の反転信号が入力される。

【 0 3 2 4 】

配線 G N D L は、電圧 G N D を与える配線とすることができます。電圧 G N D としては、例えば、接地電位とすることができます。また、配線 G N D L は、接地電位でなく、別の基準電位を与える配線として機能してもよい。

【 0 3 2 5 】

また、配線 S L 0 5 は、スイッチ S 0 7 a 乃至スイッチ S 0 7 d のそれぞれのスイッチング動作を行うための配線として機能する。本明細書等では、配線 S L 0 5 を高レベル電位にすることで、スイッチ S 0 7 a 乃至スイッチ S 0 7 d のそれぞれはオン状態となり、配線 S L 0 5 を低レベル電位にすることで、スイッチ S 0 7 a 乃至スイッチ S 0 7 d のそれぞれはオフ状態となるものとする。これにより、抵抗変化素子 V R 0 1 の第 1 端子と第 2 端子との間の電圧は、端子 w t から入力された信号に応じた電圧となり、抵抗変化素子 V R 0 2 の第 1 端子と第 2 端子との間の電圧は、端子 w t b から入力された信号に応じた電圧となる。つまり、抵抗変化素子 V R 0 1 及び抵抗変化素子 V R 0 2 の抵抗値は、それぞれ端子 w t 、端子 w t s に入力された信号に応じて定められる。

10

【 0 3 2 6 】

例えば、端子 w t (端子 w t b) には高レベル電位を与えることによって、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) の抵抗値を低くすることができます。また、例えば、端子 w t (端子 w t b) には低レベル電位を与えることによって、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) の抵抗値を高くすることができます。これにより、回路 M P C において、端子 i n p 及び端子 i n n と、端子 o u t p 及び端子 o u t n と、の間の信号の伝達速度を変動させることができます。

20

【 0 3 2 7 】

また、図 2 1 (A) に示す回路 M P C の回路 D E C において、状況に応じて、スイッチ S 0 7 a 及び / 又はスイッチ S 0 7 c を介した配線 G N D L との接続を省略することができる。この場合の回路 M P C は、図 2 1 (B) に示す回路構成となり、図 2 1 (A) の回路 M P C よりも回路面積を低減することができる。

【 0 3 2 8 】

30

また、図 2 1 (A) に示す回路 M P C の回路 D E C において、状況に応じて、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) とスイッチ S 0 7 a 乃至スイッチ S 0 7 d との電気的な接続構成を変更してもよい。例えば、図 2 1 (A) に示す回路 D E C を、図 2 2 に示す回路 M P C のとおり、負荷回路 L C 0 1 (負荷回路 L C 0 2) において、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) の第 1 端子が、スイッチ S 0 7 b (スイッチ S 0 7 d) の第 1 端子に電気的に接続され、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) の第 2 端子が、スイッチ S 0 7 a (スイッチ S 0 7 c) の第 1 端子に電気的に接続されている構成に変更してもよい。

【 0 3 2 9 】

また、抵抗変化素子を用いた負荷回路 L C 0 1 (負荷回路 L C 0 2) は、図 2 1 (A) (B) 、図 2 2 に示す負荷回路 L C 0 1 (負荷回路 L C 0 2) の別の構成として、例えば、図 2 3 (A) に示す回路とすることができます。図 2 3 (A) に示す負荷回路 L C 0 1 (負荷回路 L C 0 2) は、スイッチ S 1 1 乃至スイッチ S 1 5 と、スイッチ S 2 1 と、スイッチ S 2 2 と、インバータ回路 I N V 9 と、インバータ回路 I N V 1 0 と、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) と、を有する。なお、スイッチ S 1 1 乃至スイッチ S 1 5 と、スイッチ S 2 1 と、スイッチ S 2 2 と、のそれぞれは、制御端子に高レベル電位が印加されたときにオン状態となり、制御端子に低レベル電位が印加されたときにオフ状態となるものとする。

40

【 0 3 3 0 】

抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) の第 1 端子は、スイッチ S 1 1 の第 1

50

端子と、スイッチ S 1 2 の第 1 端子と、スイッチ S 1 5 の第 1 端子と、に電気的に接続され、スイッチ S 1 5 の第 2 端子は、負荷回路 L C 0 1 (負荷回路 L C 0 2) の第 1 端子に電気的に接続されている。抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) の第 2 端子は、スイッチ S 1 3 の第 1 端子と、スイッチ S 1 4 の第 1 端子と、に電気的に接続され、スイッチ S 1 3 の第 2 端子は、負荷回路 L C 0 1 (負荷回路 L C 0 2) の第 2 端子に電気的に接続されている。スイッチ S 1 1 の第 2 端子は、スイッチ S 2 1 の第 1 端子に電気的に接続され、スイッチ S 2 1 の第 2 端子は、配線 V D D H L に電気的に接続されている。スイッチ S 1 2 の第 2 端子は、スイッチ S 2 2 の第 1 端子に電気的に接続され、スイッチ S 2 2 の第 2 端子は、配線 V S S S L に電気的に接続されている。スイッチ S 1 4 の第 2 端子は、配線 V S S 3 L に電気的に接続されている。

10

【 0 3 3 1 】

端子 w t (端子 w t b) は、スイッチ S 2 1 の制御端子と、インバータ回路 I N V 9 の入力端子と、に電気的に接続され、インバータ回路 I N V 9 の出力端子は、スイッチ S 2 2 の制御端子に電気的に接続されている。インバータ回路 I N V 1 0 の入力端子は、スイッチ S 1 1 の制御端子と、スイッチ S 1 2 の制御端子と、スイッチ S 1 4 の制御端子と、配線 S L 0 6 と、に電気的に接続され、インバータ回路 I N V 1 0 の出力端子は、スイッチ S 1 3 の制御端子と、スイッチ S 1 5 の制御端子と、に電気的に接続されている。

【 0 3 3 2 】

配線 S L 0 6 は、スイッチ S 1 1 乃至スイッチ S 1 5 のそれぞれのスイッチング動作を行うための配線として機能する。また、配線 V D D H L は、電圧 V D D H を与える電圧線として機能し、配線 V S S S L は、電圧 V S S S を与える電圧線として機能し、配線 V S S 3 L は、電圧 V S S 3 を与える電圧線として機能する。電圧 V D D H 、 V S S S 、 V S S 3 は、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) の抵抗値を変化させるための入力電圧であり、 V D D H は、 V S S S 、 V S S 3 よりも高い電圧とする。また、 V S S 3 は、 V S S S と同じ電圧又は V S S S よりも高い電圧とことができる。

20

【 0 3 3 3 】

ここで、抵抗変化素子 V R 0 1 の抵抗値を変化させる場合を考える。初めに、配線 S L 0 6 に高レベル電位が入力されて、スイッチ S 1 1 、スイッチ S 1 2 、スイッチ S 1 4 はオン状態となり、スイッチ S 1 3 、スイッチ S 1 5 はオフ状態となる。次に、例えば、端子 w t に、重み係数に応じた電位として高レベル電位が入力されたとき、スイッチ S 2 1 はオン状態となり、スイッチ S 2 2 はオフ状態となる。このとき、抵抗変化素子 V R 0 1 の第 1 端子には、 V D D H が入力され、抵抗変化素子 V R 0 1 の第 2 端子には、 V S S 3 が入力される。これによって、抵抗変化素子 V R 0 1 の抵抗値を低くすることができる。その後、配線 S L 0 6 に低レベル電位を入力して、スイッチ S 1 1 、スイッチ S 1 2 、スイッチ S 1 4 をオフ状態とし、スイッチ S 1 3 をオン状態とすることで、負荷回路 L C 0 1 の抵抗値を低く設定することができる。

30

【 0 3 3 4 】

一方、上述において、端子 w t に、重み係数に応じた電位として低レベル電位が入力されたとき、スイッチ S 2 1 はオフ状態となり、スイッチ S 2 2 はオン状態となる。このとき、抵抗変化素子 V R 0 1 の第 1 端子には、 V S S S が入力され、抵抗変化素子 V R 0 1 の第 2 端子には、 V S S 3 が入力される。これによって、抵抗変化素子 V R 0 1 の抵抗値を高くすることができる。その後、配線 S L 0 6 に低レベル電位を入力して、スイッチ S 1 1 、スイッチ S 1 2 、スイッチ S 1 4 をオフ状態とし、スイッチ S 1 3 、スイッチ S 1 5 をオン状態とすることで、負荷回路 L C 0 1 の抵抗値を高く設定することができる。

40

【 0 3 3 5 】

抵抗変化素子 V R 0 2 は、図 2 3 (A) に示す抵抗変化素子 V R 0 1 と同様の回路構成とすることができます。その場合、端子 w t b は、図 2 1 に示す端子 w t b に対応する。また、この場合、端子 w t b に入力される信号は、端子 w t に入力される信号の反転信号とするのが好ましい。

【 0 3 3 6 】

50

抵抗変化素子VR01の抵抗値を低く設定し、かつ抵抗変化素子VR02の抵抗値を高く設定することによって、回路DECの2つある入力端子の一方と2つある出力端子の一方との間の信号の伝達速度を、回路DECの2つある入力端子の他方と2つある出力端子の他方との間の信号の伝達速度よりも速くすることができる。逆に、抵抗変化素子VR01の抵抗値を高く設定し、かつ抵抗変化素子VR02の抵抗値を低く設定することによって、回路DECの2つある入力端子の一方と2つある出力端子の一方との間の信号の伝達速度を、回路DECの2つある入力端子の他方と2つある出力端子の他方との間の信号の伝達速度よりも遅くすることができる。これにより、回路MPCの端子inp、端子innに信号が入力されたとき、端子outp、端子outnのそれぞれから出力される信号に抵抗変化素子VR01及び抵抗変化素子VR02の設定に応じて時間差を付与することができる。

10

【0337】

また、図23(A)に示す負荷回路LC01(負荷回路LC02)において、状況に応じて、スイッチS15を省略することができる。この場合の負荷回路LC01(負荷回路LC02)は、図23(B)に示す回路構成となり、図23(A)の負荷回路LC01よりも回路面積を低減することができる。

【0338】

なお、図19(A)の回路MPCは、図21(A)(B)の回路MPCの回路構成に限らず、状況に応じて、図21(A)(B)の回路MPCの回路構成を変更してもよい。例えば、図21(A)では、負荷回路LC01及び負荷回路LC02として、抵抗変化素子を用いた回路を適用したが、代わりにMTJ(磁気トンネル接合)素子を用いた回路などを適用してもよい。例えば、図24(A)に示す回路MPCのとおり、図21(A)の回路DECの抵抗変化素子VR01を、MTJ素子MR01を有する抵抗変化回路VR03とし、抵抗変化素子VR02を、MTJ素子MR02を有する抵抗変化回路VR04とした回路構成に変更してもよい。また、抵抗変化素子やMTJ素子でなく、代わりに相変化メモリ(PCM)などに用いられる、相変化材料が含まれる抵抗素子としてもよい(本明細書等では、便宜上、当該抵抗素子を相変化メモリと呼称することがある。)。例えば、図24(B)に示す回路MPCのとおり、図21(A)の回路DECの抵抗変化素子VR01を、相変化メモリPCM1とし、抵抗変化素子VR02を、相変化メモリPCM2とした回路構成に変更することができる。

20

【0339】

<構成例6>

図25に示す回路MPCは、図19(A)に示した回路MPCの負荷回路LC01及び負荷回路LC02として、複数の負荷回路を設けた構成となっている。具体的には、図25(A)に示す回路DECは、図19(A)の負荷回路LC01として、負荷素子LE01a及び負荷素子LE01bと、図19(A)の負荷回路LC02として、負荷素子LE02a及び負荷素子LE02bと、を有する。また、回路DECは、負荷素子LE01a又は負荷素子LE01bを選択するためのスイッチS08a及びスイッチS08bと、負荷素子LE02a又は負荷素子LE02bを選択するためのスイッチS09a及びスイッチS09bと、インバータ回路INV11と、を有する。

30

【0340】

スイッチS08aの第1端子と、スイッチS08bの第1端子と、は、回路DECの2つある入力端子の一方に電気的に接続され、スイッチS08aの第2端子は、負荷素子LE01aの第1端子に電気的に接続され、スイッチS08bの第2端子は、負荷素子LE01bの第1端子に電気的に接続されている。また、スイッチS09aの第1端子と、スイッチS09bの第1端子と、は、回路DECの2つある入力端子の他方に電気的に接続され、スイッチS09aの第2端子は、負荷素子LE02aの第1端子に電気的に接続され、スイッチS09bの第2端子は、負荷素子LE02bの第1端子に電気的に接続されている。

40

【0341】

50

端子 w t は、スイッチ S 0 8 a の制御端子と、スイッチ S 0 9 b の制御端子と、インバータ回路 I N V 1 1 の入力端子と、に電気的に接続され、インバータ回路 I N V 1 1 の出力端子は、スイッチ S 0 8 b の制御端子と、スイッチ S 0 9 a の制御端子と、に電気的に接続されている。

【 0 3 4 2 】

スイッチ S 0 8 a 、スイッチ S 0 8 b 、スイッチ S 0 9 a 、及びスイッチ S 0 9 b のそれぞれは、端子 w t から電位が印加されることによって、オン状態又はオフ状態となる。本明細書等では、スイッチ S 0 8 a 、スイッチ S 0 8 b 、スイッチ S 0 9 a 、及びスイッチ S 0 9 b のそれぞれは、制御端子に高レベル電位が印加されたときにオン状態となり、制御端子に低レベル電位が印加されたときにオフ状態となるものとする。つまり、端子 w t の電位が高レベル電位であるとき、スイッチ S 0 8 a 及びスイッチ S 0 9 b はオン状態、スイッチ S 0 8 b 及びスイッチ S 0 9 a はオフ状態となり、端子 w t の電位が低レベル電位であるとき、スイッチ S 0 8 a 及びスイッチ S 0 9 b はオフ状態、スイッチ S 0 8 b 及びスイッチ S 0 9 a はオン状態となる。

【 0 3 4 3 】

回路 M P C として、図 2 5 (A) の回路構成を適用する場合、負荷素子 L E 0 1 a 、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 a 、負荷素子 L E 0 2 b のそれぞれとしては、例えば、抵抗素子を適用してもよい。具体的には、一例として、負荷素子 L E 0 1 a 、負荷素子 L E 0 2 a に抵抗値の高い抵抗素子を適用し、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 b に抵抗値の低い抵抗素子を適用することによって、回路 M P C の端子 i n p 、端子 i n n に入力されたそれぞれ信号に対して、異なる遅延量を付与することができる。つまり、回路 M P C の端子 o u t p 、端子 o u t n から出力されるそれぞれの信号に時間差を付与することができる。なお、この場合、負荷素子 L E 0 1 a 及び負荷素子 L E 0 2 a のそれぞれの抵抗素子の抵抗値は互いに等しく、かつ負荷素子 L E 0 1 b 及び負荷素子 L E 0 2 b のそれぞれの抵抗素子の抵抗値は互いに等しいことが好ましい。

【 0 3 4 4 】

また、抵抗素子以外で、負荷素子 L E 0 1 a 、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 a 、負荷素子 L E 0 2 b のそれぞれに適用できる素子としては、例えば、コイル、トランジスタ、ダイオードなどが挙げられる。

【 0 3 4 5 】

また、負荷素子 L E 0 1 a 、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 a 、負荷素子 L E 0 2 b のそれぞれとしては、例えば、構成例 5 で説明した抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) を適用してもよい。また、負荷素子 L E 0 1 a 、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 a 、負荷素子 L E 0 2 b のそれぞれとしては、素子に限らず、抵抗変化素子 V R 0 1 (抵抗変化素子 V R 0 2) を有する回路、M T J 素子を有する回路 (図 2 4 (A)) 、相変化メモリを有する回路 (図 2 4 (B)) としてもよい。これらの素子、又は回路を、負荷素子 L E 0 1 a 、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 a 、負荷素子 L E 0 2 b に適用することによって、負荷素子 L E 0 1 a 、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 a 、負荷素子 L E 0 2 b のそれぞれの抵抗値を適宜変更することができる。また、上記に述べた回路以外で、負荷素子 L E 0 1 a 、負荷素子 L E 0 1 b 、負荷素子 L E 0 2 a 、負荷素子 L E 0 2 b のそれぞれに適用できる回路としては、補正回路、增幅回路、変換回路などが挙げられる。

【 0 3 4 6 】

図 2 5 (A) の回路 M P C は、端子 w t に入力される重み係数 $w_1 (k - 1)_j (k)$ 乃至 $w_m (k - 1)_j (k)$ のそれぞれが 2 値である場合に、適用することができる。

【 0 3 4 7 】

図 2 5 (A) の回路 M P C では、スイッチ S 0 8 a 及びスイッチ S 0 8 b (スイッチ S 0 9 a 及びスイッチ S 0 9 b) によって、負荷素子 L E 0 1 a 又は負荷素子 L E 0 1 b の一方 (負荷素子 L E 0 2 a 又は負荷素子 L E 0 2 b の一方) を選択する構成としたが、本発明の一態様はこれに限定されず、3 つ以上の負荷回路のうち 1 つを選択する構成として

もよい。図25(B)に示す回路MPCは、図25(A)の回路MPCの変形例であり、端子wt(端子wts)に入力された信号に応じて、3つ以上の負荷回路のうち1つを選択する構成となっている。このような回路MPCを適用することによって、端子wtに入力される重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$ のそれぞれが3値以上である場合に対応することができる。

【0348】

図25(B)の回路MPCは、図25(A)のスイッチS08a及びスイッチS08bとして、スイッチS08[1]乃至スイッチS08[P](Pは1以上の整数である。)を有し、図25(A)の負荷素子LE01a及び負荷素子LE01bとして、負荷素子LE01[1]乃至負荷素子LE01[P]を有し、図25(A)のスイッチS09a及びスイッチS09bとして、スイッチS09[1]乃至スイッチS09[Q](Qは1以上の整数である。)を有し、図25(A)の負荷素子LE02a及び負荷素子LE02bとして、負荷素子LE02[1]乃至負荷素子LE02[Q]を有する。更に、図25(B)の回路MPCは、セレクタDX1と、セレクタDX2と、を有する。なお、図25(B)には、負荷回路として、負荷素子LE01[1]、負荷素子LE01[p]、負荷素子LE01[P]、負荷素子LE02[1]、負荷素子LE02[q]、負荷素子LE02[Q]を図示し、スイッチとして、スイッチS08[1]、スイッチS08[p]、スイッチS08[P]、スイッチS09[1]、スイッチS09[q]、スイッチS09[Q]を図示しており、それ以外の負荷回路、スイッチについては図示を省略している。

10

【0349】

なお、負荷素子LE01[1]乃至負荷素子LE01[P]のそれぞれの負荷は互いに異なることが好ましく、負荷素子LE02[1]乃至負荷素子LE02[Q]のそれぞれの負荷は互いに異なることが好ましい。

20

【0350】

図25(B)の回路MPCにおいて、セレクタDX1の入力端子は、高レベル電位を与える配線VHLに電気的に接続され、セレクタDX1の複数の出力端子のそれぞれは、スイッチS08[1]乃至スイッチS08[P]の制御端子に電気的に接続されている。また、端子wtは、セレクタDX1に電気的に接続されており、セレクタDX1は、端子wtに入力された信号に応じて、配線VHLと、スイッチS08[1]乃至スイッチS08[P]のいずれか一の制御端子と、を電気的に接続する機能を有する。つまり、端子wtに入力された重み係数に応じて、インバータ回路INV5の出力端子から出力された信号に対して、負荷素子LE01[1]乃至負荷素子LE01[P]のいずれか一の負荷を与えることができる。

30

【0351】

また、セレクタDX2の入力端子は、高レベル電位を与える配線VHLに電気的に接続され、セレクタDX2の複数の出力端子のそれぞれは、スイッチS09[1]乃至スイッチS09[Q]の制御端子に電気的に接続されている。また、端子wtsは、セレクタDX2に電気的に接続されており、セレクタDX2は、端子wtsに入力された信号に応じて、配線VHLと、スイッチS09[1]乃至スイッチS09[Q]のいずれか一の制御端子と、を電気的に接続する機能を有する。つまり、端子wtsに入力された重み係数に応じて、インバータ回路INV6の出力端子から出力された信号に対して、負荷素子LE02[1]乃至負荷素子LE02[Q]のいずれか一の負荷を与えることができる。

40

【0352】

なお、図25(B)の回路MPCにおいて、スイッチS09[1]乃至スイッチS09[Q]及びセレクタDX2は、負荷素子LE01[1]乃至負荷素子LE01[P]の基準となる、負荷素子LE02[1]乃至負荷素子LE02[Q]を選択するための役割を有する。そのため、負荷素子LE01[1]乃至負荷素子LE01[P]の基準となる負荷回路があらかじめ定まっている場合は、図26(A)に示す回路MPCのとおり、スイッチS09[1]乃至スイッチS09[Q]及びセレクタDX2を設けず、負荷素子LE01[1]乃至負荷素子LE01[P]の基準となる、負荷素子LE02のみを設けた構

50

成としてもよい。

【0353】

演算回路110の全ての回路MPCとして、図25(B)の回路MPCを適用することによって、重み係数を切り替えて、演算を行うことができる。例えば、演算回路110の回路MPC[1]乃至回路MPC[m]に含まれる回路DECのそれぞれの負荷素子LE01[p]に重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$ に応じた負荷を設定し、回路DECのそれぞれの負荷素子LE01[r](ここでのrは、1以上P以下でpでない整数とする。)に重み係数 $w_1(k-1)_h(k)$ 乃至 $w_m(k-1)_h(k)$ に応じた負荷を設定し、端子wt sに任意の電位を入力して、負荷素子LE01[1]乃至負荷素子LE01[P]の基準となる、負荷素子LE02[1]乃至負荷素子LE02[Q]のいずれか一を選択し、端子xtには、信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ に応じた信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ が入力されているものとする。このとき、端子wtに負荷素子LE01[p]を選択する信号が入力されることによって、スイッチS08[p]がオン状態となり、スイッチS08[p]を除くスイッチS08[1]乃至スイッチS08[P]がオフ状態となる。これにより、演算回路110は、負荷素子LE02[1]乃至負荷素子LE02[Q]のいずれか一を基準として、重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$ と信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ との積和と活性化関数の演算を行うことができる。また、端子wtに負荷素子LE01[r]を選択する信号が入力されることによって、スイッチS08[r]がオン状態となり、スイッチS08[r]を除くスイッチS08[1]乃至スイッチS08[P]がオフ状態となる。これにより、演算回路110は、負荷素子LE02[1]乃至負荷素子LE02[Q]のいずれか一を基準として、重み係数 $w_1(k-1)_h(k)$ 乃至 $w_m(k-1)_h(k)$ と信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ との積和と活性化関数の演算を行うことができる。

【0354】

演算回路110の全ての回路MPCとして、図25(B)の回路MPCを適用することによって、重み係数を切り替えることで、それぞれの重み係数に対応する演算を行うことができる。

【0355】

また、図25(A)(B)、図26(A)の回路MPCでは、負荷回路を並列に接続した構成を示したが、回路MPCは、負荷回路を直列に接続した構成に変更としてもよい。図26(B)に示す回路MPCは、負荷素子LE03[1]乃至負荷素子LE03[P]と負荷素子LE04[1]乃至負荷素子LE04[Q]とを有し、負荷素子LE03[1]乃至負荷素子LE03[P]が直列に接続され、負荷素子LE04[1]乃至負荷素子LE04[Q]が直列に接続された構成となっている。なお、負荷素子LE03[1]乃至負荷素子LE03[P]のそれぞれの負荷の大きさは等しいことが好ましく、負荷素子LE04[1]乃至負荷素子LE04[Q]のそれぞれの負荷の大きさは等しいことが好ましい。

【0356】

図26(B)の回路MPCは、スイッチS30[1]乃至スイッチS30[P]と、スイッチS31[1]乃至スイッチS31[Q]と、を有する。スイッチS30[j](図示しない。)の第1端子は、負荷素子LE03[j](図示しない。)の第2端子に電気的に接続され、スイッチS30[1]乃至スイッチS30[P]のそれぞれの第2端子は、切り替え回路SCの2つある入力端子の一方に電気的に接続されている。また、スイッチS31[q](図示しない。)の第1端子は、負荷素子LE04[q](図示しない。)の第2端子に電気的に接続され、スイッチS31[1]乃至スイッチS31[Q]のそれぞれの第2端子は、切り替え回路SCの2つある入力端子の他方に電気的に接続されている。

【0357】

また、図26(B)の回路MPCは、セレクタDX1と、セレクタDX2と、を有する。セレクタDX1の入力端子は、高レベル電位を与える配線VHLに電気的に接続され、

10

20

30

40

50

セレクタDX1の複数の出力端子のそれぞれは、スイッチS30[1]乃至スイッチS30[P]の制御端子に電気的に接続されている。また、端子wtは、セレクタDX1に電気的に接続されており、セレクタDX1は、端子wtに入力された信号に応じて、配線VHLと、スイッチS30[1]乃至スイッチS30[P]のいずれか一の制御端子と、を電気的に接続する機能を有する。この構成により、端子wtに入力された信号に応じて、インバータ回路INV5の出力端子から切り替え回路SCの2つの入力端子の一方までの間に電気的に直列に接続される負荷回路の個数を決めることができる。

【0358】

また、セレクタDX2の入力端子は、高レベル電位を与える配線VHLに電気的に接続され、セレクタDX2の複数の出力端子のそれぞれは、スイッチS31[1]乃至スイッチS31[Q]の制御端子に電気的に接続されている。また、端子wtsは、セレクタDX2に電気的に接続されており、セレクタDX2は、端子wtsに入力された信号に応じて、配線VHLと、スイッチS31[1]乃至スイッチS31[Q]のいずれか一の制御端子と、を電気的に接続する機能を有する。この構成により、端子wtsに入力された信号に応じて、インバータ回路INV6の出力端子から切り替え回路SCの2つの入力端子の他方までの間に電気的に直列に接続される負荷回路の個数を決めることができる。なお、当該負荷回路の個数は、負荷素子LE03[1]乃至負荷素子LE03[P]の基準となる、負荷の大きさに相当する。負荷素子LE03[1]乃至負荷素子LE03[P]の基準となる負荷回路があらかじめ定まっている場合は、スイッチS31[1]乃至スイッチS31[Q]及びセレクタDX2を設けず、基準となる負荷素子LE02をインバータ回路INV6の出力端子と切り替え回路SCの2つの入力端子の他方との間に設けた構成とすればよい(図示しない。)。

10

20

30

40

【0359】

演算回路110の全ての回路MPCとして、図26(B)の回路MPCを適用することによって、重み係数を切り替えて、演算を行うことができる。例えば、演算回路110の回路MPC[1]乃至回路MPC[m]に含まれる回路DECのそれぞれの端子wtに重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$ に応じた信号が入力され、回路DECのそれぞれの端子wtsに、負荷素子LE01[1]乃至負荷素子LE01[P]の基準を決めるための信号が入力され、端子xtには、信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ に応じた信号 $x_1(k-1)$ 乃至 $x_m(k-1)$ が入力されているものとする。このとき、端子wtに入力された重み係数に応じて、インバータ回路INV5の出力端子から切り替え回路SCの2つの入力端子の一方までの間に電気的に直列に接続される負荷回路の個数を決められ、端子wtsに入力された信号に応じて、インバータ回路INV6の出力端子から切り替え回路SCの2つの入力端子の他方までの間の基準となる負荷が決められて、重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$ と信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ との積和と活性化関数の演算を行うことができる。また、このとき、演算回路110の回路MPC[1]乃至回路MPC[m]に含まれる回路DECのそれぞれの端子wtに、重み係数 $w_1(k-1)_j(k)$ 乃至 $w_m(k-1)_j(k)$ 、重み係数 $w_1(k-1)_h(k)$ 乃至 $w_m(k-1)_h(k)$ に応じた信号が入力されることによって、重み係数 $w_1(k-1)_h(k)$ 乃至 $w_m(k-1)_h(k)$ と信号 $z_1(k-1)$ 乃至 $z_m(k-1)$ との積和と活性化関数の演算を行うことができる。

【0360】

演算回路110の全ての回路MPCとして、図26(B)の回路MPCを適用することによって、重み係数を切り替えることで、それぞれの重み係数に対応する演算を行うことができる。

【0361】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0362】

(実施の形態4)

50

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なOSトランジスタの構成例について説明する。

【0363】

<半導体装置の構成例>

図27に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図29(A)はトランジスタ500のチャネル長方向の断面図であり、図29(B)はトランジスタ500のチャネル幅方向の断面図であり、図29(C)はトランジスタ300のチャネル幅方向の断面図である。

【0364】

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ(OSトランジスタ)である。トランジスタ500は、オフ電流が小さいため、これを半導体装置、特に演算回路110のトランジスタTr03などに用いることにより、長期にわたり書き込んだデータを保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

【0365】

トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、回路BF1における容量素子C01などとすることができます。

【0366】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態におけるトランジスタに適用することができます。

【0367】

トランジスタ300は、図29(C)に示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができます。

【0368】

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0369】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

【0370】

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

【0371】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材

10

20

30

40

50

料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

【0372】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタンゲステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタンゲステンを用いることが耐熱性の点で好ましい。

【0373】

なお、図27に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図28に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

10

【0374】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

【0375】

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

20

【0376】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0377】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されているてもよい。

30

【0378】

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0379】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

40

【0380】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が500から500の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0381】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶

50

縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜としてすることで、配線間に生じる寄生容量を低減することができる。

【0382】

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

10

【0383】

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましく、タンゲステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

20

【0384】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図27において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

30

【0385】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

30

【0386】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタンゲステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

40

【0387】

絶縁体354、及び導電体356上に、配線層を設けてもよい。例えば、図27において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

50

【0388】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、ト

ランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0389】

絶縁体364、及び導電体366上に、配線層を設けてもよい。例えば、図27において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ又は配線としての機能を有する。なお導電体376は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0390】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

10

【0391】

絶縁体374、及び導電体376上に、配線層を設けてもよい。例えば、図27において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、及び絶縁体384には、導電体386が形成されている。導電体386は、プラグ又は配線としての機能を有する。なお導電体386は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

20

【0392】

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0393】

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、及び導電体386を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

30

【0394】

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、及び絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、及び絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0395】

例えば、絶縁体510、及び絶縁体514には、例えば、基板311、又はトランジスタ300を設ける領域などから、トランジスタ500を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

40

【0396】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

50

【0397】

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、及び絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0398】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。10

【0399】

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0400】

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。20

【0401】

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0402】

絶縁体516の上方には、トランジスタ500が設けられている。30

【0403】

図29(A)(B)に示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畠して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。40

【0404】

また、図29(A)(B)に示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図29(A)(B)に示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図29(A)(B)に示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

【0405】

10

20

30

40

50

なお、以下において、酸化物 530a、酸化物 530b、及び酸化物 530c をまとめて酸化物 530 という場合がある。

【0406】

なお、トランジスタ 500 では、チャネルが形成される領域と、その近傍において、酸化物 530a、酸化物 530b、及び酸化物 530c の 3 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 530b の単層、酸化物 530b と酸化物 530a の 2 層構造、酸化物 530b と酸化物 530c の 2 層構造、又は 4 層以上の積層構造を設ける構成にしてもよい。また、トランジスタ 500 では、導電体 560 を 2 層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体 560 が、単層構造であってもよいし、3 層以上の積層構造であってもよい。また、図 27、図 29(A) に示すトランジスタ 500 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

10

【0407】

ここで、導電体 560 は、トランジスタのゲート電極として機能し、導電体 542a 及び導電体 542b は、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体 560 は、絶縁体 580 の開口、及び導電体 542a と導電体 542b に挟まれた領域に埋め込まれるように形成される。導電体 560、導電体 542a 及び導電体 542b の配置は、絶縁体 580 の開口に対して、自己整合的に選択される。つまり、トランジスタ 500 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 560 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 500 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

20

【0408】

さらに、導電体 560 が、導電体 542a と導電体 542b の間の領域に自己整合的に形成されるので、導電体 560 は、導電体 542a 又は導電体 542b と重畠する領域を有さない。これにより、導電体 560 と導電体 542a 及び導電体 542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ 500 のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

【0409】

導電体 560 は、第 1 のゲート(トップゲートともいう)電極として機能する場合がある。また、導電体 503 は、第 2 のゲート(ボトムゲートともいう)電極として機能する場合がある。その場合、導電体 503 に印加する電位を、導電体 560 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 500 のしきい値電圧を制御することができる。特に、導電体 503 に負の電位を印加することにより、トランジスタ 500 のしきい値電圧を 0V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 503 に負の電位を印加したほうが、印加しない場合よりも、導電体 560 に印加する電位が 0V のときのドレイン電流を小さくすることができる。

30

【0410】

導電体 503 は、酸化物 530、及び導電体 560 と、重なるように配置する。これにより、導電体 560、及び導電体 503 に電位を印加した場合、導電体 560 から生じる電界と、導電体 503 から生じる電界と、がつながり、酸化物 530 に形成されるチャネル形成領域を覆うことができる。本明細書等において、第 1 のゲート電極、及び第 2 のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

40

【0411】

また、導電体 503 は、導電体 518 と同様の構成であり、絶縁体 514 及び絶縁体 516 の開口の内壁に接して導電体 503a が形成され、さらに内側に導電体 503b が形成されている。なお、トランジスタ 500 では、導電体 503a 及び導電体 503b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 503 は、単層、又は 3 層以上の積層構造として設ける構成にしてもよい。

50

【0412】

ここで、導電体 503a は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

【0413】

例えば、導電体 503a が酸素の拡散を抑制する機能を持つことにより、導電体 503b が酸化して導電率が低下することを抑制することができる。

10

【0414】

また、導電体 503 が配線の機能を兼ねる場合、導電体 503b は、タンゲステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体 505 は、必ずしも設けなくともよい。なお、導電体 503b を単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0415】

絶縁体 520、絶縁体 522、絶縁体 524、及び絶縁体 550 は、第 2 のゲート絶縁膜としての機能を有する。

【0416】

ここで、酸化物 530 と接する絶縁体 524 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体 524 には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物 530 に接して設けることにより、酸化物 530 中の酸素欠損を低減し、トランジスタ 500 の信頼性を向上させることができる。

20

【0417】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms / cm³ 以上、好ましくは 1.0×10^{19} atoms / cm³ 以上、さらに好ましくは 2.0×10^{19} atoms / cm³ 以上、又は 3.0×10^{20} atoms / cm³ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、又は 100 以上 400 以下の範囲が好ましい。

30

【0418】

また、絶縁体 524 が、過剰酸素領域を有する場合、絶縁体 522 は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0419】

絶縁体 522 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 530 が有する酸素は、絶縁体 520 側へ拡散することがなく、好ましい。また、導電体 503 が、絶縁体 524 や、酸化物 530 が有する酸素と反応することを抑制することができる。

40

【0420】

絶縁体 522 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニア、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）、又は（Ba, Sr）TiO₃（BST）などのいわゆる hight-k 材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に hight-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動

50

作時のゲート電位の低減が可能となる。

【0421】

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

【0422】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0423】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好ましい。また、 $h_i g h - k$ 材料の絶縁体を酸化シリコン、又は酸化窒化シリコンを組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

【0424】

なお、図29(A)(B)のトランジスタ500では、3層の積層構造からなる第2のゲート絶縁膜として、絶縁体520、絶縁体522、及び絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、又は4層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0425】

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物530として適用できるIn-M-Zn酸化物は、実施の形態5で説明するCAC-O_S、CAC-O_Sであることが好ましい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

【0426】

酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0427】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

【0428】

なお、酸化物530は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元

10

20

30

40

50

素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530a又は酸化物530bに用いることができる金属酸化物を、用いることができる。

【0429】

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

10

【0430】

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、及び酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするために、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

20

【0431】

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530a及び酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

20

【0432】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上述の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

30

【0433】

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニア、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、窒化タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

40

【0434】

また、図29では、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層する

50

とよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

【0435】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。10

【0436】

また、図29(A)に示すように、酸化物530の、導電体542a(導電体542b)との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャネル形成領域が形成される。

【0437】

酸化物530と接するように上記導電体542a(導電体542b)を設けることで、領域543a(領域543b)の酸素濃度が低減する場合がある。また、領域543a(領域543b)に導電体542a(導電体542b)に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a(領域543b)のキャリア密度が増加し、領域543a(領域543b)は、低抵抗領域となる。20

【0438】

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

【0439】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコンなども用いることができる。30

【0440】

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0441】

絶縁体544を有することで、絶縁体580に含まれる水、及び水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

【0442】

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、酸化物530

10

20

30

40

50

c の内側（上面、及び侧面）に接して配置することが好ましい。絶縁体 550 は、上述した絶縁体 524 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【 0 4 4 3 】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

【 0 4 4 4 】

加熱により酸素が放出される絶縁体を、絶縁体 550 として、酸化物 530c の上面に接して設けることにより、絶縁体 550 から、酸化物 530c を通じて、酸化物 530b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 524 と同様に、絶縁体 550 中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体 550 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

10

【 0 4 4 5 】

また、絶縁体 550 が有する過剰酸素を、効率的に酸化物 530 へ供給するために、絶縁体 550 と導電体 560 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 550 から導電体 560 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 550 から導電体 560 への過剰酸素の拡散が抑制される。つまり、酸化物 530 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 560 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 544 に用いることができる材料を用いればよい。

20

【 0 4 4 6 】

なお、絶縁体 550 は、第 2 のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【 0 4 4 7 】

30

第 1 のゲート電極として機能する導電体 560 は、図 29 (A) (B) では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

【 0 4 4 8 】

導電体 560a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 560a が酸素の拡散を抑制する機能を持つことにより、絶縁体 550 に含まれる酸素により、導電体 560b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体 560a として、酸化物 530 に適用できる酸化物半導体を用いることができる。その場合、導電体 560b をスパッタリング法で成膜することで、酸化物半導体の電気抵抗値を低下させて導電体にすることができる。これを O_C (Oxide Conductor) 電極と呼ぶことができる。

40

【 0 4 4 9 】

また、導電体 560b は、タンゲステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 560b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。また、導電体 560b は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

50

【0450】

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

【0451】

過剰酸素領域を有し、かつ加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530a、酸化物530bへと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0452】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畠して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

【0453】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

【0454】

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

【0455】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンクステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

【0456】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

【0457】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0458】

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

【0459】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に

10

20

30

40

50

対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 582 には、絶縁体 514 と同様の材料を用いることができる。例えば、絶縁体 582 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0460】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

10

【0461】

また、絶縁体 582 上には、絶縁体 586 が設けられている。絶縁体 586 は、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 586 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0462】

また、絶縁体 520、絶縁体 522、絶縁体 524、絶縁体 544、絶縁体 580、絶縁体 574、絶縁体 581、絶縁体 582、及び絶縁体 586 には、導電体 546、及び導電体 548 等が埋め込まれている。

20

【0463】

導電体 546、及び導電体 548 は、容量素子 600、トランジスタ 500、又はトランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 546、及び導電体 548 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0464】

続いて、トランジスタ 500 の上方には、容量素子 600 が設けられている。容量素子 600 は、導電体 610 と、導電体 620、絶縁体 630 とを有する。

【0465】

また、導電体 546、及び導電体 548 上に、導電体 612 を設けてもよい。導電体 612 は、トランジスタ 500 と接続するプラグ、又は配線としての機能を有する。導電体 610 は、容量素子 600 の電極としての機能を有する。なお、導電体 612、及び導電体 610 は、同時に形成することができる。

30

【0466】

導電体 612、及び導電体 610 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

40

【0467】

図 27 では、導電体 612、及び導電体 610 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0468】

絶縁体 630 を介して、導電体 610 と重畠するように、導電体 620 を設ける。なお、導電体 620 は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を

50

用いることが好ましく、特にタンゲステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu (銅) や Al (アルミニウム) 等を用いればよい。

【 0 4 6 9 】

導電体 620、及び絶縁体 630 上には、絶縁体 650 が設けられている。絶縁体 650 は、絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 650 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【 0 4 7 0 】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

10

【 0 4 7 1 】

<トランジスタの構造例>

なお、本実施の形態に示す半導体装置のトランジスタ 500 は、上記の構造に限られるものではない。以下、トランジスタ 500 に用いることができる構造例について説明する。なお、下記に説明するトランジスタは、上記に説明したトランジスタの変形例であるため、下記の説明では、異なる点を主に説明し、同一の点については省略することができる。

【 0 4 7 2 】

<<トランジスタの構造例 1>>

20

図 30 (A) 乃至 (C) を用いてトランジスタ 500 A の構造例を説明する。図 30 (A) はトランジスタ 500 A の上面図である。図 30 (B) は、図 30 (A) に一点鎖線 L1 - L2 で示す部位の断面図である。図 30 (C) は、図 30 (A) に一点鎖線 W1 - W2 で示す部位の断面図である。なお、図 30 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 4 7 3 】

図 30 (A) 乃至 (C) に示すトランジスタ 500 A は、図 29 (A) に示したトランジスタ 500 に、層間膜として機能する絶縁体 511 と、配線として機能する導電体 505 と、を加えた構成となっている。

30

【 0 4 7 4 】

また、図 30 (A) 乃至 (C) に示すトランジスタ 500 A では、酸化物 530c、絶縁体 550、及び導電体 560 が、絶縁体 580 に設けられた開口部内に、絶縁体 544 を介して配置される。また、酸化物 530c、絶縁体 550、及び導電体 560 は、導電体 542a、及び導電体 542b との間に配置される。

【 0 4 7 5 】

絶縁体 511 としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニア、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO₃) 又は (Ba, Sr) TiO₃ (BST) などの絶縁体を単層又は積層で用いることができる。又はこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニアを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

40

【 0 4 7 6 】

例えば、絶縁体 511 は、水又は水素などの不純物が、基板側からトランジスタ 500 A に混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁体 511 は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。また、例えば、絶縁体 51

50

1として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁体511よりも基板側からトランジスタ500A側に拡散するのを抑制することができる。

【0477】

例えば、絶縁体512は、絶縁体511よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜としてすることで、配線間に生じる寄生容量を低減することができる。

【0478】

導電体505は、絶縁体512に埋め込まれるように形成される。ここで、導電体505の上面の高さと、絶縁体512の上面の高さは同程度にできる。なお導電体505は、単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体505を2層以上の多層膜構造としてもよい。なお、導電体505は、タンゲステン、銅、又はアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

10

【0479】

絶縁体514、及び絶縁体516は、絶縁体511又は絶縁体512と同様に、層間膜として機能する。例えば、絶縁体514は、水又は水素などの不純物が、基板側からトランジスタ500Aに混入するのを抑制するバリア膜として機能することが好ましい。当該構成により、水素、水などの不純物が絶縁体514よりも基板側からトランジスタ500A側に拡散するのを抑制することができる。また、例えば、絶縁体516は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜としてすることで、配線間に生じる寄生容量を低減することができる。

20

【0480】

また、絶縁体522は、バリア性を有することが好ましい。絶縁体522がバリア性を有することで、トランジスタ500Aの周辺部からトランジスタ500Aへの水素等の不純物の混入を抑制する層として機能する。

【0481】

また、酸化物530cは、絶縁体580に設けられた開口部内に、絶縁体544を介して設けられることが好ましい。絶縁体544がバリア性を有する場合、絶縁体580からの不純物が酸化物530へと拡散することを抑制することができる。

30

【0482】

また、導電体542a、及び導電体542b上に、バリア層を設けてもよい。バリア層は、酸素、又は水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁体544を成膜する際に、導電体542a、及び導電体542bが酸化することを抑制することができる。

【0483】

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

【0484】

バリア層を有することで、導電体542a、及び導電体542bの材料選択の幅を広げることができる。例えば、導電体542a、及び導電体542bに、タンゲステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

40

【0485】

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、絶縁体580に設けられた開口部内に、酸化物530c、及び絶縁体544を介して設けられることが好ましい。

【0486】

また、導電体540a、及び導電体540bの材料としては、導電体503と同様に、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又

50

は積層して用いることができる。例えば、耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0487】

例えば、導電体540a、及び導電体540bとしては、例えば、水素、及び酸素に対してバリア性を有する導電体である窒化タンタル等と、導電性が高いタンゲステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

【0488】

上記構造を有することで、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

10

【0489】

<<トランジスタの構造例2>>

図31(A)乃至(C)を用いてトランジスタ500Bの構造例を説明する。図31(A)はトランジスタ500Bの上面図である。図31(B)は、図31(A)に一点鎖線L1-L2で示す部位の断面図である。図31(C)は、図31(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図31(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

20

【0490】

トランジスタ500Bはトランジスタ500Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ500Aと異なる点について説明する。

【0491】

トランジスタ500Bは、導電体542a(導電体542b)と、酸化物530cと、絶縁体550と、導電体560と、が重畠する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

30

【0492】

第1のゲート電極として機能する導電体560は、導電体560a、及び導電体560a上の導電体560bを有する。導電体560aは、導電体503aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0493】

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

40

【0494】

また、導電体560の上面及び側面と、絶縁体550の側面と、酸化物530cの側面と、を覆うように、絶縁体544を設けることが好ましい。

【0495】

絶縁体544を設けることで、導電体560の酸化を抑制することができる。また、絶縁体544を有することで、絶縁体580が有する水、及び水素などの不純物がトランジスタ500Bへ拡散することを抑制することができる。

【0496】

また、トランジスタ500Bのコンタクトプラグは、トランジスタ500Aのコンタクトプラグの構成と異なっている。トランジスタ500Bでは、コンタクトプラグとして機

50

能する導電体 546a（導電体 546b）と、絶縁体 580 との間に、バリア性を有する絶縁体 576a（絶縁体 576b）が配置されている。絶縁体 576a（絶縁体 576b）を設けることで、絶縁体 580 の酸素が導電体 546 と反応し、導電体 546 が酸化することを抑制することができる。

【0497】

また、バリア性を有する絶縁体 576a（絶縁体 576b）を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電体 546a（導電体 546b）に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的には、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

10

【0498】

<<トランジスタの構造例 3>>

図 32 (A) 乃至 (C) を用いてトランジスタ 500C の構造例を説明する。図 32 (A) はトランジスタ 500C の上面図である。図 32 (B) は、図 32 (A) に一点鎖線 L1 - L2 で示す部位の断面図である。図 32 (C) は、図 32 (A) に一点鎖線 W1 - W2 で示す部位の断面図である。なお、図 32 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0499】

トランジスタ 500C はトランジスタ 500A の変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ 500A と異なる点について説明する。

20

【0500】

図 32 (A) 乃至 (C) に示すトランジスタ 500C は、導電体 542a と酸化物 530b の間に導電体 547a が配置され、導電体 542b と酸化物 530b の間に導電体 547b が配置されている。ここで、導電体 542a（導電体 542b）は、導電体 547a（導電体 547b）の上面及び導電体 560 側の側面を越えて延在し、酸化物 530b の上面に接する領域を有する。ここで、導電体 547a、及び導電体 547b は、導電体 542a、及び導電体 542b に用いることができる導電体を用いればよい。さらに、導電体 547a、及び導電体 547b の膜厚は、少なくとも導電体 542a、及び導電体 542b より厚いことが好ましい。

30

【0501】

図 32 に示すトランジスタ 500C は、上記のような構成を有することにより、トランジスタ 500A よりも、導電体 542a、及び導電体 542b を導電体 560 に近づけることができる。又は、導電体 542a の端部及び導電体 542b の端部と、導電体 560 を重ねることができる。これにより、トランジスタ 500C の実質的なチャネル長を短くし、オン電流の向上と、周波数特性の向上と、を図ることができる。

【0502】

また、導電体 547a（導電体 547b）は、導電体 542a（導電体 542b）と重畠して設けられることが好ましい。このような構成にすることで、導電体 540a（導電体 540b）を埋め込む開口を形成するエッティングにおいて、導電体 547a（導電体 547b）がストップとして機能し、酸化物 530b がオーバーエッティングされるのを防ぐことができる。

40

【0503】

また、図 32 に示すトランジスタ 500C は、絶縁体 544 の上に接して絶縁体 545 を配置する構成としている。絶縁体 544 としては、水又は水素などの不純物や、過剰な酸素が、絶縁体 580 側からトランジスタ 500C に混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体 545 としては、絶縁体 544 に用いることができる絶縁体を用いることができる。また、絶縁体 544 としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化シリコン又は窒化酸化シリコンなどの、窒化物絶縁体を用いてもよい。

50

【0504】

また、図32に示すトランジスタ500Cは、図30に示すトランジスタ500Aと異なり、導電体503を単層構造としている。この場合、パターン形成された導電体503の上に絶縁体516となる絶縁膜を成膜し、当該絶縁膜の上部を、導電体503の上面が露出するまでCMP法などを用いて除去すればよい。ここで、導電体503の上面の平坦性を良好にすることが好ましい。例えば、導電体503上面の平均面粗さ(R_a)を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体503の上に形成される、絶縁体の平坦性を良好にし、酸化物530b及び酸化物530cの結晶性の向上を図ることができる。

【0505】

<<トランジスタの構造例4>>

図33(A)乃至(C)を用いてトランジスタ500Dの構造例を説明する。図33(A)はトランジスタ500Dの上面図である。図33(B)は、図33(A)に一点鎖線L1-L2で示す部位の断面図である。図33(C)は、図33(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図33(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0506】

トランジスタ500Dは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

【0507】

図33(A)乃至(C)に示すトランジスタ500Dは、トランジスタ500、トランジスタ500A乃至トランジスタ500Cと異なり、導電体542a、及び導電体542bを設けずに、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

【0508】

また、トランジスタ500Dは、図32に示したトランジスタ500Cと同様に、導電体505を設けずに、第2のゲートとしての機能を有する導電体503を配線としても機能させている。また、酸化物530c上に絶縁体550を有し、絶縁体550上に金属酸化物552を有する。また、金属酸化物552上に導電体560を有し、導電体560上に絶縁体570を有する。また、絶縁体570上に絶縁体571を有する。

【0509】

金属酸化物552は、酸素拡散を抑制する機能を有することが好ましい。絶縁体550と、導電体560との間に、酸素の拡散を抑制する金属酸化物552を設けることで、導電体560への酸素の拡散が抑制される。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、酸素による導電体560の酸化を抑制することができる。

【0510】

なお、金属酸化物552は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物530として用いることができる酸化物半導体を、金属酸化物552として用いることができる。その場合、導電体560をスパッタリング法で成膜することで、金属酸化物552の電気抵抗値を低下させて導電体とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

【0511】

また、金属酸化物552は、ゲート絶縁膜の一部としての機能を有する場合がある。したがって、絶縁体550に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物552は、比誘電率が高いhig h-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができます。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁膜として機能する絶縁層の等価酸化膜厚(EOT)の薄膜化が可能となる。

10

20

30

40

50

【0512】

トランジスタ500Dにおいて、金属酸化物552を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁膜の一部として機能する金属酸化物とを積層して設けてもよい。

【0513】

金属酸化物552を有することで、ゲート電極として機能する場合は、導電体560からの電界の影響を弱めることなく、トランジスタ500Dのオン電流の向上を図ることができる。又は、ゲート絶縁膜として機能する場合は、絶縁体550と、金属酸化物552との物理的な厚みにより、導電体560と、酸化物530との間の距離を保つことで、導電体560と酸化物530との間のリーク電流を抑制することができる。従って、絶縁体550、及び金属酸化物552との積層構造を設けることで、導電体560と酸化物530との間の物理的な距離、及び導電体560から酸化物530へかかる電界強度を、容易に適宜調整することができる。

10

【0514】

具体的には、酸化物530に用いることができる酸化物半導体を低抵抗化することで、金属酸化物552として用いることができる。又は、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンゲステン、チタン、タントル、ニッケル、ゲルマニウム、又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

【0515】

20

特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、金属酸化物552は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0516】

絶縁体570は、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体570よりも上方からの酸素で導電体560が酸化するのを抑制することができる。また、絶縁体570よりも上方からの水又は水素などの不純物が、導電体560、及び絶縁体550を介して、酸化物530に混入することを抑制することができる。

30

【0517】

絶縁体571はハードマスクとして機能する。絶縁体571を設けることで、導電体560の加工の際、導電体560の側面が概略垂直、具体的には、導電体560の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

【0518】

なお、絶縁体571に、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体570は設けなくともよい。

40

【0519】

絶縁体571をハードマスクとして用いて、絶縁体570、導電体560、金属酸化物552、絶縁体550、及び酸化物530cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、酸化物530b表面の一部を露出させることができる。

【0520】

また、トランジスタ500Dは、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

50

【0521】

領域 531a 及び領域 531b の形成は、例えば、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、又はプラズマ処理などを用いて、露出した酸化物 530b 表面にリン又はボロンなどの不純物元素を導入することで実現できる。なお、本実施の形態などにおいて「不純物元素」とは、主成分元素以外の元素のことをいう。

【0522】

また、酸化物 530b 表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を酸化物 530b に拡散させて領域 531a 及び領域 531b を形成することもできる。

【0523】

不純物元素が導入された酸化物 530b の一部の領域は、電気抵抗率が低下する。このため、領域 531a 及び領域 531b を「不純物領域」又は「低抵抗領域」という場合がある。

【0524】

絶縁体 571 及び / 又は導電体 560 をマスクとして用いることで、領域 531a 及び領域 531b を自己整合（セルフアライメント）的に形成することができる。よって、領域 531a 及び / 又は領域 531b と、導電体 560 が重ならず、寄生容量を低減することができる。また、チャネル形成領域とソースドレイン領域（領域 531a 又は領域 531b）の間にオフセット領域が形成されない。領域 531a 及び領域 531b を自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上などを実現できる。

10

20

【0525】

なお、オフ電流を更に低減するため、チャネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体 575 の形成後に前述した不純物元素の導入を行なうことで実現できる。この場合、絶縁体 575 も絶縁体 571 などと同様にマスクとして機能する。よって、酸化物 530b の絶縁体 575 と重なる領域に不純物元素が導入されず、該領域の電気抵抗率を高いままとすることができる。

【0526】

また、トランジスタ 500D は、絶縁体 570、導電体 560、金属酸化物 552、絶縁体 550、及び酸化物 530c の側面に絶縁体 575 を有する。絶縁体 575 は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などであることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体 575 に用いると、後の工程で絶縁体 575 中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体 575 は、酸素を拡散する機能を有することが好ましい。

30

40

【0527】

また、トランジスタ 500D は、絶縁体 575、酸化物 530 上に絶縁体 544 を有する。絶縁体 544 は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水又は水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体 544 として、酸化アルミニウムを用いるとよい。

【0528】

なお、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、絶縁体 544 が酸化物 530 及び絶縁体 575 から水素及び水を吸収することで、酸化物 530 及び絶縁体 575 の水素濃度を低減することができる。

【0529】

50

<<トランジスタの構造例5>>

図34(A)乃至(C)を用いてトランジスタ500Eの構造例を説明する。図34(A)はトランジスタ500Eの上面図である。図34(B)は、図34(A)に一点鎖線L1-L2で示す部位の断面図である。図34(C)は、図34(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図34(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0530】

トランジスタ500Eは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

【0531】

図34(A)乃至(C)では、トランジスタ500Dと同様に、導電体542a、及び導電体542bを設けずに、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。また、酸化物530bと、絶縁体544の間に、絶縁体573を有する。

【0532】

図34に示す、領域531a、及び領域531bは、酸化物530bに下記の元素が添加された領域である。領域531a、及び領域531bは、例えば、ダミーゲートを用いることで形成することができる。

【0533】

具体的には、酸化物530b上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、酸化物530bの一部の領域を低抵抗化する元素を添加するとよい。つまり、酸化物530が、ダミーゲートと重畠していない領域に、当該元素が添加され、領域531a及び領域531bが形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

【0534】

なお、酸化物530bの一部の領域を低抵抗化する元素としては、代表的には、ホウ素、又はリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス元素等を用いてもよい。希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法(SIM: Secondary Ion Mass Spectrometry)などを用いて測定すればよい。

【0535】

特に、アモルファスシリコン、低温ポリシリコンなどが半導体層に含まれるSiトランジスタの製造ラインの装置において、ホウ素、及びリンを添加することができるため、当該製造ラインの装置を用いることにより酸化物530bの一部を低抵抗化することができる。つまり、Siトランジスタの製造ラインの一部を、トランジスタ500Eの作製工程に用いることができる。

【0536】

続いて、酸化物530b、及びダミーゲート上に、絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を成膜してもよい。絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を積層して設けることで、領域531a又は領域531bと、酸化物530cと、絶縁体550と、が重畠する領域を設けることができる。

【0537】

具体的には、絶縁体544となる絶縁膜上に絶縁体580となる絶縁膜を設けた後、絶縁体580となる絶縁膜にCMP(Chemical Mechanical Polishing)処理を行うことで、絶縁体580となる絶縁膜の一部を除去し、ダミーゲートを露出する。続いて、ダミーゲートを除去する際に、ダミーゲートと接する絶縁体573

10

20

30

40

50

の一部も除去するとよい。従って、絶縁体 580 に設けられた開口部の側面には、絶縁体 544、及び絶縁体 573 が露出し、当該開口部の底面には、酸化物 530b に設けられた領域 531a、及び領域 531b のそれぞれの一部が露出する。次に、当該開口部に酸化物 530c となる酸化膜、絶縁体 550 となる絶縁膜、及び導電体 560 となる導電膜を順に成膜した後、絶縁体 580 が露出するまで C M P 处理などにより、酸化物 530c となる酸化膜、絶縁体 550 となる絶縁膜、及び導電体 560 となる導電膜の一部を除去することで、図 34 に示すトランジスタを形成することができる。

【0538】

なお、絶縁体 573、及び絶縁体 544 は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

10

【0539】

図 34 に示すトランジスタには、導電体 542a、及び導電体 542b が設けられていないため、コストの低減を図ることができる。

【0540】

<<トランジスタの構造例 6>>

また、図 29 では、ゲートとしての機能を機能する導電体 560 が、絶縁体 580 の開口の内部に形成されている構造例について説明したが、例えば、当該導電体の上方に、当該絶縁体が設けられた構造を用いることもできる。このようなトランジスタの構造例を、図 35、図 36 に示す。

20

【0541】

図 35 (A) はトランジスタの上面図であり、図 35 (B) はトランジスタの斜視図である。また、図 35 (A) における L1 - L2 の断面図を図 36 (A) に示し、W1 - W2 の断面図を図 36 (B) に示す。

【0542】

図 35、図 36 に示すトランジスタは、バックゲートとしての機能を有する導電体 BG E と、ゲート絶縁膜としての機能を有する絶縁体 BGI と、酸化物半導体 S と、ゲート絶縁膜としての機能を有する絶縁体 FG I と、フロントゲートとしての機能を有する導電体 FGE と、配線としての機能を有する導電体 WE と、を有する。また、導電体 PE は、導電体 WE と、酸化物半導体 S、導電体 BGE、又は導電体 FGE と、を接続するためのプラグとしての機能を有する。なお、ここでは、酸化物半導体 S が、3 層の酸化物 S1、S2、S3 によって構成されている例を示している。

30

【0543】

<容量素子の構造例>

図 37 (A) 乃至 (C) では、図 27 に示す半導体装置に適用できる容量素子 600 の一例として容量素子 600A について示している。図 37 (A) は容量素子 600A の上面図であり、図 37 (B) は容量素子 600A の一点鎖線 L3 - L4 における断面を示した斜視図であり、図 37 (C) は容量素子 600A の一点鎖線 W3 - L4 における断面を示した斜視図である。

40

【0544】

導電体 610 は、容量素子 600A の一対の電極の一方として機能し、導電体 620 は、容量素子 600A の一対の電極の他方として機能する。また、絶縁体 630 は、一対の電極に挟まれる誘電体として機能する。

【0545】

容量素子 600A は、導電体 610 の下部において、導電体 546 と、導電体 548 とに電気的に接続されている。導電体 546 と、導電体 548 は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図 37 では、導電体 546 と、導電体 548 と、をまとめて導電体 540 と記載している。

【0546】

また、図 37 (A) 乃至 (C) では、図を明瞭に示すために、導電体 546 及び導電体 548 が埋め込まれている絶縁体 586 と、導電体 620 及び絶縁体 630 を覆っている

50

絶縁体 650 と、を省略している。

【0547】

なお、図27、図28に示す容量素子600、及び図37(A)乃至(C)に示す容量素子600Aはプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子600は、図38(A)乃至(C)に示すシリンドラ型の容量素子600Bとしてもよい。

【0548】

図38(A)は容量素子600Bの上面図であり、図38(B)は容量素子600Bの一点鎖線L3-L4における断面図であり、図38(C)は容量素子600Bの一点鎖線W3-L4における断面を示した斜視図である。

10

【0549】

図38(B)において、容量素子600Bは、導電体540が埋め込まれている絶縁体586上の絶縁体631と、開口部を有する絶縁体651と、一対の電極の一方として機能する導電体610と、一対の電極の他方として機能する導電体620と、を有する。

【0550】

また、図38(C)では、図を明瞭に示すために、絶縁体586と、絶縁体650と、絶縁体651と、を省略している。

【0551】

絶縁体631としては、例えば、絶縁体586と同様の材料を用いることができる。

20

【0552】

また、絶縁体631には、導電体540に電気的に接続されるように導電体611が埋め込まれている。導電体611は、例えば、導電体330、導電体518と同様の材料を用いることができる。

【0553】

絶縁体651としては、例えば、絶縁体586と同様の材料を用いることができる。

【0554】

また、絶縁体651は、前述の通り、開口部を有し、当該開口部は導電体611に重畠している。

【0555】

導電体610は、当該開口部の底部と、側面と、に形成されている。つまり、導電体621は、導電体611に重畠し、かつ導電体611に電気的に接続されている。

30

【0556】

なお、導電体610の形成方法としては、エッチング法などによって絶縁体651を開口部を形成し、次に、スパッタリング法、ALD法などによって導電体610を成膜する。その後、CMP(Chemical Mechanical Polishing)法などによって、開口部に成膜された導電体610を残して、絶縁体651上に成膜された導電体610を除去すればよい。

【0557】

絶縁体630は、絶縁体651上と、導電体610の形成面上と、に位置する。なお、絶縁体630は、容量素子において、一対の電極に挟まれる誘電体として機能する。

40

【0558】

導電体620は、絶縁体651の開口部が埋まるように、絶縁体630上に形成されている。

【0559】

絶縁体650は、絶縁体630と、導電体620と、を覆うように形成されている。

【0560】

図38(A)乃至(C)に示すシリンドラ型の容量素子600Bは、プレーナ型の容量素子600Aよりも静電容量の値を高くすることができます。そのため、例えば、上記の実施の形態で説明した容量素子C01、C01mなどとして、容量素子600Bを適用することによって、長時間、容量素子の端子間の電圧を維持することができる。

50

【 0 5 6 1 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【 0 5 6 2 】**(実施の形態 5)**

本実施の形態では、上記の実施の形態で説明した O S トランジスタに用いることができる金属酸化物である C A C - O S (C l o u d - A l i g n e d C o m p o s i t e O x i d e S e m i c o n d u c t o r) 、及び C A A C - O S (c - a x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) の構成について説明する。なお、明細書等において、 C A C は機能、又は材料の構成の一例を表し、 C A A C は結晶構造の一例を表す。

10

【 0 5 6 3 】**< 金属酸化物の構成 >**

C A C - O S 又は C A C - m e t a l o x i d e とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、 C A C - O S 又は C A C - m e t a l o x i d e を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（又はホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（ O n / O f f させる機能）を C A C - O S 又は C A C - m e t a l o x i d e に付与することができる。 C A C - O S 又は C A C - m e t a l o x i d e において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

20

【 0 5 6 4 】

また、 C A C - O S 又は C A C - m e t a l o x i d e は、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

30

【 0 5 6 5 】

また、 C A C - O S 又は C A C - m e t a l o x i d e において、導電性領域と、絶縁性領域とは、それぞれ 0 . 5 n m 以上 1 0 n m 以下、好ましくは 0 . 5 n m 以上 3 n m 以下のサイズで材料中に分散している場合がある。

【 0 5 6 6 】

また、 C A C - O S 又は C A C - m e t a l o x i d e は、異なるバンドギャップを有する成分により構成される。例えば、 C A C - O S 又は C A C - m e t a l o x i d e は、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記 C A C - O S 又は C A C - m e t a l o x i d e をトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

40

【 0 5 6 7 】

すなわち、 C A C - O S 又は C A C - m e t a l o x i d e は、マトリックス複合材 (m a t r i x c o m p o s i t e) 、又は金属マトリックス複合材 (m e t a l m a t r i x c o m p o s i t e) と呼称することもできる。

【 0 5 6 8 】**< 金属酸化物の構造 >**

50

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分ける。非単結晶酸化物半導体としては、例えば、C AAC - OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc - OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS : amorphous-like oxide semiconductor) 及び非晶質酸化物半導体などがある。

【0569】

C AAC - OS は、c 軸配向性を有し、かつ a - b 面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

10

【0570】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形などの格子配列を有する場合がある。なお、C AAC - OS において、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、C AAC - OS が、a - b 面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

20

【0571】

また、C AAC - OS は、インジウム、及び酸素を有する層（以下、In 層）と、元素 M、亜鉛、及び酸素を有する層（以下、(M, Zn) 層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素 M は、互いに置換可能であり、(M, Zn) 層の元素 M がインジウムと置換した場合、(In, M, Zn) 層と表すこともできる。また、In 層のインジウムが元素 M と置換した場合、(In, M) 層と表すこともできる。

【0572】

C AAC - OS は結晶性の高い酸化物半導体である。一方、C AAC - OS は、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C AAC - OS は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、C AAC - OS を有する酸化物半導体は、物理的性質が安定する。そのため、C AAC - OS を有する酸化物半導体は熱に強く、信頼性が高い。また、C AAC - OS は、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにC AAC - OS を用いると、製造工程の自由度を広げることが可能となる。

30

【0573】

nc - OS は、微小な領域（例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、nc - OS は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc - OS は、分析方法によっては、a-like OS や非晶質酸化物半導体と区別が付かない場合がある。

40

【0574】

a-like OS は、nc - OS と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OS は、鬆又は低密度領域を有する。即ち、a-like OS は、nc - OS 及び C AAC - OS と比べて、結晶性が低い。

【0575】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、n

50

c - OS、CAC - OSのうち、二種以上を有していてもよい。

【0576】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0577】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0578】

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

10

【0579】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0580】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

20

【0581】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0582】

<不純物>

30

ここで、酸化物半導体中における各不純物の影響について説明する。

【0583】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0584】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

40

【0585】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体にお

50

いて、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、S I M Sにおいて、 5×10^{19} atoms / cm³未満、好ましくは 5×10^{18} atoms / cm³以下、より好ましくは 1×10^{18} atoms / cm³以下、さらに好ましくは 5×10^{17} atoms / cm³以下とする。

【0586】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することができる。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、S I M Sにより得られる水素濃度を、 1×10^{20} atoms / cm³未満、好ましくは 1×10^{19} atoms / cm³未満、より好ましくは 5×10^{18} atoms / cm³未満、さらに好ましくは 1×10^{18} atoms / cm³未満とする。

10

【0587】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0588】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

20

【0589】

(実施の形態6)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

【0590】

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図39(A)を用いて説明する。

【0591】

図39(A)に示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

30

【0592】

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後に、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

【0593】

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2(ダイシングライン、又は切断ラインと呼ぶ場合がある)に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けるのが好ましい。

40

【0594】

ダイシング工程を行うことにより、図39(B)に示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング48

50

03aは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクリーブラインSCL1の切りしろと、又はスクリーブラインSCL2の切りしろとほぼ同等の長さであればよい。

【0595】

なお、本発明の一態様の素子基板の形状は、図39(A)に図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができます。

【0596】

<電子部品>

次に、チップ4800aが組み込まれた電子部品の例を、図39(C)、(D)を用いて説明を行う。

【0597】

図39(C)に電子部品4700および電子部品4700が実装された基板(実装基板4704)の斜視図を示す。図39(C)に示す電子部品4700は、リード4701と、上述したチップ4800aと、を有し、ICチップ等として機能する。特に、本明細書などにおいて、上記実施の形態で説明した演算回路110など半導体装置を含む電子部品4700をブレインモーフィックプロセッサと呼称する。

【0598】

電子部品4700は、例えば、リードフレームのリード4701とチップ4800a上の電極とを金属の細線(ワイヤー)で電気的に接続するワイヤーボンディング工程と、エポキシ樹脂等によって封止するモールド工程と、リードフレームのリード4701へのメッキ処理と、パッケージの表面への印字処理と、を行うことで作製することができる。また、ワイヤーボンディング工程は、例えば、ボールボンディングや、ウェッジボンディングなどを用いることができる。また、図39(C)では、電子部品4700のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。

【0599】

電子部品4700は、例えばプリント基板4702に実装される。このようなICチップが複数組み合わされて、それぞれがプリント基板4702上で電気的に接続されことで実装基板4704が完成する。

【0600】

図39(D)に電子部品4730の斜視図を示す。電子部品4730は、SiP(System in package)またはMCM(Multi Chip Module)の一例である。電子部品4730は、パッケージ基板4732(プリント基板)上にインターポーラ4731が設けられ、インターポーラ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

【0601】

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ(HBM: High Bandwidth Memory)などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路(半導体装置)を用いることができる。

【0602】

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーラ4731は、シリコンインターポーラ、樹脂インターポーラなどを用いることができる。

【0603】

インターポーラ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、イ

ンターポーザ 4 7 3 1 は、インターポーザ 4 7 3 1 上に設けられた集積回路をパッケージ基板 4 7 3 2 に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 4 7 3 1 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 4 7 3 2 を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

【0604】

インターポーザ 4 7 3 1 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。10

【0605】

HBM では、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBM を実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBM を実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【0606】

また、シリコンインターポーザを用いた SiP や MCM などでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する 2.5D パッケージ (2.5 次元実装) では、シリコンインターポーザを用いることが好ましい。20

【0607】

また、電子部品 4 7 3 0 と重ねてヒートシンク (放熱板) を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 4 7 3 1 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 4 7 3 0 では、半導体装置 4 7 1 0 と半導体装置 4 7 3 5 の高さを揃えることが好ましい。

【0608】

電子部品 4 7 3 0 を他の基板に実装するため、パッケージ基板 4 7 3 2 の底部に電極 4 7 3 3 を設けてもよい。図 39 (D) では、電極 4 7 3 3 を半田ボールで形成する例を示している。パッケージ基板 4 7 3 2 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 4 7 3 3 を導電性のピンで形成してもよい。パッケージ基板 4 7 3 2 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。30

【0609】

電子部品 4 7 3 0 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、または QFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。40

【0610】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0611】

(実施の形態 7)

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図 40 には、当該半導体装置を有する電子部品 4 7 0 0 が各電子機器に含まれている様子を図示している。

【 0 6 1 2 】**[携帯電話]**

図 4 0 に示す情報端末 5 5 0 0 は、情報端末の一種である携帯電話（スマートフォン）である。情報端末 5 5 0 0 は、筐体 5 5 1 0 と、表示部 5 5 1 1 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 5 1 1 に備えられ、ボタンが筐体 5 5 1 0 に備えられている。

【 0 6 1 3 】

情報端末 5 5 0 0 は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5 5 1 1 に表示するアプリケーション、表示部 5 5 1 1 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5 5 1 1 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。10

【 0 6 1 4 】**[ウェアラブル端末]**

また、図 4 0 には、ウェアラブル端末の一例としてスマートウォッチ 5 9 0 0 が図示されている。スマートウォッチ 5 9 0 0 は、筐体 5 9 0 1 、表示部 5 9 0 2 、操作ボタン 5 9 0 3 、操作子 5 9 0 4 、バンド 5 9 0 5 などを有する。

【 0 6 1 5 】

ウェアラブル端末は、先述した情報端末 5 5 0 0 と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。20

【 0 6 1 6 】**[情報端末]**

また、図 4 0 には、デスクトップ型情報端末 5 3 0 0 が図示されている。デスクトップ型情報端末 5 3 0 0 は、情報端末の本体 5 3 0 1 と、ディスプレイ 5 3 0 2 と、キーボード 5 3 0 3 と、を有する。

【 0 6 1 7 】

デスクトップ型情報端末 5 3 0 0 は、先述した情報端末 5 5 0 0 と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末 5 3 0 0 を用いることで、新規の人工知能の開発を行うことができる。30

【 0 6 1 8 】

なお、上述では、電子機器としてスマートフォン、及びデスクトップ用情報端末を例として、それぞれ図 4 0 に図示したが、スマートフォン、及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、及びデスクトップ用情報端末以外の情報端末としては、例えば、P D A (P e r s o n a l D i g i t a l A s s i s t a n t) 、ノート型情報端末、ワークステーションなどが挙げられる。40

【 0 6 1 9 】**[電化製品]**

また、図 4 0 には、電化製品の一例として電気冷凍冷蔵庫 5 8 0 0 が図示されている。電気冷凍冷蔵庫 5 8 0 0 は、筐体 5 8 0 1 、冷蔵室用扉 5 8 0 2 、冷凍室用扉 5 8 0 3 等を有する。

【 0 6 2 0 】

電気冷凍冷蔵庫 5 8 0 0 に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫 5 8 0 0 を実現することができる。人工知能を利用

することによって電気冷凍冷蔵庫 5800 は、電気冷凍冷蔵庫 5800 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5800 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

【0621】

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【0622】

[ゲーム機]

また、図40には、ゲーム機の一例である携帯ゲーム機 5200 が図示されている。携帯ゲーム機 5200 は、筐体 5201、表示部 5202、ボタン 5203 等を有する。

【0623】

更に、図40には、ゲーム機の一例である据え置き型ゲーム機 7500 が図示されている。据え置き型ゲーム機 7500 は、本体 7520 と、コントローラ 7522 を有する。なお、本体 7520 には、無線または有線によってコントローラ 7522 を接続することができる。また、図40に示していないが、コントローラ 7522 は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ 7522 は、図40に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ 7522 の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) などのシューティングゲームでは、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び / 又は音声によって操作する形式としてもよい。

【0624】

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

【0625】

携帯ゲーム機 5200 に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機 5200 を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0626】

更に、携帯ゲーム機 5200 に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機 5200 を実現することができる。

【0627】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5200 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問い合わせる内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するといった表現が可能となる。

【0628】

また、携帯ゲーム機 5200 で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

【0629】

10

20

30

40

50

図40では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

【0630】

[移動体]

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

【0631】

図40には移動体の一例である自動車5700が図示されている。

10

【0632】

自動車5700の運転席周辺には、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定など、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

【0633】

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを運転手に提供することができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

20

【0634】

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該半導体装置を自動車5700の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

30

【0635】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

30

【0636】

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

【0637】

図40には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となっていてもよい。また、デジタルカメラ6240は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

40

【0638】

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0639】

更に、デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能

50

を利用することによって、デジタルカメラ 6240 は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

【 0 6 4 0 】

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

【 0 6 4 1 】

図 40 には、撮像装置の一例であるビデオカメラ 6300 が図示されている。ビデオカメラ 6300 は、第 1 筐体 6301、第 2 筐体 6302、表示部 6303、操作キー 6304、レンズ 6305、接続部 6306 等を有する。操作キー 6304 及びレンズ 6305 は第 1 筐体 6301 に設けられており、表示部 6303 は第 2 筐体 6302 に設けられている。そして、第 1 筐体 6301 と第 2 筐体 6302 とは、接続部 6306 により接続されており、第 1 筐体 6301 と第 2 筐体 6302 の間の角度は、接続部 6306 により変更が可能である。表示部 6303 における映像を、接続部 6306 における第 1 筐体 6301 と第 2 筐体 6302 との間の角度に従って切り替える構成としてもよい。

10

【 0 6 4 2 】

ビデオカメラ 6300 で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ 6300 は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。

20

【 0 6 4 3 】

[P C 用の拡張デバイス]

上記実施の形態で説明した半導体装置は、P C (Personal Computer) などの計算機、情報端末用の拡張デバイスに適用することができる。

【 0 6 4 4 】

図 41 (A) は、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、P C に外付けする拡張デバイス 6100 を示している。拡張デバイス 6100 は、例えば、U S B (U n i v e r s a l S e r i a l B u s) などで P C に接続することで、当該チップによる演算処理を行うことができる。なお、図 41 (A) は、持ち運びが可能な形態の拡張デバイス 6100 を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

30

【 0 6 4 5 】

拡張デバイス 6100 は、筐体 6101、キャップ 6102、U S B コネクタ 6103 及び基板 6104 を有する。基板 6104 は、筐体 6101 に収納されている。基板 6104 には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板 6104 には、チップ 6105 (例えば、上記実施の形態で説明した半導体装置、電子部品 4700、メモリチップなど。)、コントローラチップ 6106 が取り付けられている。U S B コネクタ 6103 は、外部装置と接続するためのインターフェースとして機能する。

40

【 0 6 4 6 】

拡張デバイス 6100 を P C などに用いることにより、当該 P C の演算処理能力を高くすることができます。これにより、処理能力の足りない P C でも、例えば、人工知能、動画処理などの演算を行うことができる。

【 0 6 4 7 】

[放送システム]

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

【 0 6 4 8 】

図 41 (B) は、放送システムにおけるデータ伝送を模式的に示している。具体的には

50

、図41(B)は、放送局5680から送信された電波(放送信号)が、各家庭のテレビジョン受信装置(TV)5600に届くまでの経路を示している。TV5600は、受信装置を備え(図示しない。)、アンテナ5650で受信された放送信号は、当該受信装置を介して、TV5600に送信される。

【0649】

図41(B)では、アンテナ5650は、UHF(Ultra High Frequency)アンテナを図示しているが、アンテナ5650としては、BS・110°CSアンテナ、CSアンテナなども適用できる。

【0650】

電波5675A、電波5675Bは地上波放送用の放送信号であり、電波塔5670は受信した電波5675Aを増幅して、電波5675Bの送信を行う。各家庭では、アンテナ5650で電波5675Bを受信することで、TV5600で地上波放送を視聴することができる。なお、放送システムは、図41(B)に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

10

【0651】

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工知能を利用した放送システムとしてもよい。放送局5680から各家庭のTV5600に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ5650が当該放送データを受信したとき、TV5600に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高いTV5600で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

20

【0652】

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン(UHDTV : 4K、8K)放送に対して好適である。

【0653】

また、TV5600側における人工知能の応用として、例えば、TV5600に人工知能を有する録画装置を設けてもよい。このような構成によることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

30

【0654】

[認証システム]

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

【0655】

図41(C)は、掌紋認証装置を示しており、筐体6431、表示部6432、掌紋読み取り部6433、配線6434を有している。

【0656】

図41(C)には、掌紋認証装置が手6435の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であってもよい。

40

【0657】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

50

【0658】

M P C : 回路、M P C [1] : 回路、M P C [i] : 回路、M P C [m] : 回路、A C T
 F : 回路、T R F : 変換回路、B F 1 : 回路、B F 2 : 回路、B F 3 : 回路、B F 4 : 回路、
 B F 5 : 回路、S C : 切り替え回路、S C A : 切り替え回路、D I N V 1 : インバータ回路、
 D I N V 2 : インバータ回路、I N V 1 : インバータ回路、I N V 1 A : インバータ回路、
 I N V 2 : インバータ回路、I N V 3 : インバータ回路、I N V 5 : インバータ回路、
 I N V 6 : インバータ回路、I N V 7 : インバータ回路、I N V 8 : インバータ回路、
 I N V 9 : インバータ回路、I N V 10 : インバータ回路、I N V 11 : インバータ回路、
 S I N V 3 : インバータ回路、S I N V 4 : インバータ回路、H C A : 保持部、
 H C A m : 保持部、H C C : 保持部、H C C a : 保持部、H C C b : 保持部、H C C c :
 10 保持部、H C C d : 保持部、E [1] : 一致回路、E [2] : 一致回路、E [i] : 一致
 回路、E [m - 2] : 一致回路、E [m - 1] : 一致回路、E [m] : 一致回路、D E C
 : 回路、L C 0 1 : 負荷回路、L C 0 2 : 負荷回路、V R 0 1 : 抵抗変化素子、V R 0 2
 : 抵抗変化素子、V R 0 3 : 抵抗変化回路、V R 0 4 : 抵抗変化回路、M R 0 1 : M T J
 素子、M R 0 2 : M T J 素子、P C M 1 : 相変化メモリ、P C M 2 : 相変化メモリ、D X
 1 : セレクタ、D X 2 : セレクタ、i n p : 端子、i n n : 端子、o u t p : 端子、o u
 t n : 端子、w t : 端子、w t 1 : 端子、w t 2 : 端子、w t m : 端子、w t s : 端子、
 w t s 1 : 端子、w t s 2 : 端子、w t b : 端子、x t : 端子、s t : 端子、s t m : 端
 子、i n p a : 端子、i n n a : 端子、o u t a : 端子、S L 0 1 : 配線、S L 0 1 m :
 20 配線、S L 0 3 : 配線、S L 0 3 a : 配線、S L 0 3 b : 配線、S L 0 4 : 配線、S L 0
 5 : 配線、S L 0 6 : 配線、D L : 配線、D L m : 配線、D L a : 配線、D L b : 配線、
 D L c : 配線、D L d : 配線、S W L : 配線、S W L m : 配線、V D D L : 配線、V S S
 L : 配線、V S S 1 L : 配線、V S S 2 L : 配線、V S S 3 L : 配線、V H L : 配線、V
 L : 配線、G N D L : 配線、V D D H L : 配線、V S S S L : 配線、W L D : 回路、A F
 P : 回路、S W L D : 回路、T S G : 回路、T r 0 1 : パート、T r 0 1 m : パート、
 T r 0 2 : パート、T r 0 2 m : パート、T r 0 3 : パート、T r 0 3 m : パート、T r 0 4 :
 パート、T r 0 5 : パート、T r 0 6 : パート、T r 0 7 : パート、T r 0 8 : パート、T r 0 9 :
 パート、T r 1 1 : パート、T r 1 2 : パート、T r 1 3 : パート、T r 1 4 : パート、T r 2 1 :
 30 パート、T r 2 2 : パート、T r 2 3 : パート、T r 2 4 : パート、T r 2 5 a : パート、T r 2 5
 b : パート、T r 2 5 c : パート、T r 2 5 d : パート、T r 2 6 : パート、C 0 1 : 容量素子、C 0 1 m :
 容量素子、C 1 1 a : 容量素子、C 1 1 b : 容量素子、C 1 1 c : 容量素子、C 1 1 d :
 容量素子、S 0 1 : スイッチ、S 0 2 : スイッチ、S 0 3 : スイッチ、S 0 4 : スイッチ、
 S 0 6 : スイッチ、S 0 7 a : スイッチ、S 0 7 b : スイッチ、S 0 7 c : スイッチ、S 0 7 d :
 40 スイッチ、S 0 8 a : スイッチ、S 0 8 b : スイッチ、S 0 8 [1] : スイッチ、S 0 8 [p] :
 スイッチ、S 0 8 [P] : スイッチ、S 0 9 a : スイッチ、S 0 9 b : スイッチ、S 0 9 [1] :
 スイッチ、S 0 9 [q] : スイッチ、S 0 9 [Q] : スイッチ、S 1 1 : スイッチ、S 1 2 :
 スイッチ、S 1 3 : スイッチ、S 1 4 : スイッチ、S 1 5 : スイッチ、S 2 1 : スイッチ、S 2 2
 : スイッチ、S 3 0 [1] : スイッチ、S 3 0 [2] : スイッチ、S 3 0 [P - 1] :
 スイッチ、S 3 0 [P] : スイッチ、S 3 1 [1] : スイッチ、S 3 1 [2] : スイッチ、
 S 3 1 [Q - 1] : スイッチ、S 3 1 [Q] : スイッチ、A 0 1 : アナログスイッチ、A
 0 2 : アナログスイッチ、A 0 3 : アナログスイッチ、A 0 4 : アナログスイッチ、L E
 0 1 : 負荷素子、L E 0 1 [1] : 負荷素子、L E 0 1 [p] : 負荷素子、L E 0 1 [P] :
 負荷素子、L E 0 1 a : 負荷素子、L E 0 1 b : 負荷素子、L E 0 2 : 負荷素子、
 L E 0 2 [1] : 負荷素子、L E 0 2 [q] : 負荷素子、L E 0 2 [Q] : 負荷素子、L E
 0 2 a : 負荷素子、L E 0 2 b : 負荷素子、L E 0 3 [1] : 負荷素子、L E 0 3 [2] :
 負荷素子、L E 0 3 [3] : 負荷素子、L E 0 3 [P] : 負荷素子、L E 0 4 [1] :
 負荷素子、L E 0 4 [2] : 負荷素子、L E 0 4 [3] : 負荷素子、L E 0 4 [Q] : 負
 50 荷素子

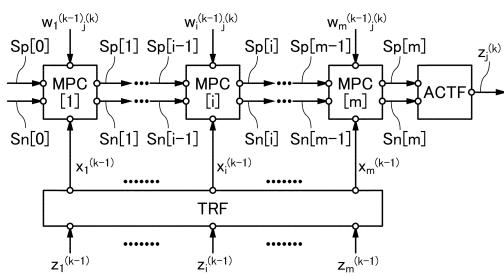
荷素子、 $N_1(1)$ ：ニューロン、 $N_p(1)$ ：ニューロン、 $N_1(k-1)$ ：ニューロン、 $N_i(k-1)$ ：ニューロン、 $N_m(k-1)$ ：ニューロン、 $N_1(k)$ ：ニューロン、 $N_j(k)$ ：ニューロン、 $N_n(k)$ ：ニューロン、 $N_1(R)$ ：ニューロン、 $N_q(R)$ ：ニューロン、BGI：絶縁体、FGI：絶縁体、BGE：導電体、FGE：導電体、PE：導電体、WE：導電体、SCL1：スクリュープライム、SCL2：スクリュープライム、100：ニューラルネットワーク、110：演算回路、120：演算回路、130：演算回路、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、500：トランジスタ、500A：トランジスタ、500B：トランジスタ、500C：トランジスタ、500D：トランジスタ、500E：トランジスタ、503：導電体、503a：導電体、503b：導電体、505：導電体、510：絶縁体、511：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530c：酸化物、531a：領域、531b：領域、540：導電体、540a：導電体、540b：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、546a：導電体、546b：導電体、547a：導電体、547b：導電体、548：導電体、550：絶縁体、552：金属酸化物、560：導電体、560a：導電体、560b：導電体、570：絶縁体、571：絶縁体、573：絶縁体、574：絶縁体、575：絶縁体、576a：絶縁体、576b：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、600A：容量素子、600B：容量素子、610：導電体、611：導電体、612：導電体、620：導電体、621：導電体、630：絶縁体、631：絶縁体、650：絶縁体、651：絶縁体、4700：電子部品、4701：リード、4702：プリント基板、4704：実装基板、4710：半導体装置、4730：電子部品、4731：インターポーラ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：ディスプレイ、5303：キーボード、5500：情報端末、5510：筐体、5511：表示部、5600：TV、5650：アンテナ、5670：電波塔、5675A：電波、5675B：電波、5680：放送局、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6105：チップ、6106：コントローラチップ、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作ボタン、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：第1筐体、6302：第2筐体、6303：表示部、6304：操作キー、6305：レンズ、6306：接続部、6431：筐体、6432：表示部、6433：掌紋読み取り部、6434：配線、6435：手、7520：本体、7522：コントローラ

10
20
30
40
50

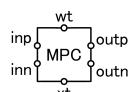
【図面】

【図 1】

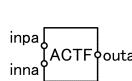
(A) 110



(B)

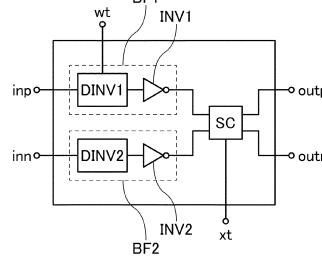


(C)

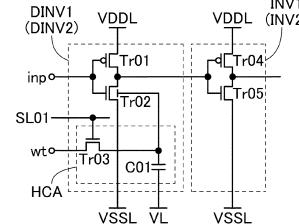


【図 2】

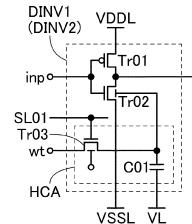
(A) MPC



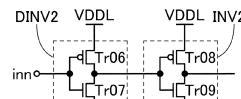
(B1) BF1(BF2)



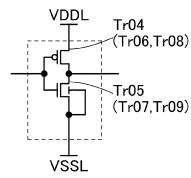
(B2)



(C1) BF2

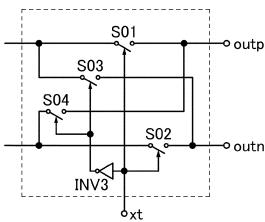


(C2) INV1A

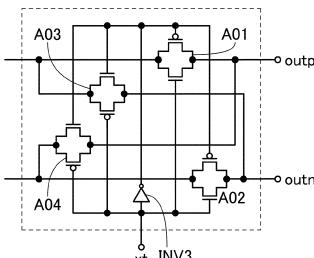


【図 3】

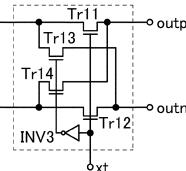
(A) SC



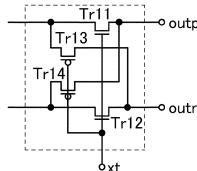
(B) SC



(C) SC

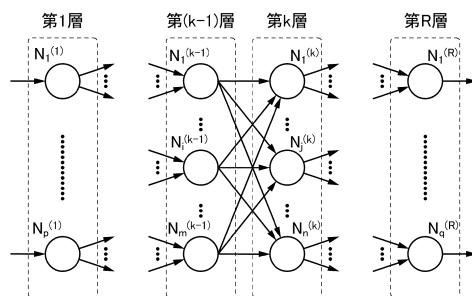


(D) SC

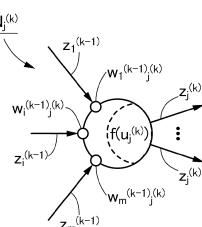


【図 4】

(A) 100



(B)



10

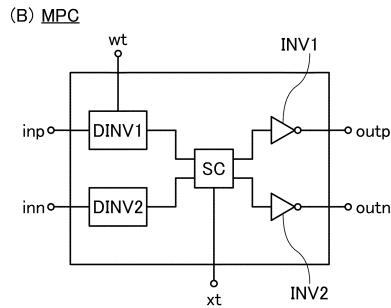
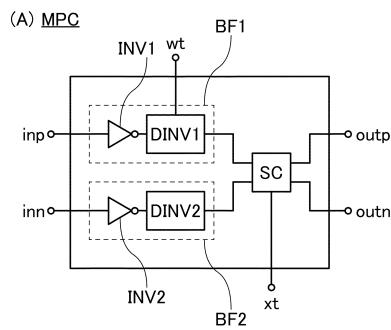
20

30

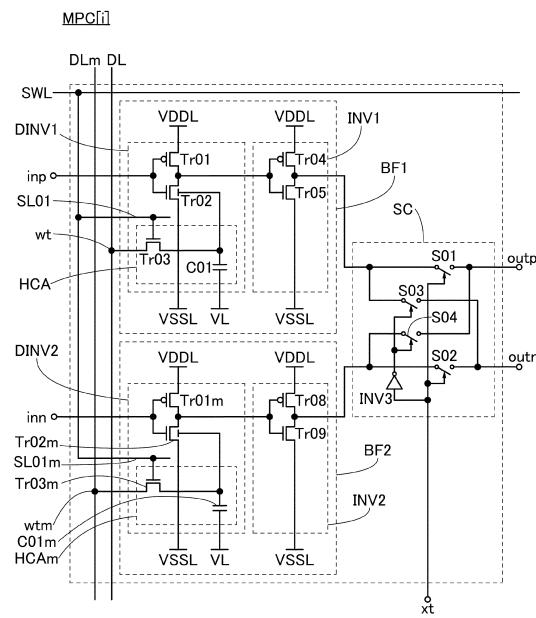
40

50

【図 5】



【図 6】

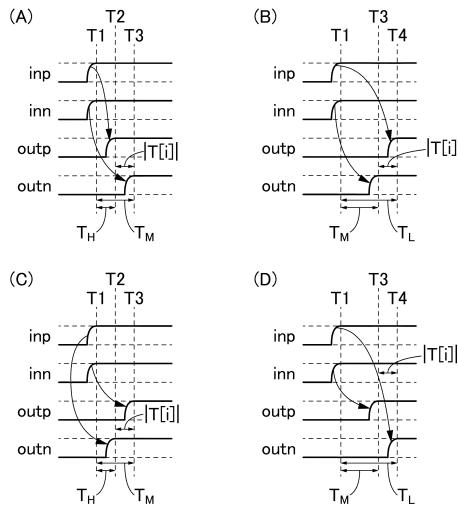


10

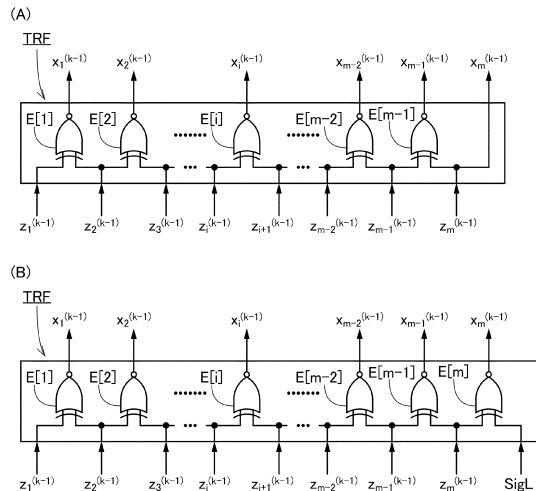
20

30

【図 7】



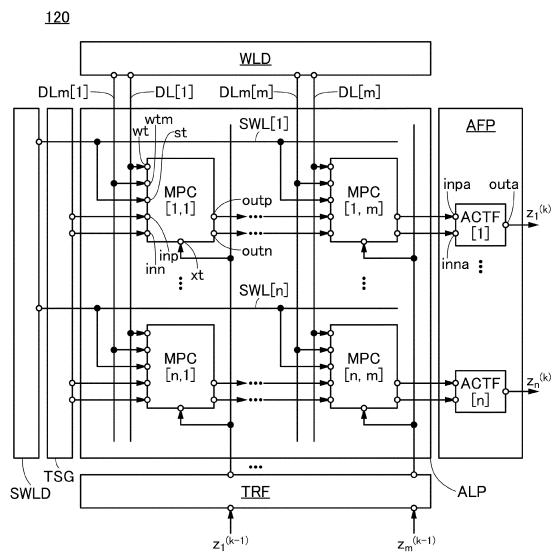
【図 8】



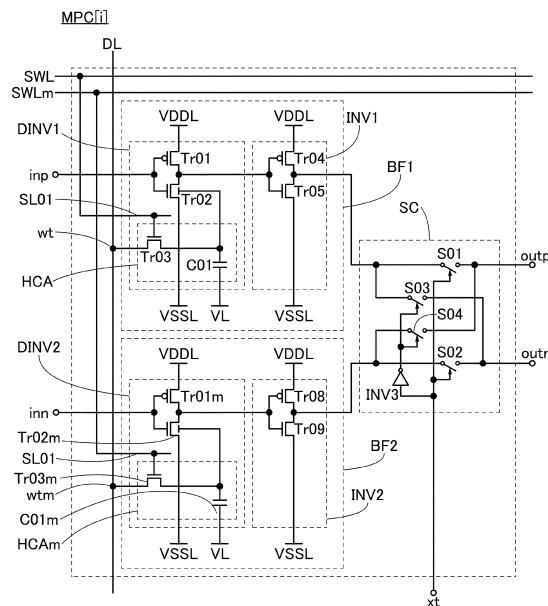
40

50

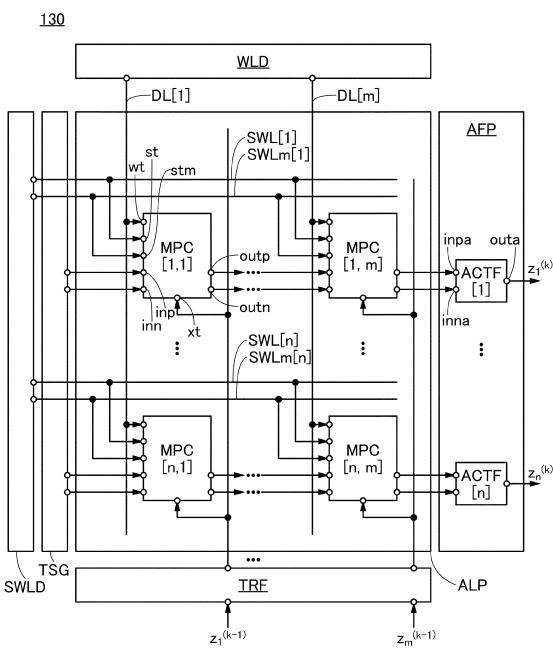
【図 9】



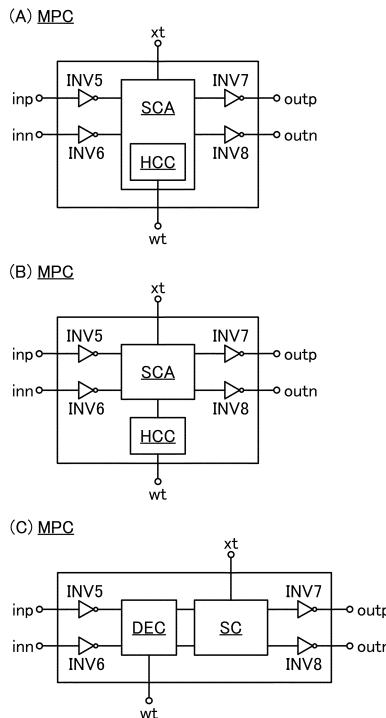
【図 10】



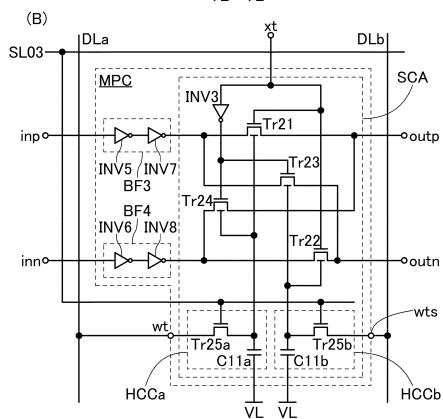
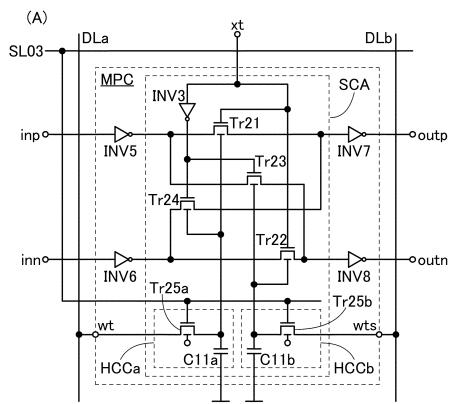
【図 11】



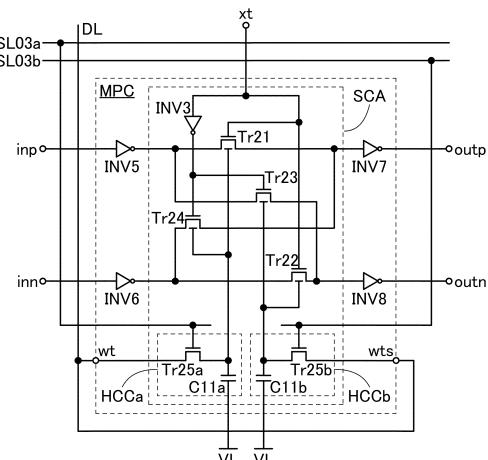
【図 12】



【図 1 3】



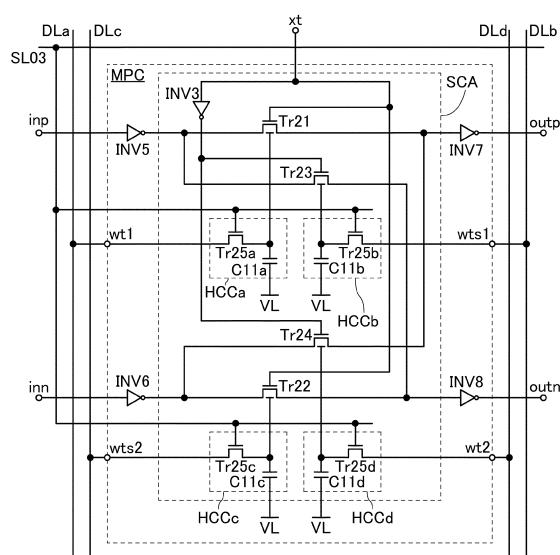
【図 1 4】



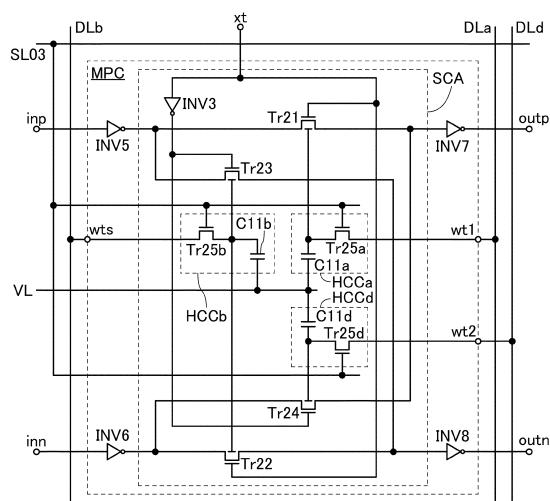
10

20

【図 1 5】



【図 1 6】

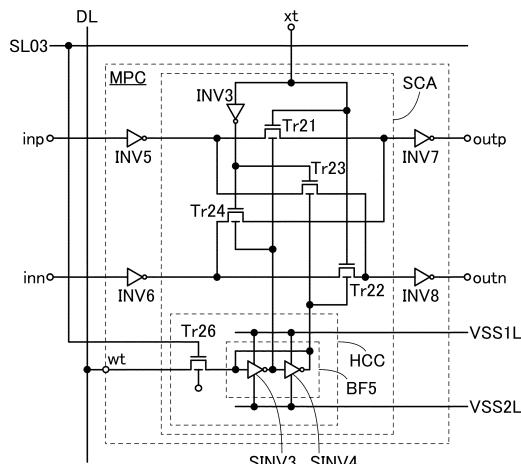


30

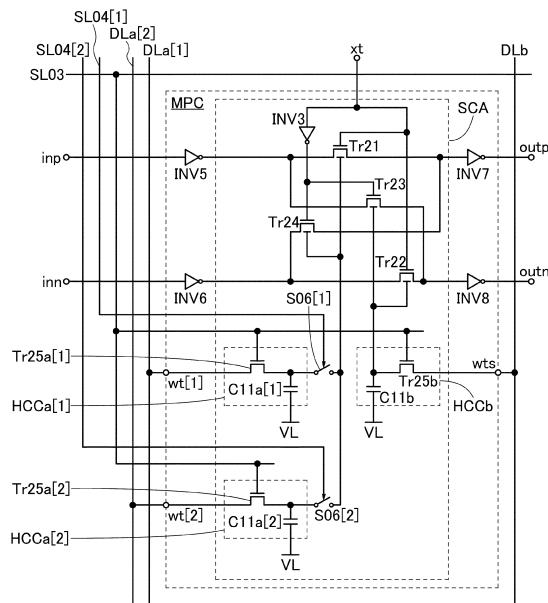
40

50

【図 1 7】



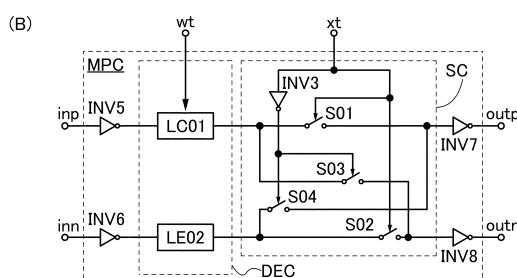
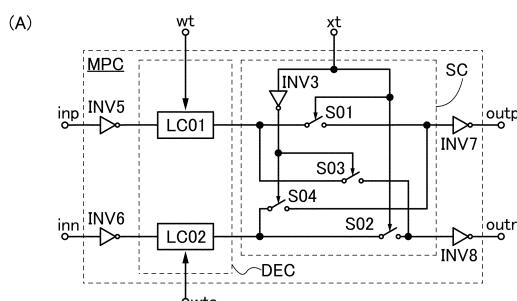
【図 1 8】



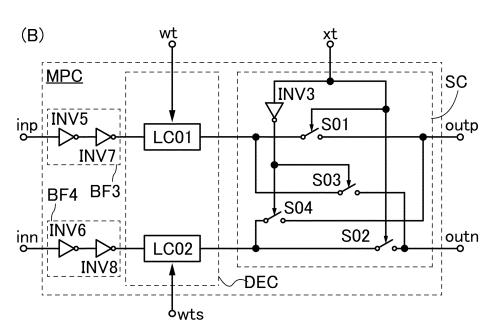
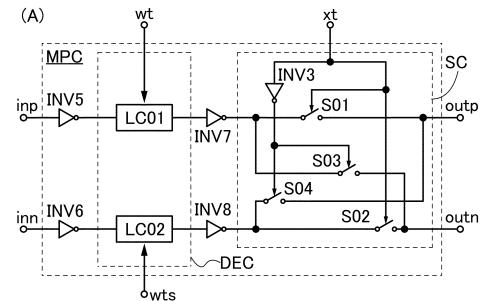
10

20

【図 1 9】



【図 2 0】

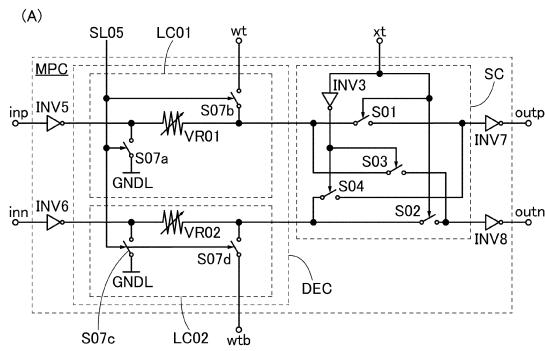


30

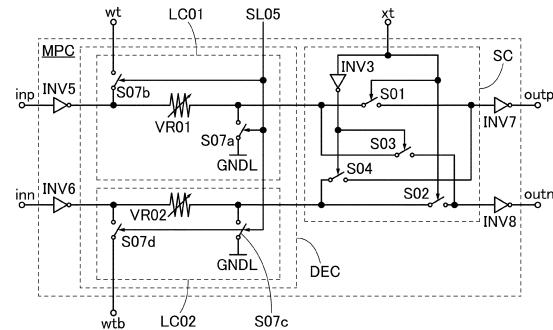
40

50

【図21】

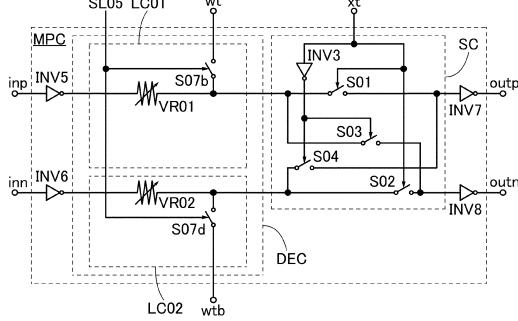


【 図 2 2 】



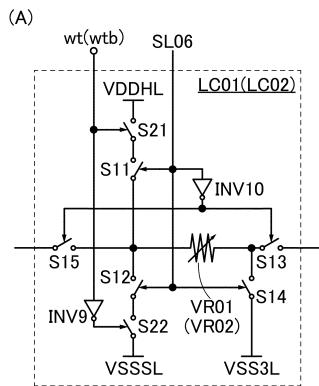
10

(B)

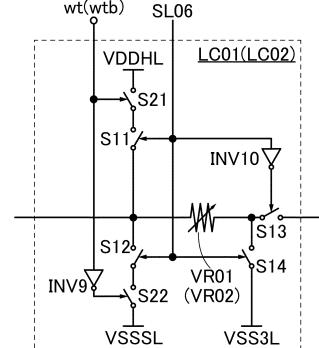


20

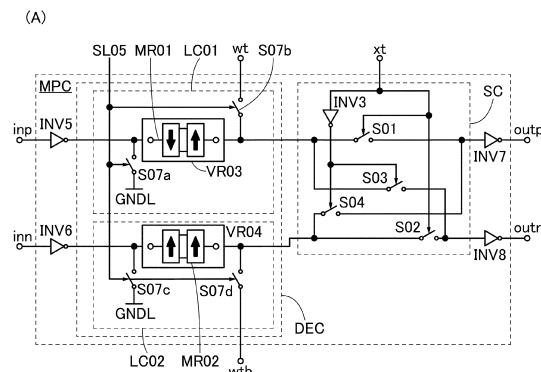
【図23】



(B)

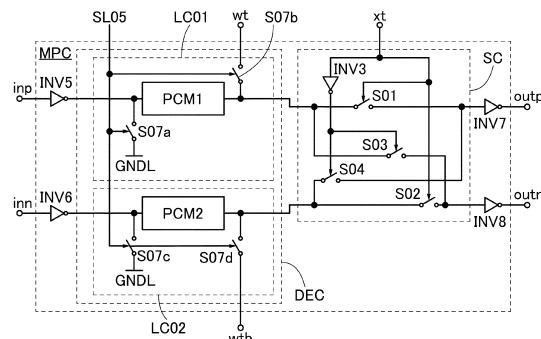


【図24】



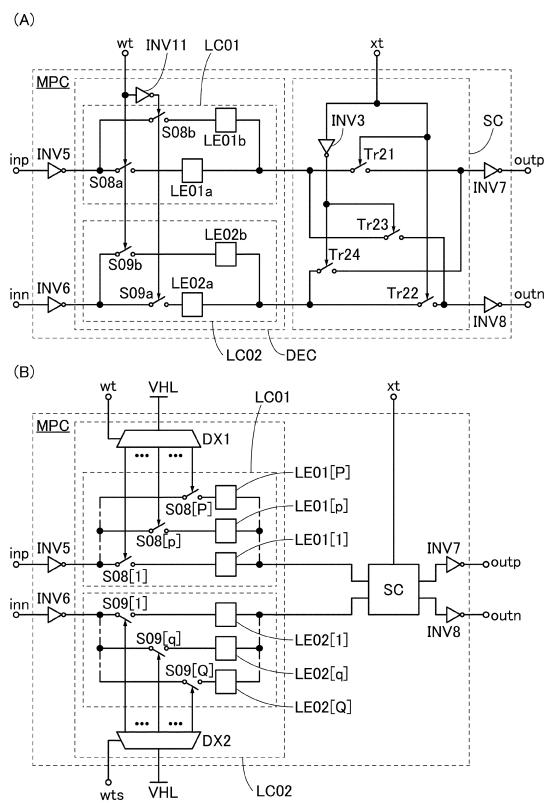
30

(B)

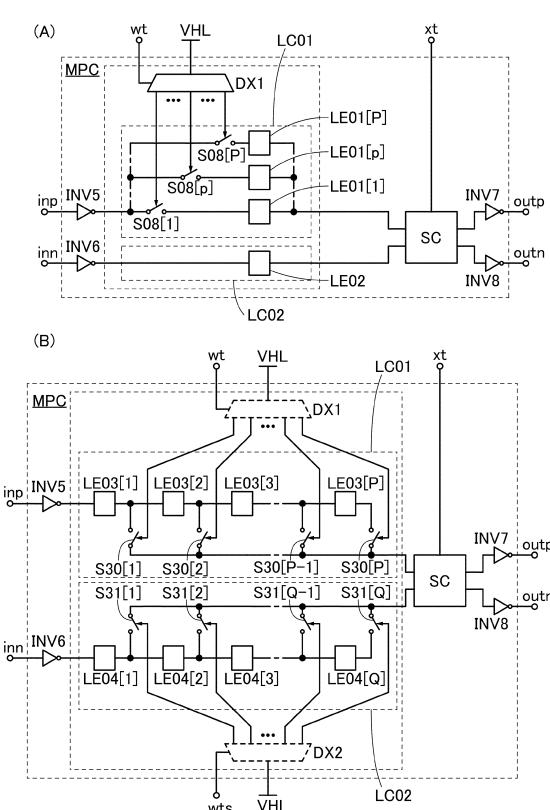


40

【図 2 5】



【図 2 6】



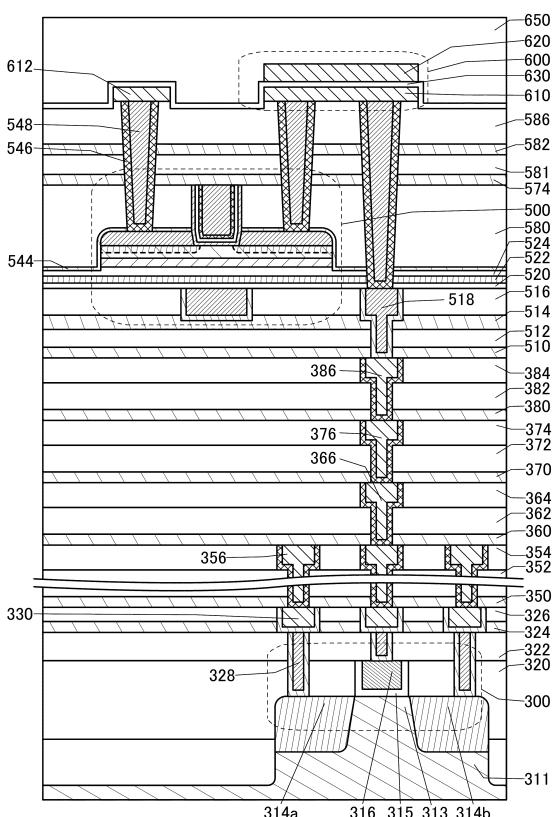
10

20

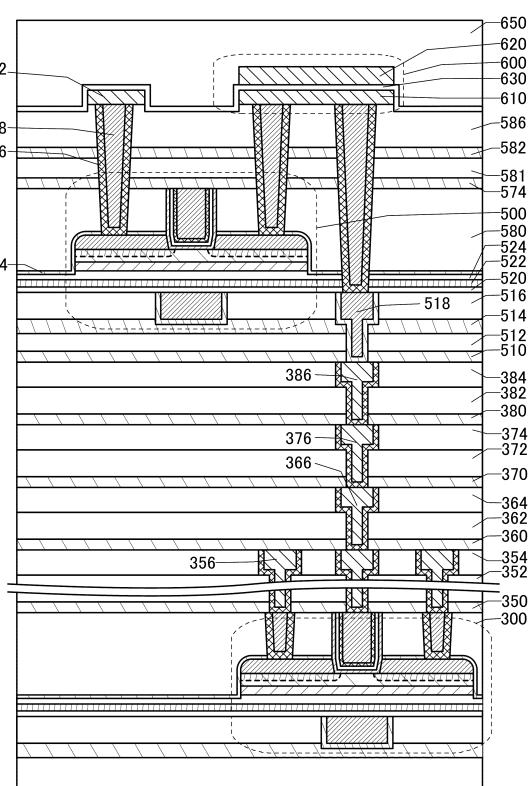
30

40

【図 2 7】

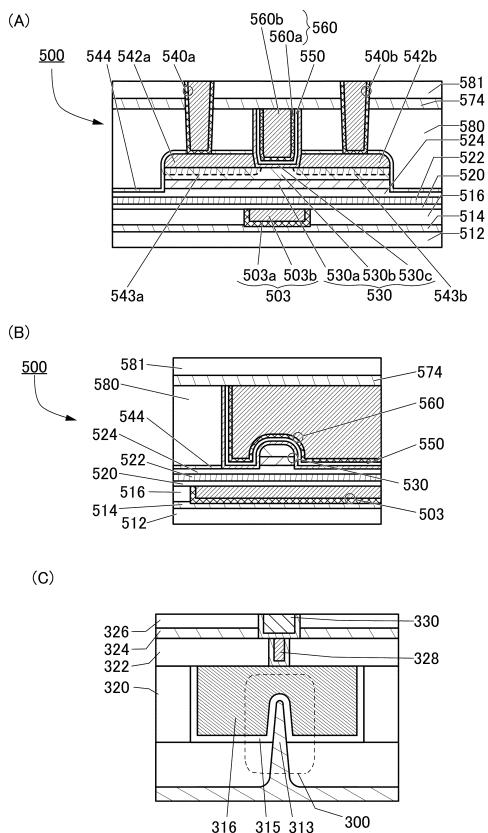


【図 2 8】

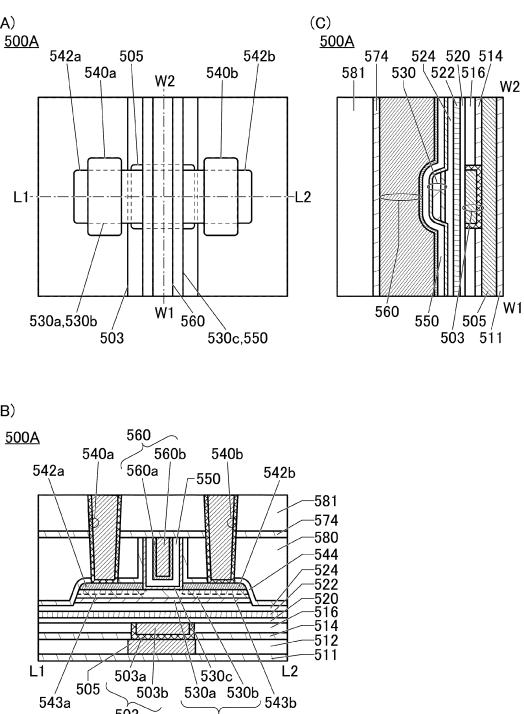


50

【図29】



【図30】



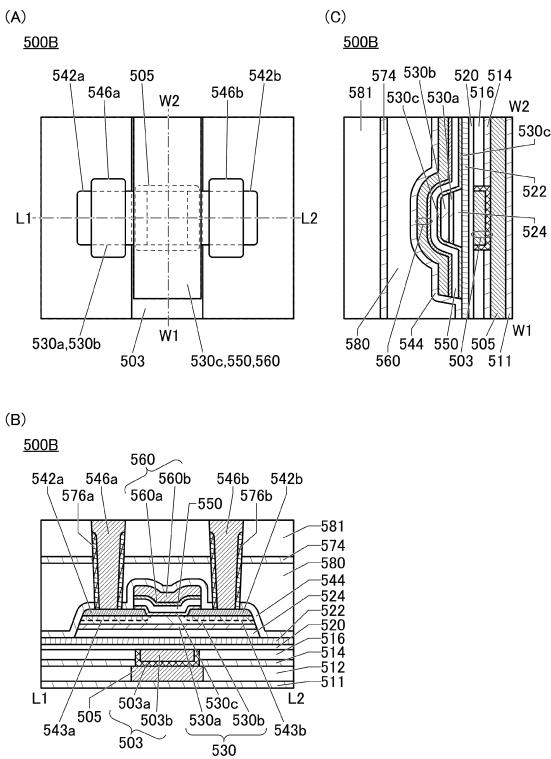
10

20

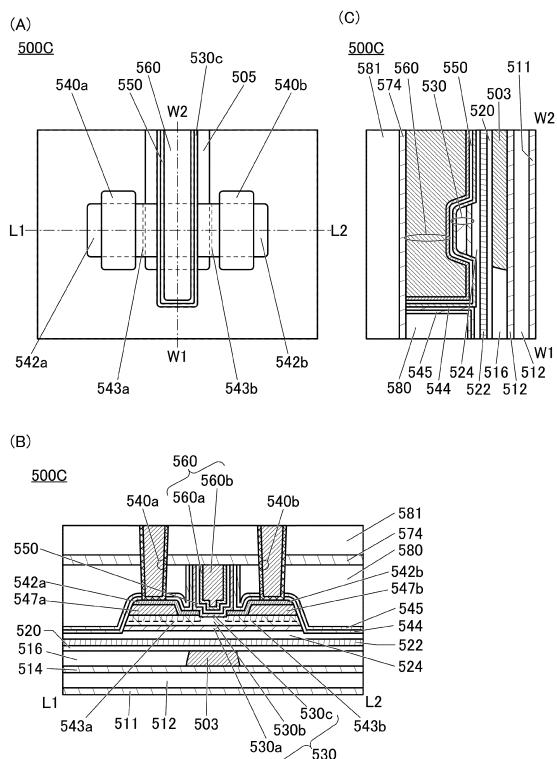
30

40

【図31】

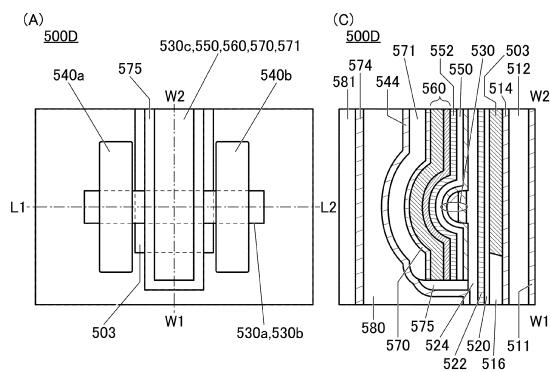


【図32】

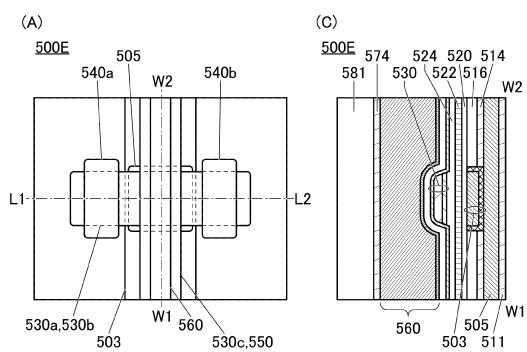


50

【図33】



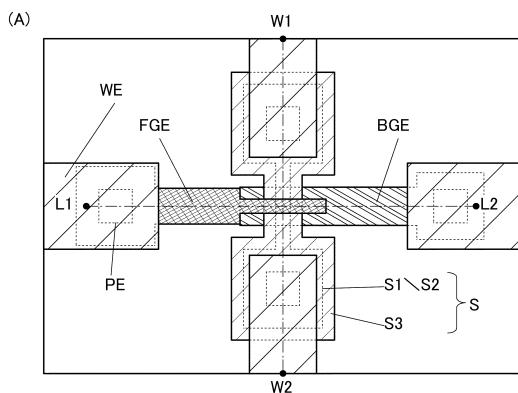
【図34】



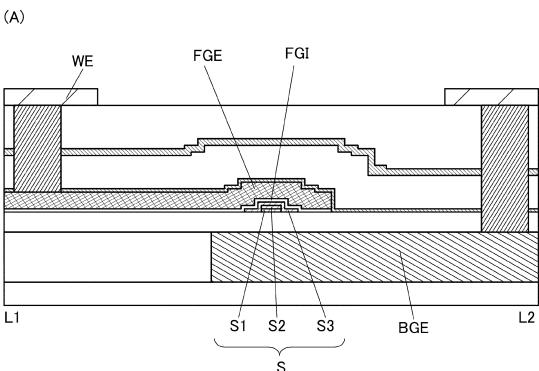
10

20

【図35】

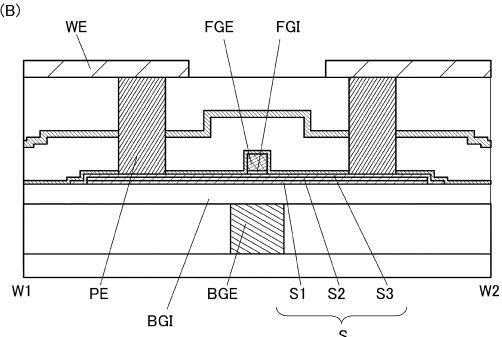
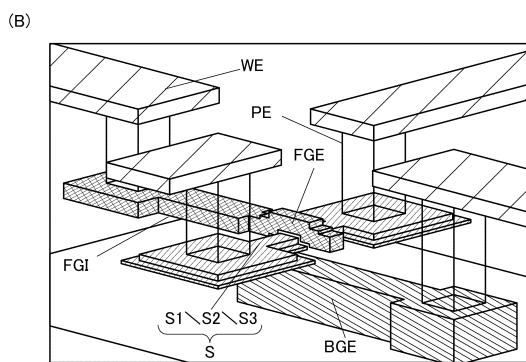


【図36】



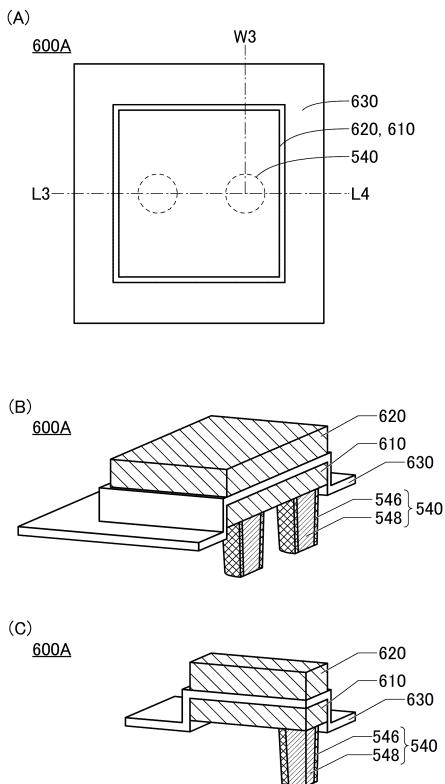
30

40

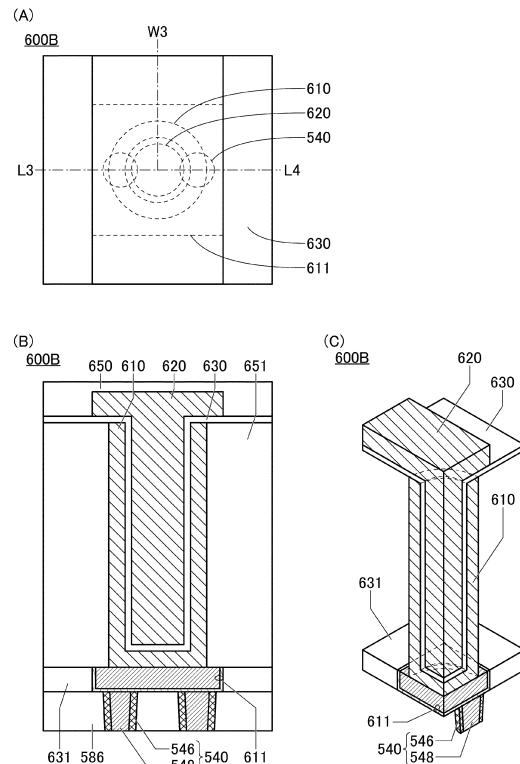


50

【図37】



【図38】



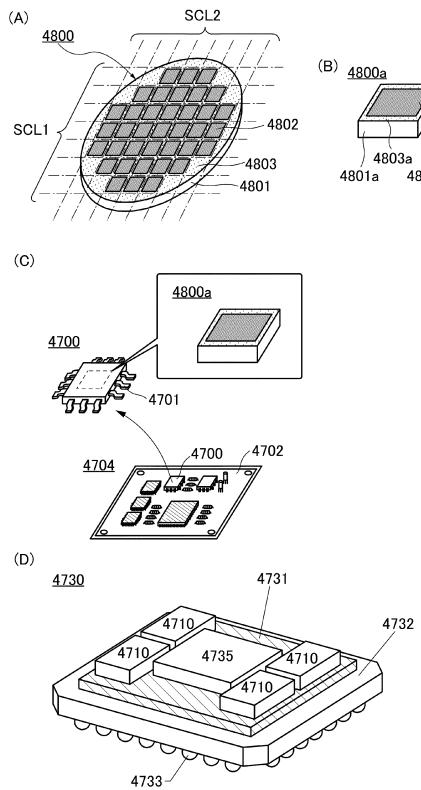
10

20

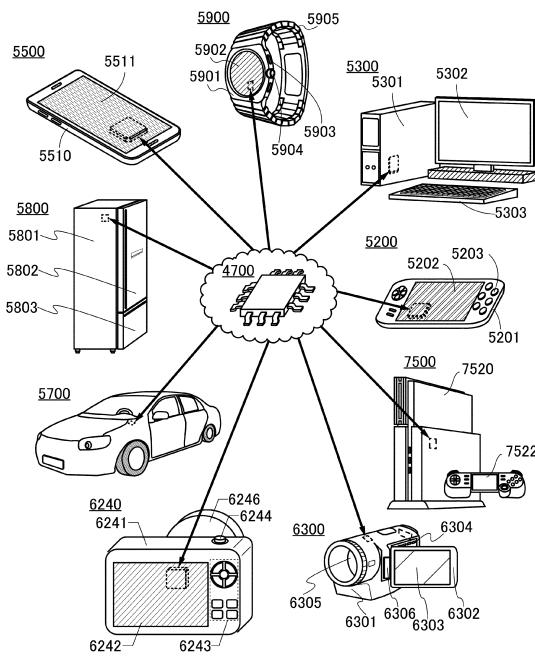
30

40

【図39】

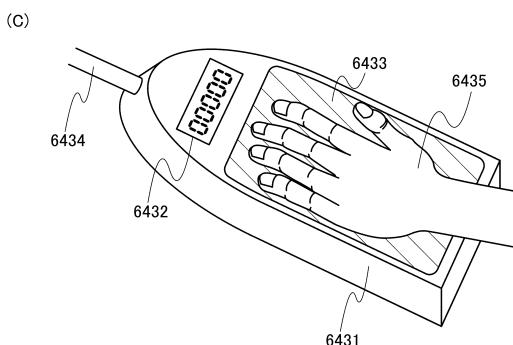
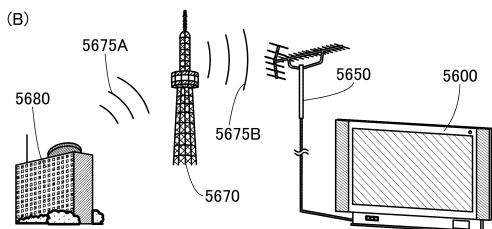
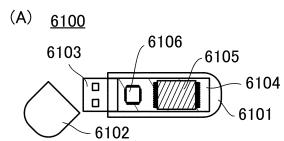


【図40】



50

【図 4 1】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2017-228295 (JP, A)
 特開2015-195011 (JP, A)
 米国特許出願公開第2007/0022070 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
G 06 N 3 / 063
G 06 G 7 / 60
G 06 N 3 / 065
G 11 C 11 / 54