

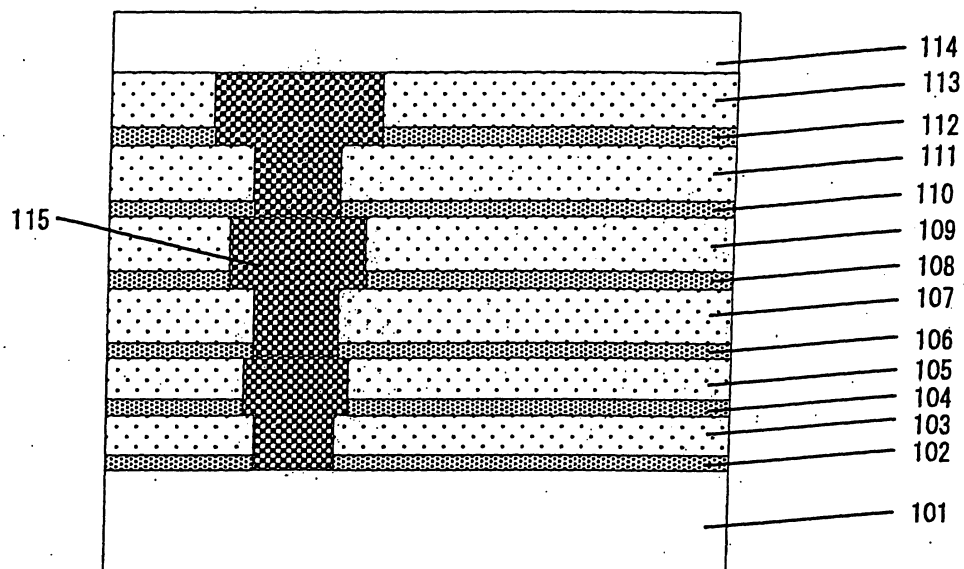
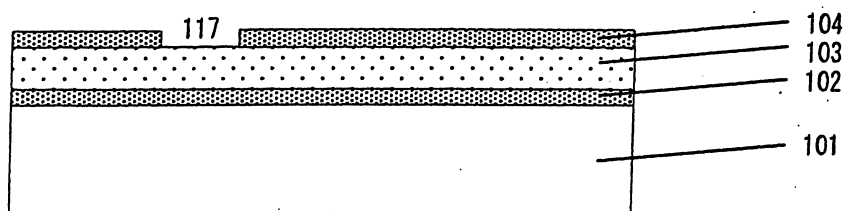
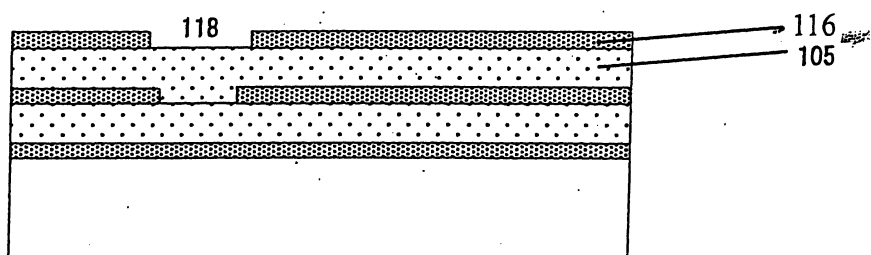


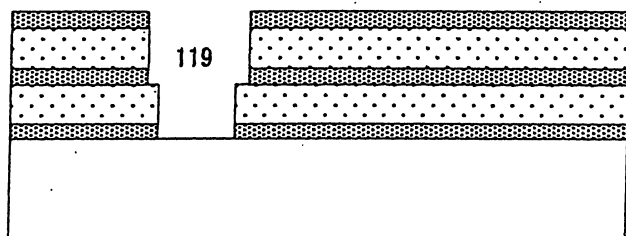
圖 1



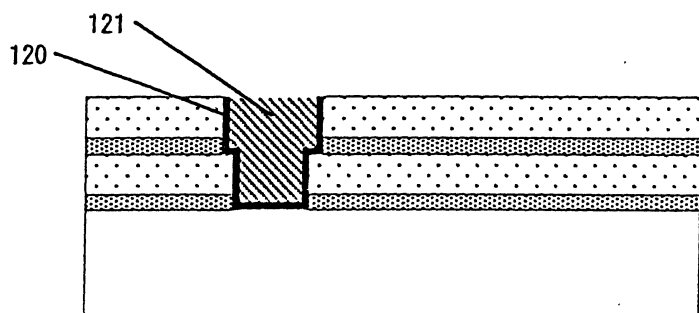
(2-1)



(2-2)



(2-3)



(2-4)

圖 2

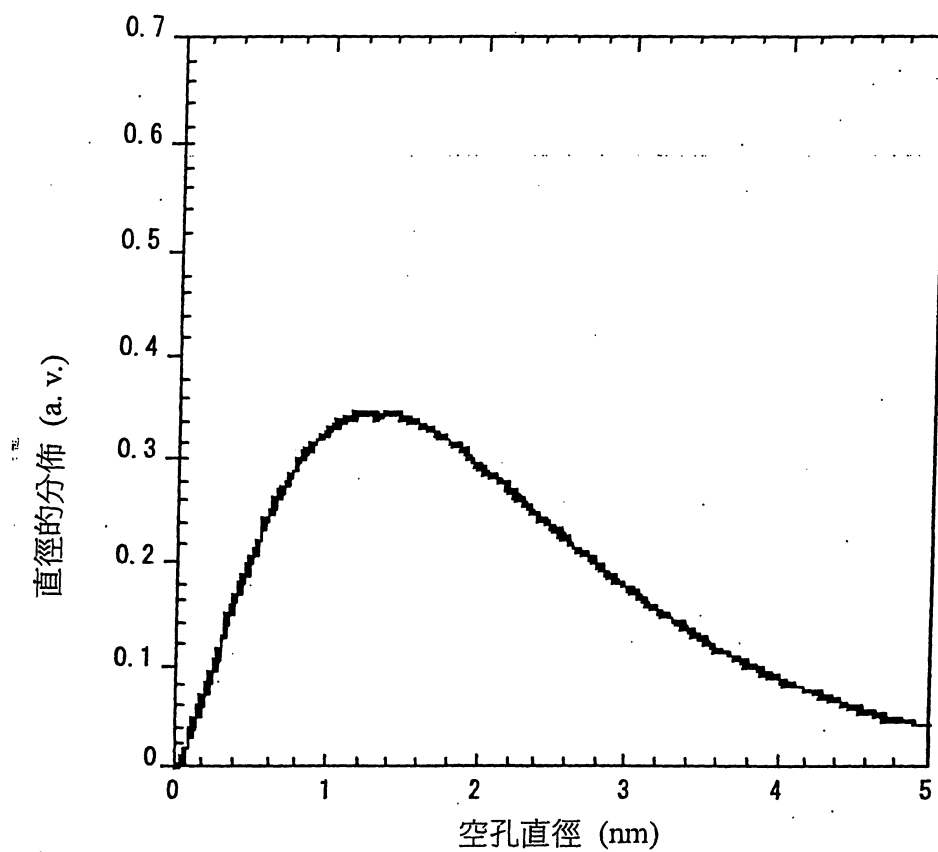


圖 3

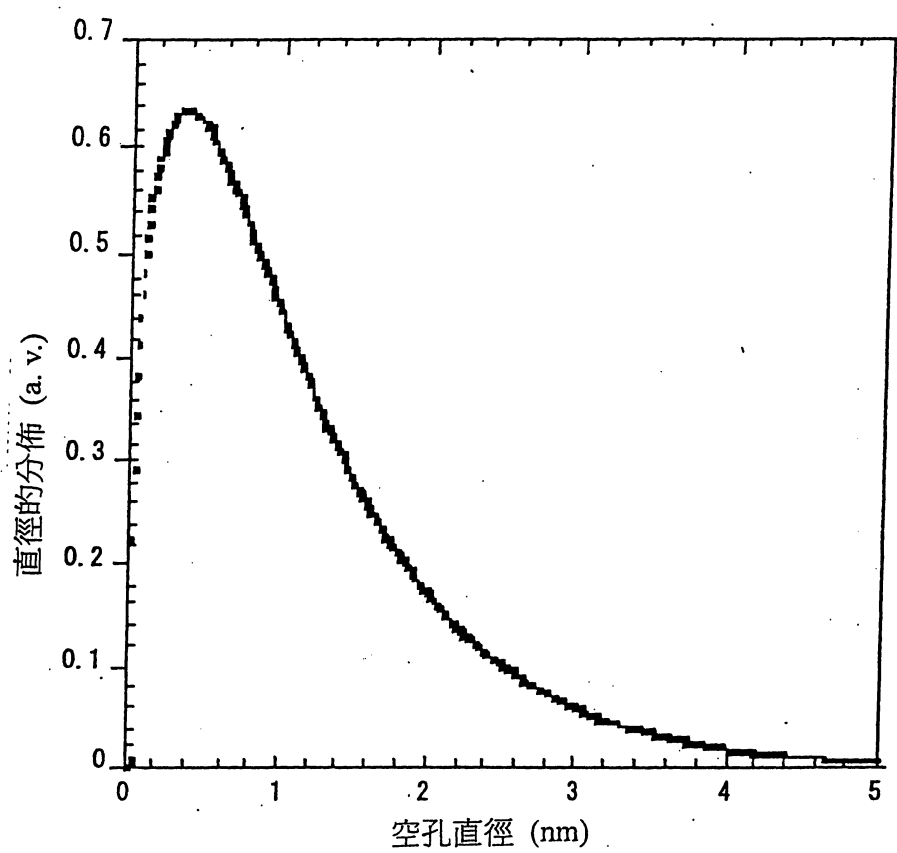
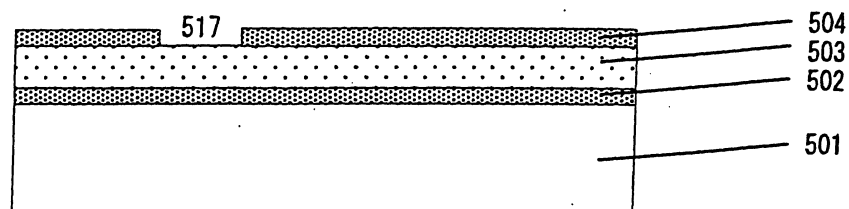
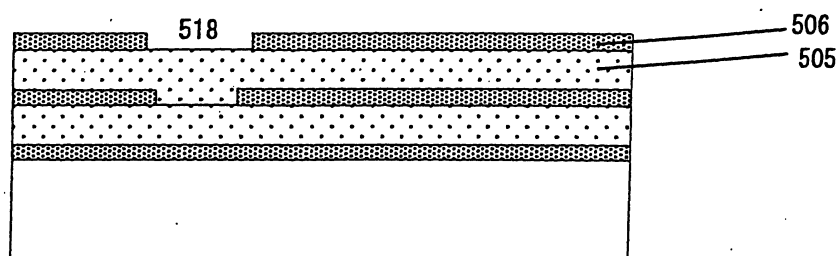


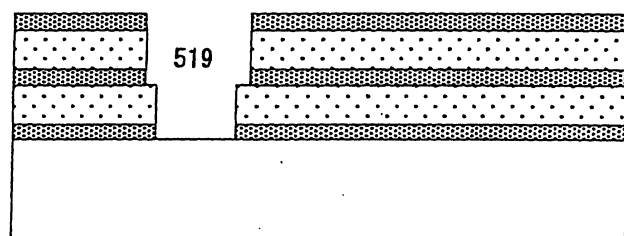
圖 4



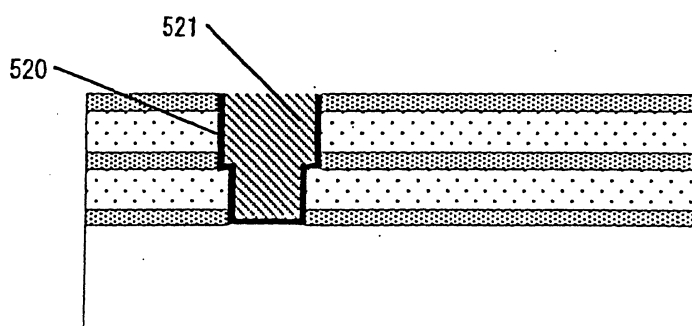
(5-1)



(5-2)



(5-3)



(5-4)

圖 5

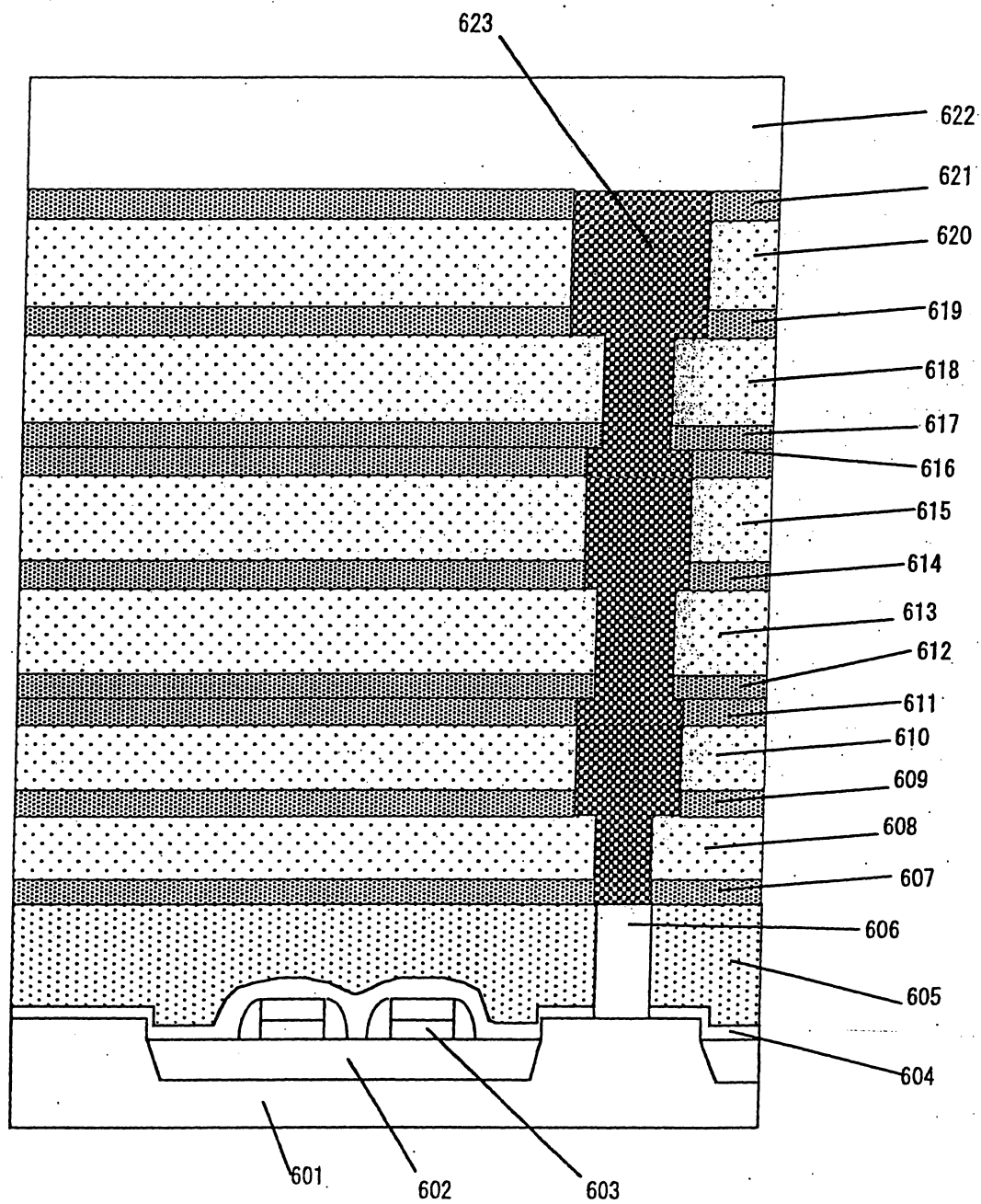


圖 6

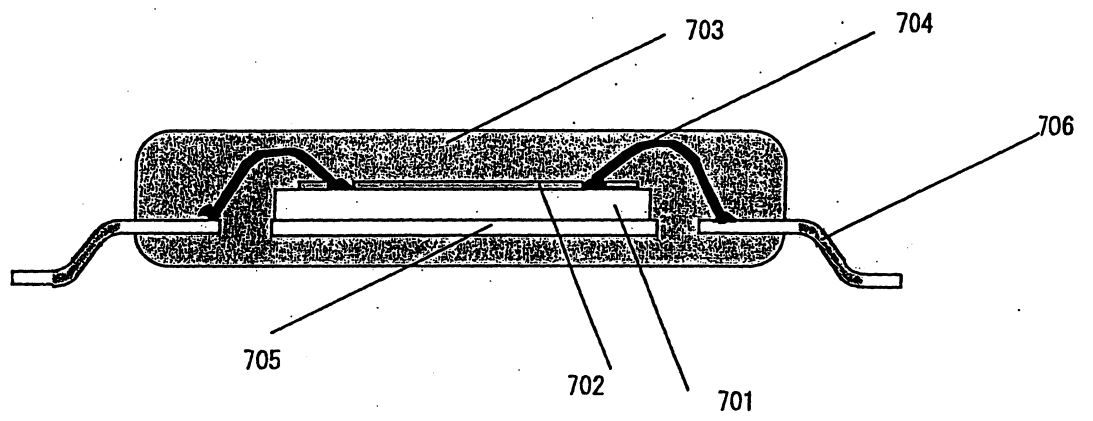


圖 7

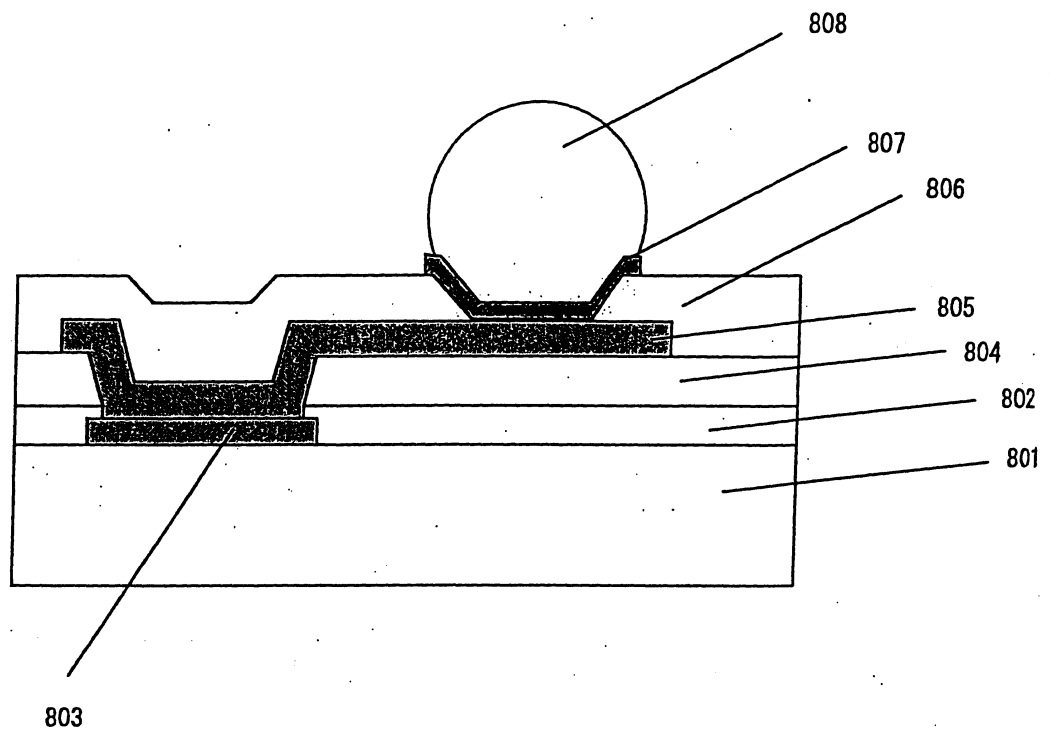
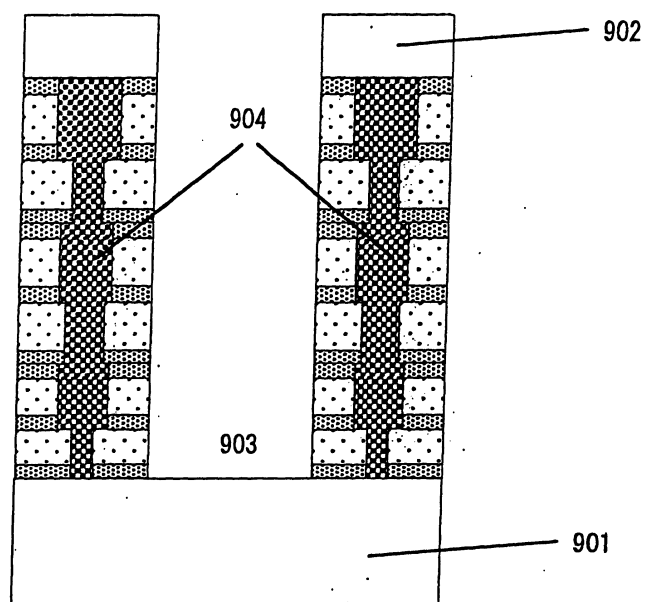
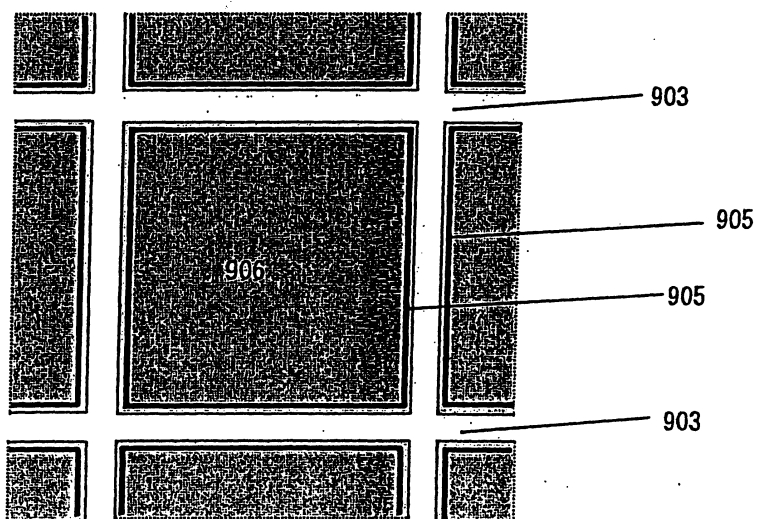


圖 8



(9-1)



(9-2)

95年12月1日修(更)正本

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號： 92104965

※IPC 分類： H01L 21/768

※申請日期： 92 年 03 月 07 日

壹、發明名稱：

(中文) 半導體裝置

(英文) Semiconductor device

貳、發明人(共 5 人)

發明人 1

姓 名：(中文) 田中順

(英文)

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一
號新丸大樓日立製作所(股)知的財產權本
部內

(英文)

參、申請人(共 1 人)

申請人 1

姓名或名稱：(中文) 日立製作所股份有限公司

(英文)

住居所地址：(中文) 日本國東京都千代田區神田駿河台四丁目六
番地

(或營業所) (英文)

國 籍：(中文) 日本

(英文) JAPAN

代 表 人：(中文) 1. 庄山悅彥

(英文)

發明人 2

姓 名：(中文) 大谷美晴
(英文)

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一
號新丸大樓日立製作所（股）知的財產權本
部內
(英文)

發明人 3

姓 名：(中文) 尾形潔
(英文)

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一
號新丸大樓日立製作所（股）知的財產權本
部內
(英文)

發明人 4

姓 名：(中文) 鈴木康道
(英文)

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一
號新丸大樓日立製作所（股）知的財產權本
部內
(英文)

發明人 5

姓 名：(中文) 堀田勝彥
(英文)

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一
號新丸大樓日立製作所（股）知的財產權本
部內
(英文)

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.日本 ; 2002/04/12 ; 2002-109901

(1)

玖、發明說明**【發明所屬之技術領域】**

本發明係有關於一種藉著使用具有低介電常數特性的絕緣膜作為層間絕緣膜可以減低信號配線延遲，而藉此提高元件功能的半導體裝置。

【先前技術】

隨著半導體元件的高集成化與晶片尺寸的縮小，乃使得配線逐漸地微細化、狹窄間距化、以及多層化。伴隨此，在信號在配線中傳播時的延遲時間，亦即，配線延遲有增加的傾向，而對於使用半導體元件的電子機器而言會成為一個大的問題。

一般而言，信號在配線中傳播的速度，由於是根據配線電阻（ R ）與配線間電容（ C ）的積（ RC ）而決定，因此為了要減低配線延遲情形，則必須要減小配線間的電容，亦即，使層間絕緣膜得以低介電常數化。

針對降低配線電阻，高性能的半導體元件乃將配線材料從鋁更換成銅，特別是盛行將銅配線埋入到層間絕緣膜層之嵌入式（damascene）構造的製程。

又，針對層間絕緣膜的低介電常數化，以往則使用由CVD（Chemical Vapor Deposition）法所形成的 SiO_2 膜（介電常數4.0左右）或 SiN 膜（介電常數7.0左右）等的無機系材料。此外，承襲以往製程之低介電常數材料最近則相繼採用 SiOF 膜（介電常數3.6左右）。

(2)

然而，SiOF膜的介電常數比較高，當將此當作層間絕緣膜來使用時，由於減低層間電容的效果不夠。因此對於配線製程90nm世代以後的半導體裝置而言，則必須要是一具有更低介電常數的材料。

具有介電常數低於3.5之特性的層間絕緣膜材料則已提出各種的材料。若是粗略地加以區分時，則檢討在塗佈在基板後再藉由加熱而形成膜之所謂的SPIN ON GLASS材料或依同樣而形成膜的有機系材料，與利用CVD法而形成膜的方法。

SPIN ON GLASS 材料則有以Hydrogen Silsesquioxane化合物或Methyl Silsesquioxane化合物為主要成分的材料。

以Hydrogen Silsesquioxane化合物作為主要成分的塗佈溶液則是一將以一般式 $(\text{HsiO}_{3/2})_n$ 來表示的化合物溶解在甲基異丁基酮等的溶媒中而成者。將該溶液塗佈在基板，在以100~250℃左右的溫度進行完中間加熱後，則在氮氣環境等的惰性氣體環境內以350~450℃的溫度來加熱，藉此，Si-O-Si的結合成為梯狀(ladder)構造，而最終形成以SiO作為主要成分的絕緣膜。

而以Methyl Silsesquioxane化合物作為主要成分的塗佈溶液則是一將以一般式 $(\text{CH}_3\text{SiO}_{3/2})_n$ 來表示的化合物溶解在甲基異丁基酮等的溶媒而成者。將該溶液塗佈在基板，在以100~250℃左右的溫度進完中間加熱後，則在氮氣環境等的惰性氣體環境內以350~450℃的溫度來加熱，

(3)

藉此，Si-O-Si的結合成爲梯狀構造，而最終形成以SiO作爲主要成分的絕緣膜。

有機絕緣膜材料已知有爲碳化氫系樹脂的聚醯亞胺、聚對二甲苯、聚丙炔醚、聚丙炔、苯並環丙烷、聚萘等的高分子材料。該些材料藉由含有碳原子來減低膜的密度，或是藉由減小分子（monomer）本身的分極率來達成低介電常數。

要再減低如上述之SPIN ON GLASS膜、有機膜、CVD膜般之層間絕緣膜的介電常數的方法則已知有在膜中形成微小空孔而成爲多孔質膜的方法。

有關上述的材料及製程則記載於 International Technology Roadmap for Semiconductors 1999 Edition p.p. 163-186，特開 2000-340569 號公報、特開 2001-274239 號公報。

然而在以上的習知技術中，對於具有介電常數低於 3.5 之特性的層間絕緣膜而言，相較於 CVD 成膜的 SiO₂ 膜（介電常數 4.0 左右）或 SiN 膜（介電常數 7.0 左右），則有絕緣膜的硬度及彈性率等之機械強度本質上較低的問題。

在該絕緣膜中，爲了要更加減低介電常數，乃在膜中形成微小空孔而成多孔質化，但如此之方式會使得機械上的強度更加惡化，而並不實際。

在此，本發明即是根據以上的技術背景，而提出一藉由設成上述介電常數低的膜與介電常數高的膜的積層構造

(4)

，且使得各材料的組合及構造最佳化，而使得絕緣膜本身的電氣上的特性與機械上的特性得以兼顧的方法。

特別是對於應用將配線電阻已降低的銅配線埋入到層間絕緣膜層之波形花紋構造的積層構造的半導體裝置而言，可提供一能夠抑制層間絕緣膜之機械上的強度降低，且極力降低信號在配線中之延遲而具有高信賴性及高性能之特性的半導體裝置。

【發明內容】

用來降低絕緣膜之介電常數的手段則可以使用聚醯亞胺等的絕緣性有機聚合物。有機聚合物雖然由於其介電常數未滿4，因此很好，但是卻有相較於無機膜在物理上機械強度低，且吸濕性或透濕性高的缺點。

又，在當作層間絕緣膜來使用時，則會因為元件構造的機械強度的降低以及配線因為吸濕水分而導致配線發生腐蝕等因素，因此在元件的信賴性會有問題。

在此，特別是對於使用將已降低配線電阻的銅配線埋入到層間絕緣膜層之波形花紋構造的積層配線半導體元件而言，乃檢討一可一邊抑制元件構造之機械強度的降低情形，且一邊降低整個層間絕緣膜之介電常數的方法。

結果，本發明的半導體裝置則是一在已形成有電晶體元件或半導體電路的基板上將第1絕緣層、第2絕緣層、第3絕緣層、以及具備有貫穿該3層而形成之導體配線的配線層等多層予以積層而形成的半導體裝置。此時，用來構成

(5)

各配線層的第1與第3絕緣層是由矽碳化氮化膜、矽碳化物、或矽氧化物所構成，又，在配線層之中，位在下層部之配線層的第2絕緣層包含有矽氧化物，而位在上層部之配線層的第2絕緣層包含有添加了氟的矽氧化物或添加了碳的矽氧化物。

此時，當將銅配線當作導體配線而設為構成元件時，第1絕緣膜則在為了要將銅配線埋入而開口形成絕緣膜時會成為阻蝕膜。又，第2絕緣層則成為銅配線的擴散障壁膜。

以往阻蝕或擴散障壁膜乃使用矽氮化膜，而在本發明中，由於使用由介電常數較矽氮化膜（介電常數7左右）為低的矽碳化氮化膜（介電常數4.6左右）、矽碳化物（介電常數4.4左右），或矽氧化物（介電常數4.0左右）所構成的膜，因此即使對於設為多層積層構造之整個配線層而言也能夠減低其介電常數。

在配線層中，藉著將位在下層部之配線層的第2絕緣層是由介電常數未滿3.0的絕緣膜材所構成，而位在上層部之配線層的第2絕緣層則是由添加了氟的矽氧化膜或添加了碳的矽氧化膜所構成。亦即，第2絕緣層的構成成分則將位在上層部的配線層與位在下層部的配線層設成不同，後者的絕緣膜的介電常數則較前者為小。

又，本發明之半導體裝置，其中位在下層部之配線層的第2絕緣層則是一具有介電常數未滿3.0，且含有SiO的絕緣膜，且存在於絕緣膜中的微小空孔則是以0.05nm以上

(6)

、4nm以下之直徑的空孔為主。在本發明中，藉著在膜中含有微小空孔來減低膜的密度，而且藉著使用單一膜之介電常數未滿3.0且含有SiO的絕緣膜，對於多層積層構造之整個配線層更可以減低介電常數。

此時，藉著使用在絕緣膜中形成微小的空孔而降低密度，而接近於真空的介電常數的方法，可以讓絕緣膜的介電常數降低到較矽氧化膜的介電常數為低，特別是藉由控制該微小空孔的尺寸及密度，可以形成一具有任意之介電常數的絕緣膜。

然而，當微小空孔的直徑變大時，則會產生作為絕緣膜本身之構造體的機械強度降低，或是流經絕緣膜的漏電流變大，而導致為身為絕緣膜之特徵的絕緣耐壓降低的新問題，因此對於在絕緣膜中所含之空孔的大小則必須要細心地注意。

在此，在本發明中，藉著控制空孔直徑的範圍，可以抑制絕緣膜的機械強度或絕緣耐壓的降低情形。此時，當微小空孔以0.05nm以上、4nm以下之直徑的空孔為主時，則能夠得到一不會讓絕緣膜的膜強度降低，且信賴性高的半導體裝置。

具有上述微小空孔的絕緣膜則是一以由對以Hydrogen Silsesquioxane化合物，或Methyl Silsesquioxane化合物作為主要成分的塗佈膜實施加熱所得到之SiO作為主要成分的絕緣膜所形成。

以Hydrogen Silsesquioxane化合物作為主要成分的塗

(7)

佈溶液則是一讓以一般式 $(\text{HSiO}_{3/2})_n$ 所表示的化合物溶解在甲基異丁基酮等的溶媒而成者。又，以 Methyl Silsesquioxane 化合物作為主要成分的塗佈溶液則是一讓以一般式 $(\text{CH}_3\text{SiO}_{3/2})_n$ 所表示的化合物溶解在甲基異丁基酮等的溶媒而成者。

將該些溶液塗佈在基板，在以 $100\sim 250^\circ\text{C}$ 左右的溫度實施完中間加熱後，則在氮氣環境中等的惰性氣體環境內以 $350\sim 450^\circ\text{C}$ 的溫度來加熱，藉此使得 Si-O-Si 的結合形成為梯形構造，而最終形成以 SiO 作為主要成分的絕緣膜。

針對以由對以 Hydrogen Silsesquioxane 化合物，或 Methyl Silsesquioxane 化合物作為主要成分的塗佈膜實施加熱所得到的 SiO 作為主要成分的絕緣膜測量存在於絕緣膜中之空孔之直徑的方法，則有例如讓在 Silsesquioxane 化合物溶液中含有甲基異丁基酮等的溶媒以外的成分，而本成分在膜中經分解而造成的痕跡即形成為空孔，藉著根據成膜溫度而讓分解動作產生變化而來控制空孔的形成，將空孔直徑範圍收斂在所選擇的範圍內的方法。

用來塗佈上述絕緣膜形成用的溶液的方法則有旋轉塗佈或狹縫 (slit) 塗佈、或印刷方法。此外，由於絕緣膜是由將該塗佈膜加熱而形成，因此即使是高密度地形成微細的配線，相較於由 CVD 法所形成的絕緣膜，就高度差的被覆性良好，而能消除表面高度差乙點乃較優越。

又，針對 Si 晶圓的大直徑化，當利用 CVD 法來形成絕緣膜時，則必須要有大型的成膜裝置，因此設備成本會對

(8)

元件的成本帶來很大的影響。相較於此，在本發明中，由於是利用塗佈・加熱方式來形成絕緣膜，因此可以大幅地降低設備成本，而能夠期待抑制生產線的投資成本，進而元件成本的極大的效果。

當藉由CVD法來形成絕緣膜時，則將烷基矽烷化合物、烷氧基矽烷作為主要成分當作來源氣體（source gas）來使用，而藉由ECR（Electron Cyclotron Resonance）電漿CVD（Chemical Vapor Deposition）法等而最終形成以SiO作為主要成分的絕緣膜。

此時，用來控制存在於絕緣膜中之空孔之直徑的方法，則例如讓在來源氣體中含有熱分解溫度高的成分，而在成膜時藉由350℃、450℃的加熱，而使得本成分在膜中分解而成的痕跡形成為空孔的方法。

在該方法中，藉著選擇各種熱分解溫度高的成分，可以根據成膜溫度讓分解動作產生變化，藉此來控制空孔的形成，將空孔直徑的範圍收斂在選擇的範圍內。

又，在本發明的半導體裝置中，為了要防範來自半導體裝置周邊部的吸濕、透濕，而如包圍元件裝置的周圍般地在元件裝置周邊設置由用來形成導體配線的材料所構成的隔壁層（在本發明中稱為保護環），因此可以遮擋住從元件周邊或基板與層間絕緣膜的界面透過層間絕緣膜內而來的水分，而提高元件本身的耐濕信賴性。

【實施方式】

(9)

以下請參照圖面來說明本發明的實施形態。

(第1實施例)

第1實施例一應用在Cu配線雙波狀花紋 (dual damascene) 構造之6層配線半導體元件的例子，請參照圖1的斷面圖與圖2的製程圖來說明。

在利用一般所熟知的方法而已形成有MOS電晶體等之構成元件 (未圖示) 的半導體基板101上，則利用CVD法形成40nm厚之成為第1配線層之第1絕緣層的矽碳化氮化膜102。該第1絕緣層在形成配線圖案時則成為阻蝕膜。

接著，則利用CVD法形成400nm厚之成為第1配線層之第2絕緣層的矽氧化膜103。

接著，則利用CVD法形成400nm厚之成為第1配線層之第3絕緣層的矽碳化氮化膜104。該膜在形成配線圖案以作為第2配線層的第1絕緣層而實施開口時，則可以當作阻蝕膜及Cu擴散障壁膜來使用。

接著則在矽碳化氮化膜104形成開口117。開口則利用光阻劑藉由習知的技術來形成光阻圖案，利用能夠除去矽碳化氮化膜的蝕刻氣體，以光阻膜作為掩罩而利用乾蝕刻方式來形成 (圖2.1)。此時，開口則成為第1配線層的配線尺寸。

接著，則利用與形成第1配線層時同樣的方法來形成400nm厚之成為第2配線層之第2絕緣層的矽氧化膜105以及形成40nm厚之成為第3配線層之矽碳化氮化膜206。

(10)

接著則在矽碳化氮化膜形成開口 118 (圖 2.2)。

開口則是利用光阻劑，藉由習知的技術形成光阻圖案，利用能夠除去矽碳化氮化膜的蝕刻氣體，將光阻膜當作掩罩，而利用乾蝕刻方式來形成。

接著則藉由將矽碳化氮化膜當作掩罩，而以能夠除去矽氧化膜的 CF 系氣體的乾蝕刻方式，在矽氧化膜 105 形成開口，而在其下部，矽碳化氮化膜 104 的開口 117 則露出。

接著則將矽碳化氮化膜 104 的開口 117 當作掩罩，而在矽氧化膜 103 形成開口，而在其下部則讓矽碳化氮化膜 102 露出。

接著則切換成能夠除去矽碳化氮化膜的蝕刻氣體，將矽氧化膜 103 的開口當作掩罩，而以乾蝕刻來除去矽碳化氮化膜 102，而形成貫穿半導體基板 101 的開口。此時，連矽碳化氮化膜 104 也會被蝕刻，而擴展到與最上層之矽碳化氮化膜的開口 118 相同的尺寸。藉此形成貫穿半導體基板 101 的配線溝 119 (圖 2.3)。

接著，當在配線溝 119 內面形成好障壁金屬膜 120 後，則利用熟知的鍍敷法來充填 Cu 121。障壁金屬在本實施例中則使用 TiN。

此外，則除去存在於作為最上層之矽碳化氮化膜上之不需要的 Cu 膜，藉著洗淨其表面可同時形成連接用插塞 (plug) 與配線。在除去 Cu 膜時，磨粒則使用氧化鋁或二矽氧化物，而最好是利用使用由 Cu 錯化劑、界面活性劑等之添加劑所構成之研磨劑的化學機械研磨法 (Chemical

(11)

Mechanical Polishing)。

在該研磨過程中，連相當於最上層的矽碳化氮化膜116也會被研磨除去，藉此製作出已形成有Cu配線（包含有120與121）的雙波狀花紋構造（圖2.4）。

接著，則進行2次同樣的過程而形成6層的Cu配線構造。此時，絕緣層106、108、110、112則是由利用CVD法而形成的矽碳化氮化膜所構成，絕緣層107、109是由矽氧化膜所構成。又，絕緣層111、113是由氟添加矽氧化膜（SiOF膜）所構成。

接著則在最上層形成矽氮化膜115，而製作出由6層的Cu配線116所構成的多層配線半導體元件（圖1）。

藉此，使用介電常數較矽氮化膜為低之矽碳化氮化膜（介電常數4.6左右）作為阻蝕膜及擴散障壁膜，又，在多層構造的上層部，藉著使用介電常數較矽氧化膜為小的氟添加矽氧化膜（介電常數3.6），可以得到一提升整體層間絕緣膜之介電常數之高性能的半導體裝置。

（第2實施例）

利用與第1實施例同樣的手法，在本實施例中針對絕緣層107、109也利用CVD法來形成添加氟的矽氧化膜（SiOF膜）。

接著則在最上層形成矽氮化膜115，而製作出由6層的Cu配線116所構成的多層配線半導體元件。

藉此，利用介電常數比矽氮化膜為低的矽碳化氮化膜

(12)

(介電常數 4.6 左右) 作為阻蝕膜或擴散障壁膜，又，在多層構造的 1/3 以上的上層部，則藉著使用介電常數較矽氧化膜為小的氟添加矽氧化膜，可以得到一能夠降低整體層間絕緣膜之介電常數的高性能的半導體裝置。

(第 3 實施例)

利用與第 1 實施例同樣的手法，在本實施例中針對絕緣層 102、104、106、108、110、112 使用 CVD 法形成矽碳化膜 (SiC 膜)。

接著，則在最上層形成矽氮化膜 115，而製作出由 6 層的 Cu 配線 116 所構成的多層配線半導體元件。

藉此，利用介電常數比矽氮化膜為低的矽碳化膜 (介電常數 4.4 左右) 作為阻蝕膜或擴散障壁膜，可以得到一能夠降低整體層間絕緣膜之介電常數的高性能的半導體裝置。

(第 4 實施例)

利用與第 2 實施例同樣的手法，在本實施例中針對絕緣層 102、104、106、108、110、112 也利用 CVD 法來形成矽碳化膜 (SiC 膜)。

接著則在最上層形成矽氮化膜 115，而製作出由 6 層的 Cu 配線所構成的多層配線半導體元件。

藉此，利用介電常數比矽氮化膜為低的矽碳化膜 (介電常數 4.4 左右) 作為阻蝕膜或擴散障壁膜，而可以得到

(13)

一能夠降低整體層間絕緣膜之介電常數之高性能的半導體裝置。

(第5實施例)

利用與第1實施例同樣的手法，在本實施例中針對絕緣層111、113，利用CVD法形成添加碳的矽氧化膜（介電常數未滿3.0），而製作出由6層的Cu配線所構成的多層配線半導體元件。

又，在多層構造之1/3以上的上層部，藉著使用介電常數較矽氧化膜為小的碳添加矽氧化膜，而得到一能夠降低整體層間絕緣膜之介電常數的高性能的半導體裝置。

(第8實施例)

利用與第6實施例同樣的手法，在本實施例中針對絕緣層102、104、106、108、110、112也利用CVD法來形成矽碳化膜（SiC膜）。

接著則在最上層形成矽氮化膜115，而製作出由6層的Cu配線所構成的多層配線半導體元件。

藉此，利用介電常數比矽氮化膜為低的矽碳化膜作為阻蝕膜或擴散障壁膜，而得到一能夠降低整體層間絕緣膜之介電常數之高性能的半導體裝置。

(第9實施例)

利用與第1實施例同樣的手法，在本實施例中針對絕

(14)

緣層 103、105、107、109，利用 CVD 法形成碳添加的矽氧化膜，而製作出由 6 層的 Cu 配線所構成的多層配線半導體元件。

藉此，在多層構造的下層部，則使用介電常數未滿 3.0 的碳添加矽氧化膜作為絕緣膜，又，在多層構造的上層部，則藉著使用介電常數較矽氧化膜為小的氟添加矽氧化膜，而得到一能夠降低整體層間絕緣膜之介電常數的高性能的半導體裝置。

(第 10 實施例)

利用與第 2 實施例同樣的手法，在本實施例中針對絕緣層 103、105，利用 CVD 法形成添加碳的矽氧化膜，而製作出由 6 層的 Cu 配線所構成的多層配線半導體元件。

藉此，在多層構造的下層部，則使用介電常數未滿 3.0 的碳添加矽氧化膜作為絕緣膜，又，在多層構造的上層部，則藉著使用介電常數較矽氧化膜為小的氟添加矽氧化膜，而得到一能夠降低整體層間絕緣膜之介電常數的高性能的半導體裝置。

(第 11 實施例)

利用與第 3 實施例同樣的手法，在本實施例中針對絕緣層 103、105、107、109，利用 CVD 法形成添加碳的矽氧化膜，而製作出由 6 層的 Cu 配線所構成的多層配線半導體元件。

(15)

藉此，在多層構造的下層部，則使用介電常數未滿3.0的碳添加矽氧化膜作為絕緣膜，又，在多層構造的上層部，則藉著使用介電常數較矽氧化膜為小的氟添加矽氧化膜，且藉著使用介電常數較矽氮化膜為低的矽碳化膜以作為阻蝕膜及擴散障壁膜，而得到一能夠降低整體層間絕緣膜之介電常數的高性能的半導體裝置。

(第12實施例)

利用與第4實施例同樣的手法，在本實施例中針對絕緣層103、105，利用CVD法形成添加碳的矽氧化膜，而製作出由6層的Cu配線所構成的多層配線半導體元件。

藉此，在多層構造的下層部，則使用介電常數未滿3.0的碳添加矽氧化膜作為絕緣膜，又，在多層構造的上層部，則藉著使用介電常數較矽氧化膜為小的添加氟矽氧化膜，且藉著使用介電常數較矽氮化膜為低的矽碳化膜以作為阻蝕膜及擴散障壁膜，而得到一能夠降低整體層間絕緣膜之介電常數的高性能的半導體裝置。

(第13實施例)

利用與第1實施例同樣的手法，在本實施例中針對絕緣層103、105、107、109，在利用塗佈方法將以Hydrogen Silsesquioxane化合物作為主要成分的甲基異丁基酮溶液形成在基板之上後，在氮氣環境下利用熱枚以100℃進行10分鐘，接著以150℃進行10分鐘，以230℃進行10分鐘的

加熱。

此外，更在氮氣環境下利用爐體以 350°C 進行 30 分鐘的加熱，而將 Si-O-Si 結合形成為梯形構造，最後則形成一以 SiO 作為主要成分，而在膜中具有已控制空孔形成之微小空孔的絕緣膜，製作出由 6 層的 Cu 配線所構成的多層配線半導體元件。

而形成開口則是利用可以對 SiO 進行蝕刻的 CF 系氣體的乾蝕刻方式來進行。

本實施例，如圖 3 所示，是一存在有具有以直徑在 0.05nm 以上、 4nm 以下的空孔為主之分佈特性的微小空孔的絕緣膜，介電常數為 2.3 左右。

直徑分佈是根據一利用理學電機（株）所製造之 X 射線薄膜構造分析裝置（型式：ATX.G）所得到的 X 射線反射測量資料與亂射 X 射線測量資料而推測出球狀亂射體的亂散函數，而與理論亂射強度比較來算出亂射體的直徑分佈。

又，在膜中具有上述微小空孔的絕緣膜則具有楊氏常數 12Ga 的特性。該些特性則是利用使用美國 MTS Systems Corporation 製 Nanoindenter XP 的 indentation 測量法針對形成在 Si 晶圓上之膜厚 250nm 的同一膜，根據在總膜厚之 $1/5$ 之表層點的硬度而求得上述的膜硬度。

又，楊氏模量（Young module）也是一位在總膜厚之 $1/5$ 的表層點的值，是一根據熔融石英之柏松（Poisson）比 0.7 所換算出來的值。依據同樣的手法所求得之相同程

(17)

度膜厚的 p-TEOS 膜具有楊氏模量 70 GPa 的特性。

由此可知，在膜中具有上述微小空孔的絕緣膜是一具有 p-TEOS 膜之大約 17% 的楊氏模量的膜，相較於記載在特開 2000.340569 號的低介電常數膜，可以得到一具有優越機械特性的低介電常數絕緣膜。

藉此，在多層構造的下層部使用介電常數未滿 2.5，而具有優越之膜強度的絕緣膜，又，在多層構造的上層部則使用介電常數較矽氧化膜為低的添加氟的矽氧化膜，藉此可降低整體層間絕緣膜的介電常數，而得到一可抑制元件構造之機械強度降低，且高性能的半導體裝置。

(第 14 實施例)

利用與第 13 實施例同樣的手法，在本實施例中針對絕緣膜 102、104、106、108、110、112 利用 CVD 法形成矽碳化膜 (SiC 膜)。

接著，則在最上層形成矽氮化膜 115，而製作出由 6 層的 Cu 配線所構成的多層配線半導體元件。

藉此，使用介電常數較矽氮化膜為低的矽碳化膜作為阻蝕膜及擴散障壁膜，又利用在膜中具有微小空孔的絕緣膜，藉著規定空孔直徑可以得到一具有優越之機械特性的低介電常數絕緣膜。

此外，更在多層積層構造的下層部使用介電常數未滿 2.5 而具有優越之膜強度的絕緣膜作為第 2 絕緣膜，又，在多層構造的上層部使用介電常數較矽氧化膜為小的添加氟

的矽氧化膜作為第2絕緣膜，可以降低整體層間絕緣膜的介電常數，而得到一可抑制元件構造的機械強度降低且高性能的半導體裝置。

(第15實施例)

利用與第13實施例同樣的手法，在本實施例中針對絕緣層103、105、107、109，在利用塗佈方法將以Hydrogen Silsesquioxane化合物作為主要成分的甲基異丁基酮溶液形成在基板之上後，在氮氣環境下利用熱枚以100℃進行10分鐘，接著以150℃進行10分鐘，以230℃進行10分鐘的加熱。

此外，更在氮氣環下利用爐體以350℃進行30分鐘的加熱，而將Si-O-Si結合形成為梯形構造，最後則形成一以SiO作為主要成分，而在膜中具有已控制空孔形成之微小空孔的絕緣膜，製作出由6層的Cu配線所構成的多層配線半導體元件。而形成開口則是利用可以對SiO進行蝕刻的氣體的乾蝕刻方式來進行。

本實施例，如圖4所示，是一存在有具有以直徑在0.05nm以上、1nm以下的空孔為主之分佈特性的微小空孔的絕緣膜，介電常數為2.7左右。

直徑分佈是根據一利用理學電機（株）所製造之X射線薄膜構造分析裝置（型式：ATX.G）所得到的X射線反射測量資料與亂射X射線測量資料而推測出球狀亂射體的亂散函數，而與理論亂射強度比較來算出亂射體的直徑分

佈。

又，在膜中具有上述微小空孔的絕緣膜則具有楊氏常數 11Ga 的特性。該些特性則是利用使用美國 MTS Systems Corporation 製 Nanoindenter XP 的 indentation 測量法針對形成在 Si 晶圓上之膜厚 250nm 的同一膜，根據在總膜厚之 1/5 之表層點的硬度而求得上述的膜硬度。

又，楊氏模量也是一位在總膜厚之 1/5 的表層點的值，是一根據熔融石英之泊松比 0.7 所換算出來的值。依據同樣的手法所求得之相同程度膜厚的 p-TEOS 膜具有楊氏模量 70Ga 的特性。

由此可知，在膜中具有上述微小空孔的絕緣膜是一具有 p-TEOS 膜之大約 16% 的楊氏模量的膜，相較於記載在特開 2000.340569 號的低介電常數膜，可以得到一具有優越機械特性的低介電常數絕緣膜。

藉此，在多層積層構造的下層部使用介電常數未滿 3.0，而具有優越之膜強度的絕緣膜作為第 2 絕緣膜，又，在多層積層構造的上層部則使用介電常數較矽氧化膜為低的添加氟的矽氧化膜，藉此可降低整體層間絕緣膜的介電常數，而得到一可抑制元件構造之機械強度降低，且高性能的半導體裝置。

(第 16 實施例)

利用與第 15 實施例同樣的手法，在本實施例中針對絕緣膜 102、104、106、108、110、112 利用 CVD 法形成矽碳

(20)

化膜（SiC膜）。

接著，則在最上層形成矽氮化膜115，而製作出由6層的Cu配線所構成的多層配線半導體元件。

藉此，使用介電常數較矽氮化膜為低的矽碳化膜作為阻蝕膜及擴散障壁膜，又利用在膜中具有微小空孔的絕緣膜，藉著規定空孔直徑可以得到一具有優越之機械特性的低介電常數絕緣膜。此外，在多層積層構造的下層部使用介電常數未滿3.0而具有優越之膜強度的絕緣膜作為第2絕緣膜，又，在多層構造的上層部使用介電常數較矽氧化膜為小的添加氟的矽氧化膜作為第2絕緣膜，可以降低整體層間絕緣膜的介電常數，而得到一可抑制元件構造的機械強度降低且高性能的半導體裝置。

（第17實施例）

第17實施例是一應用在形成Cu配線雙波狀花紋構造的例子，請參照圖5的過程圖來說明。

利用一般所熟知的方法，以CVD法將40nm厚之成為第1配線層之第1絕緣層的矽碳氮化膜502形成在已形成有MOS電晶體等之構成元件（未圖示）的半導體基板501上。第1絕緣層在形成配線圖案而開口時成為一阻蝕膜。

接著，在利用塗佈方法，將以Hydrogen Silsesquioxane化合物作為主要成分的甲基異丁基酮溶液形成在基板之上後，在氮氣環境下利用熱板以100℃進行10分鐘，接著以150℃進行10分鐘，以230℃進行10分鐘的

(21)

加熱，藉以使 Si-O-Si 結合形成為梯形構造，最後則以 SiO 作為主要成分，如圖 3 所示，形成存在有具有 0.05nm 以上 4nm 以下之直徑之空孔為主之分佈特性的微小空孔的介電常數 2.3 左右的絕緣膜，而成為第 1 配線層的第 2 絕緣層 503。

接著，利用 CVD 法形成 40nm 膜厚之成為第 1 配線層之第 3 絕緣層的矽碳化氮化膜 504。該膜在形成配線圖案而開口時可作為第 2 配線層的第 1 絕緣層而發揮作為阻蝕膜及 Cu 擴散障壁膜的作用。

接著則在矽碳化氮化膜 504 形成開口 517。開口則利用光阻膜，以公知的技術形成光阻圖案，利用可以除去矽碳化氮化膜的蝕刻氣體，將光阻膜當作掩罩而利用乾蝕刻方式來形成（圖 5.1）。此時，開口成為第 1 配線層的配線尺寸。

接著則利用與形成第 1 配線層之第 2 絕緣層 503 時同樣的方法，形成 400nm 厚之成為第 2 配線層的第 2 絕緣層，而如圖 3 所示存在有具有以 0.05nm 以上 4nm 以下之直徑之空孔為主之分佈特性的微小空孔的介電常數 2.3 的絕緣層 505，且形成 40nm 厚之成為第 3 絕緣層的矽碳化氮化膜 506。

接著，則在矽碳化氮化膜形成開口部 518（圖 5.2）。開口則利用光阻膜，以公知的技術來形成光阻圖案，利用可以除去矽碳化氮化膜的蝕刻氣體，將光阻膜當作掩罩，利用乾蝕刻方式來形成。

接著，將矽碳化氮化膜當作掩罩，利用可以除去具有

(22)

微小空孔之SiO₂膜的氣體，藉由乾蝕刻方式在絕緣層505形成開口，而在其下部，矽碳化氮化膜504的開口517則露出。

接著，則將矽碳化氮化膜504的開口517當作掩罩，在絕緣層503形成開口，在其下部讓矽碳化氮化膜502露出。接著，切換成可以除去矽碳化氮化膜的蝕刻氣體，將絕緣層503的開口當作掩罩，以乾蝕刻來除去矽碳化氮化膜502，形成貫穿半導體基板501的開口。

此時，則連矽碳化氮化膜504也會被蝕刻，而擴展成與最上層的矽碳化氮化膜的開口518相同的尺寸。藉此形成貫穿半導體基板501的配線溝519（圖5.3）。

接著，當在配線溝519的內面形成好障壁金屬膜120後，則利用熟知的鍍敷法來填充Cu121。障壁金屬在本實施例中則使用TiN。

此外，利用化學機械研磨法來除去存在於作為最上層之矽碳化氮化膜上之不需要的Cu膜，藉著洗淨表面而同時形成連接用插塞（plug）與配線。在該研磨過程中，相當於最上層之矽碳化氮化膜506則未被研磨加以除去而會留下。藉此製作出已形成有Cu配線（包含520與521）的雙波狀花紋構造（圖5.4）。

如上所述，藉著使用介電常數低的膜作為身為層間絕緣膜層之主要的構成層的第2絕緣層503，而得到一能夠降低整體層間絕緣膜之介電常數之高性能的半導體裝置。

在本實施例的構成中，雖然是一積層了2層之配線層

(23)

的構造，但是藉著將配線層作2次以上的反覆積層，可以得到一具有多層配線構造的半導體裝置。

(第18實施例)

與第17實施例同樣地，在本實施例中針對第2絕緣層503，如圖4所示，形成存在有具有0.05nm以上1nm以下的直徑的空孔為主之分佈特性的微小空孔，而介電常數為2.7左右的SiO絕緣膜，而製作出已形成有Cu配線的雙波狀花紋構造。

藉此，藉著使用介電常數低的膜作為身為層間絕緣膜層之主要之構成層的503，可以得到一能夠降低整體層間絕緣膜之介電常數之高性能的半導體裝置。

又，藉著反覆地積層2次以上的配線層很容易得到一具有多層配線構造之高性能的半導體裝置。

(第19實施例)

圖6為第19實施例之半導體邏輯元件的斷面圖。利用已知的STI(Shallow Trench Isolation)在半導體基板601上形成元件分離膜區域602，而在該元件分離膜區域602內部成MOS電晶體603。此外，在利用已知的CVD法將50nm左右的矽氧化膜604與500nm左右的BPSG(硼磷矽酸玻璃)膜605依序形成在包含有MOS電晶體603的半導體基板601的表面後，在例如800、900℃的氮氣環境下進行回焊退火(reflow anneal)。

接著在利用使用二矽氧化物研磨粒的化學機械研磨法（CMP法）研磨BPSG膜605的表面使其平坦化後，則形成接觸孔（contact hole），藉由CVD法將鎢埋入到該接觸孔內而形成導電插塞（plug）606。此時，則藉由已知的平坦蝕刻（etch back）法來除去存在於BPSG膜605之表面上之不需要的鎢。

接著，則與第17實施例同樣地，利用CVD法形成40nm厚之成為第1配線層之第1絕緣層的矽碳化氮化膜607。該第1絕緣層則在形成配線圖案而實施開口時成為一阻蝕膜。

接著，在利用塗佈方法將以Hydrogen Silsesquioxane化合物作為主要成分的甲基異丁基酮溶液塗佈在基板之上後，則在氮氣環境下利用熱板（hot plate），以100℃進行10分鐘，接著以150℃進行10分鐘，以230℃進行10分鐘的加熱。更且，在氮氣環境下利用爐體，在350℃下加熱30分鐘，藉此使Si-O-Si結合形成為梯形構造，最後則形成存在有具有以0.05nm以上、4nm以下之直徑的空孔為主之分佈特性的微小空孔，而介電常數為2.3左右的絕緣膜，而將其當作第1配線層的第2絕緣層608。

接著，利用CVD法形成40nm厚之成為第1配線層之第3絕緣層的矽碳化氮化膜609。該膜在形成配線圖案而實施開口時則當作第2配線層的第1絕緣層，而可以發揮作為阻蝕膜及Cu擴散障壁膜的作用。

接著，則在矽碳化氮化膜609形成開口。該開口是利

用光阻膜，以公知的技術形成光阻圖案，利用可以除去矽碳化氮化膜的蝕刻氣體，將光阻膜當作掩罩，而得到乾蝕刻方式來形成。此時，開口作為第1配線層的配線尺寸。

接著，利用與形成第1配線層之第2絕緣層608時同樣的方法形成400nm厚的第2配線層的第2絕緣層610以及40nm厚之成為第3絕緣層的矽碳化氮化膜611。

接著則在矽碳化氮化膜形成開口12，此外，則以該矽碳化氮化膜作為掩罩，利用可以除去具有微小空孔之SiO膜的氣體，以乾蝕刻方式在絕緣層610形成開口，而在其下部則讓矽碳化氮化膜609露出。

接著，則以矽碳化氮化膜609的開口作為掩罩，而在絕緣層608形成開口，在其下部則讓矽碳化氮化膜607露出。此外，則切換成可以除去矽碳化膜的蝕刻氣體，而以絕緣層608的開口作為掩罩，藉由乾蝕刻方式除去矽碳化氮化膜607而形成貫穿導電插塞606的開口。

此時，連矽碳化氮化膜609也被蝕刻，而擴展成與最上層之矽碳化膜的開口相同的尺寸。藉此形成貫穿導電插塞606的配線溝。

接著，當在配線溝內面形成好障壁金屬膜後，利用熟知的鍍敷法進行Cu的填充。障壁金屬在本實施例中則使用TiN。此外，利用化學機械研磨法來除去存在於作為最上層之矽碳化氮化膜上之不需要的Cu膜，藉著洗淨表面而同時形成連接用插塞與配線。在該研磨過程中，相當於最上層的矽碳化膜611未經研磨除去而會留下。藉此製作出已

(26)

形成有Cu配線的雙波狀花紋構造。反覆以上的過程而形成4層配線構造體。

接著則反覆同樣的過程更積層2層的配線構造。此時，絕緣層617、619、621是利用矽碳化氮化膜而形成40nm厚。又，絕緣層618、620是利用添加氟的矽氧化膜而形成600nm厚。

接著，則在最上層形成矽氮化膜622，而製作出由6層的配線623所構成的多層配線半導體元件。

藉此，使用介電常數較矽氮化膜為低的矽碳化膜（介電常數4.4左右）作為阻蝕膜及擴散障壁膜，而在多層積層構造的下層部則使用介電常數未滿2.5而具有優越之膜強度的絕緣膜作為第2絕緣層，又，在其上層部則使用介電常數較矽氧化膜為小的添加氟的矽氧化膜作為第2絕緣膜，藉此可以得到一能夠降低整體層間絕緣膜而高性能的半導體裝置。

（第20實施例）

圖7為第20實施例之被樹脂封住之半導體邏輯裝置的斷面圖。

將在第19實施例中所得而除了接合墊部以外之已形成聚醯亞胺表面保護膜702之狀態的半導體邏輯裝置701固定在另外設置之在接合墊過程中的導線框架。之後則利用線接合機（wire bonder）將金線704配線在設於半導體邏輯裝置701的接合墊部與導線框架的外部端子705之間。

(27)

接著則利用由日立化成工業（株）所製成之含有二矽氧化物的聯苯系環氧樹脂如包住半導體邏輯裝置701，外部端子705等般地形成樹脂封止部703。封止條件為成型溫度180℃，成型壓力70kg/cm²，但並不限定於此。

最後則藉著將外部端子706折彎成所設定的形狀，而得到一樹脂封止型半導體邏輯裝置的完成品。

由於經樹脂封住之半導體邏輯裝置之層間絕緣膜的一部分使用介電常數雖小，但可以充分地抑制機械強度降低的絕緣膜，因此，在樹脂封止過程中，針對施加在半導體邏輯元件的應力在元件內部並不會發生裂痕，而能夠得到樹脂封止品。

又，半導體邏輯元件的特性不僅是可以發揮與在第19實施例中所說明的同樣的效果，由於更被以樹脂封住，因此對於外部環境可以發揮安定的特性。

（第21實施例）

圖8為用來說明第21實施例之斷面圖，是指將在第19實施例中所說明之半導體邏輯元件應用在製造晶圓等級晶片尺寸封裝件（wafer level chip size package）構造的製品的情形。

以讓接合墊部803露出在半導體邏輯元件801之最上層矽氮化膜802上的狀態來形成聚醯亞胺絕緣膜804。

接著則形成再配列配線805。在本實施例中，再配列配線是由藉由噴濺法而由TiN、Cu、Ni等3層所構成，在

形成膜後，才藉由周知的光石印技術而形成配線圖案。

更且，則在其上形成聚醯亞胺絕緣膜806。另外則設置貫穿該聚醯亞胺絕緣膜806，而在再配列配線805之一部分的區域進行電氣連接的Underbump金屬層807。該Underbump金屬層是由Cr、Ni、Au等3層所形成。在該Underbump金屬層807之上形成焊錫突部（bump）808。

由於可作高速驅動的半導體邏輯元件可以藉由在第19實施例中所述的方法而形成在晶圓上，因此可藉由本實施例實現一處於晶圓的狀態，但具有焊錫突部之半導體邏輯封裝裝置。

藉著使用介電常數低的層間絕緣膜層，相較於以往的製品可以得到一高性能的半導體邏輯元件。然而當將封裝件半導體製品安裝搭載在印刷基板等上時，則藉由使用如本實施例般的封裝件構造，可以使得元件與印刷基板之間的信號傳播得以高速地進行，而能夠更將發揮半導體邏輯元件的性能。

（第22實施例）

圖9為用於說明第22實施例之元件端部的斷面圖（9.1）與晶圓平面概念圖（9.2）。

在矽基板901形成MOS電晶體等的半導體元件906及包含有該些元件的半導體電路部（906），而在該基板901之上形成上述的配線層。此外，則利用由構成配線層之導體配線所構成的材料如包圍該半導體元件906或包含有該些

元件的半導體電路部（906）般地配置保護環（guard ring）層905。

設置該保護環層905的目的是爲了要防止水分從外部侵入到半導體元件906或包含有該些元件的半導體電路部（906），而是在形成導體配線的過程中被形成。

藉此，當特別使用具有空孔的絕緣膜作爲顯示出低介電常數特性的層間絕緣膜時，則可以解決水分透過或吸著至孔內部的問題，而能夠提供一可提升半導體元件本身之耐濕信賴性的半導體裝置。

以上雖然是參照實施例詳細地加以說明，但是本發明以及達成實施例的各條件不限定於該些實施例。

如上所述，對於具有應用了將已降低配線電阻的銅配線埋入到層間絕緣膜層之嵌入式構造的多層積層配線的半導體元件而言，使用介電常數較矽氮化膜爲小的膜作爲阻蝕膜及擴散障壁膜，且讓在多層積層構造之下層部與上層部中的絕緣膜不同，藉此可以提高整個元件的機械強度，且得到一能夠降低整體層間絕緣膜之介電常數之高性能的半導體裝置。

以上所述之多個實施例在不脫離本發明之範圍內可作各種的變更與修飾，在申請專利範圍之精神內，本發明並不限定於以上所述者。

【圖式簡單說明】

圖1爲第1實施例之積層構造之半導體裝置的斷面圖。

(30)

圖 2 為用於說明第 1 實施例之半導體裝置的過程圖。

圖 3 為存在於絕緣膜中之空孔之直徑分佈的說明圖。

圖 4 為存在於絕緣膜中之空孔之直徑分佈的說明圖。

圖 5 為其他實施例之積層構造之半導體裝置的过程圖。

。

圖 6 為用於說明半導體邏輯裝置的斷面圖。

圖 7 為用於說明樹脂封裝型半導體裝置的斷面圖。

圖 8 為用於說明晶圓等級晶片尺寸封裝 (wafer level chip size package) 構造半導體裝置的斷面圖。

圖 9 為用於說明保護環構造之半導體裝置的斷面圖與平面圖。

【符號說明】

101	半導體基板
102	矽碳化氮化膜
103	矽氧化膜
104	矽碳化氮化膜
105	矽氧化膜
106、107、108、109、110、111、112、113	絕緣
膜	
115	矽氮化膜
116	Cu配線
117	開口
118	開口

(31)

119	配線溝	
120	障壁金屬膜	
501	半導體基板	
502	矽碳化氮化膜	
503	第2絕緣層	
504	矽碳化氮化膜	
505	絕緣層	
506	矽碳化氮化膜	
517	開口	
518	開口	
519	配線溝	
601	半導體基板	
602	元件分離膜區域	
603	MOS電晶體	
604	矽氧化膜	
605	BPSG膜	
606	導電插塞	
607	矽碳化氮化膜	
608	第2絕緣層	
609	矽碳化氮化膜	
610	第2絕緣層	
617、618、619、620、621	絕緣層	
622	矽氮化膜	
701	半導體邏輯裝置	

(32)

702	聚醯亞胺表面保護膜
703	樹脂封裝部
704	金線
705	外部端子
706	外部端子
801	半導體邏輯元件
802	最上層矽氮化膜
803	接合墊部
804	聚醯亞胺絕緣膜層
805	再配列配線
806	聚醯亞胺絕緣膜
807	Underbump金屬層
808	焊接突部
901	矽基板
902	SiN 鈍化膜
903	劃線
904	保護環層
905	保護環
906	半導體元件

肆、中文發明摘要

發明之名稱：半導體裝置

用作構成積層構造之配線層之絕緣膜的阻蝕膜或擴散障壁膜是使用介電常數較矽氮化膜為小的膜，此外，位在下層部之絕緣膜的介電常數則較積層構造的上層部為小，更且，其絕緣膜為SiO膜，在該絕緣膜內部主要含有0.05nm以上、4nm以下之直徑的微小空孔。藉此，在維持配線層本身的機械強度的情形下，可以大幅地減低實際的介電常數，而實現一能夠減低在配線中傳播之信號之延遲情形且高信賴、高性能的半導體裝置。

伍、英文發明摘要

發明之名稱：

(1)

拾、申請專利範圍

1. 一種半導體裝置，係在基板上積層有多層配線層的半導體裝置，其特徵在於：

上述配線層具備有第1絕緣層、第2絕緣層、第3絕緣層以及貫穿上述3個絕緣層而形成的導體配線，上述第1絕緣層與上述第3絕緣層至少是由矽碳化氮化膜、矽碳化物或矽氧化物所構成，上述配線層中位在下層部之配線層的第2絕緣層係由膜中具有微小空孔之矽氧化物形成，而位在上層部之配線層的第2絕緣層是由包含添加氟的矽氧化物或添加碳的矽氧化物所形成。

2. 一種半導體裝置，係在基板上積層有多層配線層的半導體裝置，其特徵在於：

上述配線層具備有第1絕緣層、第2絕緣層、第3絕緣層以及貫穿上述3個絕緣層而形成的導體配線，上述第1絕緣層與上述第3絕緣層至少是由矽碳化氮化膜、矽碳化物或矽氧化物所構成，上述配線層中位在下層部之配線層的第2絕緣層，係於膜中具有微小空孔，其介電常數較位在上層部之配線層的第2絕緣層的介電常數為小。

3. 如申請專利範圍第1項之半導體裝置，其中位在上述下層部之配線層的第2絕緣膜之介電常數為小於3.0。

4. 如申請專利範圍第2項之半導體裝置，其中位在上述下層部之配線層的第2絕緣層的介電常數小於3.0。

5. 如申請專利範圍第1項之半導體裝置，其中上述微小空孔之孔徑為0.05nm以上、4nm以下。

(2)

6. 如申請專利範圍第2項之半導體裝置，其中上述微小空孔之孔徑為0.05nm以上、4nm以下。

7. 如申請專利範圍第1項之半導體裝置，其中上述配線層至少積層2層以上。

8. 如申請專利範圍第2項之半導體裝置，其中上述配線層至少積層2層以上。

9. 如申請專利範圍第1項之半導體裝置，其中位在上述下層部之配線層之第2絕緣層是一將以 Hydrogen Silsesquioxane 化合物或 Methyl Silsesquioxane 化合物作為主要成分的塗佈膜實施加熱而得到的絕緣膜。

10. 如申請專利範圍第2項之半導體裝置，其中位在上述下層部之配線層的第2絕緣層是一將以 Hydrogen Silsesquioxane 化合物或 Methyl Silsesquioxane 化合物作為主要成分的塗佈膜實施加熱而得到的絕緣膜。

11. 如申請專利範圍第1項之半導體裝置，其中位在上述下層部之配線層的第2絕緣層是一以烷基矽烷化合物、矽氧基矽烷化合物作為主要成分的絕緣膜。

12. 如申請專利範圍第2項之半導體裝置，其中位在上述下層部之配線層的第2絕緣層是一以烷基矽烷化合物、矽氧基矽烷化合物作為主要成分的絕緣膜。

13. 如申請專利範圍第1項之半導體裝置，其中上述第2絕緣層的構成成分則在位於下層部的配線層與位於上層部的配線層並不相同。

14. 如申請專利範圍第2項之半導體裝置，其中上述

(3)

第2絕緣層的構成成分則在位於下層部的配線層與位於上層部的配線層並不相同。

15. 如申請專利範圍第1項之半導體裝置，是一在基板上已積層有多個配線層之半導體裝置，上述配線層具備有第1絕緣層、第2絕緣層、第3絕緣層以及貫穿上述3個絕緣層而形成的導體配線，而在相鄰的上述配線層中，被配置在下層之配線層的第3絕緣層則兼作為被配置在上層之配線層的第1絕緣層。

16. 一種半導體裝置，其特徵在於：

在已形成有半導體元件的基板上形成一具備有由第1絕緣層，由介電常數未滿3.0的絕緣膜材所構成的第2絕緣層、第3絕緣層以及導體配線的配線層，且利用構成上述配線層的材料所形成的保護環層則被配置或包圍上述半導體元件的周邊。

陸、（一）、本案指定代表圖為：圖 1

（二）、本代表圖之元件代表符號簡單說明：

101：半導體基板

102：矽碳化氮化膜

103：矽氧化膜

104：矽碳化氮化膜

105：矽氧化膜

106、107、108、109、110、111、112、113：絕緣膜

115：矽氮化膜

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無