(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1998년12월01일
(11) 등록번호 특0148605
(24) 등록일자 1998년05월28일

(21) 출원번호 특1994-037389
(22) 출원일자 1994년12월27일
(65) 공개번호 특1995-020731
(43) 공개일자 1995년07월24일
(30) 우선권주장 93-337106 1993년12월28일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 아리모또 가주따미
일본국 효고 664 이따미시 1 미주하라 4쪼메 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이 가이하쭈겡규쇼내
도미시마 시게끼
일본국 효고 664 이따미시 1 미주하라 4쪼메 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이 가이하쭈겡규쇼내
히다까 히데또
일본국 효고 664 이따미시 1 미주하라 4쪼메 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이 가이하쭈겡규쇼내
(74) 대리인 김영길

심사관 : 정희환

(54) 신호선의 레벨유지를 위한 반도체 기억장치

요약

메모리 어레이 MA_0는 센스 앰프 스트립(SA_0, SA_1)에 의해 4개의 서브 메모리 어레이($SBMA_0$-$SBMA_3$)로 나누어진다.

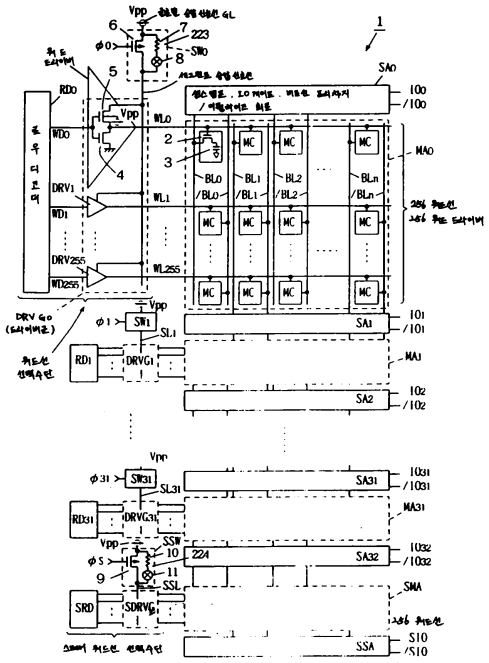
각 서브 메모리 어레이에 속한 워드 드라이버는 대응하는 세그먼트 승압 신호선(SL_0-SL_3)에 접속된다.

휴즈(57, 58, 59, 60)는 각 세그먼트 승압 신호선(SL_0-SL_3)에 접속된다.

휴즈가 끊어짐에 의해서, 끊어진 휴즈에 대응하는 서브 메모리 어레이(SBMA)는 더이상 사용되지 않는다.

더 이상 사용되지 않는 서브 메모리 어레이(SBMA)는 스페어 메모리 어레이(SMA)의 스페어 서브 메모리 어레이(SSBMA)와 치환된다.

대표도



명세서

[발명의 명칭]

신호선의 레벨유지를 위한 반도체 기억 장치.

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 반도체 기억 장치를 나타낸 블록도.

제2도는 제1도의 스위칭 트랜지스터에 입력되는 제어신호 Φ_0의 일예인 제어신호 Φ_0를 발생하기 위한 회로를 나타낸 도면.

제3도는 본 발명의 제2실시에 따른 반도체 기억 장치의 주요 구성 요소를 나타낸 도면.

제4도는 본 발명의 제3실시에 따른 반도체 기억 장치의 주요 구성 요소를 나타낸 도면.

제5도는 본 발명의 제4실시에 따른 반도체 기억 장치의 주요 구성 요소를 나타낸 도면.

제6a도-제6c도는 제5도의 회로의 동작을 설명하기 위한 도면.

제7도는 본발명의 제5실시예에 따른 반도체 기억 장치의 블록도.

제8도는 제7도의 스위칭 트랜지스터에 입력되는 제어신호 Φ_1의 일예인 제어신호 Φ_0를 발생하기 위한 회로를 나타낸 도면.

제9도는 본 발명의 제6실시예에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도.

제10도는 본 발명의 제7실시예에 따른 반도체 기억 장치의 워드 드라이버를 나타낸 회로도.

제11도는 제10도의 워드 드라이버에 인가된 승압 디코드 신호 RX_{1k}를 발생하는 회로를 나타낸 도면.

제12a도 및 제12b도는 제10도의 제7실시예의 효과를 설명하기 위한 도면.

제13도는 본 발명의 제8실시예에 따른 반도체 기억 장치의 워드 드라이버를 나타낸 회로도.

제14도는 본 발명의 제9실시예에 따른 반도체 기억 장치의 블록도.

제15도는 제14도의 스위칭 트랜지스터에 인가되는 제어신호 Φ_{ik}를 발생하는 회로를 나타낸 도면.

제16도는 본 발명의 제10실시예에 따른 반도체 기억 장치의 블록도.

제17도는 제16도의 스위칭 트랜지스터에 인가되는 제어신호 Φ_{ik}를 발생하는 회로를 나타낸 단면도.

제18도는 본 발명의 제12실시예에 다른 반도체 기억 장치를 개략적으로 나타낸 블록도.

제19도는 제18도의 승압 디코드 신호 RX_{ik}를 발생하기 위한 회로를 나타낸 도면.

제20도는 본 발명의 제13실시예에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도.

제21도는 종래의 반도체 기억 장치를 개략적으로 나타낸 블록도.

제22도는 제21도의 주요 구성요소를 확대한 블록도.

제23도는 제22도의 워드 드라이버의 회로도.

제24도는 제22도의 메모리 어레이 내의 불량 메모리 셀을 치환하기 위한 스페어 메모리 어레이의 제공을 나타낸 도면.

제25도는 종래의 다른 반도체 기억 장치의 블록도.

제26도는 제25도의 워드 드라이버의 회로도.

제27도는 종래의 더욱 더 다른 반도체 기억 장치의 블록도.

[발명의 상세한 설명]

본 발명은 반도체 기억 장치와, 특히, 승압 신호선 및 승압 신호선에 접속된 워드 드라이버의 레벨을 유지하기 위한 회로 구성과 용장 구성을 갖는 반도체 기억 장치에 관한 것이다.

제21도는 종래의 반도체 기억 장치의 블록도이다.

제21도를 참조하여, 다이나믹 RAM의 반도체 기억 장치는 메모리 어레이 161, 로우 어드레스 버퍼 164, 로우 디코더 163, 워드 드라이버 162a-162h, 칼럼 어드레스 버퍼 167, 칼럼 디코더 166, 센스 앰프 165, 입출력 회로 168 및 제어회로 169를 포함한다.

메모리 어레이 161은 그 내부에 종횡으로 배선된 비트선과 워드선을 갖는다. 로우 어드레서 버퍼 164에는 외부에서 인가된 로우 어드레스가 입력된다.

로우 디코더 163에는 로우 어드레스 버퍼 164의 출력이 입력된다.

워드 드라이버 162a-162h 로우 디코더 163의 출력에 반응하여 워드선을 구동한다.

칼럼 어드레스 버퍼 167에는 외부에서 인가된 칼럼 어드레스가 입력된다.

센스 앰프 165는 칼럼 디코더 166으로부터의 입력에 반응하여 메모리 어레이 161의 미소 전류를 증폭한다.

입출력 회로 168은 센스 앰프와의 사이에 I/O선을 매개하여 데이타의 입출력을 수행한다.

제어회로 169에는 로우 어드레스 스토로브 신호(/RAS), 칼럼 어드레스 스트로브 신호(/CAS) 및 리드/라이트 제어신호(W)가 입력되어 상기 장치를 제어한다.

이제부터, 이 반도체 기억 장치의 동작을 설명한다.

로우 어드레스가 입력되는 로우 어드레스 버퍼 164의 출력의 반응에 있어서, 로우 디코더 163은 지정된 로우 어드레스에 대응하는 워드선을 선택한다.

예를들어, 제21도에 있어서 맨 위의 워드선이 선택될 때 워드 드라이버 162는 그 워드선을 입상 시킨다.

그런 다음에, 센스 앰프가 동작하여 메모리 어레이 161내의 비트선과 워드선이 교차된 메모리 셀로부터 읽어낸 미소 전류를 증폭한다.

칼럼 어드레스가 입력되는 칼럼 어드레스 버퍼 167의 출력의 반응에 있어서, 칼럼 디코더 166은 비트선쌍을 선택한다.

선택된 비트선 쌍은 입출력 회로 168과 센스 앰프 165 사이에 접속된 I/O선에 접속된다.

I/O선상의 데이타는 입출력 회로 168의 프리앰프에 의해 증폭되고 독출 동작을 위하여 출력 버퍼에 전송된다.

외부에서 인가된 데이타는 입출력 회로 168의 라이트 버퍼에 의해서 I/O선에 전송되어 서입 동작이 행하여진다.

대개의 반도체 기억 장치는 N(=nxm)비트의 메모리 이외에 불량 비트를 치환하기 위해 배열된 스페어 메모리 셀을 갖는다.

일반적으로, 메모리 셀은 커패시터와 n채널 MOS 트랜지스터를 포함한다.

커패시터의 한쪽 전극은 전원 전위 V_{cc}의 반분 전위인 1/2 Vcc의 전위에 고정된다.

n채널 MOS 트랜지스터는 워드선에 접속된 게이트 전극을 갖는다.

이 n채널 MOS 트랜지스터는 커패시터의 다른 쪽 전극과 비트선에 접속된다.

데이타를 저장하기 위해서 소정 전위가 커패시터의 다른쪽 전극에 유지된다.

전원 전위 V_{cc}가 n채널 MOS 트랜지스터의 스레스홀드 전압 V_{th}의 전압 강하 없이 비트선으로부터 커패시터의 다른쪽 전극으로 전송되어질 때, $V_{cc}+V_{th}$보다 높은 V_{pp}레벨 전위가 워드선으로부터 이 n채널 MOS 트랜지스터의 게이트 전극으로 공급되어야 된다.

다음에, 그와같은 V_{pp}레벨 전위를 필요로하는 반도체 기억 장치를 설명한다.

제22도는 제21도의 반도체 기억 장치의 주요 구성 요소의 블록도이다.

제23도는 제22도의 워드 드라이버의 회로도 이다.

제23도 및 제23도를 참조하여, 메모리 어레이 171a와 171b는 센스 앰프 172에 의해 분리된다.

메모리 어레이 171a와 171b의 한 측면에 로우 디코더 173a와 173b가 각각 설비된다.

로우 디코더 173a와 메모리 어레이 171a 상이에 4n본의 워드선이 설비되어 있고, 또한 로우 디코더 173b와 메모리 어레이 171b 사이에도 4n본의 워드선이 설비된다.

각 워드선에는 워드 드라이버가 설비된다. 예를 들면, 워드 드라이버 174a, 174b, 174c 및 174d가 로우 디코더 173a와 메모리 어레이 171a 사이에 배선된 4본의 워드선 위에 설비된다.

워드 드라이버 175a, 175b, 175c 및 175d가 로우 디코더 173b와 메모리 어레이 171b 사이에 배선된 4본의 워드선 위에 설비된다.

승압 신호선은 도면의 가로 방향으로 배선된 워드선에 대하여 세로 방향으로 배선된다.

승압 디코드 신호 RX_1이 입력되는 승압 신호선은 워드 드라이버 174a 및 175a에 접속된다.

승압 디코드 신호 RX_2가 입력되는 승압 신호선은 워드 드라이버 174b 및 175b에 접속된다.

승압 디코드 신호 RX_3이 입력되는 승압 신호선은 워드 드라이버 174c 및 175c에 접속된다.

승압 디코드 신호 RX_4가 입력되는 승압 신호선은 워드 드라이버 174d 및 175d에 접속된다.

달리 말하면, 메모리 어레이 171a 및 171b내의 첫 번째 워드선에 설비된 워드 드라이버 174a 및 174b에 승압 디코드 신호 RX_1이 각각 입력되고, 각각의 두 번째 워드선에 설비된 워드 드라이버 174b와 175b에 승압 디코드 신호 RX_2가 입력되고, 각각의 세번째 워드선에 설비된 워드 드라이버 174c와 175c에 승압 디코드 신호 RX_3가 입력되고, 각각의 네번째 워드선에 설비된 워드 드라이버 174d와 175d에 승압 디코드 신호 RX_4가 입력되도록 워드선들이 배선된다.

또한, 5번째 워드선에 설비된 워드 드라이버에는 승압 코드 신호 RX_1이 입력되고, 6번째 워드선에 설비된 워드 드라이버에는 승압 디코드 신호 RX_2가 입력된다.

그와 같은 승압 디코드 신호는 워드 드라이버에 반복적으로 입력된다.

승압 디코드신호 이외에, 각 워드 드라이버에는 로우 디코더의 출력(신호WD,ZWD)이 입력된다.

제23도에서 나타낸 것과 같이, 워드 드라이버 174는 n채널 MOS 트랜지스터(N1) 181a, n채널 MOS 트랜지스터(N2) 181b 및 n채널 MOS 트랜지스터(N3) 181c를 포함한다.

n채널 MOS 트랜지스터 181a는 트랜스퍼 게이트 역할을 한다.

n채널 MOS 트랜지스터의 소오스/드레인 영역의 한쪽에는 로우 디코더 173a에서 한 레벨로 디코드된 신호 WD가 입력되고, 게이트에는 전원 전위 V_{cc}가 입력된다.

n채널 MOS 트랜지스터 181b의 드레인에는 승압 디코드 신호 RX_1이 입력되고, 게이트에는 n채널 MOS 트랜지스터 181c의 출력이 입력된다.

n채널 MOS 트랜지스터 181c의 게이트에는 로우 디코드 173b에 의해서 한 레벨로 디코드 된 WD의 반전신호 SWD가 입력되고, 소오스에는 접지 전위 GND가 입력된다.

n채널 MOS 트랜지스터 181c의 드레인은 n채널 MOS 트랜지스터 181b의 소오TM에 접속된다.

다음에, 동작을 설명한다.

로우 디코드 173a에서 일정 레벨로 디코드된 신호 WD와 그것의 반전신호 ZWD가 각 워드선에 설비된 워드 드라이버에 입력된다.

각 워드 드라이버가 대기상태(비선택상태)에 이를때 신호 WD는 L 레벨에 이르고, 반전신호 ZWD는 H 레벨에 이른다. 그러므로, n채널 MOS 트랜지스터 181b는 off 되고, n채널 MOS 트랜지스터 181c는 on 된다. 그러므로, 워드선 WL은 n채널 MOS 트랜지스터 181c에 의해 접지 전위 GND로 끌러지고, 워드선 WL은 활성화되지 않는다.

신호 WD가 H 레벨에 이르면 노드 A가 n채널 MOS 트랜지스터 181a를 경유하여 전원전위 V_{cc}에서 스레스홀드 전압을 뺀 $V_{cc}-V_{th}$의 레벨로 충전된다.

신호 WD가 H 레벨에 이를 때 반전신호 ZWD는 L 레벨에 이르기 때문에 n채널 MOS 트랜지스터 181c는 off되고 , 워드선 WL은 접지 전위 GND와 도통되지 않는다.

노드 A가 충전되고 디코드된 승압 디코드 신호 RX_1의 승압 레벨이 n채널 MOS 트랜지스터 181b의 드레인에 인가 될 때, 노드 A는 게이트와 드레인의 카플링에 의해 스스로 승압되어, n채널 MOS 트랜지스터 181b가 강하게 on 상태가 된다. 그 결과, 워드선 WL이 승압 레벨로 충분하게 충전되어 선택되어 진다. 그러므로, 메모리 어레이의 액세스가 가능해 진다.

워드선은 오직 신호 WD 및 승압 디코드 신호 RX_1이 H 레벨에 이를때 입상되어 선택된다.

이 이외의 다른 조합으로는 워드선이 입상되지 않기 때문에 선택되지 않는다.

달리 말하면, 워드 드라이버에서도 디코드가 행하여 진다.

제24도는 제22도의 메모리 어레이내의 불량 메모리 셀과 치환되는 스페어 메모리 셀을 포함하는 스페어 메모리 어레이의 부가를 나타낸다.

제24도에서, 제22도와 일치하는 요소들은 똑같은 특징으로 표현되므로 설명을 생략한다.

제24도를 참조하여, 스페어 메모리 셀 어레이 191a가 메모리 셀 어레이 171a와 센스 앰프 172 사이에 설비된다.

스페어 메모리 어레이 191b는 메모리 어레이 171b와 도시하지 않은 센스 앰프 사이에 설비된다.

스페어 메모리 어레이 191a와 191b의 한 측면에는 대응하는 스페어 로우 디코더 192a와 192b가 설비된다.

스페어 워드선은 스페어 로우 디코더 192a와 스페어 메모리 어레이 191a 사이에 배선되고, 스페어 로우 디코더 192b와 스페어 메모리 어레이 191b 사이에 배선된 다.

스페어 워드 드라이버 193a, 193b, 193c 및 193d는 스페어 로우 디코더 192a와 스페어 메모리 어레이 191a 사이에 배선된 첫 번째 워드선으로부터 차례로 각 스페어 워드선에 설비 된다.

스페어 워드 드라이버 193a, 193b, 193c 및 193d는 스페어 로우 디코더 192a와 스페어 메모리 어레이 191a 사이에 설비된 각 스페어 워드선에 설비된다. 각각의 첫번째 스페어 워드선에 설비된 스페어 워드 드라이버 193a 및 194a에는 승압 디코드 신호 RX_1이 입력된다.

두번째 스페어 워드선에 설비된 스페어 워드 드라이버 193b 및 194b에는 승압 디코드 신호 RX_2 가 입력된다.

세번째 스페어 워드선에 설비된 스페어 워드 드라이버 193c 및 194c에는 승압 디코드 신호 RX_3 가 입력된다.

네번째 스페어 워드선에 설비된 스페어 워드 드라이버 193d 및 194d에는 승압 디코드 신호 RX_4 가 입력된다.

예를 들어, 메모리 어레이 171a내의 메모리 셀에서 불량이 발생되면 스페어 디코더에 설비된 휴즈 192a가 끊어진다.

그 반응으로, 치환을 행하기 위하여 불량 메모리 셀에 대응하는 로우 어드레스가 스페어 메모리 어레이 191a내의 스페어 메로리 셀에 대응하는 로우 어드레스로 대체된다.

스페어 워드 드라이버 193a-193d, 194a-194d의 각 구조는 제23도에서 나타낸 워드 드라이버의 구조와 같고, 이들의 설명은 반복하지 않겠다.

반도체 기억 장치는 디코드 승압 신호 대신 승압전압을 사용한다.

제25도는 그러한 반도체 기억 장치의 블록도이다. 제26도는 제25도에서 나타낸 워드 드라이버의 회로도이다.

제25도 및 제26도를 참조하여, 메모리 어레이 211a와 201b는 센스 앰프 202에 의하여 분리 된다.

메모리 어레이 201a 및 201b의 한 측면에는 대응하는 로우 디코더 203a 및 203b가 설비된다.

로우 디코더 203a와 메모리 어레이 201a 사이에 복수의 워드선이 배선되고, 워드 드라이버 205a-205h가 각각 설비된다.

마찬가지로, 로우 디코더 203b와 메모리 어레이 201b 사이에 복수의 워드선이 배선되고, 워드 드라이버 206a-206h가 각각 설비된다.

워드 드라이버 206a-206h는 동일한 세그먼트 승압 신호선 207a에 접속된다.

세그먼트 승압 신호선 207a의 한쪽 끝은 스위칭 트랜지스터 204a의 소오스/드레인중 한쪽에 접속된다.

스위칭 트랜지스터 204a의 게이트에는 제어신호 Φ_1이 입력된다.

스위칭 트랜지스터 204a의 소오스/드레인중 다른쪽에는 승압전압 Vpp의 전위 레벨을 갖는 글로벌 승압 신호선 208a에 접속된다.

제어신호 Φ_1에 응답에 있어서, 스위칭 트랜지스터 204a는 on/off 되고, 승압 전압 Vpp가 세그먼트 승압 신호선 207a를 경유하여 각각의 워드 드라이버 205a-205h에 공급된다.

마찬가지로, 워드 드라이버 205a-205h는 동일한 세그먼트 승압 신호선 207b에 접속된다.

세그먼트 승압 신호선 207b의 한쪽 끝은 스위칭 트랜지스터 204b의 소오스/드레인중 한쪽에 접속된다.

스위칭 트랜지스터 204a의 게이트에는 제어신호 Φ_2가 입력된다.

스위칭 트랜지스터 204b의 소오스/드레인중 다른쪽에는 승압전압 Vpp를 갖는 글로벌 승압 신호선 208b에 접속된다.

글로벌 승압 신호선 208a 및 208b는 승압 전압 Vpp를 발생하는 도시하지 않은 Vpp 발생회로에 최종적으로 접속된다.

워드 드라이버 205a-205h와 206a-206h에는 스위칭 트랜지스터 204a와 204b를 경유하여 전송된 승압전압

Vpp뿐만 아니라 로우 디코더 203a에 의해 완전히 디코드되고 승압레벨로 변환된 반전 신호 ZWD가 입력된다.

예를 들면, 워드 드라이버 205에는, 제26도에서 나타낸것과 같이, p채널 MOS 트랜지스터(P1) 211 및 n채널 MOS 트랜지스터(N1) 212가 설비된다.

p채널 MOS 트랜지스터 211의 게이트에는 디코드 신호 ZWD가 입력되고, 소오스는 세그먼트 승압 신호선 207a에 접속된다.

n채널 MOS 트랜지스터 212의 게이트에는 디코드 신호 ZWD가 입력되고, 소오스는 접지 전위 GND에 접속된다. 따라서, 워드 드라이버 205a는 공급된 승압 전위 Vpp와 접지 전위 GND간에 동작하는 CMOS 인버터 회로로서 구성된다.

다음에, 특히 메모리 어레이 201a의 동작을 설명한다.

제어신호 ψ_1이 승압전압 Vpp레벨에 이를때, 스위칭 트랜지스터 204a는 off된다. 그러므로, 승압전압 Vpp는 각각의 워드 드라이버 205a-205h에 공급되지 않는다.

제어신호 Φ_1이 접지 전위 GND의 레벨에 이를 때, 스위칭 트랜지스터 204a가 on 되고, 승압전압 Vpp는 스위칭 트랜지스터 204a가 on 상태일 때 세그먼트 승압 신호선 207a를 경유하여 각각의 워드 드라이버 205a-205h에 공급된다.

로우 디코더 203a로부터 출력되는 신호 ZWD가 승압전압 Vpp레벨에 이를 때, p채널 MOS 트랜지스터 211은 off 되고, n채널 MOS 트랜지스터 212는 on 된다. 그러므로, 워드선 WL은 n채널 MOS 트랜지스터 212에 의해 접지 전위 GND로 끌어 내려져 대기(비선택)상태에 이른다.

신호 ZWD가 L 레벨이 이를 때, n채널 MOS 트랜지스터 212는 off 되고 접지 전위 GND에 도통되지 않는다. 그러므로, on 상태에 이른 p채널 MOS 트랜지스터 211은 워드선 WL을 승압전위 Vpp레벨로 충분하게 충전한다. 따라서, 충분하게 충전된 워드선 WL이 선택되어진다.

제27도에서 나타낸 것은 스위칭 트랜지스터가 제거된 반도체 기억 장치이다. 승압전압 Vpp는 글로벌 승압 신호선 211을 경유하여 워드 드라이버에 직접 인가된다.

최근에는, 메모리 용량이 증대함에 따라 회로가 복잡해지고 소비전류가 증가되었다.

복잡한 회로를 간략화 한다면 소비전류를 억제할 수 있다고 생각된다. 그러나, 그러한 회로의 간략화가 회로의 신뢰성의 감소를 일으켜서는 안된다.

반도체 기억 장치의 액세스 속도 또한 중요하다.

나아가서, 메모리 어레이에 불량이 발생하는 경우에 있어서, 스페어 메모리의 치환 효율 및 스페어 메모리 어레이의 칩 면적 또한 중요한 요소이다. 따라서, 높은 치환 효율과 작은 칩 면적을 가진 반도체 기억 장치가 요구된다.

여기에서, 치환 효율은 불량 메모리 셀이 정상의 스페어 메모리 셀로 치환될때 하나의 스페어 메모리 어레이를 사용하는데 있어서 치환되는 메모리 그룹의 단위를 말한다.

이것은 큰 그룹은 하나의 치환에 관하여 스페이 메모리 어레이의 큰 메모리 용량을 요구하는 것을 의미한다.

이것은 스페어 메모리 어레이의 칩 면적을 증가 시킨다.

최근에는, 제24도에서 나타낸 워드선 단위의 치환이 아닌 메모리 어레이 단위의 치환을 행하는 반도체 메모리 장치는 많은 관심을 끌었다.

그와 같은 반도체 메모리 장치는 ISCC93, Journal of Technical Papers P48-49에 나타나 있다. 그러나, 종래의 반도체 기억 장치는 다음에서 설명하는 문제점을 갖고 있다.

제25도에서 나타낸 반도체 기억 장치에서, 메모리 어레이201a가 비선택되고 스위칭 트랜지스터 204a가 비도통 상태에 이를 때 워드 드라이버에 있는 서브스레스홀드 누설전류로 인하여 각 워드 드라이버 205a-205h를 경유하여 세그먼트 승압 신호선 207a로부터 전하가 누설된다.

이것은 승압전위 Vpp 레벨로부터 세그먼트 승압 신호선 207a의 전위를 감소 시킨다.

메모리 어레이 201a가 선택되고 트랜지스터 204a가 도통될 때 세그먼트 승압신호선 207a는 다시 승압 전위 Vpp레벨로 상승되어야만 한다.

만약 세그먼트 승압 신호선 207a가 접지 전위 부근으로 저하 된다면 승압 전위 Vpp레벨로 상승될때까지는 시간이 소요되어 느린 액세스 타임을 갖게된다.

나아가서, 메모리 어레이 단위로 치환을 행하는 반도체 기억 장치에 있어서 메모리 어레이는 스페어 메모리 어레이와 직접 치환된다. 그러므로, 치환 효율은 낮다. 나아가서, 칩 면적의 견지에서 스페어 메모리 어레이 수의 증가는 어렵다. 그러므로, 양품률의 향상은 어렵게 된다.

제24도에서 나타낸 워드선 단위로 치환을 행하는 반도체 기억 장치에는 문제점이 또 있다.

누설이 불량 워드선으로 인하여 세그먼트 승압 신호선에 발생할 때 세그먼트 승압 신호선에 관련된 모든 워드선 또한 불량이 된다. 그러므로, 치환 효율은 메모리 어레이 단위로 행하는 치환 효율과 같게 된다.

제25도의 반도체 메모리 장치에 있어서, 워드 드라이버가 대기상태에서 활성상태로 변환되는 속도는 세그먼트 승압 신호선의 전위에 의존한다.

특히, 스위칭 트랜지스터가 off 될 때 전위는 접합 누설과 스레스홀드 누설에 기인한 최악의 경우인 접지 전위 레벨로 낮아진다.

세그먼트 승압 신호가 승압전위 Vpp레벨로 상승되는 시간 동안에 워드 드라이버는 활성 상태에 이르지 못한다. 그러므로, 고속의 동작은 행하여지지 못한다.

제27도에서 나타낸 스위칭 트랜지스터가 제거되고 승압전압 Vpp가 글로벌 승압 신호선 211에서 워드 드라이버로 직접 공급되는 반도체 기억 장치에 있어서, 워드 드라이버의 불량으로 인하여 승압 신호선 211으로부터 전류가 누설되기 시작할 때 소비 전류가 크게되어 스탠드바이 전류의 불량이 일어나는 문제점이 있다.

제26도에서 나타낸 워드 드라이버가 제27도에서 나타낸 반도체 기억 장치에 적용될 때, 워드 드라이버에 관한 그러한 불량은 승압전위 Vpp와 p채널 MOS 트랜지스터 211에 인가된 접지 전위 GND 간의 큰 전위 차이에서 기인하는 큰 누설전류의 생성을 포함한다.

나아가서, 워드 드라이버에 인가된 로우 디코더의 출력은 완전히 디코드 되어야한다. 따라서 로우 디코드 회로의 복잡성은 증대된다.

이것은 로우디코더에 관한 레이아웃 피치를 감소 시켜 문제점을 가져온다.

제23도의 워드 드라이버에 있어서, n채널 MOS 트랜지스터 181b에서의 카플링에 의한 셀프 부스트가 충분하지 않으면 선택된 워드선은 구동될 충분한 레벨을 갖지 못하게 된다.

이것은 트랜스퍼 게이트의 불충분한 열림으로 오동작을 유발한다.

지연단에 의해 승압 디코드 신호 RX_1을 지연시키고, 셀프 부스트가 완전히 수행하도록 조정하고 있다. 그러나, 지연단에 의한 지연시간은 프로세스의 변동에 따라 변화하고, 그 때문에 오동작이 발생하는 경우가 있다.

승압 디코드 신호 RX의 지연 시간이 증가하면 액세스 시간은 지연된다.

지연없이 완전한 셀프 부스트가 행해지도록 하는 타이밍 설계는 매우 어려운 일이다.

승압 디코드 신호 RX_1이 Vcc-Vth 레벨의 노드 A를 갖는 n채널 MOS 트랜지스터 181b에 인가될 때 워드선 WL의 전위는 Vcc-Vth로 상승된다. 그러므로, 노드A가 충분하게 충전된 후에 승압 디코드 신호 RX_1 입력될 필요가 있다.

특히, 승압 디코드 신호의 승압 전압 Vpp를 워드선 WL에 전달하기 위하여 노드A가 Vcc+Vpp-Vth레벨로 상승되는 소위 더블 부스팅을 행하는 것이 필요하다.

그러나, 큰 전위차가 n채널 MOS 트랜지스터 181b의 소오스와 게이트 사이에 인가되어 n채널 MOS 트랜지스터 181b의 신뢰성을 저하 시킨다.

상술의 관점에 있어서, 본 발명의 제1목적은 승압 신호선에서의 누설에 기인하는 소비전력을 억제하는 반도체 메모리 장치를 제공하는 것이다.

본 발명의 제2목적은 치환을 수행하는 반도체 메모리 장치의 치환 효율을 향상 시키는 것이다.

본 발명의 제3목적은 전체 메모리 어레이의 칩 면적이 줄어든 반도체 메모리 장치를 제공하는 것이다.

본 발명의 제4목적은 워드 드라이버가 고속으로 활성화 되도록 워드 드라이버에 승압전위와 접지 전위간의 전위 레벨의 전압을 제공하는 반도체 메모리 장치를 제공하는 것이다.

본 발명의 제5목적은 칩 면적과 디코더의 구성요소의 수를 줄일 수 있는 워드 드라이버를 포함하는 반도체 기억 장치를 제공하는 것이다.

본 발명의 한 국면에 따라서, 반도체 기억 장치는 복수의 워드선(WL_0-WL_{255})에 접속된 복수의 메모리 셀(MC)을 갖는 메모리 어레이 (MA), 전원전위(Vcc)보다 큰 승압전위(Vpp)가 인가된 글로벌 승압선(GL), 메모리 어레이(MA)에 대응하여 설비된 세그먼트 승압선(SL_0), 복수의 워드선(WL_0-WL_{255})중 임의의 워드선을 선택하기 위한 워드선 선택 유니트(RD_0), 세그먼트 승압선(SL_0)의 전위를 복수의 워드선(WL_0-WL_{255})중 선택된 워드선에 제공하기 위하여 워드선 선택 유니트(RD_0)에 응답하여 워드선을 활성화하는 워드선 활성 유니트(DRVG), 세그먼트 승압선(SL_0)과 글로벌 승압선(GL)사이에 접속되어 세그먼트 승압선(SL_0)과 글로벌 승압선(GL)과의 전기적 접속을 선택하는 제1 스위칭 유니트(6) 및 세그먼트 승압선의 전위를 접지 전위와 글로벌 승압선(GL)에 인가된 승압전위(Vpp)간위 임의 전위로 유지하기 위한 전위 유지 유니트 (7,8,17,18,19,220,Vcc)를 포함한다.

본 국면 따라서, 전위 유지 유니트는 세그먼트 승압선의 전위를 접지 전위와 승압전위 사이의 한 전위로 유지한다. 승압전압을 발생하기 위해 필요한 소비전류는 단지 승압전위와 한 전위간의 차이에 해당하는 전류이다. 그러므로, 소비전류를 억제할 수 있다.

본 국면 따라서, 승압전위와 접지전위 사이의 한 전위는 전위 유지 유니트에 의해 워드선활성화 유니트의 워드 드라이버에 공급되므로 워드 드라이버는 워드선을 고속으로 입상 시킬 수 있다. 따라서 고속 액세스가 이루어진다.

본 발명의 다른 국면 따라서, 반도체 메모리 장치는 워드선(WL_0)을 활성화 하기 위한 워드선 활성화 유니트(DRV_0)를 포함한다.

워드선 활성화 유니트(DRV_0)는 로우 디코더 신호(ZWD)가 공급된 제어 전극 및 승압 디코드 신호(RX_{iK})가

공급된 제1전극을 갖는 제1전도형 트랜지스터(261)와 제1전도형 트랜지스터에 직렬로 접속되고 동일한 로우 디코드 신호(ZWD)가 공급된 제어전극을 갖는 제2전도형 트랜지스터(271)을 포함한다.

본 국면 따라서, 승압 디코드 신호가 워드선 활성화 유니트(DRV_1)에 인가 된다.

승압 전압이 항상 공급되는 것은 아니기 때문에 소비전류를 억제할 수 있다.

본 국면 따라서, 상기의 이점 이외에, 어려운 타이밍 설계가 요구되지 않는다.

그러므로, 고속으로 메모리를 액세스하는 워드선 활성화 유니트(DRV_0)가 제공된다.

따라서, 승압 디코드 신호를 워드선 활성화 유니트(DRV_0)에 제공하는 로우 디코더와 그와 레이아웃 피치는 향상될 수 있다.

본 발명의 더욱 다른 국면 따라서, 반도체 기억 장치는 복수의 워드선(WL_0-WL_{255})에 접속된 복수 메모리 셀(MC)을 갖는 메모리 어레이(MA_0)를 포함한다.

각 서브 메모리 어레이는 소정 수의 복수의 워드선(WL_0-WL_{255})를 포함한다. 복수의 메모리 어레이(MA_0)는 서브 메모리 어레이($SBMA_0$-$SBMA_3$)을 포함한다.

반도체 기억 장치는 서브 메모리 어레이($SBMA_0$-$SBMA_3$)에 대응하여 각각 설비되고 전원전위(Vcc)보다 높은 승압전위(Vpp)가 선택적으로 인가된 복수의 세그먼트 승압선(SL_0-SL_3), 복수의 워드선(WL_0-WL_{255})중 임의의 워드선을 선택하기 위한 워드선 선택 유니트(RD_0) 및 승압전위(Vpp)가 복수의 세그먼트 승압선(SL_0-SL_3)으로부터 선택적으로 인가된 세그먼트 승압선의 전위를 각 서브 메모리 어레이의 소정수의 워드선의 임의의 워드선에 전송하기 위하여 워드선 선택 유니트(RD_0)의 출력에 응답하는워드선 활성화 유니트($DRVG_0$)를 더욱 포함한다.

본 국면 따라서, 메모리 어레이는 세그먼트 승압 신호선에 대응하는 복수의 서브 메모리 어레이로 나누어 진다. 승압전위는 단지 누설을 갖는 세그먼트 승압 신호선에만 공급된다. 그러므로, 소비전류는 억제된다.

본 국면의 반도체 기억 장치는 복수의 스페어 워드선에 접속된 복수의 스페어 메모리 셀을 갖는 스페어 메모리 어레이(SMA)를 더욱 포함한다.

스페어 메모리 어레이(SMA)는 스페어 서브 메모리 어레이($SSBMA_0$)를 포함한다. 스페어 서브 메모리 어레이($SSBMA_0$)는 소정수의 복수의 스페어 워드선을 갖는다. 반도체 기억 장치는 스페어 서브 메모리 어레이($SSBMA_0$)에 대응하여 설비되고 각 스페어 서브 메모리 어레이($SSBMA_0$)로 치환된 서브 메모리 어레이에 대응하는 각 세그먼트 승압선(SL_0-SL_3)에 인가된 승압전위(Vpp)가 공급된 스페어 세그먼트 승압선(SSL_{S0}), 복수의 스페어 워드선중 임의의 스페어 워드선을 선택하기 위한 스페어 워드선 선택 유니트(SRD), 스페어 세그먼트 승압선(SSL_{S0})의 전위를 스페어 서브 메모리 어레이($SSBMA_0$)에 포함된 소정수의 스페어 워드선의 임의의 스페어 워드선에 공급하여 활성화 하기 위하여 스페어 워드선 선택 유니트(SRD)의 출력에 응답하는 스페어 워드선 활성화 유니트(SDRVG) 및 각 스페어 서브 메모리 어레이($SSBMA_0$)로 치환된 서브 메모리 어레이($SSBMA_0$-$SSBMA_3$)에 대응하는 각 세그먼트 승압선(SL_0-SL_3)에 승압전위(Vpp)가 공급되는 것을 억제하기 위한 억제 유니트(49, 57, 58, 59, 60, 301, 305, 307, 309, 311)를 더욱 포함한다.

본 국면 따라서, 상기의 이점 이외에, 치환이 세그먼트 승압 신호선에 대응하여 구성된 서브 메모리 어레이의 유니트에서 이루어진다. 그러므로, 치환 효율은 향상될 수 있고 스페어 메모리 어레이의 칩 면적을 줄일 수 있다.

본 발명의 상기 목적 및 다른 목적들, 특징들, 국면들 및 이점들은 첨부된 도면과 관련하여 다음의 상세한 설명으로부터 명백해 진다.

[간단한 실시예]

제1도를 참조하여, 반도체 기억 장치 1은 복수의 메모리 어레이 MA_0-MA_{31}, 승압전압 Vpp가 인가된 글로벌 승압 신호선 GL, 세그먼트 승압 신호선 SL_0-SL_{31}, 메모리 어레이 MA_0-MA_{31}에 배선된 워드선 WL_0-WL_{255}를 선택하기 위한 워드선 선택 유니트, 센스 앰프 밴드 SA_0-SA_{32} 및 세그먼트 승압 신호선 SL_0-SL_{31}에 글로벌 승압 신호선 GL의 접속을 선택적으로 스위칭 하기 위한 스위칭 유니트 SW_0-SW_{31}을 포함한다.

반도체 기억 장치 1은 메모리 어레이 MA_0-MA_{31}중 어느것과도 치환될 수 있는 스페어 메모리 어레이, 스페어 세그먼트 승압 신호선 SSL, 스페어 메모리 어레이 SMA에 접속된 스페어 워드선을 선택하기 위한 스페어 워드선 선택 유니트, 스페어 센스 앰프 밴드 SSA 및 스페어 세그먼트 승압 신호선 SSL에 글로벌 승압 신호선 GL의 접속을 선택적으로 스위칭 하기 위한 스페어 유니트 SSW를 더욱 포함한다.

복수의 메모리 어레이 MA_0-MA_{31} 및 스페어 메모리 어레이 SMA는 256본의 워드선과 비트선 페어 BL_0, /BL_0-BL_n, BL_n사이에 접속된 복수의 메모리 셀 MC를 포함한다.

각 메모리 셀 MC는 커패시터 3 및 커패시터 3과 비트선 BL_0-BL_n(/BL_0-/BL $_n$) 사이에 접속된 n채널 MOS 트랜지스터 2를 포함한다.

각 n채널 MOS 트랜지스터 2의 게이트 전극은 각각의 워드선 WL_0-WL_{255}에 접속된다.

워드선 선택 유니트는 워드 드라이버 그룹 $DRVG_0$-$DRVG_{31}$ 및 로우 디코더 RD_0-RD_{31}를 포함한다.

워드 드라이버 그룹 $DRVG_0$-$DRVG_{31}$은 워드선 WL_0-WL_{255}에 설비된 워드 드라이버 $DRVG_0$-$DRVG_{255}$로 각각 구성된다.

워드 드라이버 $DRVG_0$-$DRVG_{255}$의 각각은 로우 디코더 RD_0-RD_{31}의 출력이 인가된 n채널 MOS 트랜지스터 4 및 p채널 MOS 트랜지스터 5를 포함한다.

p채널 MOS 트랜지스터의 웰 전위는 승압 전위 Vpp에 접속된다.

비트선 페어 BL_0, /BL_0-BL_n, BL_n은 센스 앰프 밴드 SA_0-SA_{32}에 접속된다.

센스 앰프 밴드 SA_0-SA_{32}는 센스 앰프, IO 게이트 및 비트선프리차아지/이퀄라이저 회로를 포함하고, I/O선 페어 IO_0, /IO_0-IO_{32}, /IO_{32}에 접속된다.

마찬가지로, 스페어 워드선 선택 유니트는 스페어 워드 드라이버 그룹 SDRG 및 스페어 로우 디코더 SRD를 포함한다.

비트선 페어 BL_0, /BL_0-BL_n, BL_n은 센스 앰프 밴드 SSA에 접속된다.

내부 센스 앰프는 스페어 I/O선 페어 SIO, /SIO에 접속된다.

스위칭 유니트 SW_0-SW_{31}의 각각은 글로벌 승압 신호선GL과 각 세그먼트 승압신호선 SL_0-SL_{31}의 사이에 접속된다.

각 스위칭 유니트 SW_0-SW_{31}는 제어신호 Φ_0-Φ_{31}이 게이트에 각각 입력되는 스위칭 트랜지스터 6 및 스위칭 트랜지스터 6에 병렬로 구성된 고저항 7 및 휴즈 8의 직렬체 223을 포함한다.

마찬가지로, 스페어 스위칭 유니트 SSW는 글로벌 승압 신호선 GL과 스페어 세그먼트 승압 신호선 SSL 사이에 접속된다.

스페어 스위칭 유니트 SSW는 제어신호 Φ_8가 게이트에 인가되는 스위칭 트랜지스터 9 및 스위칭 트랜지스터 9에 병렬로 설비된 고저항 10과 휴즈 11의 직렬체 22을 포함한다.

스위칭 유니트 SW-SW에 있는 고저항 7과 스페어 스위칭 유니트 SSW에 있는 고저항 10은 작은 설계 면적에 고 저항치를 얻기 위하여 긴 채널 길이와 작은 채널폭을 갖는 저항이다.

고저항 7 이나 고저항 10은 글로벌 승압 신호선 GL과 세그먼트 승압 신호선 SL_0-SL_{31}이나 스페어 세그먼트 승압 신호선 SSL사이에 접속되어 접지전위가 게이트 전극에 인가되는 p채널 MOS 트랜지스터의 채널 저항으로 사용된다.

채널 저항의 저항치는 스위칭 트랜지스터 6 및 9의 on 저항치에 비해 큰 값으로 정한다.

다음에, 스위칭 트랜지스터의 게이트에 입력되는 제어신호 Φ_1을 발생하는 회로를 설명한다.

제2도에서 나타낸 것과 같이, 제어신호 Φ_0 발생회로는 레벨 변환 유니트 101, NAND 게이트 111, 휴즈 12 및 저항 13을 포함한다.

휴즈 12는 전원전압 Vcc와 노드 C 사이에 접속된다.

저항 13은 노드 C와 접지전위 GND 사이에 접속된다.

휴즈 12 및 저항 13의 상태에 따른 노드 C의 출력은 NAND 게이트 111의 한쪽 입력에 인가된다.

메모리 어레이 선택 신호 X_0는 NAND 게이트 111의 다른쪽 입력에 인가된다.

NAND 게이트 111의 출력은 레벨 변환 유니트 101에 인가된다.

레벨 변환 뉴이트 101은 NAND 게이트의 출력이 입력되는 게이트와 접지전위 GND에 접속된 소오스를 갖는 n채널 MOS 트랜지스터 15a, NAND 게이트 11의 출력이 입력되는 인버터 14 및 인버터 14의 출력이 공급된 게이트와 접지전위 GND에 접속된 소오스를 갖는 n채널 MOS 트랜지스터 15a를 포함한다.

레벨 변환 유니트 101은 노드 A를 경유하여 n채널 MOS 트랜지스터 15b의 두레인에 접속된 게이트와 승압 전압 V_{pp}에 접속된 소오스를 갖는 p채널 MOS 트랜지스터 16b 및 노드 B를 경유하여 n채널 MOS 트랜지스터 16b의 드레인에 접속된 게이트와 승압 전압 V_{pp}에 접속된 소오스를 갖는 p채널 MOS 트랜지스터 16a를 더욱 포함한다.

p채널 MOS 트랜지스터 16a의 드레인은 노드 A를 경유하여 n채널 MOS 트랜지스터 15a의 드레인과 p채널 MOS 트랜지스터 16b의 게이트에 접속된다.

p채널 MOS 트랜지스터 16b의 드레인은 노드 B를 경유하여 n채널 MOS 트랜지스터 15b의 드레인과 p채널 MOS 트랜지스터 16a의 게이트에 접속된다.

제어신호 Φ_0는 레벨 변환, 유니트 101의 노드 B로부터 스위칭 트랜지스터 6의 게이트로 입력된다.

다음에, 제2도에서 나타낸 제어신호 Φ_0를 발생하는 회로의 동작을 설명한다.

세그먼트 승압신호선 SL_0에 누설이 없을때 휴즈 12는 끊어지지 않는다.

메모리 어레이 선택 신호 X_0가 H 레벨이 이를 때 NAND게이트 111의 출력은 L 레벨에 이른다. 그리고 레벨 변환 유니트 101의 출력인 Φ_0는 스위칭 트랜지스터 6을 on 시키기 위하여 L 레벨에 이른다.

그결과, 메모리 어레이 MA_0가 선택된다.

메모리 어레이 선택 신호 X_0가 L 레벨이 이르면 제어신호 Φ_0는 스위칭 트랜지스터 6을 off 시키기 위하여 H 레벨에 이른다. 그러므로, 메모리 어레이 MA_0는 선택되지 않는다.

세그먼트 승압신호선 SL_0에 큰 누설이 있는 경우에는 스위칭 트랜지스터 6이 on 될 때 글로벌 승압 신호선 GL의 승압 전위 Vpp가 세그먼트 승압 신호선 SL_0에 공급되는 것을 방지 하기 위하여 휴즈 12가 끊어진다. 그러므로, NAND 게이트 111의 출력은 항상 H 레벨에 이르고, 레벨 변환 유니트 101의 출력인 제어신호 Φ_0은 항상 승압 전위 Vpp레벨에 이른다. 그러므로, 스위칭 트랜지스터 6은 항상 off상태가 된다.

그결과, 글로벌 승압신호선 GL은 세그먼트 승압 신호선 SL_0에 접속되지 않기 때문에 승압 전위 Vpp를 발생하는 Vpp 발생회로는 동작하지 않는다. 따라서, 소비전류는 억제된다.

휴즈 8이 끊어지거나 스위칭 트랜지스터 6이 off상태가 될 때 p채널 트랜지스터 5의 웰 전위와 소오스 전위가 같은 경우에는 웰 전위가 플로팅 상태가 된다. 그러므로 p채널 트랜지스터 5의 웰 전위는 래치업(latch up)등이 쉽게 일어나는 문제점 때문에 승압전위 Vpp에 접속되지 않는다.

워드 드라이버 DRV_0-DRV_{255}를 구성하는 스위칭 트랜지스터 4및 5에서 접속 누설전류나 서브 스레스홀드 전류가 생성되는것에 유의한다. 그러므로, 스위칭 트랜지스터 4 및 5에 대응하는 메모리 어레이 MA_1나 스페어 메모리 어레이 SMA가 선택되지 않고 승압전위 Vpp레벨의 제어신호 Φ_1가 입력된 스위칭 트랜지스터 6 및 9가 비 도통 상태가 되는 경우에도 세그먼트 승압 신호선 SL_1나 스페어 세그먼트 승압 신호선 SSL로부터 전하가 누설된다.

세그먼트 승압 신호선 SL_1나 스페어 세그먼트 승압 신호선 SSL의 전위는 전하 누설로 인하여 승압 전위 Vpp레벨 보다 낮아지게 된다.

제1실시예에 있어서, 고저항 7 및 10은 글로벌 승압 신호선 GL과 세그먼트 승압 신호선 SL_1나 스페어 세그먼트 승압 신호선 SSL 사이에 구성되며, 이 고저항 7및 10을 경유하여 누설된 전하에 상당하는 소 전류가 흐른다. 그러므로, 세그먼트 승압 신호선 SL_1나 스페어 세그먼트 승압 신호선 SSL은 승압 전위 Vpp레벨로 유지된다.

메모리 어레이 MA_1가 선택되어 제어신호 Φ_1가 발생하여 접지 전위에 이르고 스위칭 트랜지스터 6이 도통될때 L 레벨의 디코드 신호가 입력되는 워드 드라이버에 의해 승압 전위 Vpp는 세그먼트 승압 신호선 SL_1로부터 워드선에 즉시 전송된다. 따라서, 고속의 독출이 수행될 수 있다.

오염물질의 부착으로 인하여 워드 드라이버 DRV_0-DRV_{255}에 불량이 발생하면 불량 워드 드라이버를 경유하여 세그먼트 승압 신호선 SL_1로부터 큰 누설 전류가 흐르는 경우가 있다.

여기에서, 스위칭 트랜지스터 6은 비 도통 상태에 이르고, 고저항 7의 소 전류는 이 큰 누설 전류를 보상할 수 없다.

세그먼트 신호선의 전위가 접지전위 부근의 레벨로 낮아지게 될 가능성이 있다. 여기에서, 불량이 발생한 워드 드라이버에 속한 세그먼트 승압 신호선 SL_1의 휴즈 8은 끊어진다.

여기에서, 글로벌 승압 신호선 GL로부터 세그먼트 승압 신호선 SL_1로 흐르는 소전류는 차단된다. 그러므로, 소비전류가 저감된다.

스페어 메모리 어레이 SMA로 치환된 메모리 MA_1에 관련된 워드 드라이버 DRV_0-DRV_{255}가 사용되지 않는다고 할지라도 접합 누설 전류나 서브 스레스홀드 누설 전류는 사용되지 않은 메모리 어레이 MA_1에 속한 워드 드라이버 DRV_0-DRV_{255}에서 생성된다.

세그먼트 승압 신호선 SL_1에 속한 휴즈 8이 끊어짐에 의해서 낮은 레벨일지라도 고저항 7에 의해 세그먼트 승압 신호선 SL_1에 소 전류가 공급되는 것이 차단된다. 그러므로, 소비전류는 저감된다.

제3도는 본 발명의 제2실시예에 다른 반도체 기억 장치의 주요 구성요소를 나타내고, 제1도의 스위칭 유니트 SW_0-SW_{31}과 스페어 스위칭 유니트 SSW의 부분에 대응하는 도면이다.

다음에서, 단지 제1도와 다른 구성 요소만을 설명한다.

제3도를 참조하여, 고저항 7 대신에 다이오드 소자 17이 설비된다.

다이오드 소자(회로) 17은 전원 전위 Vcc(예를 들면 3.3V)가 인가된 전원 노드와 세그먼트 승압 신호선 SL_i(i=0, 1, 2, ..., 31) 사이에 접속되고, 게이트 전극이 전원 노드에 접속된 한계 전압 V_{th}(예를 들면 0.6V)의 n채널 MOS 트랜지스터를 포함한다.

세그먼트 승압 신호선 SL_0의 전위가 Vcc-Vth보다 낮게 될때 다이오드 소자 17은 도통되어 전하가 전원 전위 노드에서 세그먼트 승압 신호선 SL_0로 공급된다. 따라서, 전위는 Vcc-Vth로 유지된다. 세그먼트 승압 신호선의 전위가 Vcc-Vth보다 높을 때 다이오드 소자 17은 비 도통 상태가 된다.

휴즈 18은 다이오드 소자 17과 세그먼트 승압 신호선 SL_0 사이에 노드 D를 경유하여 설비된다.

직렬체 225는 다이오드 소자 17과 휴즈 18로 구성된다.

다음에, 메모리 어레이 MA_1와 스페어 메모리 어레이 SMA를 메모리 어레이 MA_0에 초점을 두고 설명한다.

메모리 어레이 MA_0와 워드 드라이버 DRV_0-DRV_{255}내의 불량에 기인하여 발생하는 누설이나 오염물질의 부착으로 인하여 세그먼트 승압 신호선 SL_0에 누설이 있는 경우나 어떠한 누설도 없이 메모리 어레이 MA에 누설이 있을 때에는 글로벌 승압 신호선 GL은 세그먼트 승압 신호선 SL_0로부터 분리되어야 한다.

그러나, 다이오드 소자 17로부터 공급된 전원 전위 Vcc의 인가에 의하여 누설 상태에 의존하는 이러한 분리는 회피되어 진다.

예를들어, 제조공정의 단순한 오프셋으로 인한 설계치 보다 크게된 누설 전류를 제외하고는 불량이 없는 경우에 스위칭 트랜지스터 6이 비 도통 상태에 이르면 전하는 다이오드 회로 17에 의하여 누설 전류를 보상하기 위하여 전원 전위 노드로부터 세그먼트 승압 신호선 SL_0로 공급된다.

세그먼트 승압 신호선 SL_0의 전위는 급격히 감소되지 않으며, V_{cc}-V_{th}레벨로 유지 된다.

스위칭 트랜지스터 6이 도통될때 글로벌 승압 신호선 SL_0가 즉시 승압 전위 Vpp레벨로 복귀 되어지는 경우에는 글로벌 승압 신호선 GL과 세그먼트 승압 신호선 SL_0를 분리할 필요가 없다. 그러나, 다이오드 소자 17에 의해 전하가 전원 전위 노드로부터 세그먼트 승압 신호선 SL_0에 공급될 때에도 세그먼트 승압 신호선 SL_0의 전위가 접지 전위 근방의 레벨로 저하될 때에는 글로벌 승압 신호선 GL을 세그먼트 승압 신호선 SL_0로부터 분리할 필요가 있다.

이러한 경우에서, 제2도에서 나타난 제어신호 Φ_0발생 회로의 휴즈 12는 끊어진다.

그결과, 스위칭 트랜지스터 6의 게이트에 인가된 신호 Vpp레벨에 이른다.

여기에서, 스위칭 트랜지스터 6은 off된다.

다이오드 소자 17과 세그먼트 승압 신호선 SL_0사이에 설비된 휴즈 18의 끊어짐에 의하여 글로벌 승압 신호선 GL에 구성된 승압 전위 Vpp를 발생하는 Vpp 발생회로는 동작하지 않는다. 그러므로 소비전류는 억제된다.

제2실시예에 있어서 다이오드 회로 17이 전원 노드와 세그먼트 승압 신호선 사이에 설비 되기 때문에 스위칭 트랜지스터가 비 도통 상태에 이를때 세그먼트 승압 신호선으로부터 약간의 누설 전류가 있는 경우에도 전류는 V_{cc}-V_{th}로 유지된다. 그러므로, 세그먼트 승압 신호선의 전위는 접지전위 근방의 레벨로 낮아지지 않는다.

스위칭 트랜지스터 6이 도통될때 승압 전위 Vpp가 선택된 워드선에 즉시 전송될 수 있다.

제1실시예와 마찬가지로, 휴즈 18은 다이오드 17과 세그먼트 승압 신호선 SL_0사이에 설비된다.

오염물질의 부착으로 워드 드라이버에 불량이 발생하여 이 워드 드라이버를 경유하여 세그먼트 승압 신호선 SL_0로부터 많은 양의 누설 전류가 발생할때, 그리고 스위칭 트랜지스터 6이 비 도통 상태에 이를때 휴즈 18은 끊어진다.

그 결과, 다이오드 회로 17을 경유하여 전원 전위 노드에서 세그먼트 승압 신호선으로 흐르는 전류는 차단되어 소비전류는 감소된다.

워드 드라이버가 정상이고, 불량 메모리 어레이 MA_0로 인하여 스페어 메모리 어레이 SMA로 치환 되어지는 경우에도 휴즈 18의 단선은 다이오드 17이 더 이상 사용되지 않는 메모리 어레이 MA_0의 접합 누설 전류나 드라이버의 스페스홀드 누설 전류를 보상하는 것을 방지한다. 그러므로, 소비전류는 감소된다.

전하가 제1실시예와 같이 전원 전위 노드로부터 세그먼트 승압 신호선 SL_0에 공급되는 것이지 글로벌 승압 신호선 GL로부터 공급되는 것이 아니기 때문에 이 공급을 위해 소비된 전력이 제1실시예와 동일한 경우에도 제1실시예와 비교하여 많은 양의 전류가 전도될 수 있다. 그러므로, 소비 전류는 제한되고, 제조공정의 오프셋으로 인한 설계치 보다 큰 세그먼트 승압 신호선에서의 누설을 제외하고는 불량이 없는 경우에 누설전류를 보상하기 위한 전류는 다이오드회로 17을 경유하여 전원 노드로부터 세그먼트 승압 신호선 SL_0에 공급된다. 그러므로, 세그먼트 승압 신호선 SL_0의 전위는 Vcc-Vth레벨로 유지되어 메모리 어레이 MA_0가 메모리 어레이 SMA에 의해 치환되지 않는다. 따라서, 양품률은 향상된다.

누설 전류의 억제는 차아지 펌프 동작으로 전원 전위 Vcc로부터 승압전위 Vpp를 생성하는데 소모되는 많은 양의 전력의 필요에 그 원인을 두고 있다.

예를 들면, 전원 전위 Vcc로부터 직접 소모되는 전력이 1㎽라고 가정하면 승압전위 Vpp가 1㎽를 생성하는데 2㎽가 요구된다는 것에 기초하여 승압 신호전위 Vpp로 부터 소모되는 전력은 전원 전위 Vcc 경우의 전력의 3배인 3㎽가 된다. 만약 전력 소모가 1㎽로 제한 되어진다면 1㎽분의 전류가 전원 전위 Vcc로부터 전도 된다. 그러나, 전자의 1/3인 단지 0.33㎽분의 전류가 승압 전위 Vpp로부터 전도될 수 있다.

제4도는 본 발명의 제3실시예에 따른 반도체 장치의 주요 구성요소를 나타낸다.

제3실시예는 제1실시예와 제2실시예의 조합이다.

제4도를 참조하여, 여기에는 고저항 7및 휴즈 8로 구성된 직렬체 223과 아이오드 회로 17 및 휴즈 18로 구성된 직렬체 225가 설비된다.

다이오드 회로 17은 전원 전위 Vcc에 접속된다.

다이오드 회로 17의 출력은 워드 드라이버 DRV_0에 인가된다.

휴즈 18은 노드 F와 다이오드 회로 17 사이에 설비된다.

휴즈 18의 설비는 노드 F와 다이오드 회로 17 사이의 위치에 제한되지 않고 전원 전위 Vcc와 다이오드 회로 17 사이에 설비되어도 된다.

고저항 7의 저항치가 다이오드 17의 저항치보다 크기 때문에 다이오드 17은 고저항 7의 전류보다 큰 전류를 도통할 수 있다.

세그먼트 승압 신호선 SL_0에 누설이 있을 때에는 승압 전위 Vpp는 고저항 7을 경유하여 워드 드라이버 DRV_0에 공급된다. 그러나, 누설이 크게 되어질 때 단지 고저항 7만이 있다면 세그먼트 승압 신호선 SL_0의 전위 레벨은 감소된다. 그러나, 세그먼트 승압 신호선 SL_0의 전위 레벨이 Vcc-Δ(접합 전위)레벨로 낮아질 때 전원 전위 Vcc는 다이오드 17을 경유하여 워드 드라이버 DRV_0에 공급된다.

누설을 보상하는 전류는 Vpp 발생 회로에 의해 전부 생성되는 것은 아니다. 고저항 7을 경유하여 공급된 전류와 다이오드 회로 17을 경유하여 공급된 전류의 합이 누설을 보상하는 전류이다.

Vpp 발생 회로에서 소비된 전류와 전원 전위 Vcc에서 직접 소모된 전류의 합은 누설을 보상하기 위해 소모된 전류가 된다. 그러므로, Vpp 발생회로에서 고저항 7까지의 소비 전류는 억제된다.

만약 누설 레벨이 휴즈 8의 단선에 의하여 보상될 수 있다면, 이회로는 제3도에서 나타낸 회로와 유사하다.

휴즈 8 및 18이 모두 끊어질때 제2도에서 나타낸 휴즈 12의 단선으로 글로벌 승압 신호선 GL은 세그먼트 승압 신호선 SL_0로부터 완전히 분리 되어 제어신호 Φ_0가 Vpp 레벨로 고정된다.

제1실시예와 마찬가지로, 스위칭 트랜지스터 6에 병렬로 고저항 7을 설비하므로서 제3실시예에서도 고속의 독출을 수행할 수 있다.

나아가서, 제2실시예와 같이 아이오드 회로 17이 전원 노드와 세그먼트 승압 신호선 사이에 설비되기 때문에 세그먼트 승압 신호선에서의 누설 전류가 제조공정의 오프셋에 의한 설계치보다 크게되는 경우에는 구제될 다른 불량이 없게 된다. 그러므로 양품률은 향상된다.

고저항 7과 세그먼트 승압 신호선 SL_0 사이에, 다이오드 17과 세그먼트 승압 신호선 SL_0 사이에 휴즈 8과 18이 설비된다.

세그먼트 승압 신호선 SL_0에서의 누설 전류가 크게될 때와 승압 전위 Vpp레벨로 승압되는 것이 아니라 Vcc-Vth 부근 레벨의 세그먼트 승압 신호선 SL_0의 전위를 가진 스위칭 트랜지스터가 비도통 상태에 이르면 휴즈 8은 끊어진다.

그 결과, 고저항 7을 경유하여 글로벌 승압 신호선으로부터 흐르는 전류는 차단되어 소비전류는 감소된다.

누설 전류가 크게되어 고저항 7및 다이오드 회로 17에 의해 세그먼트 승압 신호선 SL_0에 전하가 공급됨에도 불구하고 세그먼트 승압 신호선 SL_0의 전위가 접지 전위 부근의 레벨로 저하되는 경우와, 워드 드라이버 DRV_0가 정상일지라도 불량 메모리 어레이 MA_0가 스페어 메모리 어레이 SMA로 치환 되는 경우에는 휴즈 8과 18이 끊어진다. 그러므로, 고저항 7과 다이오드 17이 더 이상 사용되지 않는 메모리어레이 MA_1의 누설 전류를 보상하는 것을 방지할 수 있다. 그러므로 소비전류는 감소된다.

제5도는 본 발명의 제4실시예에 따른 반도체 기억 장치의 주요구성 요소를 나타낸다.

제6도는 제5도의 실시예를 설명하기 위한 도면이다.

제4실시예에 있어서, 제4도의 휴즈 8은 제거되고 스위칭 트랜지스터는 고저항 7에 직렬로 설비된다.

앞에서 도시하지 않는 Vpp 발생회로 20은 승압 전이 Vpp를 공급하기 위해 글로벌 승압 신호선 GL에 접속된다.

Vpp 발생회로 20으로부터 공급된 승압 전위 Vpp 전위의 레벨을 검출하여 Vpp 발생회로를 활성화 또는 비활성화 하는 신호 V_{pe}출력하는 Vpp 레벨 디텍터 21이 설비된다.

Vpp 레벨 디텍터 21의 출력은 지연회로 22에 입력된다.

지연회로 22의 출력은 스위칭 트랜지스터 6의 게이트에 공급된다.

글로벌 승압 신호선 GL의 전위 레벨이 설정치 이하가 될때 Vpp레벨 디텍터 21은 출력신호 V_{pe}에 의해 Vpp 발생회로 20을 활성화 시킨다.

제6a-c도에서 나타낸것과 같이 여기에는 세그먼트 승압 신호선 SL_0에서의 누설레벨에 의존하는 3개의 전위 레벨이 있게된다.

여기에서, 세그먼트 승압 신호선 SL_0의 전위 레벨은 $V_{pp}1'$로 표시한다.

누설이 작고 $V_{pp}1'$의 레벨이 제6(a)도에서 나타낸 것과 같이 Vpp 디텍터 21을 동작하기 위해서 디텍트 레벨로 떨어질때, 출력 신호 V_{pe}가 입력되는 Vpp 발생회로 20은 활성화 된다.

이것은 승압 전위 Vpp 및 $V_{pp}1'$의 레벨을 증가 시키는 원인이 된다.

그리고 나서 Vpp 레벨 디텍터 21의 출력신호 V_{pe}는 지연회로 22에 인가된다.

지연 신호는 스위칭 트랜지스터 19의 게이트 전극에 인가되어 스위칭 트랜지스터 19를 off 시킨다.

그리고나서, Vpp 발생회로 20은 Vpp 레벨 디텍터 21에 의해서 비 활성화 된다.

또한, Vpp 발생회로 20을 비활성화 시키는 신호의 지연신호는 스위칭 트랜지스터 19의 게이트 전극에 인가되어 스위칭 트랜지스터 19를 on 시킨다.

$V_{pp}1'$의 레벨이 감소되기 시작하면 Vpp발생회로 20은 Vpp 레벨 디택터 21의 출력 신호 V_{pe}에 의하여 다시 활성화 된다.

이를 반복적으로 수행하므로서 제6도에서 나타낸것과 같이 $V_{pp}1'$의 레벨은 간헐적으로 떨어지게 된다.

이것은 Vpp 발생회로 20이 간헐적으로 활성화 되는 것을 의미하며 소비전류는 증가하지 않는다. 따라서 소비전류는 스탠드바이 전류의 스펙치 이하로 유지된다.

제6(a)도에서 나타낸 것과 같이, 누설이 제6(a)도에서 나타낸 것 보다 크게 될 때에는 Vpp 레벨 디텍터 21이 동작하는 디텍트 레벨로 $V_{pp}1'$의 레벨이 저하되면 출력신호 V_{pe}에 의해 Vpp 발생회로의 활성화가 이루어진다. 그러나, 누설이 Vpp발생회로 20에 의해 공급된 전류보다 크게되면 $V_{pp}1'$의 레벨은 더욱 감소한다.

$V_{pp}1'$가 Vcc-Δ레벨로 떨어지는 경우에는 다이오드 소자 17을 경유하여 전원 전위 Vcc로부터 전류가 공급되어 그 레벨에서 감소가 중단된다.

제4도에서 Vpp 발생회로 20은 휴즈 8이 끊어지지 않는한 계속 활성화 되어있기 때문에 Vpp발생회로 20에서 발생한 전류와 전원전위 Vcc로부터 다이오드 회로 17을 경유하여 흐르는 전류의 합은 스탠드바이 전류가 되어 큰 값이 된다.

제5도에서, $V_{pp}1'$의 레벨이 디텍트 레벨 이하가 되면 Vpp 레벨 디텍터 21의 출력신호 V_{pe}는 지연회로 22를 경유하여 스위칭 트랜지스터 19의 게이트 전극에 입력된다.

스위칭 트랜지스터 19는 off되어 글로벌 승압 신호선 GL 자체에는 누설 경로가 없게된다. 그러므로, 글로벌 승압 신호선 GL의 전위 레벨 Vpp는 유지되고 Vpp 발생회로 20은 비 활성화 된다.

세그먼트 승압 신호선 SL_0의 전위 $V_{pp}1'$의 레벨이 Vcc-Δ레벨로 떨어지는 경우에는 전원 전위 Vcc에 의한 전류가 다이오드 회로 17을 경유하여 워드 드라이버 DRV_0에 공급된다. 그러므로, $V_{pp}1'$의 레벨은 Vcc-Δ로 유지되고, 그 레벨에 있어서의 감소는 억제된다. 그러므로, $V_{pp}1'$의 누설을 보상하기 위한 전류는 단지 다이오드 회로 17을 경유하여 전원 전위 Vcc로부터 공급된 것이다. 그러므로, 스탠드바이 전류는 감소되어 소비전류가 억제된다.

제6c도에서 나타낸것과 같이, 누설이 너무 크게 되는 경우에는 세그먼트 승압 신호선 SL_0의 전위 $V_{pp}1'$의 레벨은 다이오드 회로 17에 의해 전원 전위 Vcc에 대응하는 전류로 감소된다.

이러한 경우에 있어서, 스위칭 트랜지스터 6에 인가된 제어신호 Φ_0는 승압 전위를 H 레벨로 조정하기 위하여 제2도에서 나타낸 회로에 의하여 제어되고, 휴즈 18은 끊어진다.

제2도의 회로가 사용되지 않고 제어신호 Φ_0가 L 레벨에 이를 때에는 끊어질 휴즈는 노드 G와 워드 드라이버 DRV_0사이에 설비되어야 한다.

이 휴즈 18의 설비가 항상 필요한 것은 아니다.

제7도는 본 발명의 제4실시예에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도이다.

제8도는 제어신호 Φ_1(i=1, 2, ... 31)를 발생하는 회로를 나타낸다.

다음에, 제1도에서 나타낸 것과는 다른 제4실시예의 구성요소만을 설명한다.

제7도를 참조하여, 본 실시예는 메모리 어레이 MA_1에 대응하여 설비된 스위칭 유니트 SW_1, 스페어 메모리 어레이 SMA에 대응하여 설비된 스페어 스위칭 유니트 SSW에 그 특징이 있다.

특히, 제1도의 스위칭 유니트 SW_1의 휴즈 8이 제거되고, 휴즈 220은 스위칭 트랜지스터 6과 고저항 7로 구성된 병렬체와 직렬로 세그먼트 승압 신호선 SL_1에 접속된다.

직렬체 223은 고저항 7과 휴즈 220으로 구성된다.

스페어 스위칭 유니트 SSW의 휴즈 11은 제거된다.

제어신호 Φ_1를 발생하는 회로인 제어신호 Φ_0발생회로에 주의를 둔다.

제8도를 참조하여, 제어신호 Φ_0를 발행하는 회로는 레벨 변환 유니트 23 및 인버터 24를 포함한다.

인버터 24에는 메모리 어레이 선택 신호 X_0가 입력된다.

인버터 24의 출력은 제어신호 Φ_0를 출력하는 레벨 변환 유니트23에 인가된다. 레벨 변환 유니트 23은 제12도의 레벨 변환 유니트 101이 인버터 14에 대응하는 인버터 25와 n채널 MOS 트랜지스터 15a와 15b에 각각 대응하는 n채널 MOS 트랜지스터 26a와 26b 및 p채널 MOS 트랜지스터 16a와 16b에 각각 대응하는 p채널 MOS 트랜지스터 27a와 27b를 포함한다.

n채널 MOS 트랜지스터 26a, 26b 및 p채널 MOS 트랜지스터 25a, 25b는 노드 A와 같이 노드 I에, 노드 B와 같이 노드 J에 접속된다.

만약 제8도의 선택 신호 X_0가 메모리 어레이 MA_0를 선택하는 신호라면 워드 드라이버 DRV_0-DRV_{255}와 메모리 어레이 MA_0에 불량이 있을 때 세그먼트 승압 신호선 SL_0에서 누설이 발생한다.

이러한 경우에, 글로벌 승압 신호선 GL은 세그먼트 승압 신호선 SL_0로부터 분리되어야 한다.

휴즈 220이 끊어지므로서 글로벌 승압 신호선GL의 승압 전위 Vpp는 세그먼트 승압 신호선 SL_0에 공급되지 않는다.

제1실시예와 마찬가지로, 본 제4실시예에서 고저항 7이 스위칭 트랜지스터 6과 병렬로 설비되기 때문에 고속 독출이 수행될 수 있다.

나아가서, 휴즈 220이 고저항 7과 세그먼트 승압 신호선 SL_0사이에 설비되기 때문에 제1실시예와 같이 소비전류는 감소된다.

휴즈 220이 스위칭 트랜지스터 6과 세그먼트 승압 신호선 SL_0 사이에 설비 되기 때문에 메모리 어레이 MA_0가 스페어 메모리 어레이 MA_0로 치환되는 경우에 치환된 메모리 어레이 SA에 대응하는 휴즈 220은 끊어져야 한다.

그 결과, 글로벌 승압 신호선 GL은 스위칭 트랜지스터 6의 도통이나 비도통에 관계없이 승압 신호선 SL로부터 완전하고 용이하게 분리된다.

이러한 분리는 스위칭 트랜지스터 6의 도통이나 비도통에 의존하지 않기 때문에 제8도에서 나타낸것과 같이 제어신호 Φ_0를 발생하는 회로를 사용하는것이 가능해진다.

그러므로, 회로는 제1실시예의 제2도에서 나타낸 회로와 비교하여 간소화 된다.

제9도는 본 발명의 제6실시예에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도이다.

제4도의 제3실시예에서 나타낸것과는 다른 구성요소와 제7도의 제7실시예를 설명한다.

제4도의 제3실시예의 휴즈 18은 제거되고 그대신 제7도에서 나타낸 실시예에서와 같이 휴즈 221이 설비된다.

직렬체 223은 고저항 7과 휴즈8로 구성되고, 직렬체 225는 다이오드 회로 17과 휴즈 220으로 구성된다.

스위칭 트랜지스터 6의 게이트 전극에 인가된 제어신호 Φ_0는 제8도에서 나타낸 제어신호 Φ_0를 발생하는 회로에 의하여 공급된다.

본 실시예의 특징은 제4도에서 나타낸 제3실시예에서와 같은 효과를 얻을 수 있다는데 있다.

구체적으로, 고저항 7이 스위칭 트랜지스터 6에 병렬로 설비되고, 다이오드 회로 17은 전원 노드와 승압 신호선 SL_0 사이에 설비된다. 그러므로, 고속의 독출이 수행될 수 있고, 양품률이 향상된다. 또한 휴즈 8이 고저항 7과 세그먼트 승압 신호선 SL_0 사이에 설비된다.

세그먼트 승압 신호선 SL_0에서의 누설 전류가 크게 되어 스위칭 트랜지스터 6이 비도통 상태에 이를때 세그먼트 승압 신호선 SL_0의 전위가 승압 전위 Vpp레벨로 상승할 수 없어 V_{cc}-V_{th} 부근의 레벨로 유지되는 경우 휴즈 8은 끊어진다.

그 결과, 글로벌 승압 신호선으로부터 고저항 7을 경유하여 세그먼트 승압 신호선 SL_0로 흐르는 전류는 차단되어 소비전류가 감소된다.

휴즈 221은 스위칭 트랜지스터 6, 고저항 7및 다이오드 회로 17, 세그먼트 승압 신호선 SL_0 사이에 설비된다.

누설 전류가 크게되어 고저항 7 및 다이오드 회로 17에 의하여 전하가 세그먼트 승압 신호선 SL_0에 공급될 때 또는 불량 메모리 어레이 MA_0로 인하여 사용되는 워드 드라이버와 사용된 스페어 메모리 어레이 SMA에 불량이 없는 경우에도 세그먼트 승압 신호선의 전위가 접지 전위 부근의 레벨로 떨어질때 휴즈 220이 끊어진다.

이것은 더이상 사용되지 않는 메모리 어레이 내의 고저항 7가 다이오드 회로 17로부터 세그먼트 승압 신호선 SL_0에 전하가 공급되는 것을 차단한다.

그러므로 소비전류는 감소된다. 휴즈 220의 단선에 의한 글로벌 승압 신호선 GL과 세그먼트 승압 신호선 SL_0간의 분리는 스위칭 트랜지스터 6의 도통이나 비도통에 의존하지 않는다. 그러므로, 제어신호 Φ_0를 발

생하는 회로는 제2도의 회로보다 더욱 간소화 된다.

제10도는 본 발명의 제7실시예에 따른 반도체 기억 장치의 워드 드라이버의 회로이다.

제11도는 제10도의 워드 드라이버에 인가된 승압 디코드 신호 RX_{iK}(i=0, 1 ... 31, k=0, 1, 2, 3)을 발생하는 회로를 나타낸다.

제10도를 참조하여, 승압 디코드 신호 RX_{iK}는 p채널 MOS 트랜지스터 261의 소오스에 입력된다.

로우 디코더의 출력인 반전 신호 ZWD는 p채널 MOS 트랜지스터 261에 인가된다. 따라서, 승압 디코드 신호 RX_{iK}와의 조합으로 워드선 WL이 선택되어 승압전위 Vpp레벨로 상승된다.

승압 디코드 신호 RX_{iK}가 제11도에서 나타낸것과 같은 회로에 의해서 발생되더라도 회로구성은 레벨 변환 유니트 30, 인버터 31 및 NAND 게이트 32를 포함한다.

메모리 어레이 선택 신호 X_1와 프리디코드 신호 XS_K는 NAND 게이트32에 인가된다.

NAND 게이트 32의 출력은 인버터 31에 인가된다.

인버터 31의 출력은 레벨 변환 유니트 30에 인가된다.

레벨 변환 유니트 30은 제2도의 레벨 변환 유니트 101의 인버터 14에 대응하는 인버터 33, n채널 MOS 트랜지스터 15a, 15b에 대응하는 n채널 MOS 트랜지스터 34a, 34b 및 p채널 MOS 트랜지스터 16a, 16b에 대응하는 p채널 MOS 트랜지스터 35a, 35b를 포함한다.

n채널 MOS 트랜지스터 34a, 34b 및 p채널 MOS 트랜지스터 35a, 35b는 노드 A와 같이 노드 K에 노드 B와 같이 노드 L과 접속된다.

제10도의 워드 드라이버에 인가된 승압 디코드 신호 RX_{iK}는 노드 L로부터 출력된다.

승압 디코드 신호 RX_{iK}는 로우 어드레스 신호에 응답하여 H 레벨에 이른 메모리 어레이 선택 신호 X_1와 로우 어드레스 신호의 2비트 신호에 응답하여 H 레벨에 이른 프리 디코드 신호 XS_K에 기초를 두고 발생된다.

입력 어드레스 신호에 따라 메모리 어레이 선택 신호 X_0, X_{15} 및 프리디코드 신호 XS_0가 H 레벨에 이르고 다른 모든 신호가 L 레벨이 이를때에는 승압 디코드 신호 RX_0, RX_{150}은 승압 전위 Vpp 레벨에 이르고 다른 승압 디코드 신호는 접지 전위 레벨에 이른다.

다른 예에 있어서, 메모리 어레이 선택 신호 X_1 및 X_{17}과 프리 디코드 신호 XS_1 이 H 레벨에 이르고 다른 모든 신호가 L 레벨에 이를 때에는 승압 디코드 신호 RX_{11}, RX_{171}이 승압 전위 Vpp 레벨에 이르고 다른 승압 디코드 신호는 접지 전위 레벨에 이른다.

본 제7실시예에 있어서 워드 드라이버가 CMOS 인버터로 구성 되기 때문에 셀프 부스트에 의하여 워드선에 Vpp레벨의 전위를 전송하기 위하여 로우 디코더로부터 디코드 신호가 입력된 후 승압 디코드 신호를 승압 전위 Vpp레벨로 입상시킬 필요가 없다. 그러므로 지연 승압 디코드 신호 RX_{iK}가 필요 없게되어 승압 신호 RX_{iK}의 지연 시간의 증가에 기인하는 액세스 시간의 지연 없이 고속의 액세스가 수행될 수 있다.

나아가서, 액세스 시간이 지연되지 않고 충분한 셀프 부스트가 수행될 수 있도록 승압 디코드 신호 RX_{iK}의 지연 시간을 결정하는 어려운 타이밍 설계가 더이상 요구되지 않는다. 그러므로 타이밍 설계는 간단해진다.

나아가서, 승압 디코드 신호 RX_{iK}의 지연 회로를 위한 레이아웃 영역은 감소되어 칩 면적을 작게 만들 수 있다.

나아가서 CMOS 인버터로 구성된 워드 드라이버에 인가된 승압 전위 Vpp는 제26도에서 나타낸 것과 같이 글로벌 승압 신호선이 아닌 승압 디코드 신호 발생회로로부터 승압 디코드 신호 RX_{iK}로서 인가된다. 그러므로, 승압 디코드 신호 RX_{iK}는 대응하는 메모리 어레이가 비 선택될 때 접지 전위 레벨에 이른다.

여기서, RX_{iK}를 전송하는 신호선은 글로벌 신호선으로부터 분리된다. 그러므로, 승압전위 Vpp가 글로벌 승압 신호선으로부터 인가되는 경우와 같이 복수의 워드 드라이버를 경유하는 누설전류는 발생하지 않는다. 따라서 소비전류는 감소된다.

이 누설 전류로 인하여 발생된 불량 스탠드바이 전류의 불량 또한 억제된다.

나아가서, 로우 디코더의 신호 ZWD와 승압 디코드 신호 RX_{iK}를 사용하는 워드 드라이버 자신에 의해 디코드가 수행되기 때문에 디코드 신호 ZWD를 로우 디코더로 완전히 더코드 할 필요가 없다. 그러므로 로우 디코더 회로 규모는 작아진다. 다라서 워드선의 피치를 좀더 좁게 만들 수 있어 고집적화가 가능해 진다.

제12a도 및 제12b도는 제10도의 제7실시예에 따른 로우 디코더의 칩 면적의 감소를 설명하는 도면이다.

특히, 제12a도는 제26도에서 나타낸 CMOS 인버터로 구성된 워드 드라이버에 글로벌 승압 신호선으로부터 승압전위 Vpp를 제공하는 것을 나타내고, 제12b도는 제10도의 CMOS 구성의 워드 드라이버에 승압 디코드 신호 RX_{iK}에 의해 승압 전위 Vpp를 제공하는 것을 나타낸다.

제12a도 및 제12b도는 8본의 워드선(WL0-WL7)으로부터 1본이 선택되는 경우를 나타낸다.

제12a도에 있어서, 8개의 워드 드라이버를 위해 8개의 입력신호 WD가 요구된다. 그러므로, 로우 디코더에

는 8개위 3NAND게이트가 요구된다.

나아가서, 어드레스 신호는 신호A0-A2로 디코드 되어야 하므로 반전 신호 /A0-/A2를 포함하여 6본의 어드레서 선이 요구된다. 대조적으로, 제12b도에 있어서, 로우 디코더의 8개의 워드 드라이버를 위해 단지 2개의 신호 ZWD가 요구된다. 그러므로, 단지 두 개의 디코더만 필요하게 된다.

로우 디코더가 3NAND 게이트가 아니기때문에, 이것은 인버터로 구성될 수 있다. 따라서 로우 디코더를 위해 요구된 회로 면적은 작아지게 된다.

제13도는 본 발명의 제8실시예에 따른 반도체 기억 장치의 워드 드라이버의 회로도이다.

다음에, 단지 제10도에서 나타낸 실시예에서와는 다른 구성요소만을 설명한다.

제13도를 참조하여, n채널 MOS 트랜지스터 36은 접지 전위 GND에 접속된 n채널 MOS 트랜지스터 271에 병렬로 접속된다.

또한, n채널 MOS 트랜지스터 36의 게이트에는 승압 디코드 신호 RX_{1K}의 반전 신호 ZRX_{1K}가 공급된다.

먼저, 제10도에서 나타낸 실시예의 문제점을 설명한다.

신호 ZWD가 L 레벨(선택상태)에 이르고 승압 디코드 신호 RX_{iK}가 L 레벨(비 선택상태)에 이를 때, p채널 MOS 트랜지스터 261 및 n채널 MOS 트랜지스터 271은 off 상태에 이르고, 워드선 WL은 L 레벨의 플로팅 상태에 이른다. 그러므로, n채널 MOS 트랜지스터 36의 게이트에 승압 디코드 신호 RX_{iK}의 반전 신호 ZRX_{iK}를 인가하므로서 워드선 WL을 비선택 상태에서 접지전위 GND레벨로 만들 수 있다.

특히, 신호 ZWD가 L 레벨(선택상태)에 이르고 승압 디코드 신호 RX가 L 레벨(비선택상태)에 이를때 워드선 WL은 비선택상태에 이른다. 그러므로, n채널 MOS 트랜지스터 36에 H 레벨(비선택상태)의 반전 신호 RX_{iK}를 인가하는 것은 n채널 MOS 트랜지스터 36을 on 시킨다.

여기에서 워드선 WL은 접지전위 GND로 끌어내릴 수 있다.

제10도에서 나타낸 실시예의 효과 이외에, 제13도의 실시예는 승압 디코드 신호 RX_{1K}가 L 레벨(비선택상태)에 이를때 워드선의 플로팅 상태를 억제할 수 있는 이점을 제공하여 노이즈에서 기인한 워드선의 전하의 상승에 의하여 메모리셀에 저장된 데이타가 파괴 되는 것을 억제할 수 있다.

제14도는 본 발명의 제9실시예에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도이다.

제15도는 제14도의 스위칭 트랜지스터의 제어신호 Φ_{1K}(i=0, 1, ... 31, k=0, 1, 2, 3)을 발생하는 회로를 나타낸다.

제14도를 참조하여, 반도체 기억 장치 41은 복수의 메모리 어레이 MA_1(i=0, 1, ... 31), 각 메모리 어레이 MA_1의 한 측면에 설비된 로우 디코더 RD_1, 각 메모리 어레이 MA_1에 대응하여 설비된 워드선 WL_0-WL_{255}에 구성된 워드 드라이버 DRV_0-DRV_{255}를 갖는 워드 드라이버 그룹 $DRVG_0$, 워드 드라이버 DRV_0-DRV_{255}에 접속된 세그먼트 승압 신호선 SL_{iK}(i=0, 1, ... 31, k=0, 1, 2, 3), 글로벌 승압 신호선 GL, 승압 신호선 GL과 세그먼트 승입 신호선 SL_{1K}사이에 접속된 스위칭 트랜지스터 및 센스 앰프 밴드 SA_0-SA_{32}를 포함한다.

각 메모리 어레이 MA_1는 복수의 서브 메모리 어레이 SBMA로 나누어진다.

예를 들면, 메모리 어레이 MA_0 는 워드선 WL_0-WL_{53} 에 대응하는 서브 메모리 어레이 $SBMA_0$, 워드선 WL_{54}-WL_{127}에 대응하는 서브 메모리 어레이 SBMA $_1$, 워드선 WL_{128}-WL_{191}에 대응하는 서브 메모리 어레이 $SBMA_2$, 워드선 WL_{192}-WL_{255}에 대응하는 서브 메모리 어레이$SBMA_3$로 나누어진다.

마찬가지로, 메모리 어레이 MA_1는 서브 메모리 어레이 $SBMA_{10}$, $SBMA_{11}$, $SBMA_{12}$ 및 $SBMA_{13}$으로 나누어진다.

메모리 어레이 MA_{31}은 서브 메모리 어레이 $SBMA_{310}$, $SBMA_{311}$, $SBMA_{312}$ 및 $SBMA_{313}$으로 나누어진다.

각 서브 메모리 어레이 $SBMA_{1K}$에 대응하는 워드 드라이버는 동일한 세그먼트 승압 신호선에 접속된다.

예를 들면, 서브 메모리 어레이 $SBMA_0$에 대응하는 워드 드라이버 DRV_0-DRV_{53}은 세그먼트 승압 신호선 SL_0에 접속된다.

서브 메모리 어레이 $SBMA_1$에 대응하는 워드 드라이버 DRV_{54}-DRV_{127}은 세그먼트 승압 신호선 SL_1에 접속된다.

서브 메모리 어레이 $SBMA_2$ 에 대응하는 워드 드라이버 DRV_{128}-DRV_{191} 은 세그먼트 승압 신호선 SL_2 에 접속된다.

서브 메모리 어레이 $SBMA_3$ 에 대응하는 워드 드라이버 DRV_{192}-DRV_{255} 은 세그먼트 승압 신호선 SL_3 에 접속된다.

스위칭 트랜지스터 42, 43, 44 및 45는 각 세그먼트 승압 신호선 SL_0, SL_1, SL_{02} 및SL_3와 글로벌 승압 신호선 GL사이에 구성된다.

제15도에서 나타낸 것과 같이, 각 스위칭 트랜지스터의 게이트 전극에 인가될 제어신호 Φ_{iK}를 발생하는 회로는 레벨 변환 유니트 46, 3 NAND 게이트 47, 휴즈 49 및 저항 48을 포함한다.

휴즈 49는 전원 전위 Vcc와 노드 0 사이에 접속된다. 노드 0의 출력은 3 NAND 게이트 47에 인가된다.

메모리 어레이 선택 신호 X_i(i=0, 1, ... 31) 및 서브 메모리 어레이 선택 신호 S_K(k=0, 1, 2, 3)은 3 NAND 게이트 47의 다른 입력에 인가된다.

3 NAND 게이트 47의 출력은 레벨 변환 유니트 46에 인가된다.

레벨 변환 유니트 46은 제2도의 레벨 변환 유니트 101의 인버터 14에 대응하는 인버터 50, n채널 MOS 트랜지스터 15a와 15b에 각각 대응하는 n채널 MOS 트랜지스터 51a와 51b 및 p채널 MOS 트랜지스터 16a와 16b에 각각 대응한 p채널 MOS 트랜지스터 52a와 52b를 포함한다.

n채널 MOS 트랜지스터 51a와 51b 및 p채널 MOS 트랜지스터 52a와 52b는 노드 A와 같이 노드 M에 노드 B와 같이 노드 N에 접속된다. 따라서, 제어신호 Φ_{iK}는 노드 N에서 출력된다.

제15도의 휴즈 49가 끊어지고 서브 메모리 어레이 선택 신호 S_K 및 메모리 어레이 선택 신호 X_1가 H 레벨에 이를 때 3 NAND 게이트 47의 출력은 L 레벨에 이른다. 레벨 변환 유니트 46의 출력인 제어신호 Φ_{1K}는 H 레벨의 승압전위 Vpp에 의해 스위칭 트랜지스터에 인가된다.

그결과, 그 스위칭 트랜지스터는 도통된다.

예를 들면, 스위칭 트랜지스터 42가 도통될때 워드 드라이버 DRV_0-DRV_{53}은 서브 메모리 어레이 $SBMA_0$를 선택하기 위하여 구동된다. 따라서, 센스 앰프 밴드 SA_0-SA_{32}에 의해 분리된 메모리 어레이 MA_1는 4개의 영역으로 더욱 나누어진다. 그러므로, 서브 메모리 어레이 선택 신호 S_K가 요구된다.

서브 메모리 어레이 SBMA가 어떤 이유로 치환 되어야만 하는 경우가 있다. 그러므로, 반도체 메모리 장치 41은 스페어 메모리 어레이 SMA, 스페어 메모리 어레이 SMA의 한 측면에 설비된 스페어 로우 디코더 SRD, 스페어 메모리 어레이 SMA에 대응하는 각 스페어 워드선에 구성된 스페어 워드 드라이버를 갖는 워드 드라이버 그룹 SDRVG, 스페어 워드 드라이버에 접속된 스페어 세그먼트 승압 신호선 SSL_{SK} (k=0,1,2,3), 글로벌 승압 신호선 GL과 스페어 세그먼트 신호선 SSL_{SK}사이에 접속된 스위칭 트랜지스터 53, 54, 55 및 56, 그리고, 스페어 센스 앰프 밴드 SSA를 포함한다.

스페어 메모리 어레이 SMA는 메모리 어레이 MA의 서브 메모리 어레이 $SBMA_{iK}$와 동등한 메모리 용량을 갖는 스페어 메모리 어레이 $SSBMA_0$-$SSBMA_3$로 나누어진다.

256본의 워드선이 스페어 메모리 어레이내에 구성될때에는 모든 64본의 워드선은 스페어 서브 메모리 어레이 $SSBMA_0$, $SSBMA_1$, $SSBMA_2$ 및 $SSBMA_3$로 분할되어 있다.

각 스페어 메모리 어레이 $SSBMA_0$-$SSBMA_3$에 대응하는 워드 드라이버는 스페어 세그먼트 승압 신호선 SSL_{S0}, SSL_{S1}, SSL_{S2} 및 SSL_{S3}에 접속된다.

예를 들면, 스페어 메모리 어레이 $SSBMA_0$에 대응하는 모든 스페어 워드 드라이버는 스페어 세그먼트 승압 신호선 SSL_{S0}에 접속된다.

스위칭 트랜지스터 53, 54, 55 및 56은 각 스페어 세그먼트 승압 신호선 SSL_{S0}, SSL_{S1}, SSL_{S2} 및 SSL_{S3}와 글로벌 승압 신호선 GL 사이에 구성된다.

각 스위칭 트랜지스터 53,54,55 및 56의 게이트 전극에 인가된 제어 신호 Φsi는 치환된 서브 메모리 어레이 $SBMA_{iK}$에 대응하는 제어신호이다.

스페어 메모리 어레이 SSBMA를 이용하기 위해서 치환될 서브 메모리 어레이 $SSBMA_{iK}$에 대응하는 제15도의 휴즈 49가 끊어진다.

휴즈 49의 단선은 3NAND 게이트의 출력의 H 레벨로 끌어 올리고, 제어신호 Φ_{ik}를 서브 메모리 어레이 선택 신호 S_k 및 메모리 어레이 선택 신호 X_i의 레벨에 관계없이 L 레벨로 끌어 내린다.

제어신호 Φ_{ik}는 치환된 서브 메모리 어레이 $SBMA_{iK}$에 대응하는 스위칭 트랜지스터에 인가되어, 스위칭 트랜지스터를 off 시킨다.

그 결과, 서브 메모리 어레이 $SBMA_{iK}$에 사용되지 않고 스페어 서브 메모리 어레이 SSBMA가 대신 사용된다.

센스 앰프 밴드 SA에 의해 분리된 메모리 어레이 MA에 속한 워드 드라이버가 동일한 세그먼트 승압 신호선에 전부 접속되는 것은 아니기 때문에 세그먼트 승압 신호선 SL_0에 누설이 발생하는 경우에도 제어신호 Φ_0가 스위칭 트랜지스터를 도통시키지 않는 동안에는 도시하지 않은 Vpp 발생회로는 승압 전위 Vpp를 공급할 필요가 없게된다.

그 결과, 소비전류는 억제된다. 세그먼트 승압 신호선 SL_{1K}에 누설 대신에 서브 스레스홀드 누설이나 접합 누설이 발생하는 경우에 있어서도 선택된 세그먼트 승압 신호선에 속한 트랜지스터에서 생성이 제한된다.

그러므로, 워드 드라이버가 동일한 승압 신호선에 접속된 경우와 비교하여 누설전류는 억제된다.

스페어 메모리 어레이 SMA가 스페어 서브 메모리 어레이 $SSBMA_K$로 나누어지기 때문에, 메모리 어레이 유니트에서 치환을 수행할 필요가 없다.

하나의 서브 메모리 어레이 SBMA은 스페어 서브 메모리 어레이 SSBMA로 치환되기 때문에 치환 효율은 향

상된다.

나아가서, 스페어 메모리 어레이 SMA를 복수의 스페어 서브 메모리 어레이 SSBMA로 나눌 필요가 없기 때문에 칩 면적을 억제할 수 있다.

구체적으로, 본 제 7 실시예에 있어서, 하나의 메모리 어레이에 대하여 4본의 세그먼트 승압 신호선이 구성된다.

여기에서, 각 메모리 어레이는 각 세그먼트 승압 신호선에 대응하는 스위칭 트렌지스터에 접속된 워드선에 따른 4개의 서브 메모리 어레이로 나누어진다.

그러므로, 스페어 서브 메모리 어레이는 메모리 어레이가 스페어 메모리 어레이로 대체된 제 1 실시예의 유니트보다 작은 서브 메모리 어레이에 치환될 수 있다.

그러므로, 치환 효율은 동일한 스페어 메모리 어레이 크기를 갖는 제1실시예의 치환 효율과 비교하여 향상될 수 있다.

예를 들면, 제1및 제2메모리 어레이의 각 제1서브 메모리 어레이가 불량일 때, 제1실시예에 있어서 단지 하나의 스페어 메모리 어레이가 있기 때문에 제2메모리 어레이는 치환될 수 없어서 반도체 기억 장치는 불량이 된다.

반대로, 제7실시예에서는 두 개의 불량 서브 메모리 어레이를 두 개의 스페어 서브 메모리어레이로 치환할 수 있다. 그러므로, 이 반도체 기억 장치는 구제될 수 있다.

만약 칩 면적이 감소 되어야만 한다면 치환 효율의 저하에도 불구하고 스페어 서브 메모리 어레이가 감소되어야한다.

치환 효율과 칩 면적은 얼마나 많은 부분으로 메모리 어레이를 나누는가, 얼마나 많은 스페어 서브 메모리 어레이를 구성하느냐에 달려있다. 치환 효율과 칩 면적의 스탠드 포인트로부터 적정치가 선택 되어야 한다.

또한 제14도의 반도체 기억 장치에 있어서, 4본의 세그먼트 승압 신호선의 임의의 신호선에 대응하는 워드선, 그리고 그 워드선이 네 개의 서브 메모리 어레이중 임의의 서브 메모리 어레이에 포함되는 것에 의해 워드선은 국부적으로 고정되어 진다.

바꾸어 말하면, 예를들어 워드선 WL_0, WL_4, WL_5 ....이 동일의 서브 메모리 어레이, 워드선 WL_1, WL_5, WL_9이 다른 서브 어레이에 포함 되도록 4본 간격으로 동일 서브 어레이에 워드선이 배선 되어도 된다.

제16도는 본발명의 제10실시예에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도이다.

제17도는 스위칭 트랜지스터의 제어신호 Φ_{ik}(i=0, 1, 2, ... 31, k=0, 1, 2, 3)을 발생하는 회로를 나타낸다.

다음에, 단지 제14도 및 제15도에서 나타낸 제9실시예의 구성요소와 다른 구성 요소만을 설명한다.

본 제10실시예에 있어서, 세그먼트 승압신호선 SL_{ik}로 부터 글로벌 승압 신호선 GL을 분리하기위해 각 세그먼트 승압신호선 SL_{ik}(i=0, 1, 2, ...31, k=0, 1, 2, 3)에 휴즈가 설비된다.

예를 들면, 휴즈 57, 58, 59 및 60은 각각의 스위칭 트랜지스터 42, 43, 44 및 45에 접속된 각각의 세그먼트 승압신호선 SL_0, SL_1, SL_2, 및 SL_3에 설비된다.

각 휴즈 57, 58, 59 및 60은 제15도의 휴즈 49에 대응하는 기능을 수행한다. 또한 제15도의 3 NAND 게이트 47 대신에 제17도의 NAND 게이트 300에 서브 메모리 어레이 선택 신호 S_k 및 메모리 어레이 선택 신호 X_1가 입력된다.

스위칭 트랜지스터를 제어하는 제어신호 Φ_{ik}는 제17도의 회로에 의해 발생된다.

치환된 서브 메모리 어레이 $SBMA_{ik}$(i=0, 1, 2, ... 31, k=0, 1, 2, 3)에 대응하는 휴즈가 끊어지고, 스페어 메모리어레이 SSBMA에 의해 치환이 수행된다.

본 제10실시예에 있어서, 메모리 어레이에 속한 워드 드라이버가 동일한 승압 신호선에 전부 접속되는 것은 아니다. 그러므로, 4본의 세그먼트 승압 신호선중 1본에 누설이 발생할 때, 1본의 세그먼트 승압 신호선을 승압 전위 레벨로 상승 시키는 스위칭 트랜지스터가 도통되지 않는 동안에는 도시하지 않는 Vpp 발생회로는 누설이 있는 세그먼트 승압 신호선을 승압 전위 Vpp 레벨로 상승 시키기 위한 동작을 수행하지 않는다. 그러므로, 소비전류는 억제된다.

나아가서, 단지 선택된 세그먼트 승압신호선에 속한 트랜지스터에서 발생된 서브 스레스홀스 누설과 접합 누설은 제한된다. 따라서, 모든 드라이버가 동일한 세그먼트 승압 신호선에 접속된 경우와 비교하여 누설 전류는 억제된다.

나아가서, 제1도에서 나타낸 제1실시예의 경우와 비교하여 치환 효율은 증가하고 칩 면적은 감소된다.

각각의 휴즈 57, 58, 59 및 60은 제7도의 제7실시예의 휴즈 220과 비슷한 방법으로 동작한다.

더욱 상세하게, 각각의 휴즈 57, 58, 59 및 60은 스위칭 트랜지스터 42, 43, 44 및 45와 세그먼트 승압 신호선 SL_0, SL_1, SL_2, 및 SL_3사이에 각각 접속된다. 치환된 서브 메모리 어레이에 대응하는 휴즈가 끊어지므로서 글로벌 승압 신호선이 스위칭 트랜지스터의 도통이나 비도통에 관계 없이 세그먼트 승압 신호선으로부터 완전하고 용이하게 분리될 수 있다.

나아가서, 그와 같은 분리는 제15도에서 나타낸 제어신호 Φ_{ik}를 발생하는 회로를 필요로하지 않는다.

단지 제17도에서 나타낸 것과 같은 간단한 회로만 요구된다.

다음에 제11실시예를 설명한다.

제14도에서 나타낸 제11실시예에 있어서, 각 서브 메모리어레이 SBMA와 스페어 서브 메모리 어레이 SSBMA에 대응하는 스위칭 트랜지스터가 설비된다.

제1도-제6도에서 나타낸 실시예를 스위칭 트랜지스터에 응용한다. 본 제11실시예는 제14도에서 나타낸 제9실시예의 각 서브 메모리 어레이 SBMA 및 스페어 서브 메모리 어레이 SSBMA에 대응하여 구성된 스위칭 트랜지스터에 제5도의 제4실시예를 응용한 것이다.

제1도에서 나타낸 제1실시예, 제3도에서 나타낸 제2실시예, 제4도에서 나타낸 제3실시예 및 제5도에서 나타낸 제4실시예는 워드 드라이버에 승압 전위와 접지전위 사이의 소정 전위를 제공하는 것에 관련한 것이다.

그와 같은 실시예를 제14도의 제9실시예에 응용함으로서 고속의 동작을 수행하는 반도체 기억 장치가 제공된다.

이러한 경우에 있어서, 고속의 액세스가 가능해지고, 제5도의 실시예에 따라 세그먼트 승압신호선으로부터의 누설을 다소 보상할 수 있다.

그러므로, 누설이 보상된 세그먼트 승압 신호선에 속한 메모리 어레이는 스페어 메모리 어레이로 치환되지 않는다. 그러므로, 치환 효율을 증가된다.

칩 면적은 제4도의 제9실시예에서 설명한 것과 같다.

제5도의 회로에 있어서 각 스위칭 트랜지스터의 제공을 위한 칩 면적은 증가된다. 그러나, 제5도에서 나타낸 회로에 대응하는 서브 메모리 어레이와 비교하여 스페어 서브 메모리 어레이를 위한 칩 면적은 크게 된다. 그러므로, 칩 면적은 결국은 감소된다. 따라서, 제14도의 제9실시예에 제5도의 제4실시예를 적용함으로써, 소비 전류및 칩 면적을 줄일수 있고, 치환 효율 및 액세스 비를 증가 시킬수 있다.

제18도는 본 발명의 제12실시예에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도이다.

제19도는 승압 디코드 신호 RX_{ik}(i=0, 1, ... 31, k=0, 1, 2, 3)을 발생하는 회로를 나타낸다.

다음에서, 제14도의 제9실시예에서 나타낸 것과는 다른 구성요소와 제11도에서 나타낸 회로를 설명한다.

제18도를 참조하여, 승압 디코드 신호 RX_{ik}(i=0, 1, ... 31, k=0, 1, 2, 3)는 제14도에 있는 승압 전위 Vpp, 스위칭 트랜지스터 42, 43, 44 및 45, 그리고 제어신호 Φ_{ik}를 대신하여 사용된다.

각 64본의 워드선 그룹이 동일한 세그먼트 승압 신호선에 접속된 제14도에서 나타낸 실시예와 비교하여, 본 제12실시예는 동일한 서브 메모리 어레이에 배선된 모든 4본 간격의 워드선을 갖는다.

예를 들면, 워드선 WL_0, WL_4, WL_8 ....은 한 서브메모리 어레이에 포함되고, 워드선 WL_1, WL_5, WL_9 ....는 다른 서브 메모리 어레이에 포함된다. 그러므로, 하나의 메모리 어레이는 4개의 서브 메모리 어레이를 포함한다.

이것은 서브 메모리 어레이의 개념이 제14도에서 나타낸것과 같이 실질적으로 단절되는 것이 아니라 더욱 상위의 개념에 상당한다는 것을 의미한다.

로우 디코더 RD_0의 출력신호는 252개의 신호 $/WD_0$-WD_{255}가 아니라 63개의 신호 $/WD_0$-WD_{63}이다.

구체적으로, 그와 같은 신호 WD_0는 워드선 WD_0-WD_3에 설비된 워드 드라이버 DRV_0-DRV_3에 각각 인가된다.

워드선 WD_{252}-WD_{255}에 설비된 워드 드라이버 DRV_{252}-DRV_{255}에는 동일한 신호 $/WD_{63}$이 인가된다.

워드 드라이버 DRV_0-DRV_{255}에는 제10도의 제7실시예에서 나타낸 워드 드라이버이다.

워드 드라이버 DRV_0-DRB_{255}는 워드 드라이버 그룹 $DRVG_0$로 설정 된다.

다른 메모리 어레이 MA_i(i=0, 1, 2, ... 31)에 대응하는 워드 드라이버 그룹 $DRVG_i$(i=0, 1, 2,...31)가 설비된다.

마찬가지로, 스페어 메모리 어레이 SMA는 4개의 스페어 서브 메모리 어레이로 나누어진다.

또한 스페어 로우 디코더 SRD 및 스페어 워드 드라이버 그룹 SDRVG가 설비된다.

승압 디코드 신호 SRX_0, SRX_1, SRX_2 및 SRX_3는 스페어 워드 드라이버 그룹 SDRVG에 인가된다.

스페어 메모리 SMA의 스페어 서브 메모리 어레이가 메모리 어레이 MA의 서브 메모리 어레이와 치환되기 위해서는 제11도의 승압 디코드신호 RX_{ik}를 발생하는 회로에 대하여 제19도에서 나타낸 것과 같이 휴즈 301및 저항 303이 설비되어야 한다.

휴즈 301은 전원 전위 Vcc와 노드 P사이에 접속된다.

저항 303은 접지전위 GND와 노드 P 사이에 접속된다.

프리디코드 신호 XS_k 및 메모리 어레이 선택 신호 X_1에 관계 없이 휴즈 301이 끊어지므로서 승압 디코드

신호 RX_{ik}는 L 레벨로 고정된다. 그러므로, L 레벨로 고정된 승압 디코드 신호 RX_{ik}에 속한 서브 메모리 어레이의 워드선은 활성화 되지 않는다.

더 이상 사용되지 않는 서브 메모리 어레이는 스페어 서브 메모리 어레이와 치환된다.

본 실시예에 있어서, 메모리 어레이는 서브 메모리 어레이로 나누어지고, 스페어 메모리 어레이는 스페어 서브 메모리 어레이로 나누어진다. 그러므로, 치환 효율과 칩 면적에 대하여 제14도의 제9실시예와 제16도의 제10실시예에서는 동일한 효과가 얻어진다.

나아가서, 제10도에서 나타낸 제7실시예에 따른 워드 드라이버가 워드 드라이버로서 사용되기 때문에, 로우 디코더 회로 규모의 축소화 및 지연될 필요가 없는 승압 디코드 신호 RX_{ik}로 인하여 고속 액세스가 가능해진다.

제20도는 본 발명의 제13실시에에 따른 반도체 기억 장치를 개략적으로 나타낸 블록도이다.

다음에, 제18도의 제12실시예와 다른 구성 요소만을 설명한다.

휴즈는 제19도에서 나타낸 세그먼트 승압신호선 SL_{ik}(i=0, 1, 2, ... 31, k=0, 1, 2, 3)에 각각 설비된다.

구체적으로, 휴즈 305는 세그먼트 승압 신호선 SL_0에 설비되고, 휴즈 307는 세그먼트 승압 신호선 SL_1에 설비되고, 휴즈 309는 세그먼트 승압 신호선 SL_2에 설비되고, 휴즈 311는 세그먼트 승압 신호선 SL_3에 설비된다.

휴즈 305, 307, 309 및 311은 제19도의 휴즈와 동일한 기능을 수행한다.

게다가, 승압 디코드 신호 RX_{ik}를 발생하는 회로는 제11도에서 나타낸 회로와 같이 간단해진다. 그러므로, 회로구조는 더욱 간단해진다.

제13도의 제13실시예의 워드 드라이버는 제18도 및 제20도의 반도체 기억장치에 응용된다.

이러한 경우에 있어서, 스페어 메모리 및 로우 디코드의 칩 면적의 감소, 치환 효율 및 액세스비의 향상, 플로팅 억제 및 소비전류의 감소와 같은 효과를 얻을 수 있다.

본 발명이 상세히 설명하고 도해 하였으나, 이는 단지 도해와 예로서 명백해지는 것이지 그것에 제한을 두려는 것은 아니다. 본 발명의 취지와 범위는 단지 첨부된 청구항에 의해서 제한된다.

(57) 청구의 범위

청구항 1

복수의 워드선(WL_0-WL_{255})에 접속된 복수의 메모리 셀(MC)을 갖는 메모리 어레이(MA_0)와, 전원 전위(Vcc)보다 큰 승압 전위(Vpp)가 공급된 글로벌 승압선(GL)과, 상기 메모리 어레이(MA_0)에 대응하여 설비된 세그먼트 승압선(SL_0)과, 상기 복수의 워드선(WL_0-WL_{255})의 어느것을 선택하기 위한 워드선 선택 수단과; 상기 워드선 선택 수단(RD_0)의 출력에 응답하여 상기 세그먼트 승압선(SL_0)의 전위를 상기 복수의 워드선(WL_0-WL_{255})중 선택된 워드선에 전송하여 활성화하는 워드선 활성화 수단($DRVG_0$)과, 상기 세그먼트 승압선(SL_0)과 상기 글로벌 승압선(GL)사이에 접속되어 상기 세그먼트 승압선(SL_0)을 상기 글로벌 승압선(GL)과의 전기적 접속을 선택하는 제1스위칭 수단 및 상기 세그먼트 승압선의 전위를 접지전위와 상기 글로벌 승압선(GL)에 공급된 승압전위(Vpp) 사이의 전위로 유지하기 위한 전위 유지 수단(7, 8, 17, 18, 19, 220, Vcc)을 포함하는 반도체 기억 장치.

청구항 2

제1항에 있어서, 상기 글로벌 승압선에 인가된 승압전위(Vpp)의 전위 레벨을 검출하기 위한 검출 수단(21)을 더욱 포함하고, 상기 전위 유지 수단(7, 8, 17,18, 19, 220, Vcc)은 상기 제1스위칭 수단에 병렬로 접속된 저항 수단(7) 및 상기 저항 수단(7)과 직렬로 접속되어 상기 검출 수단(21)의 검출 출력에 따라 상기 저항수단(7)을 경유하여 상기 세그먼트 승압선과 상기 글로벌 승압선과의 전기적 접속을 선택하는 제2스위칭 수단(19)을 포함하는 반도체 기억 장치

청구항 3

제2항에 있어서, 상기 전위 유지 수단(7, 8, 17,18, 19, 220, Vcc)은 상기 글로벌 승압 신호선(GL)에 인가된 승압 전위(Vpp)와 접지 전위 사이의 전위가 공급된 노드(Vcc), 및 상기 노드(Vcc)와 상기 세그먼트 승압선(SL_0) 사이에 접속된 아이오드 수단(17)을 포함하는 반도체 기억 장치.

청구항 4

제3항에 있어서, 상기 전위 유지 수단(7, 8, 17,18, 19, 220, Vcc)은은 상기 다이오드 수단(7)에 직렬로 접속된 휴즈 수단(18)을 포함하는 반도체 기억 장치.

청구항 5

복수의 워드선(WL_0-WL_{255})에 접속된 복수의 메모리 셀(MC)을 갖는 메모리 어레이(MA_0)와, 전원 전위(Vcc)보다 큰 승압 전위(Vpp)가 공급된 글로벌 승압선(GL)과, 상기 메모리 어레이(MA_0)에 대응하여 설비된 세그먼트 승압선(SL_0)과, 상기 복수의 워드선(WL_0-WL_{255})의 어느것을 선택하기 위한 로우 디코더(RD_0)와, 상기 세그먼트 승압선(SL_0)과, 상기 복수의 워드선(WL_0-WL_{255})의 각각에 접속된 복수의 워드 드라이버(DRV_0-

DRV_{255})와, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각은 상기 세그먼트 승압선(SL_0)과, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 대응하는 워드선(WL_0-WL_{255})의 사이에 접속되고 상기 로우 디코더(RD_0)의 출력이 인가된 제어 전극을 갖는 제1전도형 트랜지스터(5)와, 상기 대응하는 워드선(WL_0-WL_{255})에 접속된 제1전극과 접지 전위가 인가된 제2전극 및 상기 로우 디코더(RD_0)의 출력이 인가된 제어 전극을 갖는 제2전도형 트랜지스터(4)를 포함하고, 상기 세그먼트 승압선(SL_0)와 상기 승압선(GL) 사이에 접속되어 스위칭 트랜지스터의 제어 전극에 인가된 제어신호에 따라 on/off 되는 스위칭 트랜지스터(6)와, 상기 스위칭 트랜지스터(6)의 제어 전극에 인가된 제어신호를 발생하기 위한 제어신호 발생 수단(101, 11, 12, 23, 24) 및 상기 세그먼트 승압선(SL_0)의 전위를 접지전위와 상기 글로벌 승압선(GL)에 인가된 상기 승압 전위(Vpp)간의 전위로 유지하기 위한 전위 유지 수단(7, 8, 17, 18, 19, 220, Vcc)을 포함하는 반도체 기억 장치.

청구항 6

제5항에 있어서, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제1전도형 트랜지스터(5)는 상기 로우 디코더(RD_0)의 출력이 공급된 게이트 전극을 갖는 제1 p채널 MOS 트랜지스터(8)를 포함하고, 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제2전도형 트랜지스터(4)는 상기 로우 디코더(RD_0)의 출력이 공급된 게이트 전극을 갖는 n채널 MOS 트랜지스터를 포함하고, 상기 스위칭 트랜지스터(6)은 상기 제어신호 발생수단(101, 111, 12, 13, 23, 24)에 의해 발생된 제어신호가 공급된 게이트 전극을 갖는 제2 p채널 MOS 트랜지스터(6)를 포함하고, 상기 전위 유지 수단(7, 8, 17, 18, 19, 220, Vcc)은 저항(7) 및 휴즈(8, 220)을 포함하고 상기 글로벌 승압선(GL)과 상기 세그먼트 승압선(SL_0) 사이에 접속된 직렬체(223)을 포함하는 반도체 기억 장치.

청구항 7

제6항에 있어서, 상기 직렬체(223)의 상기 휴즈(8,221)는 상기 제2 p채널 MOS 트랜지스터(6)에 병렬로 접속된 휴즈(8)를 포함하는 반도체 기억 장치.

청구항 8

제6항에 있어서, 상기 상기 직렬체(223)의 상기 휴즈(8,221)는 상기 제2 p채널 MOS 트랜지스터(6)에 직렬로 접속된 휴즈(8)를 포함하는 반도체 기억 장치.

청구항 9

제5항에 있어서, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제1전도형 트랜지스터(5)는 상기 로우 디코더(RD_0)의 출력이 공급된 게이트 전극을 갖는 제1 p채널 MOS 트랜지스터(5)를 포함하고, 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제2전도형 트랜지스터(4)는 상기 로우 디코더(RD_0)의 출력이 공급된 게이트 전극을 갖는 n채널 MOS 트랜지스터(4)를 포함하고, 상기 스위칭 트랜지스터(6)은 상기 제어신호 발생수단(101, 111, 12, 13, 23, 24)에 의해 발생된 제어신호가 공급된 게이트 전극을 갖는 제2 p채널 MOS 트랜지스터(6)를 포함하고, 상기 전위 유지 수단(7, 8, 17, 18, 19, 220, Vcc)는 전원 전위(Vcc)가 공급된 전원 전위 노드(Vcc) 및 다이오드 소자(17)와 휴즈(18,220)로 구성되어 상기 전원 전위 노드(Vcc)와 상기 세그먼트 승압선 (SL_0) 사이에 접속된 직렬체(225)을 포함하는 반도체 기억 장치.

청구항 10

제9항에 있어서, 상기 직렬체(223)의 상기 휴즈(8,220)는 한쪽끝은 상기 다이오드 소자(17) 및 상기 제2 p채널 MOS 트랜지스터(6) 및 상기 세그먼트 승압선 (SL_0)에 접속된 휴즈(18)를 포함하는 반도체 기억 장치.

청구항 11

제9항에 있어서, 상기 직렬체(225)의 상기 휴즈(18, 220)는 한쪽끝은 상기 다이오드 소자(17) 및 상기 제2 p채널 MOS 트랜지스터(6)에 접속되고 다른쪽 끝은 상기 세그먼트 승압선 (SL_0)에 접속된 휴즈(18)를 포함하는 반도체 기억 장치.

청구항 12

제5항에 있어서, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제1전도형 트랜지스터(5)는 상기 로우 디코더(RD_0)의 출력이 공급된 게이트 전극을 갖는 제1 p채널 MOS 트랜지스터(5)를 포함하고, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제2전도형 트랜지스터(4)는 상기 로우 디코더(RD_0)의 출력이 인가된 게이트 전극을 갖는 n채널 MOS 트랜지스터(4)를 포함하고, 상기 스위칭 트랜지스터(6)은 제어신호 발생 수단(101, 111, 12, 13, 23, 24)에 의해 발생된 제어신호가 공급된 게이트 전극을 갖는 제2 p채널 MOS 트랜지스터를 포함하고, 상기 전위 유지 수단 (7, 8, 17,18, 19, 220, Vcc)은 저항(7)및 휴즈(8)로 구성되어 상기 글로벌 승압선(GL)과 상기 세그먼트 승압선(SL_0) 사이에 접속된 제1직렬체(223)와, 전원 전위(Vcc)가 공급된 전원 전위 노드(Vcc) 및 다이오드 소자(17)와 휴즈(18, 220)로 구성되고 상기 전원 전위 노드(Vcc)와 상기 세그먼트 승압선(SL_0) 사이에 접속된 제2직렬체(225)를 포함하는 반도체 기억 장치.

청구항 13

제12항에 있어서, 상기 제2직렬체(225)의 상기 휴즈(18,220)는 한쪽 끝은 상기 다이오드 소자(17)에 접속되고 다른쪽 끝은 상기 제2 p채널 MOS 트랜지스터(6) 및 상기 세그먼트 승압선(SL_0)에 접속된 휴즈(18)를 포함하는 반도체 기억 장치.

청구항 14

제12항에 있어서, 상기 제2직렬체(225)의 상기 휴즈(18,220)는 한쪽 끝은 상기 다이오드 소자(17) 및 상기 제2 p채널 MOS 트랜지스터(6)에 접속되고, 다른쪽 끝은 상기 세그먼트 승압선(SL_0)에 접속된 휴즈(220)를 포함하는 반도체 기억 장치.

청구항 15

제5항에 있어서, 상기 글로벌 승압선(GL)에 인가된 승압전위(Vpp)의 전위레벨을 검출하는 검출회로(21)을 더욱 포함하고, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제1전도형 트랜지스터(5)는 상기 로우 디코더(RD_0)의 출력이 공급된 게이트 전극을 갖는 제1 p채널 MOS 트랜지스터(5)를 포함하고, 상기 복수의 워드 드라이버(DRV_0-DRV_{255})의 각각에 포함된 상기 제2전도형 트랜지스터(4)는 상기 로우 디코더(RD_0)의 출력이 인가된 게이트 전극을 갖는 n채널 MOS 트랜지스터(4)를 포함하고, 상기 스위칭 트랜지스터(6)은 제어신호 발생 수단(101, 111, 12, 13, 23, 24)에 의해 발생된 제어신호가 인가된 게이트 전극을 갖는 제2 p채널 MOS 트랜지스터를 포함하고, 상기 전위 유지 수단 (7, 8, 17,18, 19, 220, Vcc)은 상기 제2 p채널 MOS 트랜지스터(6)에 병렬로 접속된 저항(7)과 상기 저항(7)에 직렬로 접속되고 상기 저항(7)을 경유하여 상기 글로벌 승압선과 상기 세그먼트 승압선 사이에 접속되어 상기 검출회로(21)의 검출된 출력에 따라 제어되는 p채절 MOS 트랜지스터(19)와, 전원 전위(Vcc)가 공급된 전원 전위 노드(Vcc)와, 상기 전원전위노드(Vcc)와 상기 세그먼트 승압선(SL_0) 사이에 접속된 다이오드 소자(17) 및 상기 다이오드 소자(17)에 직렬로 접속된 휴즈(18)를 포함하는 반도체 기억장치.

청구항 16

워드선(WL_0)를 활성화하는 워드선 활성화 수단(DRV_0)를 포함하고, 상기 워드선 활성화 수단(DRV_0)은 제어전극에 로우 디코드 신호(ZWD)가 인가되고 제1전극에 승압 디코드 신호(RX_{ik})가 인가된 제1전도형 트랜지스터(261) 및 상기 제1전도형 트랜지스터(261)에 직렬로 접속되고, 제어전극에 상기 로우 디코드 신호(ZWD)와 동일한 로우 디코드 신호(ZWD)가 공급된 제2전도형 트랜지스터(271)를 포함하는 반도체 기억 장치.

청구항 17

제16항에 있어서, 상기 워드선 활성화 수단(DRV_0)은 상기 제2전도형 트랜지스터(271)에 병렬로 접속되고, 제어전극에 상기 승압 디코드 신호(RX_{ik})의 반전 신호(ZRX_{ik})가 공급된 제2전도형 트랜지스터(36)을 포함하는 반도체 기억 장치.

청구항 18

워드선(WL_0)를 활성화하는 워드드라이버(DRV_0)를 포함하고, 상기 워드 드라이버(DRV_0)는 게이트 전극에 로우 디코드 신호(ZWD)가 인가되고 소오스 전극에 승압 디코드 신호(RX_{ik})가 공급된 p채널 MOS 트랜지스터(261) 및 상기 p채널 MOS 트랜지스터(261)에 직렬로 접속되고, 게이트 전극에 상기 로우 디코드 신호(ZWD)와 동일한 로우 디코드 신호(ZWD)가 공급된 n채널 MOS 트랜지스터(271)을 포함하는 반도체 기억 장치.

청구항 19

제18항에 있어서, 상기 워드 드라이버(DRV_0)는 상기 n채널 MOS 트랜지스터(271)에 병렬로 접속되고, 게이트 전극에 상기 승압 디코드 신호(RX_{ik})의 반전 신호(ZRX_{ik})가 인가된 제2 n채널 MOS 트랜지스터(36)를 포함하는 반도체 기억 장치.

청구항 20

복수의 워드선(WL_0-WL_{255})에 접속된 복수의 메모리 셀(MC)를 갖는 메모리어레이(MA_0)와, 상기 메모리어레이(MA_0)는 복수의 서브 메모리 어레이($SBMA_0$-$SBMA_3$)를 포함하고, 상기 복수의 서브 메모리 어레이의 각각은 소정수의 상기 복수의 워드선을 포함하고, 각 서브 메모리 어레이($SBMA_0$-$SBMA_3$)에 대응하여 설비되고 전원 전위(Vcc)보다 높은 승압 전위(Vpp)가 선택적으로 인가된 복수의 세그먼트 승압선(SL_0-SL_3)과, 상기 복수의 워드선(WL_0-WL_{255})의 어느것을 선택하기 위한 워드선 선택 수단(RD_0) 및 상기 워드선 선택 수단(RD_0)의 출력에 응답하여 상기 승압 전위(Vpp)가 선택적으로 인가된 세그먼트 승압선의 전위를 각 서브 메모리 어레이 내에 포함된 상기 소정 수의 워드선의 어느것에 전송하여 활성화 시키는 워드선 활성화 수단($DRVG_0$)을 포함하는 반도체 기억 장치.

청구항 21

제20항에 있어서, 전원 전위(Vcc)보다 높은 승압전위(Vpp)가 공급된 글로벌 승압선(GL) 및 상기 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 글로버 승압선(GL)사이에 접속되어 각각의 상기 세그먼트 승압선(SL_0-

SL_3)과 상기 글로벌 승압선(GL)과의 전기적 접속을 선택하는 복수의 tm위칭 수단(42, 43, 44, 45)를 더욱 포함하는 반도체 기억 장치.

청구항 22

제20항에 있어서, 상기 복수의 세그먼트 승압선(SL_0-SL_3)에 승압전위(Vpp)를 선택적으로 공급하기 위하여 승압 디코드 신호(RX_0-RX_3)를 발생하는 승압 디코드 신호 발생 수단(30, 31, 32)를 더욱 포함하는 반도체 기억 장치.

청구항 23

제20항에 있어서, 복수의 스페어 워드선에 접속된 복수의 메모리 셀을 갖는 스페어 메모리 어레이(SMA)와, 상기 스페어 메모리 어레이(SMA)는 소정수의 상기 복수의 스페어 워드선을 포함하는 상기 스페어 서브 메모리 어레이($SSBMA_0$)를 포함하고, 상기 스페어 서브 메모리 어레이($SSBMA_0$)로 치환된 각 서브 메모리어레이($SBMA_0$-$SBMA_3$)에 대응하는 각 세그먼트 승압선(SL_0-SL_3)에 인가될 승압전위(Vpp)가 공급된 상기 스페어 서브 메모리 어레이($SSBMA_0$)에 대응하여 제공된 스페어 세그먼트 승압선(SSL_0)와, 상기 복수의 스페어 워드선의 어느것을 선택하기 위한 스페어 워드선 선택수단(SRD)과, 상기 스페어 워드선 선택수단(SRD)의 출력에 응답하여 상기 스페어 서브 메모리 어레이($SSBMA_0$)에 포함된 상기 소정 수의 스페어 워드선의 어느것에 상기 스페어 세그먼트 승압선(SSL_0)의 전위를 공급하여 활성화 하기 위한 스페어 워드선 활성화 수단(SDRVG) 및 상기 스페어 서브 메모리 어레이($SSBMA_0$)로 치환된 상기 각 세그먼트 승압선($SBMA_0$-$SBMA_3$)에 대응하는 각 세그먼트 승압선(SL_0-SL_3)에 상기 승압 전위의(Vpp)의 제공을 억제하는 억제수단(49, 57, 58, 59, 60, 301, 305, 307, 309, 311)을 더욱 포함하는 반도체 기억 장치.

청구항 24

제23항에 있어서, 상기 전원 전위(Vcc)보다 높은 승압전위(Vpp)가 공급된 글로벌 승압선(GL)과, 상기 각 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선(GL) 사이에 접속되어 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선(GL)과의 전기적 접속을 선택하는 복수의 제1 스위칭 수단(42, 43, 44, 45) 및 상기 스페어 세그먼트 승압선(SSL_{S0})과 상기 글로벌 승압선(GL)사이에 접속되어 상기 스페어 세그먼트 승압선(SSL_{S0})과 상기 글로벌 승압선(GL)과의 전기적 접속을 선택하는 제2 스위칭 수단(53)을 더욱 포함하고, 상기 저지 수단(49, 57, 58, 59, 60, 301, 305, 307, 309, 311)은 상기 복수의 제1 스위칭 수단(42, 43, 44, 45)에 대응하여 설비되고, 상기 스페어 서브 메모리 어레이($SBMA_0$)로 치환된 상기 각 서브 메모리 어레이($SBMA_0$-$SBMA_3$)에 대응하는 각 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선(GL)이 비도통 상태로 되게하기 위한 상기 복수의 휴즈 수단(49, 57, 58, 59, 60)을 포함하는 반도체 기억 장치.

청구항 25

제24항에 있어서, 상기 복수의 휴즈 수단(49, 57, 58, 59, 60)의 각각은 각각의 상기 복수의 제1 스위칭 수단(42, 43, 44, 45)을 off 시키기 위한 휴즈(49)를 포함하는 반도체 기억 장치.

청구항 26

제24항에 있어서, 각 상기 복수의 휴즈 수단(49, 57, 58, 59, 60)은 각각의 상기 복수의 제1 스위칭 수단(42, 43, 44, 45)에 직렬로 접속된 휴즈(57, 58, 59, 60)을 포함하는 반도체 기억 장치.

청구항 27

제23항에 있어서, 상기 복수의 세그먼트 승압선(SL_0-SL_3) 및 상기 스페어 세그먼트 승압선(SSL_{S0})에 선택적으로 인가될 승압 디코드 신호(RX_0-RX_3, SRX_0)를 발생하는 승압 디코드 신호 발생 수단(47, 31, 32, 30)을 더욱 포함하고, 상기 저지수단(49, 57, 58, 60, 301, 307, 309, 311)은 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)에 대응하여 설비되고, 상기 스페어 서브 메모리 어레이($SBMA_0$)로 치환된 상기 각각의 서브 메모리 어레이($SBMA_0$-$SBMA_3$)에 대응하는 각각의 세그먼트 승압선(SL_0-SL_3)에 승압 디코드 신호(RX_0-RX_3)가 공급되는 것을 저지하는 복수의 휴즈 수단(301, 305, 307, 309, 311)을 포함하는 반도체 기억 장치.

청구항 28

제27항에 있어서, 상기 복수의 휴즈 수단(301, 305, 307, 309, 311)의 각각은 상기 승압 디코드 신호 발생 수단(47, 31, 30)이 승압 디코드 신호(RX_0-RX_3)를 발생하는 것을 저지하기 위한 휴즈(301)를 포함하는 반도체 기억 장치.

청구항 29

제27항에 있어서, 각각의 상기 복수의 휴즈 수단(301, 305, 307, 309, 311)은 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)상에 설비된 휴즈(305, 307, 309, 311)를 포함하는 반도체 기억 장치.

청구항 30

복수의 워드선(WL_0-WL_{255})에 접속된 복수의 메모리 셀(MC)를 갖는 메모리어레이(MA_0)와, 상기 메모리 어레이(MA_0)는 복수의 서브 메모리 어레이($SBMA_0$-$SBMA_3$)를 포함하고, 상기 복수의 서브 메모리 어레이의 각각

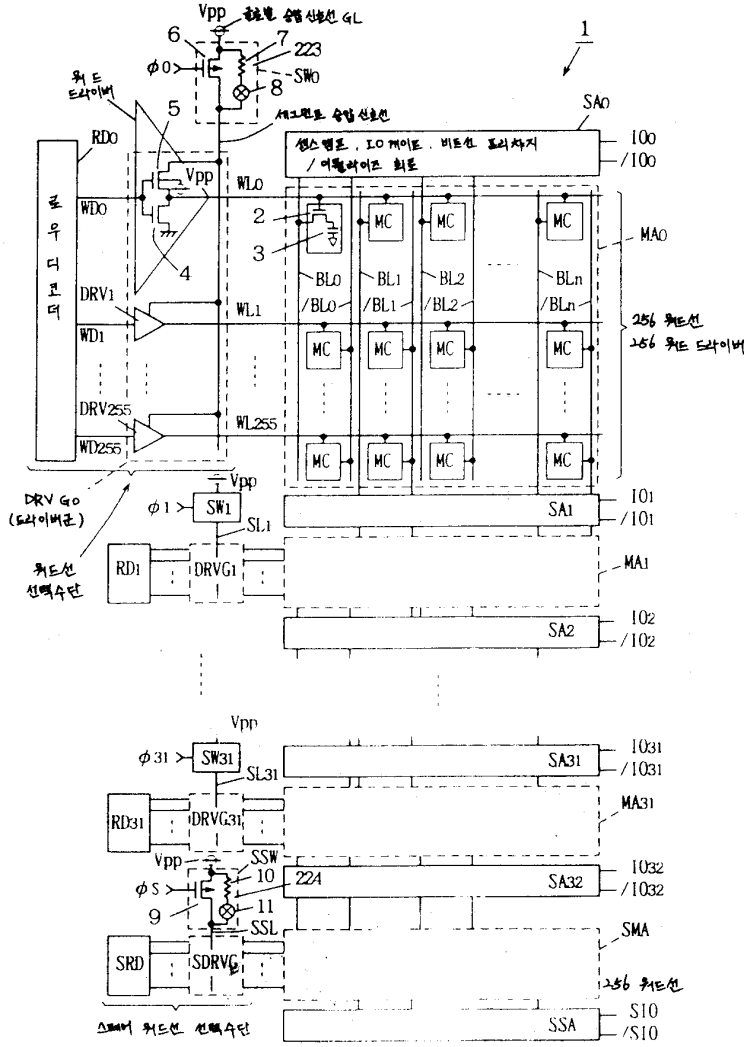
은 상기 복수의 워드선(WL_0-WL_{255})의 소정수의 워드선을 포함하고, 복수의 스페어 워드선에 접속된 복수의 스페어 메모리 셀을 갖는 스페어 메모리 어레이(SMA)와, 상기 스페어 메모리 어레이(SMA)는 스페어 서브 메모리 어레이($SBMA_0$)를 포함하고, 상기 스페어 서브 메모리 어레이는 상기 복수의 워드선의 소정수를 포함하고, 전원 전위(Vcc)보다 높은 승압 전위(Vpp)가 인가된 글로벌 승압선(GL)과, 상기 복수의 서브 메모리 어레이($SBMA_0$-$SBMA_3$)의 각각의 대응하여 설비된 복수의 세그먼트 승압선(SL_0-SL_3)과, 상기 스페어 서브 메모리 어레이($SBMA_0$)에 대응하여 설비된 스페어 세그먼트 승압선(SSL_{S0})과, 복수의 워드선(WL_0-WL_{255})의 어느것을 선택하기 위한 로우 디코더(RD_0)와, 복수의 스페어 워드선의 어느것을 선택하기 위한 스페어 로우 디코더(SRD)와, 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선 사이에 각각 접속되어 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선과의 전기적 접속을 선택하는 복수의 제1 스위칭 트랜지스터(42,43,44,45)와, 상기 스페어 세그먼트 승압선(SSL_{S0})과 상기 글로벌 승압선 사이에 각각 접속되어 상기 스페어 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선(GL)과의 전기적 접속을 선택하는 복수의 제2 스위칭 트랜지스터(53)와, 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 복수의 워드선(WL_0-WL_3) 사이에 각각 접속되어 상기 로우 디코더의 출력에 따라 상기 글로벌 승압선(GL)에 접속된 세그먼트 승압선(GL)의 전위를 각 서브 메모리 어레이에 포함된 상기 소정수의 워드선 어느것에 전송하기 위한 복수의 워드 드라이버(DRV_0-DRV_{255})와, 상기 스페어 세그먼트 승압선(SSL_{S0})와 각각의 상기 스페어 워드선 사이에 접속되어 상기 스페어 로우 디코더(SRD)의 출력에 따라 상기 글로벌 승압선(GL)에 접속된 스페어 세그먼트 승압선의 전위를 대응하는 스페어 서브 메모리 어레이($SSBMA_0$)에 포함된 상기 소정수의 스페어 워드선중 임의의 스페어 워드선에 전송하기 위한 복수의 스페어 워드 드라이버(DRV_0-DRV_{53}) 및 각각의 상기 복수의 제1 스위칭 트랜지스터(42, 43, 44, 45)에 대응하여 설비되어 각각의 상기 제1 스위칭 트랜지스터를 항시 off 시키도록 프로그램된 복수의 휴즈(49)를 포함하는 반도체 기억 장치.

청구항 31

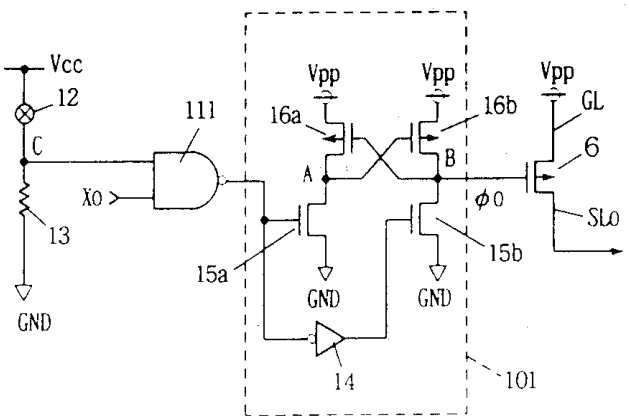
복수의 워드선(WL_0-WL_3)에 접속된 복수의 메모리 셀(MC)를 갖는 메모리어레이(MA_0)와, 상기 메모리 어레이(MA_0)는 복수의 서브 메모리 어레이($SBMA_0$-$SBMA_3$)를 포함하고, 상기 복수의 서브 메모리 어레이의 각각은 상기 복수의 워드선(WL_0-WL_3)의 소정수의 워드선을 포함하고, 복수의 스페어 워드선에 접속된 복수의 스페어 메모리 셀을 갖는 스페어 메모리 어레이(SMA)와, 상기 스페어 메모리 어레이(SMA)는 스페어 서브 메모리 어레이($SSBMA_0$)를 포함하고, 상기 스페어 서브 메모리 어레이는 상기 복수의 워드선의 소정수를 포함하고, 전원 전위(Vcc)보다 높은 승압 전위(Vpp)가 인가된 글로벌 승압선(GL)과, 상기 복수의 서브 메모리 어레이($SBMA_0$-$SBMA_3$)의 각각에 대응하여 설비된 복수의 세그먼트 승압선(SL_0-SL_3)과, 상기 스페어 서브 메모리 어레이($SSBMA_0$)에 대응하여 설비된 스페어 세그먼트 승압선(SSL_{S0})과, 복수의 워드선(WL_0-WL_3)중 임의의 워드선을 선택하기 위한 로우 디코더(RD $_0$)와, 복수의 스페어 워드선의 어느것을 선택하기 위한 스페어 로우 디코더(SRD)와, 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선 사이에 각각 접속되어 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선과의 전기적 접속을 선택하는 복수의 제1 스위칭 트랜지스터(42, 43, 44, 45)와, 상기 스페어 세그먼트 승압선($SSLS_0$)과 상기 글로벌 승압선 사이에 각각 접속되고, 상기 스페어 세그먼트 승압선(SL_0-SL_3)과 상기 글로벌 승압선(GL)과의 전기적 접속을 선택하는 복수의 제2 스위칭 트랜지스터(53)와, 각각의 상기 세그먼트 승압선(SL_0-SL_3)과 상기 복수의 워드선(WL_0-WL_3) 사이에 각각 접속되어 상기 로우 디코더의 출력에 따라 상기 글로벌 승압선(GL)에 접속된 세그먼트 승압선(GL)의 전위를 각기 대응하는 서브 메모리 어레이에 포함된 상기 소정수의 워드선 어느것에 전송하기 위한 복수의 워드 드라이버(DRV_0-DRV_{255})와, 상기 스페어 세그먼트 승압선(SSL_{S0})와 각각의 상기 스페어 워드선 사이에 접속되어 상기 스페어 로우 디코더(SRD)의 출력에 따라 상기 글로벌 승압선(GL)에 접속된 스페어 세그먼트 승압선의 전위를 대응하는 스페어 서브 메모리 어레이(SSBMA0)에 포함된 상기 소정수의 스페어 워드선에 전송하기 위한 복수의 스페어 워드 드라이버(DRV_0-DRV_{53}) 및 상기 글로벌 승압선(GL)과 각각의 상기 복수의 세그먼트 승압선(SL_0-SL_3)사이에 접속되고, 상기 복수의 스위칭 트랜지스터(42, 43, 44, 45)에 직렬로 접속된 복수의 휴즈(57, 58, 59, 60)를 포함하는 반도체 기억 장치.

도면

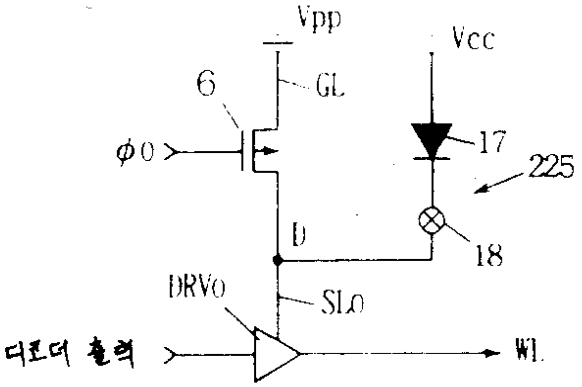
도면1


Vpp
6
7
223
SW0
8
1
SA0
RD0
WD0
WL0
2
3
4
MC
MA0
BL0
/BL0
BL1
/BL1
BL2
/BL2
BLn
/BLn
DRV1
WD1
WL1
DRV255
WD255
WL255
SW1
SL1
SA1
RD1
DRVG1
MA1
SA2
SW31
SL31
SA31
RD31
DRVG31
MA31
SSW
10
224
SA32
9
11
SSL
SMA
SRD
SDRVG
SSA
S10
/S10

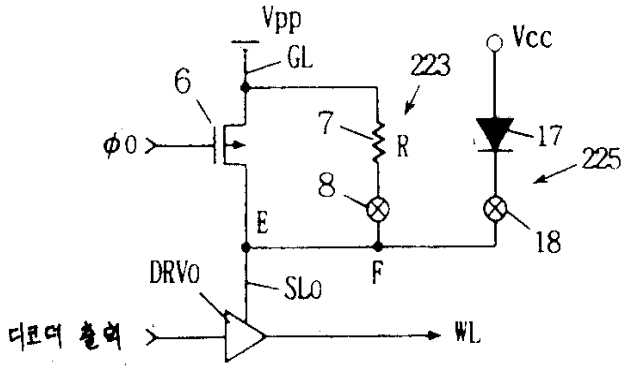
도면2


Vcc
12
C
111
X0
13
GND
Vpp
16a
16b
A
B
15a
15b
GND
GND
14
101
GL
6
SL0

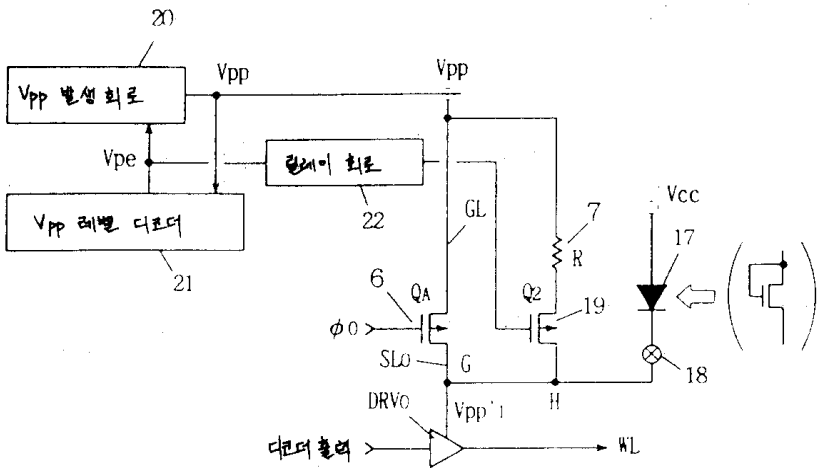
도면3


Vpp
Vcc
6
GL
17
225
ϕ0
D
18
DRV0
SL0
디코더 출력
WL

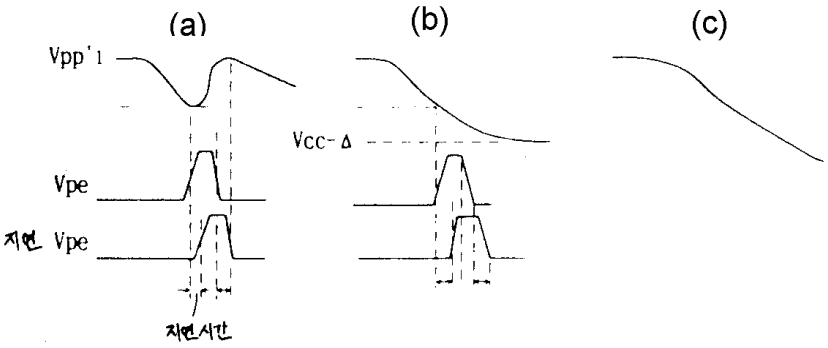
도면4


Vpp
GL
223
Vcc
6
7
R
17
225
ϕ0
8
E
18
F
DRV0
SL0
디코더 출력
WL

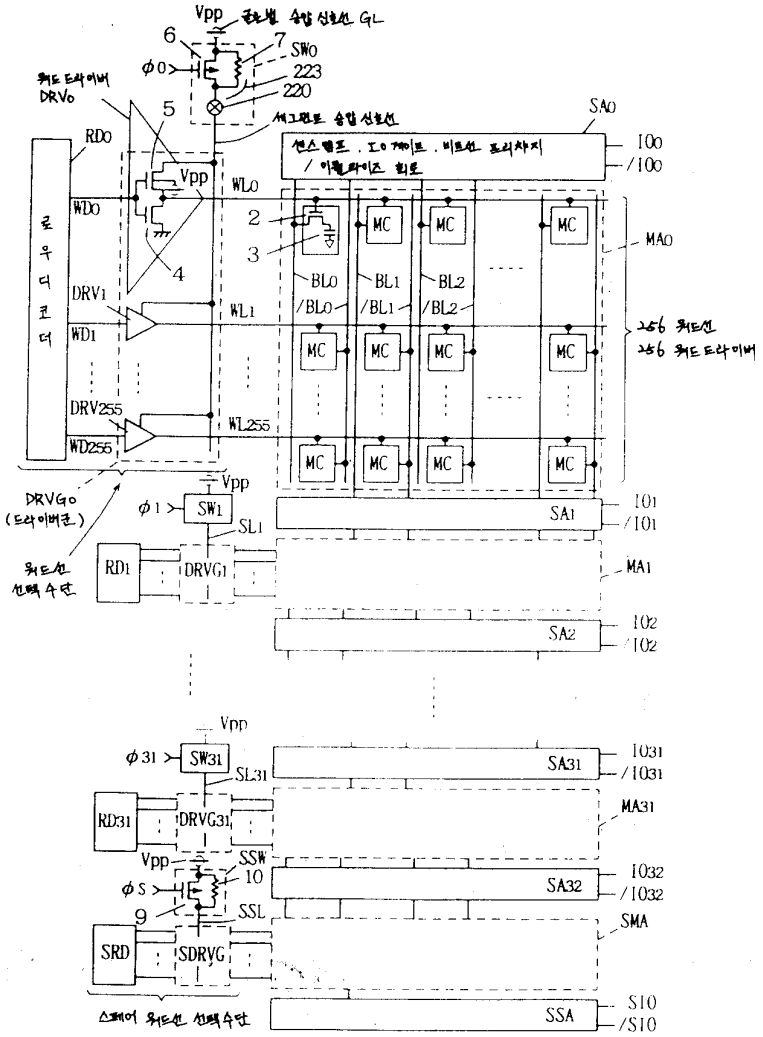
도면5


20
Vpp 발생 회로
Vpp
Vpp
Vpe
레벨 시프터 회로
22
Vpp 레벨 디코더
21
GL
7
R
Vcc
17
6
QA
Q2
19
ϕ0
SL0
G
18
DRV0
Vpp
H
디코더 출력
WL

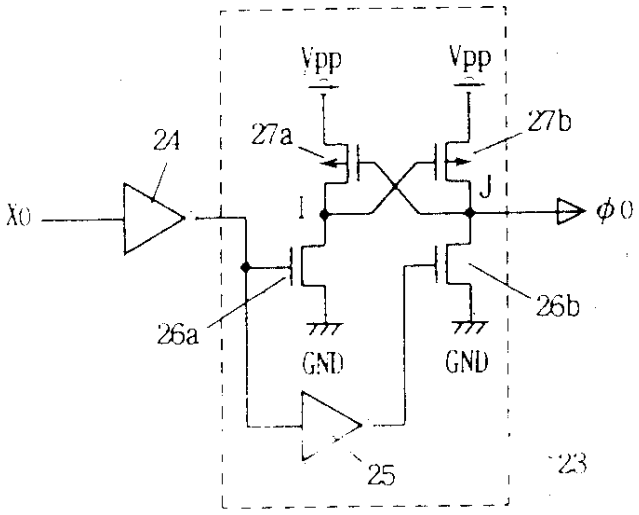
도면6


(a)
(b)
(c)
Vpp'1
Vcc-Δ
Vpe
지연 Vpe
지연시간

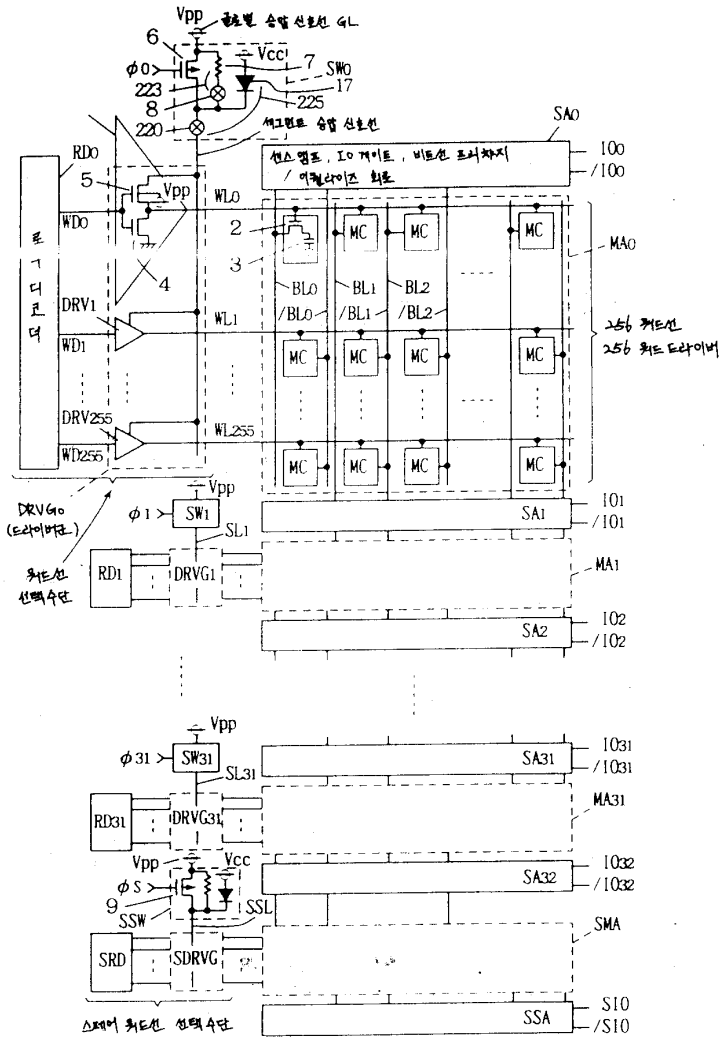
도면7


Vpp
6
7
SW0
φ0
223
220
5
RD0
SA0
I00
/I00
WD0
WL0
2
3
4
MC
MA0
BL0
/BL0
BL1
/BL1
BL2
/BL2
DRV1
WL1
WD1
DRV255
WL255
WD255
DRVG0
SW1
φ1
SL1
SA1
I01
/I01
RD1
DRVG1
MA1
SA2
I02
/I02
SW31
φ31
SL31
SA31
I031
/I031
RD31
DRVG31
MA31
SSW
10
φS
9
SSL
SA32
I032
/I032
SMA
SRD
SDRVG
SSA
S10
/S10

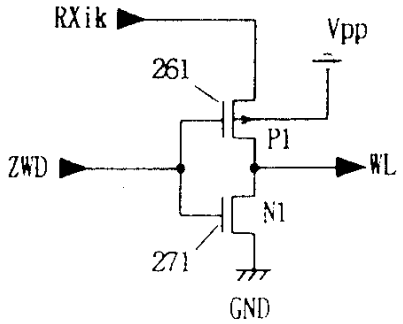
도면8



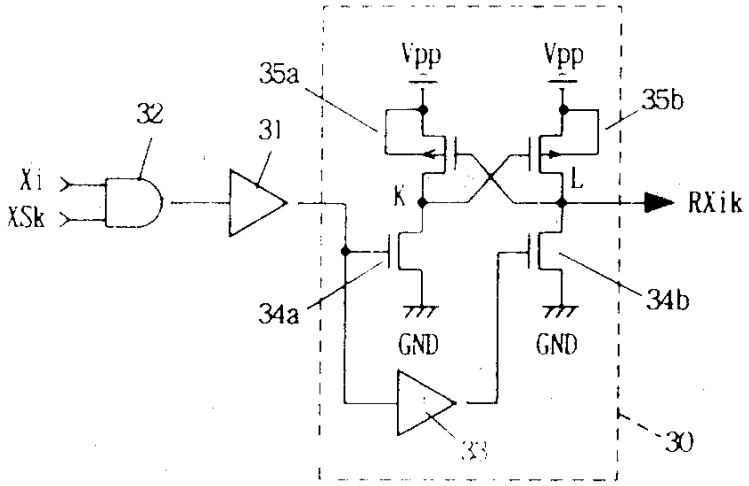
도면9


Vpp
Vcc
SW0
SA0
RD0
WD0
WL0
DRV1
WD1
WL1
DRV255
WD255
WL255
로우 디코더
BL0
/BL0
BL1
/BL1
BL2
/BL2
MC
MA0
256 워드선
256 워드 드라이버
SW1
SL1
RD1
DRVG1
SA1
MA1
SA2
SW31
SL31
RD31
DRVG31
SA31
MA31
SA32
SSW
SSL
SRD
SDRVG
SMA
SSA
스페어 워드선 선택수단

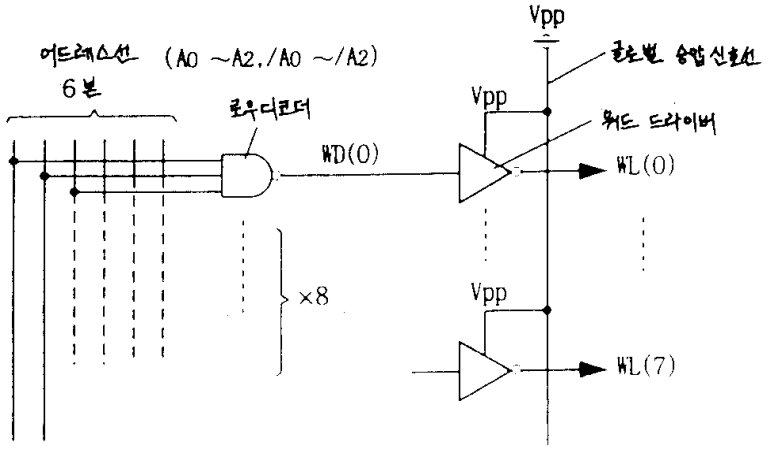
도면10


RXik
Vpp
261
P1
ZWD
WL
N1
271
GND

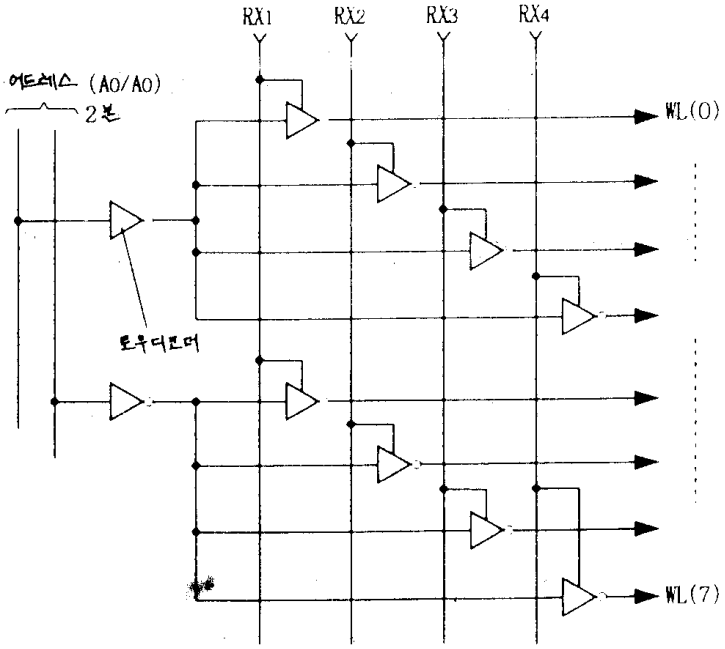
도면11


Vpp
Vpp
35a
35b
32
31
Xi
XSk
K
L
RXik
34a
34b
GND
GND
33
30

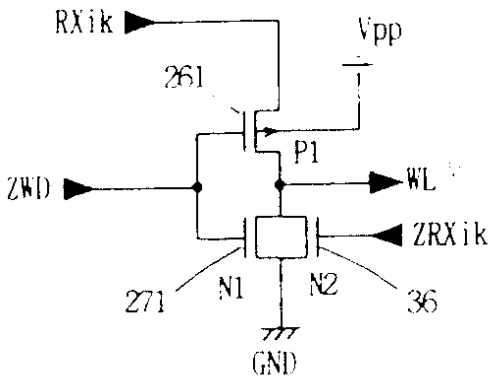
도면12a


Vpp
어드레스선 (A0 ~A2,/A0 ~/A2)
6본
로우디코더
Vpp
워드 드라이버
WD(0)
WL(0)
×8
Vpp
WL(7)

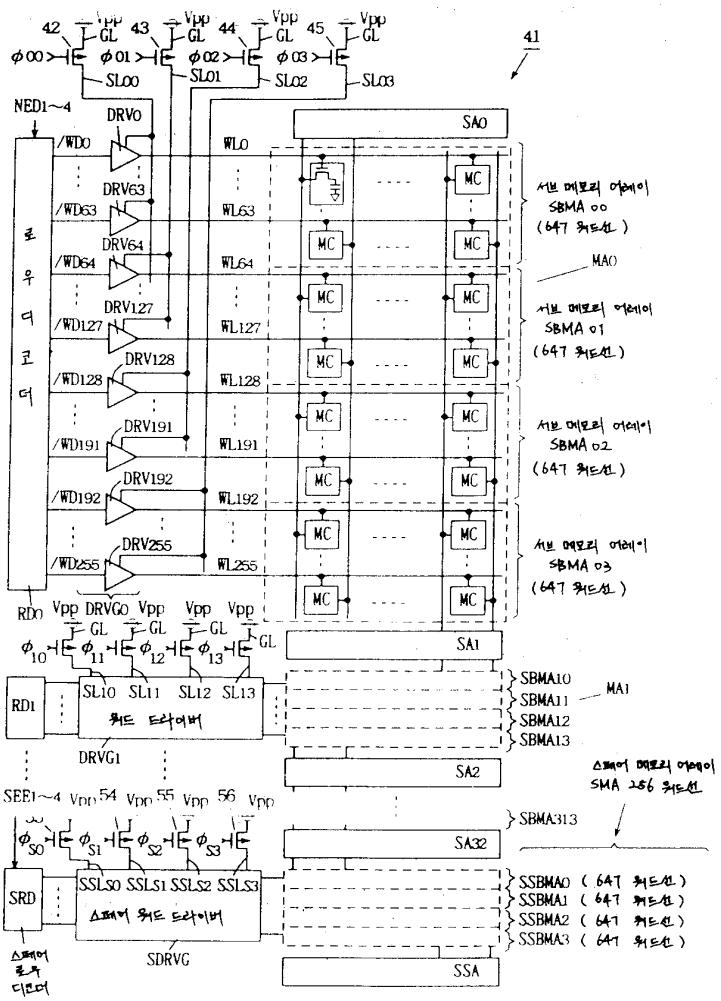
도면12b


RX1
RX2
RX3
RX4
어드레스 (A0/A0)
2본
로우디코더
WL(0)
WL(7)

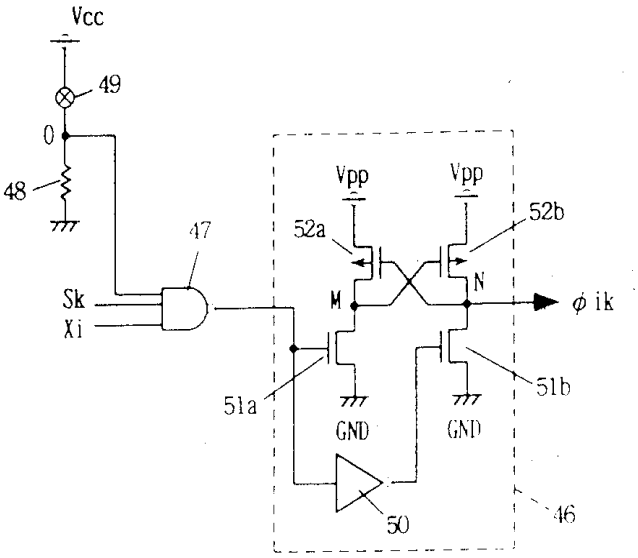
도면13


RXik
Vpp
261
P1
ZWD
WL
ZRXik
271
N1
N2
36
GND

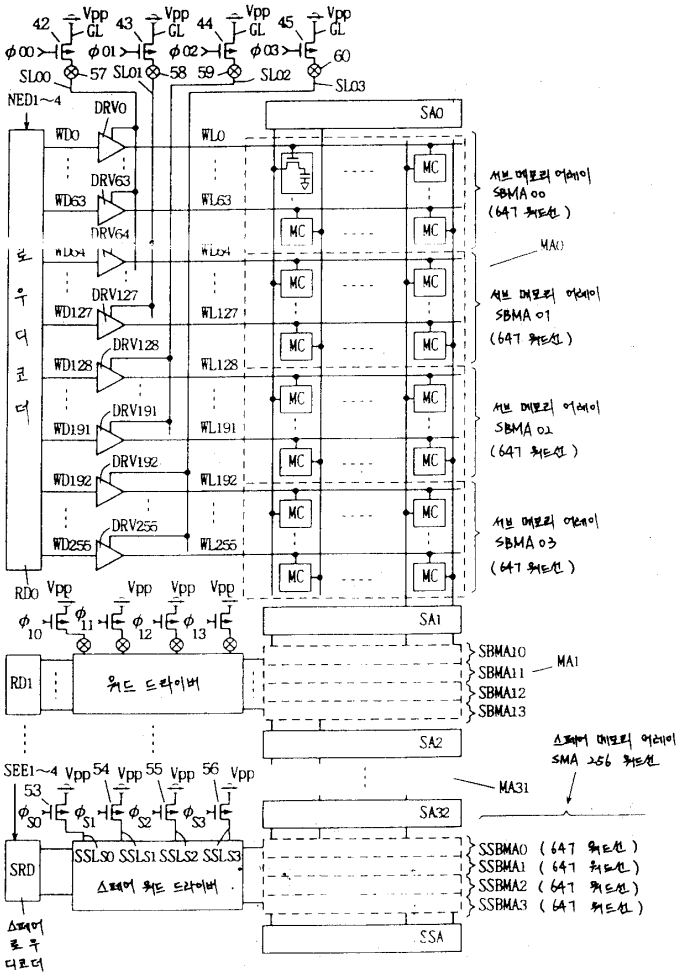
도면14


42
43
44
45
41
Vpp
GL
SL00
SL01
SL02
SL03
NED1~4
DRV0
/WD0
WL0
SA0
DRV63
/WD63
WL63
DRV64
/WD64
WL64
DRV127
/WD127
WL127
DRV128
/WD128
WL128
DRV191
/WD191
WL191
DRV192
/WD192
WL192
DRV255
/WD255
WL255
MC
로우 디코더
서브 메모리 어레이 SBMA 00 (647 워드선)
MA0
서브 메모리 어레이 SBMA 01 (647 워드선)
서브 메모리 어레이 SBMA 02 (647 워드선)
서브 메모리 어레이 SBMA 03 (647 워드선)
RD0
DRVG0
SA1
RD1
SL10 SL11 SL12 SL13
워드 드라이버
DRVG1
SBMA10
SBMA11
SBMA12
SBMA13
MA1
SA2
스페어 메모리 어레이 SMA 256 워드선
SEE1~4
SBMA313
SA32
SRD
SSLS0 SSLS1 SSLS2 SSLS3
스페어 워드 드라이버
SDRVG
SSBMA0 (647 워드선)
SSBMA1 (647 워드선)
SSBMA2 (647 워드선)
SSBMA3 (647 워드선)
스페어 로우 디코더
SSA

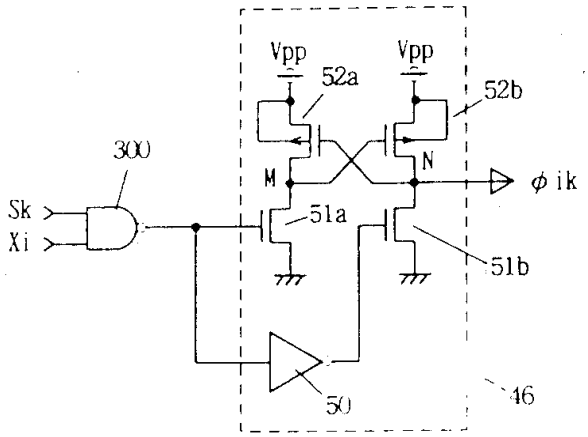
도면15



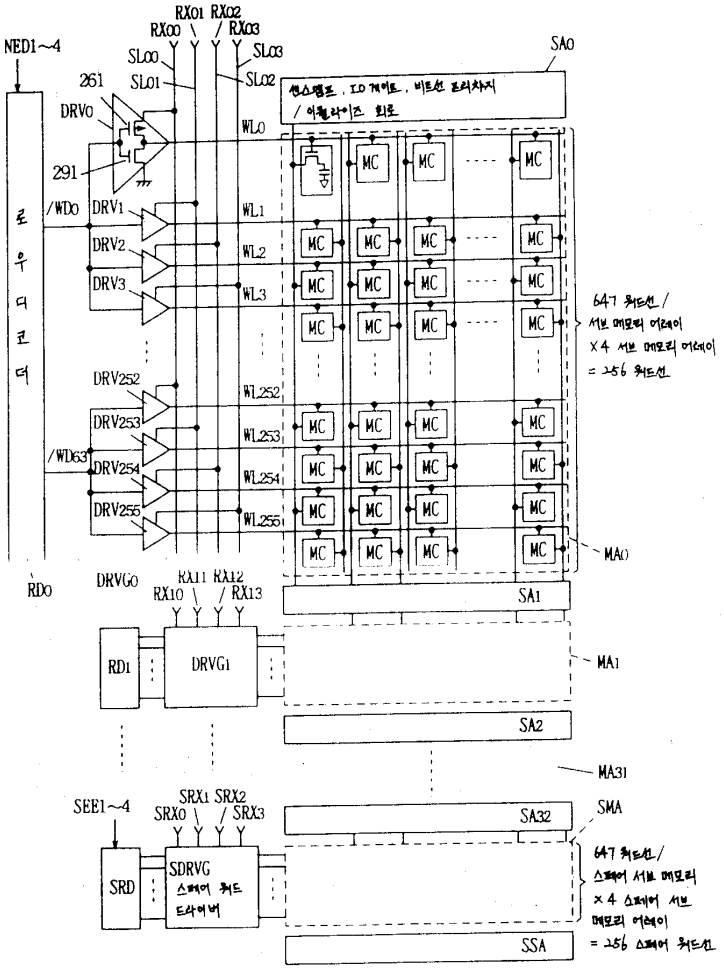
도면16


Vpp
GL
SL00
SL01
SL02
SL03
NED1~4
DRV0
WD0
WL0
DRV63
WD63
WL63
DRV64
WL64
DRV127
WD127
WL127
DRV128
WD128
WL128
DRV191
WD191
WL191
DRV192
WD192
WL192
DRV255
WD256
WL255
MC
SA0
SA1
SA2
SA32
SSA
로우 디코더
RD0
RD1
워드 드라이버
SBMA10
SBMA11
SBMA12
SBMA13
MA1
MA31
SEE1~4
SRD
SSLS0
SSLS1
SSLS2
SSLS3
스페어 워드 드라이버
SSBMA0 (64T 워드선)
SSBMA1 (64T 워드선)
SSBMA2 (64T 워드선)
SSBMA3 (64T 워드선)
스페어 로우 디코더

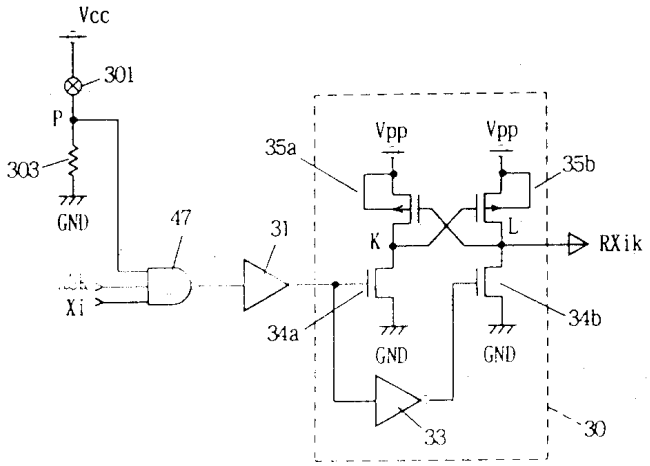
도면17


Vpp
52a
52b
300
M
N
Sk
Xi
51a
51b
50
46

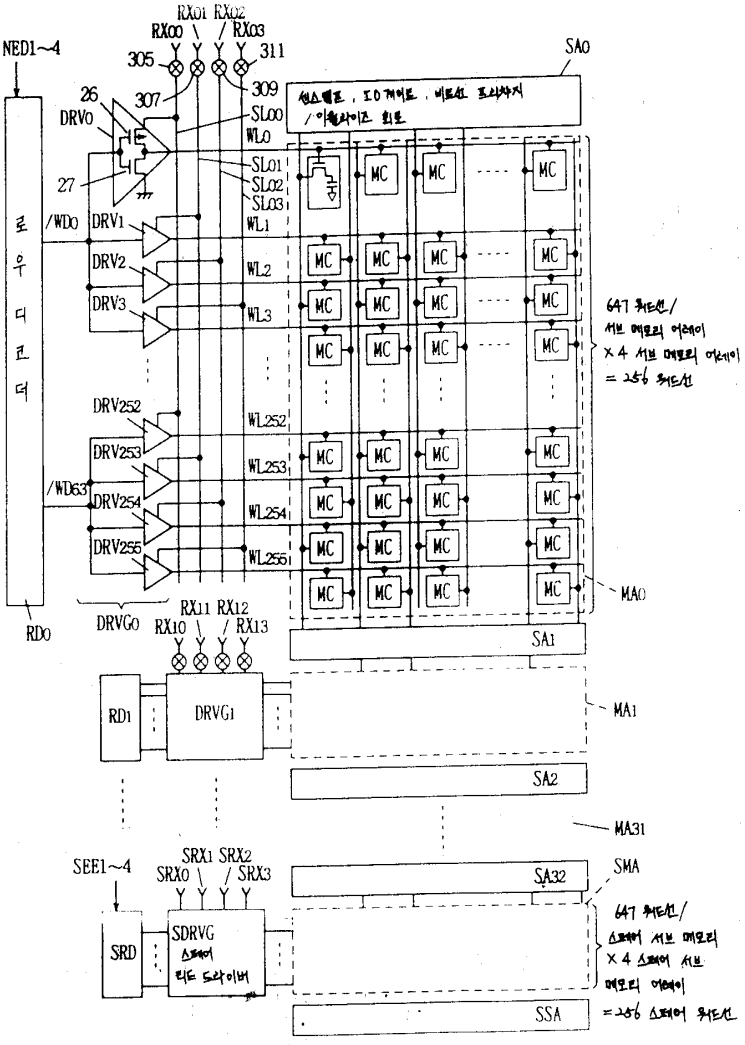
도면18


RX01 RX02
RX00 RX03
NED1~4
SL00
SL03
SA0
261
SL01
SL02
DRV0
WL0
291
/WD0
DRV1
WL1
DRV2
WL2
DRV3
WL3
로우디코더
DRV252
WL252
DRV253
WL253
/WD63
DRV254
WL254
DRV255
WL255
MC
647 워드선 /
서브 메모리 어레이
×4 서브 메모리 어레이
= 256 워드선
MA0
RD0
DRVG0
RX11 RX12
RX10 RX13
SA1
RD1
DRVG1
MA1
SA2
MA31
SEE1~4
SRX1 SRX2
SRX0 SRX3
SA32
SMA
SRD
SDRVG
스페어 워드
드라이버
647 워드선 /
스페어 서브 메모리
×4 스페어 서브
메모리 어레이
= 256 스페어 워드선
SSA

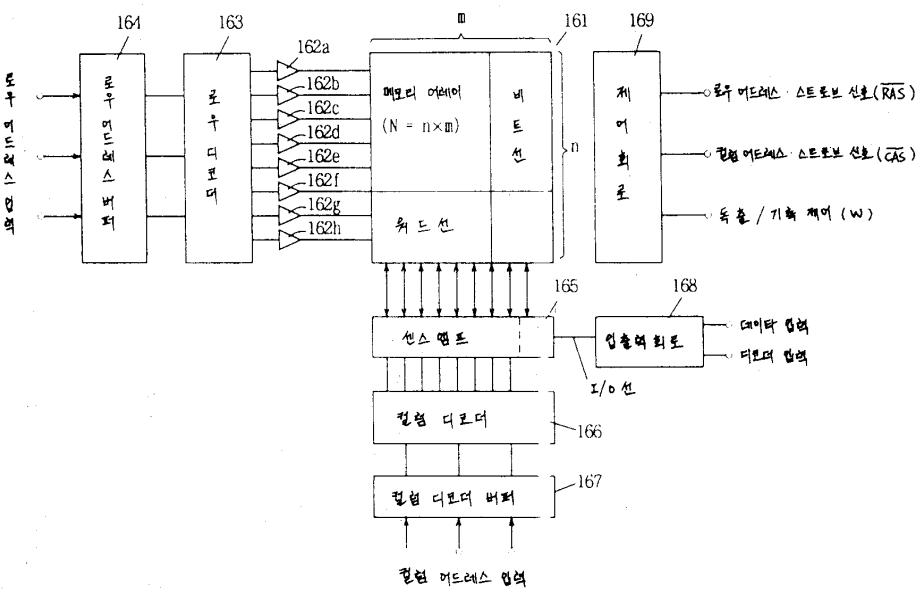
도면19


Vcc
301
P
303
GND
47
31
Xi
35a
Vpp
Vpp
35b
K
L
RXik
34a
34b
GND
GND
33
30

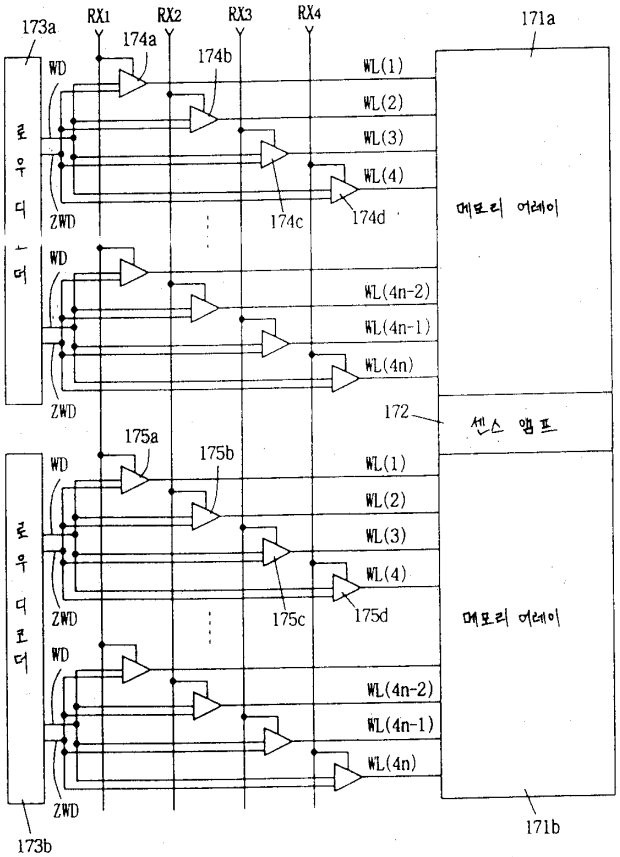
도면20


NED1~4
RX01 RX02
RX00
RX03
305
311
SA0
309
26
307
DRV0
SL00
WL0
SL01
SL02
SL03
27
/WD0
DRV1
WL1
DRV2
WL2
DRV3
WL3
로우디코더
DRV252
WL252
DRV253
WL253
/WD63
DRV254
WL254
DRV255
WL255
MC
647 워드선/
서브 메모리 어레이
×4 서브 메모리 어레이
=256 워드선
MA0
RD0
DRVG0
RX11 RX12
RX10
RX13
SA1
RD1
DRVG1
MA1
SA2
MA31
SEE1~4
SRX1 SRX2
SRX0
SRX3
SA32
SMA
SRD
SDRVG
스페어
워드 드라이버
647 워드선/
스페어 서브 메모리
×4 스페어 서브
메모리 어레이
=256 스페어 워드선
SSA

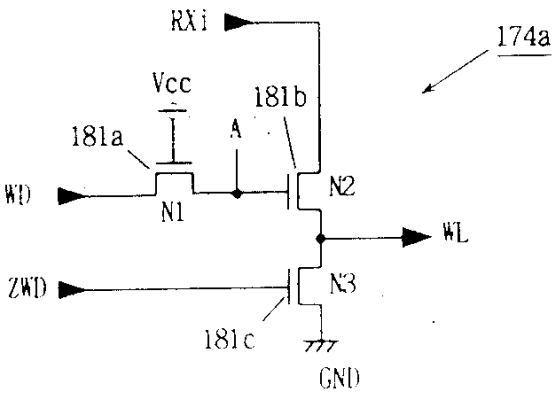
도면21


164
163
162a
m
161
169
로우 어드레스 입력
로우 어드레스 버퍼
로우 디코더
162b
162c
162d
162e
162f
162g
162h
메모리 어레이
(N = n×m)
비트선
n
워드선
제어회로
로우 어드레스 스트로브 신호(RAS)
컬럼 어드레스 스트로브 신호(CAS)
독출/기록 제어(W)
165
168
센스 앰프
입출력 회로
데이타 입력
데이타 출력
I/O 선
컬럼 디코더
166
컬럼 디코더 버퍼
167
컬럼 어드레스 입력

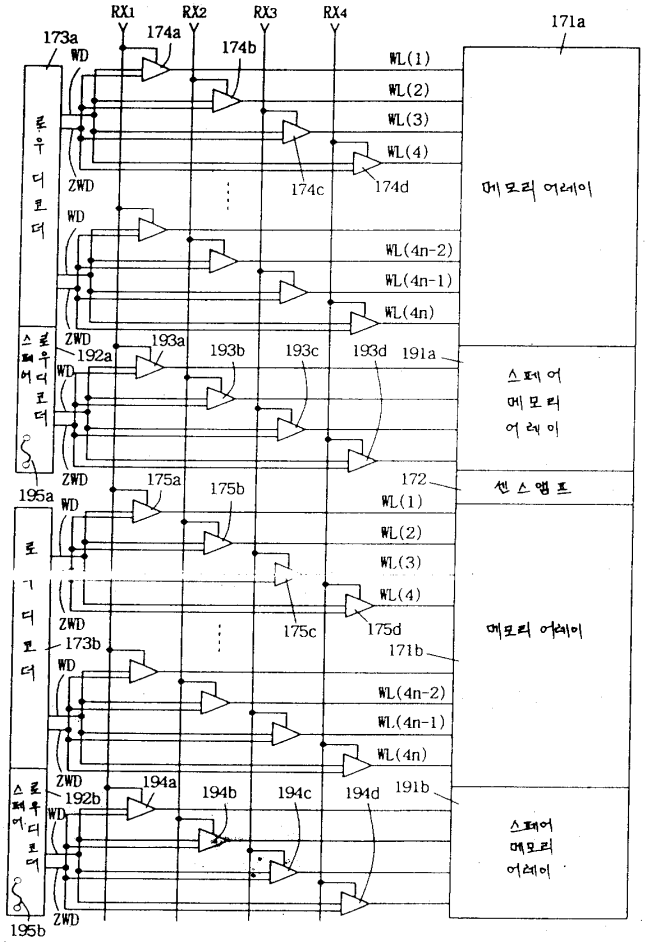
도면22


173a
RX1
RX2
RX3
RX4
171a
174a
174b
WD
WL(1)
WL(2)
WL(3)
WL(4)
로우디코더
ZWD
174c
174d
메모리 어레이
WL(4n-2)
WL(4n-1)
WL(4n)
172
센스 앰프
175a
175b
175c
175d
173b
171b

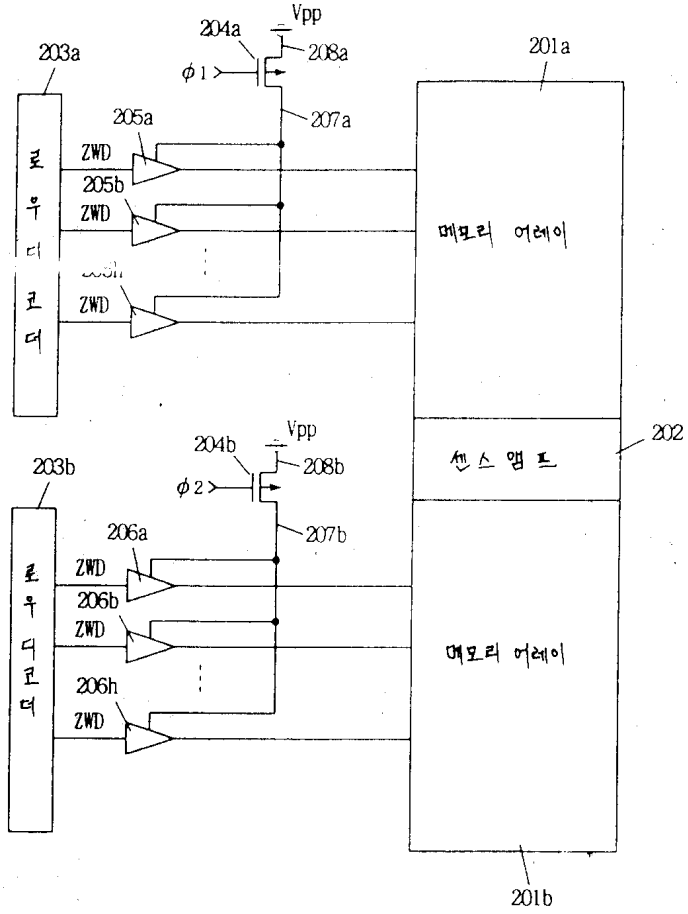
도면23


RXi
174a
Vcc
181b
181a
A
WD
N1
N2
WL
ZWD
N3
181c
GND

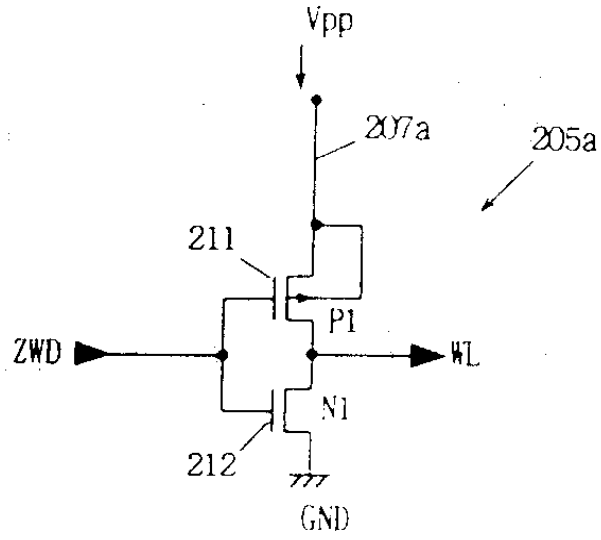
도면24


RX1
RX2
RX3
RX4
171a
173a
174a
174b
WD
WL(1)
WL(2)
WL(3)
WL(4)
로우디코더
ZWD
174c
174d
메모리 어레이
WL(4n-2)
WL(4n-1)
WL(4n)
스페어 로우 디코더
192a
193a
193b
193c
193d
191a
스페어 메모리 어레이
195a
172
센스앰프
175a
175b
175c
175d
171b
173b
194a
194b
194c
194d
191b
192b
195b

도면25


Vpp
204a
208a
φ1
207a
203a
205a
ZWD
205b
ZWD
ZWD
로우디코더
메모리 어레이
201a
202
센스 앰프
Vpp
204b
208b
φ2
207b
203b
206a
ZWD
206b
ZWD
206h
ZWD
로우디코더
메모리 어레이
201b

도면26


Vpp
207a
205a
211
P1
ZWD
WL
N1
212
GND