(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월01일
(11) 등록번호 10-2128764
(24) 등록일자 2020년06월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
(21) 출원번호 10-2014-0130942
(22) 출원일자 2014년09월30일
심사청구일자 2018년09월03일
(65) 공개번호 10-2015-0050353
(43) 공개일자 2015년05월08일
(30) 우선권주장
JP-P-2013-225533 2013년10월30일 일본(JP)
(56) 선행기술조사문헌
JP2000331779 A*
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 제이올레드
일본국 도쿄도 치요다쿠 칸다니시키쵸 3쵸메 23반치
(72) 발명자
진타 세이이치로
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
노 성희
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
(74) 대리인
최달용

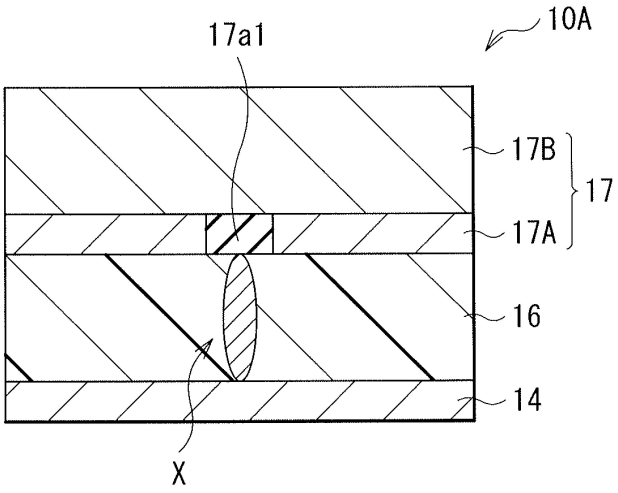
전체 청구항 수 : 총 7 항 심사관 : 윤성주

(54) 발명의 명칭 **표시 장치 및 전자 기기**

(57) 요 약

본 발명은, 제1 전극과, 제1 전극상에 형성되고, 발광층을 포함하는 유기층과, 유기층의 위에 차례로 적층된 제1의 도전막과 제2의 도전막을 포함하는 제2 전극을 구비한 표시 장치를 제공한다.

대 표 도 - 도7b



(56) 선행기술조사문헌
JP2001313170 A*
JP2005044778 A*
KR100542993 B1*
JP2005259695 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

제1 전극과,

상기 제1 전극상에 형성되고, 발광층을 포함하는 유기층과,

상기 유기층의 위에 형성된 제2 전극을 구비하고,

상기 제2 전극은, 상기 유기층의 측부터 차례로,

투명 전극막으로 구성됨과 함께, 쇼트 개소에 다른 부분보다 고저항인 국소 부분을 포함하는 제1의 도전막과,

상기 제1의 도전막상에 적층되고, 상기 제1의 도전막과 동일의 투명 전극막으로 구성됨과 함께, 상기 제1의 도전막보다 큰 두께를 갖는 제2의 도전막을 갖는 것을 특징으로 하는 표시 장치.

청구항 2

제1항에 있어서,

상기 제1의 도전막의 두께는, 상기 제2의 도전막의 두께의 10분의 1 이하인 것을 특징으로 하는 표시 장치.

청구항 3

제1항에 있어서,

상기 제1의 도전막과 상기 제2의 도전막과의 사이에 산화막을 갖는 것을 특징으로 하는 표시 장치.

청구항 4

제1 전극과,

상기 제1 전극상에 형성되고, 발광층을 포함하는 유기층과,

상기 유기층의 위에 형성된 제2 전극을 구비하고,

상기 제2 전극은, 상기 유기층의 측부터 차례로,

투명 전극막으로 구성됨과 함께, 쇼트 개소에 다른 부분보다 고저항인 국소 부분을 포함하는 제1의 도전막과,

상기 제1의 도전막상에 적층되고, 광반사성을 갖는 금속막을 포함함과 함께, 상기 제1의 도전막보다 큰 두께를 갖는 제2의 도전막을 갖는 것을 특징으로 하는 표시 장치.

청구항 5

제4항에 있어서,

상기 제2의 도전막은 은(Ag)을 포함하는 것을 특징으로 하는 표시 장치.

청구항 6

제1 전극과,

상기 제1 전극상에 형성되고, 발광층을 포함하는 유기층과,

상기 유기층의 위에 형성된 제2 전극을 구비하고,

상기 제2 전극은, 상기 유기층의 측부터 차례로,

투명 전극막으로 구성됨과 함께, 쇼트 개소에 다른 부분보다 고저항인 국소 부분을 포함하는 제1의 도전막과,

상기 제1의 도전막상에 적층되고, 상기 제1의 도전막과 동일의 투명 전극막으로 구성됨과 함께, 상기 제1의 도

전막보다 큰 두께를 갖는 제2의 도전막을 갖는

표시 장치를 갖는 것을 특징으로 하는 전자 기기.

청구항 7

제1 전극과,

상기 제1 전극상에 형성되고, 발광층을 포함하는 유기층과,

상기 유기층의 위에 형성된 제2 전극을 구비하고,

상기 제2 전극은, 상기 유기층의 측부터 차례로,

투명 전극막으로 구성됨과 함께, 쇼트 개소에 다른 부분보다 고저항인 국소 부분을 포함하는 제1의 도전막과,

상기 제1의 도전막상에 적층되고, 광반사성을 갖는 금속막을 포함함과 함께, 상기 제1의 도전막보다 큰 두께를 갖는 제2의 도전막을 갖는

표시 장치를 갖는 것을 특징으로 하는 전자 기기.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

발명의 설명

기 술 분 야

[0001] 본 개시는, 예를 들면 유기 EL(Electroluminescence) 표시 장치 등의 표시 장치 및 그와 같은 표시 장치를 구비한 전자 기기에 관한 것이다.

배 경 기 술

[0002] 근래, 화상 표시를 행하는 표시 장치의 분야에서는, 발광 소자로서, 흐르는 전류치에 응하여 발광 휘도가 변화하는 전류 구동형의 광학 소자, 예를 들면 유기 EL(Electro Luminescence) 소자를 이용한 표시 장치(유기 EL 표시 장치)가 개발되고, 상품화가 진행되고 있다. 발광 소자는, 액정 소자 등과 달리 자발광 소자이고, 별도로 광원(백라이트)을 마련할 필요가 없다. 그 때문에, 유기 EL 표시 장치는, 광원을 필요로 하는 액정 표시 장치에 비하여 화상의 시인성이 높고, 소비 전력이 낮고, 또한 소자의 응답 속도가 빠른 등의 특징을 갖는다.

[0003] 이와 같은 표시 장치에서는, 전극 사이(양극 및 캐소드 사이)에 발광층(유기 전계 발광층)을 끼운 구조를 갖는데 제조 프로세스 과정에서, 유기층 내에 이물이 혼입되면, 이에 기인하여 전극 사이에 쇼트 패스가 생겨, 표시 품위가 열화된다. 그래서, 이 쇼트 패스를 절단하는 수복 수법이 제안되어 있다(예를 들면, 특허 문헌 1).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특개2005-340149호 공보

발명의 내용

해결하려는 과제

[0005] 특허 문헌 1의 수법에서는, 전극 사이에 역바이어스 전압을 인가하고, 쇼트 패스가 생기고 있는 개소를 파괴 또는 절연화한다. 그러나, 전극의 재료나 두께에 따라서는, 수복이 곤란한 경우가 있다. 이 때문에, 이물 등의 혼입에 기인하여 생기는 전기적 영향을 완화하고, 화질을 향상시키는 것이 가능한 소자 구조의 실현이 요망되고 있다.

[0006] 본 개시는 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 표시 화질을 향상시키는 것이 가능한 표시 장치 및 전자 기기를 제공하는 것에 있다.

과제의 해결 수단

[0007] 본 개시된 제1의 표시 장치는, 제1 전극과, 제1 전극상에 형성되고, 발광층을 포함하는 유기층과, 유기층의 위에 차례로 적층된 제1의 도전막과 제2의 도전막을 포함하는 제2 전극을 포함한 것이다.

[0008] 본 개시된 전자 기기는, 표시 장치를 구비한 것이다. 상기 표시 장치는, 제1 전극과, 제1 전극상에 형성되고, 발광층을 포함하는 유기층과, 유기층의 위에 차례로 적층된 제1의 도전막과 제2의 도전막을 포함하는 제2 전극을 포함한다.

[0009] 본 개시된 상술한 제1의 표시 장치 및 상술한 전자 기기에서는, 제2 전극이, 유기층의 위에 차례로 적층된 제1 및 제2의 도전막을 포함한다. 이에 의해, 제조 프로세스에서, 이물 등에 기인하여 제1 전극 및 제2 전극 사이에 쇼트 패스(short-circuited path)가 생긴 경우에도, 이것이 전기적으로 절단되기 쉽고, 또한 제2 전극을 저저항화 하기 쉽게 된다.

[0010] 본 개시된 제2의 표시 장치는, 제1 전극과, 제1 전극상에 형성되고, 발광층을 포함하는 유기층과, 유기층의 위에 형성되고, 다른 부분보다도 고저항의 국소 부분을 포함하는 제2 전극을 구비한 것이다.

[0011] 본 개시된 제2의 표시 장치에서는, 제2 전극이, 다른 부분보다도 고저항의 국소 부분을 포함한다. 이에 의해, 제조 프로세스에서, 이물에 기인한 제1 전극 및 제2 전극 사이의 쇼트 패스가 전기적으로 절단되기 쉽고, 또한 제2 전극을 저저항화 하기 쉽게 된다.

발명의 효과

[0012] 본 개시된 상술한 제1의 표시 장치 및 상술한 전자 기기에서는, 제2 전극이, 유기층의 위에 차례로 적층된 제1 및 제2의 도전막을 포함하도록 하였기 때문에, 이물에 의한 전기적 영향을 저감할 수 있음과 함께, 제2 전극을 저저항화 하기 쉽게 된다. 따라서, 표시 화질을 향상시키는 것이 가능해진다.

[0013] 본 개시된 상술한 제2의 표시 장치에서는, 제2 전극이, 다른 부분보다도 고저항의 국소 부분을 포함하도록 하였기 때문에, 이물에 의한 전기적 영향을 저감할 수 있음과 함께, 제2 전극을 저저항화 하기 쉽게 된다. 따라서, 표시 화질을 향상시키는 것이 가능해진다.

[0014] 또한, 상기 내용은 본 개시된 한 예이다. 본 개시의 효과는, 상술한 것으로 한하지 않고, 다른 딴 효과라도 좋고, 또 다른 효과를 포함하고 있어도 좋다.

도면의 간단한 설명

[0015] 도 1은 본 개시된 한 실시의 형태에 관한 표시 장치의 구성을 도시하는 도면.

도 2는 도 1에 도시한 화소 구동 회로의 한 예를 도시하는 회로도.

도 3은 도 1에 도시한 표시 장치의 구성을 도시하는 단면도.

도 4는 도 1에 도시한 서브 화소의 배열을 도시하는 모식도.

도 5는 도 4에 도시한 화소 배열을 형성하는 컬러 필터, 유기층(발광층) 및 뱅크 개구의 각 레이아웃을 도시하는 모식도.

도 6a는 도 3에 도시한 유기층의 탠덤 구성의 한 예를 설명하기 위한 단면 모식도.

도 6b는 도 3에 도시한 유기층의 탠덤 구성의 한 예를 설명하기 위한 단면 모식도.

도 7a는 도 3에 도시한 유기 EL 소자의 구성(이물 없음)을 도시하는 단면도.

도 7b는 도 3에 도시한 유기 EL 소자의 구성(이물 혼입 영역 부근)을 도시하는 단면도.

도 8a는 도 3에 도시한 제2 전극의 한 예를 도시하는 확대 단면도.

도 8b는 도 3에 도시한 제2 전극의 한 예를 도시하는 확대 단면도.

도 9는 도 3에 도시한 표시 장치의 제조 공정의 흐름을 도시하는 플로차트.

도 10a는 도 9에 도시한 표시 장치의 제조 공정 중의 제2 전극의 형성 공정을 설명하기 위한 단면도.

도 10b는 도 10a에 계속된 공정을 도시하는 단면도.

도 10c는 도 10b에 계속된 공정을 도시하는 단면도.

도 11은 도 9에 도시한 제조 공정에서 이용되는 수복 장치를 포함하는 시스템 구성례를 도시하는 기능 블록도.

도 12는 도 10에 도시한 수복 장치의 구성을, 화소 구동 회로와 함께 도시한 기능 블록도.

도 13a는 표시 동작시의 화소 구동 회로 등의 상태를 도시하는 회로도.

도 13b는 정상 발광시의 화소 구동 회로 등의 상태를 도시하는 회로도.

도 13c는 정상적으로 발광하지 않는 때(이물 혼입시)의 화소 구동 회로 등의 상태를 도시하는 회로도.

도 13d는 수복 동작시의 화소 구동 회로 등의 상태를 도시하는 회로도.

도 14는 수복 동작시의 바이어스 전압의 구동 조건의 한 예를 도시하는 도면.

도 15a는 수복 동작시의 패널에의 통전 방법의 한 예를 도시하는 모식도.

도 15b는 수복 동작시의 패널에의 통전 방법의 한 예를 도시하는 모식도.

도 15c는 수복 동작시의 패널에의 통전 방법의 한 예를 도시하는 모식도.

도 15d는 수복 동작시의 패널에의 통전 방법의 한 예를 도시하는 모식도.

도 15e는 수복 동작시의 패널에의 통전 방법의 한 예를 도시하는 모식도.

도 16은 변형례 1-1에 관한 서브 화소의 배열을 도시하는 모식도.

도 17은 도 16에 도시한 화소 배열을 형성하는 컬러 필터, 유기층(발광층) 및 뱅크 개구의 각 레이아웃을 도시하는 모식도.

도 18은 도 17에 도시한 유기층의 탠덤 구성의 한 예를 설명하기 위한 단면 모식도.

도 19는 변형례 1-2에 관한 화소 배열을 형성하는 컬러 필터, 유기층(발광층) 및 뱅크 개구의 각 레이아웃을 도시하는 모식도.

도 20은 도 19에 도시한 유기층의 나누어 칠하는 구성의 한 예를 설명하기 위한 단면 모식도.

도 21은 변형례 1-3에 관한 화소 배열을 형성하는 컬러 필터, 유기층(발광층) 및 뱅크 개구의 각 레이아웃을 도시하는 모식도.

도 22는 도 21에 도시한 유기층의 나누어 칠하는 구성의 한 예를 설명하기 위한 단면 모식도.

도 23은 변형례 1-4에 관한 화소 배열을 형성하는 컬러 필터, 유기층(발광층) 및 뱅크 개구의 각 레이아웃을 도

시하는 모식도.

도 24는 도 23에 도시한 유기층의 나누어 칠하는 구성의 한 예를 설명하기 위한 단면 모식도.

도 25는 변형례 2에 관한 애노드 리플렉터를 갖는 소자 구조를 도시하는 단면도.

도 26은 도 25에 도시한 개구부의 배치의 한 예를 도시하는 평면도.

도 27은 도 25에 도시한 개구부의 한 구성례를 도시하는 단면도.

도 28은 도 25에 도시한 개구부에서의 광선을 도시하는 설명도.

도 29는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 30a는 도 25에 도시한 개구부의 다른 예를 도시하는 평면도.

도 30b는 도 25에 도시한 개구부의 다른 예를 도시하는 평면도.

도 30c는 도 25에 도시한 개구부의 다른 예를 도시하는 평면도.

도 30d는 도 25에 도시한 개구부의 다른 예를 도시하는 평면도.

도 30e는 도 25에 도시한 개구부의 다른 예를 도시하는 평면도.

도 31은 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 32는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 33a는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 33b는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 34는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 35는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 36a는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 36b는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 36c는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 36d는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 37a는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 37b는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 37c는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 37d는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 37e는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 37f는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 38a는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 38b는 도 25에 도시한 개구부의 배치의 다른 예를 도시하는 평면도.

도 39는 도 1 등에 도시한 표시 장치를 포함하는 모듈의 개략 구성을 도시하는 평면도.

도 40은 텔레비전 장치의 구성을 도시하는 사시도.

도 41a는 디지털 스틸 카메라의 구성을 도시하는 사시도.

도 41b는 디지털 스틸 카메라의 구성을 도시하는 사시도.

도 42는 퍼스널 컴퓨터의 외관을 도시하는 사시도.

도 43은 비디오 카메라의 외관을 도시하는 사시도.

도 44a는 휴대 전화기의 구성을 도시하는 평면도.

도 44b는 휴대 전화기의 구성을 도시하는 평면도.

도 45a는 스마트 폰의 구성을 도시하는 사시도.

도 45b는 스마트 폰의 구성을 도시하는 사시도.

도 46a는 비교례에 관한 유기 EL 소자의 제조 공정을 설명하기 위한 모식도.

도 46b는 비교례에 관한 유기 EL 소자의 제조 공정을 설명하기 위한 모식도.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 개시된 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0017] 1.실시의 형태(제2 전극을 2층 구조로 하고, 유기층측의 국소적인 영역에 절연(고저항) 부분을 갖는 표시 장치의 예)

[0018] - 구성

[0019] - 제조 방법(수복 공정을 포함한다)

[0020] 2. 변형례 1-1 내지 1-4(서브 화소 레이아웃의 다른 예)

[0021] 3. 변형례 2(애노드 리플렉터의 예)

[0022] 4. 적용례(전자 기기의 예)

[0023] <실시의 형태>

[0024] [구성]

[0025] 도 1은, 본 개시된 한 실시의 형태에 관한 표시 장치(표시 장치(1))의 구성을 도시하는 것이다. 이 표시 장치(1)는, 예를 들면 유기 EL 표시 장치이고, 기판(11)상의 표시 영역(110)에는, 복수의 화소(서브 화소)(PXLC)가, 예를 들면 매트릭스형상으로 배치되어 있다. 각 화소(PXLC)는, 유기 EL 소자(10A)를 포함하고, 예를 들면 적색의 광(LR)(파장 620㎚ 내지 750㎚), 녹색의 광(LG)(파장 495㎚ 내지 570㎚), 청색의 광(LB)(파장 450㎚ 내지 495㎚) 또는 백색의 광(LW)을 발생한다. 여기서는, 이들 4종의 화소(PXLC)(R화소, G화소, B화소, W화소)의 조(組)에 의해 하나의 픽셀이 구성되는 경우를 예로 들어 설명한다. 표시 영역(110)의 주변에는, 신호선 구동 회로(120) 및 주사선 구동 회로(130)가 마련되어 있다.

[0026] 표시 영역(110) 내에는, 예를 들면 액티브형의 구동 회로(화소 구동 회로(140))가 마련되어 있다. 화소 구동 회로(140)는, 도 2에 도시한 바와 같이 구동용의 트랜지스터(Tr1) 및 기록용의 트랜지스터(Tr2)를 가지며, 트랜지스터(Tr1, Tr2)의 사이에는 커패시터(Cs)가 마련되어 있다. 제1의 전원 라인(Vcc)과 제2의 전원 라인(GND)과의 사이에서, 유기 EL 소자(10A)가 트랜지스터(Tr1)에 직렬로 접속되어 있다. 신호선 구동 회로(120)는, 열방향으로 배치된 복수의 신호선(120A)을 통하여 트랜지스터(Tr2)의 소스 전극에 화상 신호를 공급한다. 주사선 구동 회로(130)는, 행방향으로 배치된 복수의 주사선(130A)을 통하여 트랜지스터(Tr2)의 게이트 전극에 주사 신호를 순차적으로 공급한다.

[0027] 도 3은, 도 1에 도시한 표시 장치의 단면 구성을 도시하는 것이다. 또한, 도 3에서는, 상기 4색의 화소(PXLC)에 대응하는 영역에 관해 나타내고 있다. 표시 장치(1)는, 예를 들면 유기 EL 소자(10A)에서 발생한 광이 밀봉 기판(20)의 상방에 취출되는, 이른바 톱 이미션 방식(윗면 발광 방식)의 유기 EL 표시 장치이다. 또한, 유기 EL 소자(10A)가 백광의 광을 발하는 소자 구조를 갖고 있고, 각 유기 EL 소자(10A)로부터 발하여진 백색의 광이, 컬러 필터(19)(19R, 19G, 19B, 19W)를 통과함에 의해, 상기 광(LR, LG, LB, LW)를 출사하도록 되어 있다.

[0028] 유기 EL 소자(10A)는, 구동 기판(10) 및 밀봉 기판(20) 사이에 마련되어 있다. 구동 기판(10)에서는, 기판(11)상에, 각 유기 EL 소자(10A)를 구동하기 위한 화소 구동 회로(140)(도 3에는, 상기 트랜지스터(Tr1)에 상당한 TFT(12)만을 나타낸다)가 형성되어 있고, 표면이 평탄화층(13)에 의해 덮여 있다. 이 평탄화층(13)상에, 예를 들면 양극으로서의 제1 전극(14)이 마련되어 있다. 제1 전극(14)은, 구동 기판(10)에 마련된 TFT(12)와 전기적으로 접속되어 있다.

[0029] 이 유기 EL 소자(10A)에서는, 구동 기판(10)측부터 차례로, 제1 전극(14)과, 뱅크(화소 사이 절연막)(15)와, 발

광층을 포함하는 유기층(16)과, 예를 들면 음극으로서의 제2 전극(17)이 적층되어 있다. 이들의 유기 EL 소자(10A)상에는, 보호층(18)을 사이에 두고 밀봉 기판(20)이 접합되어 있다. 밀봉 기판(20)에는, 컬러 필터(19R, 19G, 19B, 19W) 및 블랙 매트릭스층(BM)으로 이루어지는 컬러 필터층(19)이 형성되어 있다. 컬러 필터층(19)에서는, 블랙 매트릭스층(BM)이 격자형상으로 형성되고, 컬러 필터(19R, 19G, 19B, 19W)는, 그 블랙 매트릭스층(BM)의 격자형상의 개구에 형성되어 있다.

[0030] 도 4는, 유기 EL 소자(10A)를 포함하는 화소(PXLC)의 배열의 한 예를 도시한 것이다. 이와 같이, 예를 들면, R, G, B, W의 4개의 화소(PXLC)가 2행2열(밭전자(田)형상)으로 배열하고 있고, 이들 4개의 화소(PXLC)가 표시 단위(U)(1픽셀)를 구성하고 있다.

[0031] 도 5는, 상기 4개의 화소(PXLC)를 형성하기 위한 컬러 필터(19), 유기층(16)(구체적으로는 유기 전계 발광층) 및 개구부(WIN)(뱅크(15)의 개구)의 각 레이아웃의 한 예를 도시한 것이다. 이와 같이, 본 실시의 형태에서는, 컬러 필터층(19)의 색의 배열(R, G, B, W)이, 화소(PXLC)의 배열에 대응하고 있고, 유기층(16)은, 4개의 화소(PXLC)에 대해 공통의 백색 발광층(W)을 갖고 있다. 또한, 뱅크(15)의 개구부(WIN)는, 화소(PXLC)와 1대1 대응으로 마련되어 있다.

[0032] 이하, 표시 장치(1)의 각 부분의 구성에 관해 설명한다.

[0033] 기판(11)은, 예를 들면 유리, 실리콘(Si), 수지 또는 도전성 기판 등에 의해 구성되어 있다. 도전성 기판으로서는, 예를 들면 표면을 산화실리콘(SiO_2)이나 수지 등에 의해 절연화한 것이 사용된다.

[0034] TFT(12)는, 예를 들면 보텀 게이트형의 박막 트랜지스터(TFT : Thin Film Transistor)이고, 예를 들면 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)에 의해 구성되어 있다. 이 TFT(12)에서는, 기판(11)상에, 예를 들면 절연막을 통하여 패턴 형성된 게이트 전극(121)과, 게이트 절연막(122)과, 채널을 형성하는 반도체 박막(예를 들면 폴리실리콘)(123)과, 층간 절연막(124)이 이 순서로 적층되어 있다. 반도체 박막(123)의 양단측에, 소스 전극(125a) 및 드레인 전극(125b)이 형성되어 있고, 드레인 전극(125b)에는, 제1 전극(14)이 전기적으로 접속되어 있다. 또한, 트랜지스터(Tr1)는, 이와 같은 보텀 게이트형으로 한하지 않고, 톱 게이트형의 것이라도 좋다. 또한, 반도체 박막(123)은, 결정성 실리콘 및 어모퍼스 실리콘 등으로 구성되어 있어도 좋고, 산화물 반도체로 구성되어 있어도 좋다.

[0035] 평탄화층(13)은, 구동 기판(10)의 표면을 평탄화하고, 유기 발광 소자(10A)의 각 층의 막두께를 균일하게 형성하기 위한 것이다. 이 평탄화층(13)에는, 제1 전극(14)과 TFT(12)의 드레인 전극(125b)을 전기적으로 접속하기 위한 콘택트 홀이 마련되어 있고, 이들이 불필요하게 접촉하는 것을 막는 역할도 다하고 있다. 평탄화층(13)의 구성 재료로서는, 예를 들면, 폴리이미드 수지, 아크릴 수지 및 노볼락 수지 등의 유기 재료, 또는 산화실리콘(SiO_2), 질화실리콘(SiNx) 또는 산질화실리콘(SiON) 등의 무기 재료를 들 수 있다.

[0036] 제1 전극(14)은, 화소마다 전기적으로 분리하여 마련됨과 함께, 예를 들면 광반사성을 갖고 있고, 가능한 한 높은 반사율을 갖는 것이 발광 효율을 높이는데 바람직하다. 또한, 제1 전극(14)은 양극으로서 이용되는 것이어서, 정공 주입성이 높은 재료에 의해 구성되어 있는 것이 바람직하다. 제1 전극(14)의 구성 재료로서는, 크롬(Cr), 금(Au), 백금(Pt), 니켈(Ni), 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 티탄(Ti), 탄탈(Ta) 또는 은(Ag) 등의 금속 원소의 단체 또는 합금을 들 수 있다. 제1 전극(14)의 표면에는, 인듐과 주석의 산화물(ITO) 등의 투명 도전막이 마련되어 있어도 좋다. 제1 전극의 두께는, 배선 저항과 반사율(표면 러프네스(surface roughness))의 밸런스에 의해 적절히 설정된다.

[0037] 상기 재료 이외에도, 알루미늄(Al)의 단체 또는 합금이 사용되어도 좋다. 알루미늄은, 반사율은 높은 것이지만, 일 함수가 크지 않기 때문에 정공 주입 장벽이 생기지만, 적절한 정공 주입층을 마련함에 의해 제1 전극(14)으로서 사용할 수 있다. 또한, 제1 전극(14)은, 상술한 금속의 단체 또는 합금의 단층막이라도 좋고, 적층막이라도 좋다.

[0038] 뱅크(15)는, 제1 전극(14)을 화소마다 전기적으로 분리함과 함께, 제1 전극(14)과 제2 전극(17) 사이의 절연성을 확보하기 위한 것이다. 뱅크(15)는, 각 제1 전극(14)에 대향하는 선택적인 영역에 개구부(WIN)를 갖고 있고, 유기 발광 소자(10A)의 각 발광 영역을 형성하는 것이다. 이 뱅크(15)는, 예를 들면 산화실리콘, 폴리이미드 또는 감광성 수지 등의 절연 재료에 의해 구성되어 있다.

[0039] 유기층(16)은, 발광층(유기 전계 발광층)을 포함하는 것이다. 여기서는, 유기층(16)이, 각 유기 EL 소자(10A)에 공통의 백색 발광층으로 되어 있다. 단, 유기층(16)은, 발광층 외에도 예를 들면 정공 수송층(HTL : Hole

Transport Layer), 정공 주입층(HIL : Hole Injection Layer) 및 전자 수송층(ETL : Electron Transport Layer) 등을 포함하고 있어도 좋다. 또한, 유기층(16)과 제2 전극(17)과의 사이에는, 예를 들면 LiF 등의 전자 주입층(EIL : Electron Injection Layer)이 마련되어 있어도 좋다.

[0040] 상세하게는, 도 6a에 도시한 바와 같이, 유기층(16)(발광층)은, 예를 들면 제1 전극(14)의 측부터 차례로 황색 발광층(16Y) 및 청색 발광층(16B)을 적층한 것이다. 황색 발광층(16Y)은, 정공·전자쌍의 재결합에 의해 황색(Y)의 광을 발하는 재료를 포함하여 구성되어 있다. 청색 발광층(16B)은, 정공·전자쌍의 재결합에 의해 청색(B)의 광을 발하는 재료를 포함하여 구성되어 있다. 이들의 황색 발광층(16Y) 및 청색 발광층(16B)으로부터의 각 색광의 혼색에 의해, 유기층(16)으로부터는, 전체로서의 백색의 광이 출사한다.

[0041] 또한, 유기층(16)에서의 황색 발광층(16Y) 및 청색 발광층(16B)의 적층 순서는 상기와 반대라도 좋다. 구체적으로는, 청색 발광층(16B)이 제1 전극(14)측에 배치되고, 황색 발광층(16Y)이 제2 전극(17)측에 배치되어 있어도 좋다. 또한, 황색 발광층(16Y)은, 상기한 바와 같이 황색(Y)의 광을 발광하는 재료로 구성되어 있는 경우로 한하지 않고, 다른 재료로 구성되어 있어도 좋다. 예를 들면 도 6b에 도시한 황색 발광층(16RG)과 같이, 적색(R)의 광을 발광하는 재료에 녹색(G)의 광을 발광하는 재료가 도프된 것으로 구성되어 있어도 좋다. 또한, 이 예에서도, 황색 발광층(16RG) 및 청색 발광층(16B)의 적층 순서는 반대라도 좋다.

[0042] 제2 전극(17)은, 광투과성을 가지며, 여기서는 각 유기 EL 소자(10A)에 공통되게, 표시 영역의 전면에 걸쳐서 형성되어 있다. 제2 전극(17)은, 예를 들면 인듐아연산화물(IZO) 등으로 이루어지는 투명 도전막 또는 반투명한 도전막을 포함하여 구성되어 있다. 단, 투명 도전막의 구성 재료로서는, 이 밖에도, 예를 들면 인듐주석산화물(ITO), 산화아연(ZnO), 알루미나 도프 산화아연(AZO), 갈륨산화물 도프 산화아연(GZO), 또는 인듐티탄산화물(ITiO) 등이라도 좋다. 이 제2 전극(17)은, 예를 들면 스퍼터법에 의해 형성 가능하다.

[0043] 도 7a는, 유기 EL 소자(10A)의 소자 구조를 확대하여 도시한 것이다. 본 실시의 형태에서는, 제2 전극(17)이, 상기한 바와 같은 투명 도전막을 포함하는 다층 구조를 갖고 있다. 구체적으로는, 제2 전극(17)에서는, 유기층(16)의 측부터 차례로, 제1 도전막(17A)과 제2 도전막(17B)이 적층되어 있다. 이 중, 제1 도전막(17A)은, 후술하는 수복 공정 전에 형성되고, 제2 도전막(17B)은, 수복 공정 후에 형성된다. 예를 들면, 제1 도전막(17A) 및 제2 도전막(17B)은 모두 상술한 바와 같은 투명 도전막으로 구성되어 있고, 여기서는, 제1 도전막(17A) 및 제2 도전막(17B)이, 서로 동일한 재료(예를 들면 IZO)로 구성되어 있다.

[0044] 단, 제2 전극(17)에서는, 제1 도전막(17A) 및 제2 도전막(17B)이 서로 다른 재료로 구성되어 있어도 좋다. 예를 들면, 제1 도전막(17A)이 마그네슘과 은과의 합금(MgAg : 마그네슘은)을 포함하여 구성되고, 제2 도전막(17B)이 IZO 등의 투명 도전막을 포함하고 있어도 좋다. MgAg는, 박막화한 것으로 반투명하게 할 수 있기 때문에, 후술하는 마이크로 캐비티(micro cavity)에 의한 광 공진 현상을 이용하는 경우 등에 사용된다. 또한, 제1 도전막(17A) 및 제2 도전막(17B) 중의 한쪽이, 투명 도전막이고, 또 한쪽이 금속막이라도 좋다. 예를 들면, 보텀 이미션 방식의 소자 구조를 채용한 경우 등에, 제1 도전막(17A)을 투명 도전막으로 하고, 제2 도전막(17B)을 제1 전극(14)과 같은 반사 금속막으로 하여도 좋다.

[0045] 제1 도전막(17A)의 두께는, 제2 도전막(17B)의 두께보다도 작게 되어 있다. 구체적으로는, 제1 도전막(17A)의 두께는, 후술하는 수복 공정(멸점(滅点, dark spot) 제거 공정)에서, 충분히 고저항화(또는 절연화)가 가능한 정도의 두께(예를 들면 수㎚ 내지 수십㎚)로 되어 있다. 제2 도전막(17B)의 두께는, 소망하는 저항치를 얻을 수 있을 정도의 두께(예를 들면 수십㎚ 내지 수백㎚로 되어 있다. 이와 같이, 제1 도전막(17A)은, 제2 도전막(17B)의 예를 들면 10분의1 정도 이하의 두께의 박막으로 되어 있다.

[0046] 도 7b는, 유기 EL 소자(10A)의 소자 구조(이물(X) 부근)를 확대하여 도시한 것이다. 이와 같이, 제2 전극(17)은, 유기층(16) 내에 이물(X)이 혼입되어 있는 경우, 그 이물(X)에 대응하는 국소적인 영역에, 절연(고저항) 부분(17a1)(국소 부분)를 갖고 있다. 절연 부분(17a1)은, 후술하는 수복 공정에서 형성되는 것이고, 제1 전극(14) 및 제2 전극(17) 사이의 이물(X)에 의한 쇼트 패스를 전기적으로 절단하는 역할을 갖고 있다. 절연 부분(17a1)은, 예를 들면 제2 전극(17)의 면 내에서, 복수의 이물(X)에 대응하는 복수 개소에 점재(點在)한다. 이 절연 부분(17a1)은, 제1 도전막(17A) 및 제2 도전막(17B) 중의 제1 도전막(17A)에 선택적으로 형성되어 있다.

[0047] 도 8a 및 도 8b는, 제2 전극(17)의 경계 부근을 확대하여 도시한 것이다. 도 8a에 도시한 바와 같이, 제2 전극(17)에서는, 제1 도전막(17A) 및 제2 도전막(17B)의 사이에, 산화막(17C)이 형성되어 있다. 산화막(17C)은, 제1 도전막(17A)의 표면이 산화됨에 의해 생긴 박막(피막)이고, 상기 절연 부분(7a1)의 형성과 함께 생기는 것이다. 이 산화막(17C)의 전기 저항을 될 수 있는 한 경감되도록, 후술하는 수복 공정에서 여러 조건이 적절하게 설정

된다.

[0048] 또는, 도 8b에 도시한 바와 같이, 제1 도전막(17A)과 제2 도전막(17B)이 인접하여 적층되어(산화막(17C)이 제거되고) 있어도 좋다. 산화막(17C)에 의한 저항을 없애고, 제2 전극(17)의 저저항화에 유리하게 된다.

[0049] 보호층(18)은, 예를 들면 질화실리콘, 산화실리콘 또는 금속산화물 등으로 이루어진다. 또한, 이 보호층(18)과 밀봉 기판(20)과의 사이에, 예를 들면 열경화형 수지 또는 자외선 경화형 수지로 이루어지는 접착층이 형성되어 있어도 좋다.

[0050] 밀봉 기판(20)은, 컬러 필터(19R, 19G, 19B, 19W)를 투과한 광에 대해 투명한 재료(예를 들면 유리)에 의해 구성되어 있다. 컬러 필터층(19)은, 밀봉 기판(20)의 광 입사측(소자측) 및 광출사측의 어느쪽의 면에 마련되어도 좋지만, 예를 들면 광 입사측의 면에 마련되어 있다. 컬러 필터(19R, 19G, 19B, 19W)는 각각, 유기 EL 소자(10A)에 대향하여 마련되어 있다. 컬러 필터(19R, 19G, 19B)는, 적색광, 녹색광, 청색광을 선택적으로 투과하는 것이다. 컬러 필터(19W)는, 예를 들면 소망하는 백색도를 얻기 위한 것이고, 색도 또는 휘도를 조정하는 필터이다. 또한, 컬러 필터(19W)에 관해서는, 특히 마련되지 않아도 좋다.

[0051] [제조 방법]

[0052] 도 9는, 상기한 바와 같은 표시 장치(1)의 제조 공정(유기 EL 소자(10A)의 제조 공정)의 흐름을 도시한 것이다. 이와 같이, 우선, 구동 기판(10)을 형성한다(스텝 S1). 구체적으로는, 기판(11)상에, 예를 들면 저온 폴리실리콘 프로세스에 의해, 상술한 트랜지스터(Tr1, Tr2), 커패시터(Cs) 등을 포함하는 화소 구동 회로(140)를 형성한다. 이 후, 평탄화층(13)을 기판(11)의 전면에 성막한 후, 패터닝함에 의해 콘택트 홀 등을 형성한다.

[0053] 이 후, 구동 기판(10)의 평탄화층(13)상에, 제1 전극(14)을 형성한다(스텝 S2). 구체적으로는, 예를 들면, 평탄화층(13)상에, 상술한 재료로 이루어지는 제1 전극(14)을, 예를 들면 스퍼터법에 의해 성막한 후, 예를 들면 포토 리소그래피법을 이용한 에칭에 의해, 패터닝한다.

[0054] 계속해서, 뱅크(15)를 형성한다(스텝 S3). 구체적으로는, 상술한 절연 재료를 성막한 후, 패터닝함에 의해, 제1 전극(14)에 대향하는 영역에 개구부(WIN)를 형성한다.

[0055] 이 후, 유기층(16)을 형성한다(스텝 S4). 구체적으로는, 상술한 재료 등으로 이루어지는 백색 발광층을, 예를 들면 진공 증착법에 의해 성막한다. 이 때, 정공 주입층, 정공 수송층, 전자 수송층 등을, 진공 일관 프로세스에 의해 연속 성막하여도 좋다.

[0056] 다음에, 제2 전극(17)을 형성한다(스텝 S5). 구체적으로는, 우선, 도 10a에 도시한 바와 같이, 상술한 재료 등으로 이루어지는 제1 도전막(17A)을, 예를 들면 스퍼터법 등에 의해 형성한다(스텝 S51). 이 후, 도 10b에 도시한 바와 같이, 형성한 제1 도전막(17A)과, 제1 전극(14)과의 사이에, 소정의 산소 분위기에서, 역바이어스 전압을 인가한다(스텝 S52). 이에 의해, 이물에 의한 쇼트 패스를 전기적으로 절단하여, 멸점이 되는 부분(멸점 픽셀)의 제거(수복)를 행한다. 계속해서, 도 10c에 도시한 바와 같이, 상술한 재료 등으로 이루어지는 제2 도전막(17B)을, 예를 들면 스퍼터법 등에 의해 형성한다(스텝 S53). 또한, 이 제2 전극(17)의 형성 공정 중, 수복 공정(스텝 S52)에 관해서는, 후술한다.

[0057] 계속해서, 제2 전극(17)상에, 예를 들면 CVD(Chemical Vapor Deposition)법에 의해 보호막(18)을 형성한다(스텝 S6). 최후로, 컬러 필터층(19)이 형성된 밀봉 기판(20)을 접합한다(스텝 S7). 이에 의해, 도 3에 도시한 표시 장치(1)를 완성한다.

[0058] [수복 공정]

[0059] 도 11은, 역바이어스 인가 공정에서 이용되는 수복 장치(수복 장치(41))를 포함하는 시스템 구성을 도시한 것이다. 수복 장치(41)는, 외부 전원(40)에 접속되어 있고, 이 외부 전원(40)으로부터 공급된 전력에 의거하여, 설치부(42)에 설치된 패널(43)을 통전(通電) 가능하게 되어 있다. 설치부(42)는, 패널(43)을 소정의 위치에 재치하기 위한 것이고, 예를 들면 핫 플레이트 등을 포함하여 구성되어 있다. 여기서, 수복 대상이 되는 패널(43)은, 제조 공정 중의 반제품 상태에 있는 것이다. 구체적으로는, 패널(43)은, 화소 구동 회로(140), 주사선 구동 회로(130) 및 신호선 구동 회로(120)가 형성된 구동 기판(10)상에, 제1 전극(14), 뱅크(15), 유기층(16) 및 제1 도전막(17)이 형성된 상태(신호선 드라이버 IC 등이 접속되기 전의 상태)의 소자 기판이다. 도 12에, 수복 장치(41)의 기능 구성을, 화소 구동 회로(140) 및 주사선 구동 회로(130)의 구성과 함께 나타낸다.

[0060] (1. 수복 장치의 구성)

[0061] 수복 장치(41)는, 예를 들면, 수직 구동 조건 발생 회로(44)와, 바이어스 전압 발생 회로(45)와, 바이어스 전압 구동 회로(46)와, 수복 소자 선택 제어 회로(47)와, 수복 신호 전위 발생 회로(50)를 포함하여 구성되어 있다. 이 수복 장치(41)는, 예를 들면 패널(43)(표시 장치(1))에서의 신호선 구동 회로(120)를 정지시킨 상태에서, 특정 영역 내의 화소 구동 회로(140)에 수복 신호를 공급함과 함께, 유기 EL 소자(10A)에 역바이어스 전압을 인가함에 의해, 멸점의 수복 동작을 행하는 것이다.

[0062] 수직 구동 조건 발생 회로(44)는, 수복시에 필요한 구동 조건을 충족시키는 2종류의 선택 신호 전위(H레벨, L레벨)와 클록 신호를 발생하는 것이다. 선택 신호 전위(H레벨)는, 화소 구동 회로(140)를 선택 상태로 제어하는데 사용하는 신호 전위(고전위)이고, 예를 들면 17V이다. 선택 신호 전위(L레벨)는, 화소 구동 회로(140)를 비선택 상태로 제어하는데 사용한 신호 전위(저전위)이고, 예를 들면 -3V이다. 이들 2종류의 선택 신호 전위는, 주사선 구동 회로(130)를 통하여 주사선(130A)에 인가된다. 또한, 클록 신호는, 주사선 구동 회로(130)의 스캔 동작을 위해 발생시키는 것이다. 이 클록 신호는, 통상의 표시 동작시에 사용되는 것과 같은 것이라도 좋다. 다만, 수복 동작 전용으로, 특정한 선택선을 길게 선택 상태로 제어하는 클록 신호를 발생시키도록 하여도 좋디.

[0063] 바이어스 전압 발생 회로(45)는, 전원 전압(Vcc) 및 음극선 전압(Vcat)을 발생하는 것이다. 전원 전압(Vcc)은, 전원 공급선(46A)을 통하여, 유기 EL 소자(10A)의 양극측에 공급된다. 음극선 전압(Vcat)은, 음극 전압 공급선(47A)을 통하여, 유기 EL 소자(10A)의 음극측에 공급된다. 이에 의해, 수복 동작시에는, 역바이어스 전압(Vcc<Vcat)이, 표시 동작에는 순바이어스 전압(Vcc>Vcat)이, 각각 유기 EL 소자(10A)에 공급된다.

[0064] 한 예로서는, 전원 전압(Vcc)으로서, 예를 들면 5V의 전위를 발생하고, 음극선 전압(Vcat)으로서, 예를 들면 0V와 10V의 2종류의 전위를 발생한다. 이와 같이, 2종류의 전위를 이용하는 것은, 역바이어스 전압(수복 동작시) 및 순바이어스 전압(표시 동작시)를, 교류적으로 인가하기 위해서다. 단, 인가되는 전압은, 교류로 한하지 않고, 직류라도 좋다. 예를 들면, 역바이어스 전압을 직류적으로 인가하는 경우에는, 음극선 전압(Vcat)으로서 예를 들면 10V만을 발생하도록 하면 좋다. 전원 공급선(46A)에 5V, 음극 전압 공급선(46B)에 10V를 인가함으로써, 유기 EL 소자(10A)에는 5V의 역바이어스 전압을 인가할 수 있다.

[0065] 바이어스 전압 구동 회로(46)는, 음극 전압 공급선(46B)에 예를 들면 0V와 10V를 교류적으로 인가하는 것이다. 즉, 바이어스 전압 구동 회로(46)는, 유기 EL 소자(10A)에 대해, 순바이어스 전압과 역바이어스 전압을 교대로 인가한다. 음극선 전압(Vcat)을 교류 구동하는 것은, 유기 EL 소자(10A)에 기생하는 용량 성분을 충전하여, 멸점의 원인인 쇼트 회로에 전류가 흐르기 쉽게 하기 위해서다.

[0066] 수복 소자 선택 제어 회로(47)는, 선택 트랜지스터(Tr3)의 온 오프를 제어하는데 사용된다. 즉, 선택적인 화소에만 역바이어스 전압을 인가하는데 사용된다. 여기서의 제어 신호는, 수복 소자 선택선(47A)에 대응하는 수만큼 발생된다.

[0067] 이 수복 소자 선택 제어 회로(47)는, 수복 동작시에는, 수복 대상의 신호선(120A)의 선택 트랜지스터(Tr3)를 온하여(닫힌 상태로 하여), 신호선(120A)과 수복용 신호선(48A)을 접속한다. 한편, 표시 동작시에는, 수복 소자 선택 제어 회로(47)는, 모든 선택 트랜지스터(Tr3)를 오프 하여(열린 상태로 하여), 신호선(120A)과 수복용 신호선(48A)을 비접속의 상태로 한다.

[0068] 또한, 수복 소자 선택선(47A)은, 신호선(120A)에 대해 1대1의 관계로 배치되어 있어도 좋고, 또는, 복수개의 신호선(120A)에 대해 1개의 수복 소자 선택선(47A)이 배치되어 있어도 좋다. 예를 들면, 유효 표시 영역을 좌우 2개의 영역으로 분할하고, 각 영역에 대응하여 2개의 수복 소자 선택선(47A)을 배치하여도 좋다. 또한 예를 들면, 하나의 픽셀을 구성하는 복수개의 서브 픽셀을 1조로 하여, 각 조에 대응하여 수복 소자 선택선(47A)을 배치하여도 좋다. 이들의 경우, 영역 단위 또는 픽셀 단위로의 수복이 가능해진다. 즉, 수복 소자 선택 제어 회로(47), 수복 소자 선택선(47A) 및 선택 트랜지스터(Tr3)의 조합을 적절하게 설정함에 의해, 특정한 영역에 대해서만 수복 조건을 충족시키는 전위를 인가하는 것이 가능해진다.

[0069] 수복 신호 전위 발생 회로(48)는, 수복 소자 선택 제어 회로(47) 및 선택 트랜지스터(Tr3)에 의해 선택된 신호선(120A)에 인가하는 수복용의 신호 전위를 발생하는 것이다. 예를 들면, 흑레벨(비수복용)로서 17V를 발생하고, 백레벨(수복 용)로서 0V를 발생한다. 여기서의 신호 전위는, 수복용 신호선(48A)에 대응하는 수만큼 발생된다. 그와 관련하여, 표시 동작시에는, 신호선(120A)에 인가되는 전위는, 흑레벨이 예를 들면 5V, 백레벨이 예를 들면 1.5V이다.

[0070] 또한, 수복용 신호선(48A)은, 신호선(120A)에 대해 1대1의 관계에서 배치되어 있어도 좋고, 또는, 복수개의 신호선(120A)에 대해 1개의 수복용 신호선(48A)이 배치되어 있어도 좋다. 예를 들면, 하나의 픽셀을 구성하는 복

수개의 서브 화소를 1조로 하여, 각 조에 대응하여 수복용 신호선(48A)을 배치하여도 좋다. 또한, 예를 들면, R, G, B, W의 색 화소마다 수복용 신호선(48A)을 배치하여도 좋다. 즉, 색별로 공통의 수복용 신호선(48A)을 배치하여도 좋다.

[0071] 또한, 수복용 신호선(48A)에 인가되는 신호 전압은, 예를 들면 직류 전압이다. 직류 전압을 인가하는 경우, 디스플레이 전체에 일정한 수복 신호(전압)를 인가할 수 있다. 또는, 예를 들면 주사선 구동 회로(130)와 동기시킨 펄스형상의 수복 신호(전압)라도 좋다. 이 경우, 특정한 주사 라인(하나의 선택선)만에 일정한 수복 신호(전압)를 인가할 수 있다.

[0072] 또한, 이 수복 장치(41)는, 수복 개소의 검사용으로서도 사용할 수 있다. 이 경우, 수복 장치(41)는, 표시 동작에 필요한 전위를 발생한다. 예를 들면, 수직 구동 조건 발생 회로(44)는, 고전위로서 예를 들면 7V를 발생하고, 저전위로서 예를 들면 -8V를 발생한다. 또한, 바이어스 전압 발생 회로(45)는, 전원 전압(Vcc)으로서 예를 들면 5V를 발생하고, 음극선 전압(Vcat)으로서 예를 들면-8V를 고정적으로 발생한다.

[0073] 이와 같이, 수복 장치(41)를 이용한 표시 동작에 의해 검사를 행하여, 멸점 개소 또는 멸점 픽셀을 특정함에 의해, 특정한 영역만을 수복 대상으로 할 수 있다. 이에 의해, 이물이 없는 부분(멸점이 생기지 않는 부분) 또는 픽셀에 관해서는, 역바이어스 전압을 인가하지 않도록 할 수 있다. 효율적인 수복 동작이 가능해짐과 함께, 불필요한 역바이어스 전압 인가에 의한 유기층(16)에의 데미지를 경감할 수 있다.

[0074] (2. 수복 동작)

[0075] 우선, 수복 동작에 앞서서, 유기 EL 소자(10A)를 발광시키는 경우(유기 EL 소자(10A)의 표시 동작)에 관해 설명한다. 도 13a는, 표시 동작시의 화소 구동 회로(140)의 동작 상태를, 수복 소자 선택선(47A), 선택 트랜지스터(Tr3) 및 수복용 신호선(48A)과 함께 도시한 것이다. 도 13b는, 표시 동작시에 있어서 정상적으로 발광하는 경우의 동작 상태에 관해 도시한 것이다. 또한, 트랜지스터(Tr1 내지 Tr3)는, 온 오프 상태(개폐 상태)를 알 수 있도록, 스위치의 회로 기호로서 도시하고 있다. 표시 동작시에 있어서, 화소 구동 회로(140)에서는, 주사선 구동 회로(130)에 의해, 주사선(130A)에 온 전압이 인가되고, 트랜지스터(Tr2)가 온 상태로 제어된다. 이에 의해, 신호선 구동 회로(120)로부터 신호선(120A)을 통하여 공급되는 신호 데이터가, 트랜지스터(Tr1)의 게이트에 인가된다. 또한 이 때, 신호 데이터는 유지 용량(Cs)에 유지된다. 이 신호 데이터는, 트랜지스터(Tr2)가 오프 상태로 전환된 후에도 유지 용량(Cs)에 유지된다. 이 결과, 트랜지스터(Tr1)에는, 게이트·소스 사이 전압(Vgs)에 응한 드레인 전류(Ids)가 계속적으로 흐른다. 이 드레인 전류(Ids)가 유기 EL 소자(10A)에 공급됨으로써, 유기 EL 소자(10A)가 계속적으로 발광한다.

[0076] 이 표시 동작시에는, 전원 전압(Vcc)은 예를 들면 5V이고, 음극선 전압(Vcat)은 예를 들면 -8V이다(Vcat <Vcc). 즉, 유기 EL 소자(10A)에는, 순바이어스 전압이 인가된다. 정상 발광시에는, 도 13b에 도시한 바와 같이, 유기 EL 소자(10A)는, 다이오드 접속된 트랜지스터(Tr4)와, 기생 용량 성분(C1)으로서 나타낼 수 있다.

[0077] 그러나, 실제로는, 유기 EL 소자(10A)의 중에는, 이물 등의 혼입에 의해, 정상적으로 발광하지 않는 것이 존재한다. 도 13c에, 유기 EL 소자(10A)가 정상적으로 발광하지 않는 경우의 등가 회로례를 도시한다. 이 경우, 유기 EL 소자(10A)는, 다이오드 접속된 트랜지스터(Tr4), 기생 용량 성분(C1) 및 저항 성분(R1)으로서 나타낼 수 있다.

[0078] 이와 같은 경우, 드레인 전류(Ids)는, 저항 성분(R1)에 흘러 버리고, 트랜지스터(Tr4)에는 흐르지 않게 된다(또는 매우 작아진다). 이 결과, 유기층(16)에 드레인 전류(Ids)가 공급되지 않아, 유기 전계 발광 현상이 생기지 않는다. 이것이 멸점(멸점 픽셀)의 발생 원리이다. 이와 같은 멸점의 수복 동작을, 예를 들면 이하와 같이 하여 행한다.

[0079] (교류 역바이어스 구동에 의한 수복 동작)

[0080] 도 13d는, 수복 동작시의 화소 구동 회로(140)의 동작 상태를, 수복 소자 선택선(47A), 선택 트랜지스터(Tr3) 및 수복용 신호선(48A)과 함께 도시한 것이다. 유기 EL 소자(10A)는, 다이오드 접속된 트랜지스터(Tr4), 기생 용량 성분(C1) 및 저항 성분(R1)으로서 표시된다. 이와 같은 등가 회로에서, 유기 EL 소자(10A)에 역바이어스 전압을 인가함에 의해, 유기 EL 소자(10A)가 갖는 다이오드 특성에 의해, 저항 성분(R1)에 대해 역방향 전류(Id)를 흘릴 수 있다.

[0081] 이때, 화소 구동 회로(140)에서는, 주사선 구동 회로(130)에 의해, 주사선(130A)에 온 전압이 인가되고, 트랜지스터(Tr2)가 온 상태로 제어된다. 한편, 선택 트랜지스터(Tr3)는, 수복 소자 선택선(47A)을 통하여 공급되는 신

호에 의거하여 온 상태로 제어된다. 또한, 수복 대상의 영역(또는 픽셀)의 화소 구동 회로(140)에 접속된 신호선(120A)에는, 수복용 신호선(48A)을 통하여 저전위(예를 들면 0V)가 인가된다. 그 밖의 신호선(120A)에는, 고전위(예를 들면 17V)가 인가된다. 이 결과, 수복 대상의 영역의 트랜지스터(Tr1)만이 온 상태가 된다. 이에 의해, 트랜지스터(Tr1)의 드레인에 접속된 유기 EL 소자(10A)에는, 음극선 전압(Vcat) 및 전원 전압(Vcc)에 의거한 바이어스 전압이 인가된다.

[0082] 도 14는, 바이어스 전압의 구동 조건의 한 예를 도시한 것이다. 이와 같이, 전원 전압(Vcc)을 예를 들면 5V로 고정하는 한편으로, 음극선 전압(Vcat)을 예를 들면 0V와 10V와의 사이에서 교류적으로 전환한다. 이에 의해, 음극선 전압(Vcat)에 0V가 인가된 때, 유기 EL 소자(10A)에 5V의 순바이어스 전압이 인가된다. 한편, 음극선 전압(Vcat)에 10V가 인가된 때, 유기 EL 소자(10A)에 5V의 역바이어스 전압이 인가된다. 이 바이어스 전압치는, 발광층을 포함하는 유기층(16)의 내압 등을 고려하여 설정된다. 또한, 이 예에서는 발광층의 막두께를 100 내지 200㎚ 정도인 경우를 상정하고 있다.

[0083] 역바이어스 전압을 인가할 때에는, 그 인가 시간(수복 시간) 및 온도 등의 여러 조건이 적절하게 설정되는 것이 바람직하다. 구체적으로는, 기생 용량 성분(C1), 전류(Id)의 값, 바이어스 전압의 크기 등에 응하여, 저항 성분(R1)에 흐르는 역방향 전류(Id)가 최대가 되는 조건이 설정된다. 예를 들면, 음극선 전압(Vcat)의 구동 주파수는, 예를 들면 100 내지 600Hz, 바람직하게는 300 내지 400Hz가 된다. 인가 시간은, 가능한 한 단시간이 되는 것이 바람직하지만, 예를 들면 5 내지 30분이다. 또한, 온도 조건으로서는, 예를 들면 핫 플레이트 등을 이용하여, 예를 들면 35 내지 75℃ 정도로 설정되는 것이 바람직하다. 특히, 본 실시의 형태에서는, 도 10b에 도시한 바와 같이, 이물(X)에 대향하는 국소적인 영역을, 산화에 의해 절연화(고저항화)하기 위해, 상기한 바와 같은 역바이어스 전압 구동이, 산소 분위기에서 행하여지는 것이 바람직하다. 이 때의 산소 농도는, 절연 부분(7a1)을 형성하면서, 제1 도전막(17A)의 표면의 산화(도 8a의 산화막(17C)의 존재)가 허용 범위 내가 되는 조건으로 설정되는 것이 바람직하다. 단, 산화막(17C)이 제거된 경우(도 8b)에는, 그렇지 않다.

[0084] 상기한 바와 같이, 적절한 조건하에서 역바이어스 전압이 인가됨에 의해, 저항 성분(R1)(이물(X)에 의한 쇼트 패스, 쇼트 회로)에의 큰 전류가 흐르고, 온도가 상승한다. 이 결과, 제1 도전막(17A) 중의 이물(X)에 접촉한 부분이, 국소적으로 과열되고, 산화에 의해 절연화한다(절연 부분(7a1)이 형성된다). 이에 의해, 이물(X)에 의한 쇼트 패스가 전기적으로 절단되고, 멸점을 제거할 수 있다. 환언하면, 순바이어스 전압 인가시에 있어서, 저항 성분(R1)에의 리크 전류가 감소하고(유기 EL 소자(10A)에 공급되는 드레인 전류(Ids)가 증가하고), 유기 EL 소자(10A)를 정상적인 상태로 수복할 수 있다.

[0085] 이와 같이, 본 실시의 형태에서는, 예를 들면 레이저 조사 등에 의해 외부로부터 수복을 행하는 것은 아니고, 전류나 온도를 통하여 내부적으로 멸점을 수복한다. 또한, 주사선 구동 회로(130) 및 신호선 구동 회로(120)의 일부 또는 전부가 유기 EL 소자(10A)와 같은 기판상에 형성되어 있는 경우에도, 특정한 영역에만 역바이어스 전압을 인가할 수 있다. 이 때문에, 효율적으로 멸점을 제거할 수 있다.

[0086] 여기서, 유기 EL 소자(10A)에 생기는 기생 용량 성분(C1)의 크기에 의해서는, 역방향 전류(Id)를 저항 성분(R1)에 효율적으로 흘릴 수가 없는 일이 있다. 역바이어스 전압의 교류 구동에 의해, 기생 용량 성분(C1)이 충전되어, 저항 성분(R1)에 전류가 흐르기 쉽게 된다. 또한, 교류 구동에 의해, 여기자(勵起子)를 활성화시켜서 멸점 부분을 수복할 수 있다. 따라서, 보다 효율적인 수복이 가능해진다.

[0087] 또한, 이 교류 역바이어스 구동을 가온한 상태에서 행함에 의해, 제1 도전막(17A)에서의 국소적인 산화를 촉진하여, 수복의 효율을 향상시킬 수 있다. 온도의 인가에 의해 분자의 운동 에너지를 억제할 수 있고, 역바이어스 전압에 의한 유기층(16)에 대한 부하를 완화시킬 수 있다. 이에 의해, 멸점을 집중적으로 수복하고, 다른 정상 영역에의 데미지를 경감할 수 있다.

[0088] 그리고, 유기 EL 소자(10A)가 정상적인 상태가 되면(절연 부분(7a1)이 형성되고, 멸점이 제거되면), 상기 교류 구동에서, 음극선 전압(Vcat)이 예를 들면 0V가 되었을 때, 5V의 순바이어스 전압이 유기 EL 소자(10A)에 인가된다. 즉, 화소 구동 회로(140)가 도 13b와 등가로 되고, 유기 EL 소자(10A)에는 드레인 전류(Ids)가 공급된다. 따라서, 상기한 바와 같은 수복 동작 중에, 멸점이였던 개소(화소)가 발광하기 시작함으로써, 수복의 완료를 확인할 수 있다.

[0089] (직류 역바이어스 구동에 의한 수복 동작)

[0090] 수복 동작시에 유기 EL 소자(10A)에 인가되는 역바이어스 전압은, 상기한 바와 같은 교류로 한하지 않고, 직류라도 좋다. 이 경우, 음극선 전압(Vcat)으로서 예를 들면 10V가, 전원 전압(Vcc)으로서 예를 들면 5V가 각각 인

가됨에 의해, 유기 EL 소자(10A)에 역바이어스 전압(5V)이 계속적으로 인가된다. 직류 구동의 경우도, 역방향 전류(Id)를 저항 성분(R1)에 계속적으로 흘림으로써, 이물(X) 부근의 온도를 상승시켜, 제1 도전막(17A)에 절연 부분(7a1)을 형성할 수 있다.

[0091] (3. 수복 동작시의 패널 통전 방법)

[0092] 상기한 바와 같은 수복 동작시에는, 도 11에 도시한 바와 같이 설치부(42)에 패널(43)을 설치하고, 패널(43)을 통전한다(역바이어스 전압을 인가한다). 이 때, 구체적으로는, 패널(43)의 단부에 형성된 패드(패드(49a) 내지 49e)에, 침(針)(프로브)(침(50a 내지 50e))를 대서(접촉시켜서), 패널(43)과 수복 장치(41)를 전기적으로 접속시킨다.

[0093] 도 15a 내지 도 15e에, 통전 방법의 한 예를 도시한다. 도 15a의 예는, 2장의 패널(43)이 1장의 유리 기판상에 형성되어 있는 경우를 도시한 것이고, 패널(43)에 마련된 패드(49a)와, 침(50a)과의 폭이 동등하게 되어 있다. 통전할 때에는, 침(50a)을 패널(43)(패드(49a))에 1대1 대응으로 순차적으로 접촉시킨다. 도 15b의 예는, 보다 많은 수(여기서는 16장)의 패널(43)이 1장의 유리 기판상에 형성되어 있는 경우(이른바 다면(多面) 취함의 경우)를 도시한 것이고, 패널(43)에 마련된 패드(49b)와, 침(50b)과의 폭이 동등하게 되어 있다. 통전할 때에는, 침(50b)을 패널(43)(패드(49b))에 1대1 대응으로 순차적으로 접촉시킨다.

[0094] 도 15c의 예에서는, 예를 들면 다면 취함의 경우에 있어서, 패널(43)에 마련된 패드(49c)의 폭이, 도 15b의 패드(49b)보다도 크게 되어다. 이 패드(49c)의 폭과, 침(50c)의 폭은 동등하게 되어 있다. 통전할 때에는, 침(50c)을 패널(43)(패드(49c))에 1대1 대응으로 순차적으로 접촉시키는데, 패드 폭이 넓은 분만큼, 도 15b의 예보다도 침(50c)와의 위치맞춤 정밀도를 완화할 수 있다.

[0095] 도 15d의 예에서는, 예를 들면 다면 취함의 경우에 있어서, 패널(43)의 개개의 패드가, 예를 들면 행방향(또는 열방향)에 따르고 전기적으로 접속되어 있고, 행마다, 복수의 패널(43)에 공통의 패드(49d)가 형성되어 있다. 이 패드(49d)의 폭과, 침(50d)의 폭은 동등하게 되어 있다. 통전할 때에는, 침(50d)을 패드(49d)에 순차적으로 접촉시키는데, 복수의 패널(43)에 일괄하여 통전을 할 수가 있다. 위치맞춤 정밀도를 완화함과 함께, 택트 타임(tact time)의 단축화에도 이어진다. 또한, 도 15e에 도시한 바와 같이, 모든 패널(43)에 공통의 패드(49e)를 형성하도록 하여도 좋고. 위치맞춤 정밀도 완화 및 택트 타임의 단축화에 보다 유리해진다.

[0096] [작용 및 효과]

[0097] 본 실시의 형태의 표시 장치(1)에서는, 도 1 및 도 2에 도시한 바와 같이, 주사선 구동 회로(130)로부터 각 화소의 트랜지스터(Tr2)의 게이트에 주사 신호가 공급됨과 함께, 신호선 구동 회로(120)로부터는 화상 신호가, 트랜지스터(Tr2)를 통하여 유지 용량(Cs)에 공급되고, 유지된다. 이 유지 용량(Cs)에 유지된 신호에 응하여 트랜지스터(Tr1)가 온 오프 제어되고, 이에 의해, 유기 EL 소자(10A)에 구동 전류(드레인 전류(Ids))가 주입된다. 이 구동 전류가, 제1 전극(14) 및 제2 전극(17)을 통하여 유기층(16)의 발광층에 주입됨에 의해, 유기층(16)에서는, 정공과 전자와의 재결합에 의해, 발광이 일어난다. 여기서는, 각 유기 EL 소자(10A)의 유기층(16)으로부터 백색광이 발생한다.

[0098] 각 유기 EL 소자(10A)로부터 백색광이 발생하면, 이 백색광은, 제2 전극(17), 컬러 필터층(19)(19R, 19G, 19B, 19W의 어느 한쪽) 및 밀봉 기판(20)을 투과하여, 표시 장치(1)의 상방에 출사한다. 이에 의해, R, G, B, W의 각 색광을 발하는 유기 EL 소자(10A)의 조를 하나의 픽셀로 하는 화상 표시가 행하여진다.

[0099] 여기서, 본 실시의 형태에서는, 제2 전극(17)이, 유기층(16)측부터 차례로 적층된 제1 도전막(17A) 및 제2 도전막(17B)을 포함한다. 이에 의해, 제조 프로세스에서, 이물(X) 등에 기인하여 제1 전극(14) 및 제2 전극(17)(상세하게는 제1 도전막(17A)) 사이에 쇼트 패스가 생긴 경우에도, 이것을 전기적으로 절단하기 쉽다.

[0100] 가령, 예를 들면 도 46a에 도시한 바와 같이, 제2 전극(107)을 투명 도전막으로 이루어지는 단층막으로 한 경우, 저저항화를 위해서는, 그 두께를 크게 하는 것이 바람직하다. 그런데 두께를 크게 한 경우, 도 46b에 도시한 바와 같이, 제2 전극(107)의 표면의 일부(107a)밖에만 산화할 수가 없어서, 이물(X)에 의한 쇼트 부분을 충분히 절연화하기가 어렵다.

[0101] 이에 대해, 본 실시의 형태에서는, 2층 구조로 함으로써, 제1 도전막(17A)을 박막화하여, 역바이어스 전압의 인가에 의해, 두께 방향의 전역(全域)에 걸쳐서 절연화하는 것이 가능해진다(도 10b). 이에 의해, 멸점 등의 이물(X)에 의한 전기적 영향을 저감할 수 있다. 그리고, 이 제1 도전막(17A)의 형성 공정 및 수복 공정의 후, 제2 도전막(17B)을 형성한다. 제2 도전막(17B)의 두께는, 필요하게 되는 저항치에 응하여 설정할 수 있다. 예를 들

면, 본 실시의 형태와 같이, 백색광을 얻기 위해 서로 다른 색의 발광층을 적층시킨 소자 구조를 갖는 경우에는, 제2 전극(17)에는, IZO 등의 투명 도전막이 사용된다. 이와 같은 투명 도전막에서는, 저저항화를 위해, 어느 정도의 두께를 필요로 하기 때문에, 제2 도전막(17B)을 후막화하여, 소망하는 저항치를 얻을(저항치를 저감할) 수 있다. 이와 같이, 제2 전극(17)을 2층 구조로 함에 의해, 이물에 기인하는 멸점을 제거함과 함께, 제2 전극(17)을 저저항화할 수 있다. 따라서, 표시 화질을 향상시키는 것이 가능해진다.

[0102] 이하, 상기 실시의 형태의 변형례에 관해 설명한다. 또한, 상기 실시의 형태와 같은 구성 요소에 관해서는 동일한 부호를 붙이고, 적절히 그 설명을 생략한다.

[0103] <변형례 1-1>

[0104] 도 16은, 변형례 1-1에 관한 화소(PXLC)의 배열의 한 예를 도시한 것이다. 상기 실시의 형태에서는, 예를 들면, R, G, B, W의 4개의 화소(PXLC)가 표시 단위(U)(픽셀)를 구성하는 경우에 관해 설명하였지만, 본 변형례와 같이, R, G, B의 3개의 화소(PXLC)가 하나의 표시 단위(U)를 구성하고 있어도 좋다. 이 경우, 스트립(strip)형상의 화소(PXLC)가, 예를 들면 전체로서 스트라이프(stripe)형상으로 병렬하여 배치된 레이아웃으로 된다.

[0105] 도 17은, 상기 3개의 화소(PXLC)를 형성하기 위한 컬러 필터(19), 유기층(16)(구체적으로는 유기 전계 발광층) 및 개구부(WIN)(뱅크(15)의 개구)의 각 레이아웃의 한 예를 도시한 것이다. 이와 같이, 본 변형례에서는, 컬러 필터층(19)의 색의 배열(R, G, B)이, 화소(PXLC)의 배열에 대응하고 있고, 유기층(16)은, 3개의 화소(PXLC)에 대해 공통의 백색 발광층(W)을 갖고 있다. 또한, 뱅크(15)의 개구부(WIN)는, 화소(PXLC)와 1대1 대응으로 마련되어 있다.

[0106] 또한, 본 변형례에서도, 도 18에 도시한 바와 같이, 유기층(16)(발광층)은, 상기 실시의 형태와 마찬가지로 황색 발광층(16Y) 및 청색 발광층(16B)을 포함하고 있다. 또한, 이들의 황색 발광층(16Y) 및 청색 발광층(16B)의 적층 순서는 상기와 반대라도 좋다. 또한, 황색 발광층(16Y)은, 황색(Y)의 광을 발광하는 재료로 구성되어 있는 경우로 한하지 않고, 다른 재료로 구성되어 있어도 좋다.

[0107] <변형례 1-2>

[0108] 도 19는, 변형례 1-2에 관한 화소(PXLC)를 형성하기 위한 컬러 필터(19), 유기층(16) 및 개구부(WIN)의 각 레이아웃의 한 예를 도시한 것이다. 본 변형례에서는, R, G, B의 3개의 화소(PXLC)로 표시 단위(U)가 구성되고, 유기층(16)이 R, G, B의 각 색으로 나누어 칠하여 있는(화소(PXLC)마다 다른 색의 발광층이 형성되어 있는) 점에서, 상기 실시의 형태와 다르다. 본 변형례에서는, 도 20에 도시한 바와 같이, 컬러 필터층(19)의 R, G, B의 각 영역에 대향하여, 유기층(16)에는, 3색의 발광층(16R, 16G, 16B)이 형성되어 있다.

[0109] 이와 같이, 유기층(16)이 화소(PXLC)마다 나누어 칠하여 있는 경우에는, 이른바 마이크로 캐비티를 이용한 광 공진 효과에 의해, 발광 스펙트럼을 증대시킬 수 있다. 이 경우, 예를 들면, 제2 전극(17)으로서 마그네슘-은 등의 반투명 도전막이 사용된다. 이에 의해, 유기층(16)으로부터 발하여진 색광을, 제2 전극(17)과, 반사 전극인 제1 전극(14)과의 사이에서 공진(共振)시킬 수가 있어서, 소망하는 파장의 강도를 높일 수 있다.

[0110] <변형례 1-3>

[0111] 도 21은, 변형례 1-3에 관한 화소(PXLC)를 형성하기 위한 컬러 필터(19), 유기층(16) 및 개구부(WIN)의 각 레이아웃의 한 예를 도시한 것이다. 본 변형례에서는, R, G, B의 3개의 화소(PXLC)로 표시 단위(U)가 구성되고, 유기층(16)이 Y, B의 2색으로 나누어 칠하여 있는 점에서, 상기 실시의 형태와 다르다. 본 변형례에서는, 도 22에 도시한 바와 같이, 컬러 필터층(19) 중 R, G의 영역에 대향하여, 유기층(16)에서는 황색(Y)발광층(황색 발광층(16Y))이 형성되어 있다. 컬러 필터층(19) 중 B의 영역에 대향하여, 유기층(16)에서는 청색(B)발광층(청색 발광층(16B))이 형성되어 있다.

[0112] 이와 같이, 유기층(16)에서, R, G의 화소(PXLC)에 대응하는 영역이 황색(Y), B의 화소(PXLC)에 대응하는 영역이 청색(B)이 되도록 나누어 칠하여 있어도 좋다. 이 경우에도, 상기 변형례 1-2와 마찬가지로 마이크로 캐비티를 이용한 광 공진 효과에 의해, 발광 스펙트럼을 증대시킬 수 있다.

[0113] <변형례 1-4>

[0114] 도 23은, 변형례 1-4에 관한 화소(PXLC)를 형성하기 위한 컬러 필터(19), 유기층(16) 및 개구부(WIN)의 각 레이아웃의 한 예를 도시한 것이다. 본 변형례에서는, R, G, B, Y의 4개의 화소(PXLC)로 표시 단위(U)가 구성되고, 유기층(16)이 Y, B의 2색으로 나누어 칠하여 있는 점에서, 상기 실시의 형태와 다르다. 본 변형례에서는, 도 24

에 도시한 바와 같이, 유기층(16)에서, 컬러 필터층(19) 중 R, Y, G에 대향하는 영역에, 황색 발광층(16Y)이 형성되어 있다. 컬러 필터층(19) 중 B에 대향하는 영역에는, 청색 발광층(16B)이 형성되어 있다.

[0115] 이와 같이, R, G, B, Y의 4개의 화소(PXLC)로부터 1픽셀이 구성되어 있어도 좋다. 또한, 이 경우, 유기층(16)에서, R, Y, G의 화소(PXLC)에 대응하는 영역이 황색 발광층(16Y), B의 화소(PXLC)에 대응하는 영역이 청색 발광층(16B)이 되도록 나누어 칠하여 있어도 좋다. 이 경우에도, 상기 변형례 1-2와 마찬가지로 마이크로 캐비티를 이용한 광 공진 효과에 의해, 발광 스펙트럼을 증대시킬 수 있다.

[0116] <변형례 2>

[0117] 상기 실시의 형태에서는, 뱅크(15)의 개구부(WIN)가 화소(PXLC)(유기 EL 소자(10A))와 1대1 대응으로 마련된 구성을 예시하였지만, 본 변형례와 같이, 하나의 화소(PXLC)에 복수의 개구부(WIN)를 마련하여, 이른바 리플렉터(애노드 리플렉터)를 형성하여도 좋다. 도 25는, 변형례 2에 관한 애노드 리플렉터를 갖는 소자의 단면 구조를 도시한 것이다. 이 경우, 뱅크(15)에는, 제1 전극(14)이 형성된 영역의 일부에 복수의 개구부(WIN)가 마련되어 있는 점에서, 상기 실시의 형태와 다르다. 이들의 제1 전극(14) 및 뱅크(15)의 상부에는, 복수의 개구부(WIN)를 덮도록, 유기층(16)이 형성되어 있다.

[0118] 도 26은, 각 제1 전극(14)상에서의 개구부(WIN)의 배치를 모식적으로 도시하는 것이다. 또한, 제1 전극(14(R), 14(G), 14(B), 14(W))은, R, G, B, W의 서브 화소(PXLC)의 애노드인 것을 나타낸다. 이들의 제1 전극(14(R), 14(G), 14(B), 14(W))(이하, 특히 구별이 없는 경우는 단지 「제1 전극(14)」라고 한다)는, 서로 이간하여 배치되지만, 편의상, 인접하도록 도시하고 있다. 각 제1 전극(14)은, 화소 구동 회로(140)에 형성된 구동용의 트랜지스터(Tr1)의 드레인과, 각각 콘택트(205)를 통하여 접속되어 있다. 이 예에서는, 콘택트(205)는, 각 제1 전극(14)의 좌상에 배치되어 있다.

[0119] 각 제1 전극(14)에는, 다양한 형상을 갖는 복수의 개구부(WIN)가, 랜덤하게 배치되어 있다. 즉, 개구부(WIN)의 각 형상은, 예를 들면 원형, 타원형, 또는 그들이 결합한 형태 등 다양하다. 또한, 타원형은, 엄밀한 정의에 있어서의 타원형으로 한정되는 것이 아니고, 단지 원형을 가늘고 길게 한 것이라는 정도의 의미이다. 또한, 이들의 복수의 개구부(WIN)는, 각 제1 전극(14)상에서, 예를 들면 소정의 방향으로 정연하게 배치되는 등의 명확한 규칙성을 갖지 않도록 배치되어 있다. 또한, 이 예에서는, 각 개구부(WIN)의 면적을 서로 거의 동등하게 하고 있다. 이에 의해, 제조시에 있어서의 포토 리소그래피의 조건을 결정하기 쉽게 할 수 있다. 이들의 개구부(WIN)는, 콘택트(205)가 형성된 위치와 다른 위치에 배치되어 있다. 또한, 이 예에서는, 각 제1 전극(14)상에서, 복수의 개구부(WIN)가 같은 배치 패턴으로 배치되어 있다.

[0120] 도 27은, 개구부(WIN)의 주요부 단면 구조를 도시하는 것이다. 개구부(WIN)는, 엄밀하게는, 이하와 같은 설계에 의거하여 형성되어 있다. 즉, 뱅크(15)는, 높이(H)의 두께로 형성되고, 뱅크(15)의 제1 전극(14)측의 개구 폭(R1)은, 표시면 측의 개구 폭(R2)보다도 작게 되어 있다. 즉, 뱅크(15)에는, 개구부(WIN)를 둘러싸도록, 경사 부분(PS)이 마련되어 있다. 이에 의해, 후술하는 바와 같이, 개구부(WIN)에서의 유기층(16)으로부터 사출하고, 경사 부분(PS)을 향하는 광은, 뱅크(15)와 보호막(18)(절연막)과의 굴절률의 차이에 의해, 그 경사 부분(PS)에서 반사하여, 표시면의 정면 방향으로 진행된다. 이와 같이, 경사 부분(PS)은, 유기층(16)으로부터 사출한 광을 반사시키는, 이른바 리플렉터로서 기능한다. 그 결과, 각 화소(PXLC)에서, 광의 외부로의 취출 효율을 높일 수 있다. 이 경사 부분(PS)에서 광을 효율적으로 반사시키기 위해, 보호막(18)의 굴절률(n1)과, 뱅크(15)의 굴절률(n2)은, 예를 들면, 이하의 식을 충족시키는 것이 바람직하다.

[0121] $1.1 \leq n1 \leq 1.8$ (1)

[0122] $n1-n2 \geq 0.20$ (2)

[0123] 도 28은, 개구부(WIN) 부근에서의, 광선의 시뮬레이션 결과의 한 예를 도시하는 것이다. 이 도 28은, 유기층(16)으로부터 하방을 향하여 출사한 광이, 경사 부분(PS)에 상당하는 부분에서 반사되어, 상방을 향하여 진행되는 양상을 도시하고 있다. 이와 같이, 반사 후의 광은, 다양한 방향을 향하여 사출된다. 예를 들면, 유기층(16)의 법선 방향(도 28의 윗방향)으로 진행되고, 또는, 그 법선 방향에서 빗나갔던 방향(경사 방향)으로 진행된다. 경사 방향으로 진행된 광의 일부는, 경사 부분(PS)에 입사하고, 그리고 반사된다. 구체적으로는, 경사 부분(PS)에서는, 서로 다른 굴절률을 갖는 뱅크(15)와 보호막(18)이, 유기층(16) 및 제2 전극(17)을 끼우고 이웃하기 때문에, 그 굴절률의 차이에 의해, 광이 반사된다. 그리고, 이 반사광은, 표시면 측으로 진행되어, 외부에 취출된다.

[0124] 이와 같이, 개구부(WIN)의 경사 부분(PS)에 의해, 광의 외부로의 취출 효율을 높일 수 있다. 가령, 경사 부분

(PS)을 마련하지 않는 경우에는, 발광층(214)의 법선 방향에서 빗나갔던 방향으로 사출되는 광은, 표시부 내로 약해지고, 또는 블랙 매트릭스(BM)에 의해 차단될 우려가 있다. 이 경우에는, 유기층(16)으로부터 사출한 광 중, 표시부의 외부에 취출된다 광의 비율이 저하되고, 광의 취출 효율이 저하되어 버린다. 본 변형례에서는, 경사 부분(PS)을 마련함으로써, 이 경사 부분(PS)에서 광이 반사되기 때문에, 광이 취출하고 효율을 높일 수 있다. 또한, 다양한 형상의 복수의 개구부(WIN)를 랜덤하게 배치함에 의해, 외광의 반사에 의해 표시 화면이 보이지 않게 될 우려를 저감할 수 있고, 화질을 높일 수 있다.

[0125] 상기 예에서는, 다양한 형상의 복수의 개구부(WIN)를 랜덤하게 배치하였지만, 개구부(WIN)의 레이아웃은, 이것으로 한정되는 것이 아니고, 다른 다양한 패턴을 취할 수 있다. 이하에, 그 밖의 한 예를 나타낸다.

[0126] 도 29에 도시한 바와 같이, 다양한 형상의 복수의 개구부(WIN)(WIN1, WIN2)를, 소정의 패턴으로 규칙적으로 배치하여도 좋다. 이 예에서는, 원형의 개구부(WIN1)의 주위에, 6개의 타원형의 개구부(WIN2)를, 그 개구부(WIN1)를 둘러싸도록 배치하고 있다. 즉, 이른바 세밀충전 배치와 마찬가지로, 개구부(WIN1, WIN2) 중의 3개를 서로 이웃하도록 배치하고 있다. 그리고, 이들 6개의 타원형의 개구부(WIN2)를, 방향이 서로 다르도록 배치하고 있다. 이와 같이 개구부(WIN1, WIN2)를 배치한 경우에도, 외광의 반사에 의해 표시 화면이 보이지 않게 될 우려를 저감할 수 있다. 또한, 타원형의 개구부(WIN2) 방향이 서로 다르도록 하였기 때문에, 시야각을 넓게 할 수 있다.

[0127] 또한, 이 예에서는, 원형의 개구부(WIN1) 및 타원형의 개구부(WIN2)를 이용하였지만, 이것으로 한정되는 것이 아니고, 도 30a 내지 30e에 도시하는 바와 같은 다양한 형상의 개구부를 이용하여도 좋다. 구체적으로는, 예를 들면, 개구부(WIN)의 형상을, 도 30a에 도시한 바와 같이, 정방형의 모서리를 둥글게 한 형상으로 하여도 좋고, 도 30b에 도시한 바와 같이, 장방형의 모서리를 둥글게 한 형상으로 하여도 좋고, 도 30c 내지 30e에 도시한 바와 같이, 복수의 타원을 조합시킨 형상으로 하여도 좋다.

[0128] 또한, 도 31에 도시한 바와 같이, 백색의 화소(PXLC)에서, 타색의 화소(PXLC)보다도 적은 수의 개구부(WIN3)를 마련하여도 좋다. 제1 전극(14)(R), 14(G), 14(B)상에는, 상술한 도 26의 예와 마찬가지로, 다양한 형상의 복수의 개구부(WIN)가, 랜덤하게 배치되어 있다. 한편, 제1 전극(14)(W)상에는, 이 예에서는 큰 개구부(WIN3)가 하나 배치되어 있다.

[0129] 이 구성에 의해, 백색(W)의 화소(PXLC)에서의 외광의 회절이 생기기 어렵게 할 수가 있어서, 반사광에 의해 표시 화면이 보이지 않게 될 우려를 저감할 수 있다. 여기서, 백색(W)의 화소(PXLC)에는, 넓은 범위의 파장의 광을 통과시키는 백색의 컬러 필터(19W)가 형성되어 있기 때문에, 외광(백색)은 이 컬러 필터(19W)를 통과하여 내부에 입사한다. 이 때문에, 백색의 화소(PXLC) 내에서 회절이 생긴 경우, 넓은 범위에 걸쳐서 광이 반사되기 쉽고, 표시 화면이 보이지 않게 될 우려가 있다. 본 변형례와 같이, 백색의 화소(PXLC)의 개구부(WIN3)를 단일한 것으로 함으로써, 회절의 발생을 저감할 수 있다.

[0130] 또한, 도 32에 도시하는 바와 같이, 백색(W)의 화소(PXLC)에서의 개구부(WIN3)의 수는 하나로 한하지 않고, 타색의 화소(PXLC)와 비교하여 적은 수의 복수의 개구부(WIN3)를 마련하여도 좋다. 그 때, 개구율을 높이기 위해, 개구부(WIN3)의 각각의 면적은 큰 것이 바람직하다.

[0131] 또한, 도 33a 및 도 33b에 도시한 바와 같이, 개구부(WIN)의 형상은, 예를 들면 정방형이나 장방형 등의 사각형으로 하여도 좋다.

[0132] 더하여, 도 34 및 도 35에 도시한 바와 같이, 콘택트(205)의 형상을, 원형 형상으로 함과 함께, 개구부(WIN)의 크기와 거의 동등한 크기로 하여도 좋다. 이 경우에는, 콘택트(205) 및 개구부(WIN)를, 한정된 면적에 보다 효율적으로 배치할 수 있다. 또한, 도 35에 도시하는 바와 같이, 콘택트(205) 및 개구부(WIN)의 배치를, 이른바 최밀충전 배치로 하여도 좋다. 이 최밀충전 배치에서는, 예를 들면 3개의 개구부(WIN)가 서로 이웃하도록 배치된다. 이에 의해, 콘택트(205) 및 개구부(WIN)를, 더욱 효율적으로 배치할 수 있다. 이 경우에는, 제1 전극(14)의 윤곽을 구성한 각 변은, 콘택트(205) 및 개구부(WIN)의 사이의 간극에 마련된다. 이에 의해, 이 예에서는, 제1 전극(14)의 상변 및 하변은 횡방향으로 늘어나지만, 좌측의 2개의 변 및 우측의 2개의 변은, 각각 알파벳의 "V"의 형상이 되고, 각 변은 횡방향으로부터 60도 어긋난 방향으로 늘어난다.

[0133] 또한, 도 36a 내지 도 36d, 도 37a 내지 도 37f 및 도 38a, 도 38b에 도시한 바와 같이, 제1 전극(14)의 형상이 예를 들면 수평 방향(횡방향)으로 늘어나는 육각형이라도 좋다. 이에 의해, 제1 전극(14)의 면적을 보다 크게 확보할 수 있다. 또한, 제1 전극(14)상의 각 영역에, 복수의 개구부(WIN)를 효율적으로 배치할 수 있다. 구체적으로는, 제1 전극(14)이, 정6각형을 수평 방향으로 그대로 확대한 형상인 경우에는, 개구부(WIN)의 형상을,

원형 형상을 제1 전극(14)의 확대 비율의 같은 비율로 확대한 타원형상으로 함에 의해, 용이하게 최밀충전 배치를 얻을 수 있다. 단, 개구부(WIN)의 수는 단일하여도, 적어도 좋다.

[0134] 또한, 도 36d에서는, 개구부(WIN)를 7행분 마련하고 있다. 이와 같이, 개구부(WIN)를 홀수행분 마련한 경우에는, 모든 개구부(WIN)를 최밀충전 배치에 의해 배치할 수 있다. 단, 도 36b 및 도 36c에 도시한 바와 같이, 개구부(WIN)를 짝수행분 마련한 경우에도, 상반분의 개구부(WIN)를 최밀충전 배치에 의해 배치함과 함께, 상반분의 개구부(WIN)를 최밀충전 배치에 의해 배치할 수 있다. 또한, 도 37a 내지 도 37f에 도시한 바와 같이, 개구부(WIN)의 형상을 원형으로 하여도 좋다. 또한, 도 38a에 도시하는 바와 같이, 타원형의 개구부(WIN)와, 원형의 개구부(WIN)의 양쪽을 마련하여도 좋다. 또한, 도 38b에 도시하는 바와 같이, 세로로 기다란 타원형의 개구부(WIN)와, 가로로 기다란 타원형의 개구부(WIN)의 양쪽을 마련하여도 좋다. 이 경우에는, 좌우 방향에 더하여, 상하 방향의 시야각도 넓힐 수 있다.

[0135] <적용례>

[0136] 상기 실시의 형태 및 변형례에서 설명한 표시 장치는, 외부로부터 입력된 영상 신호 또는 내부에서 생성한 영상 신호를, 영상으로서 표시하는 모든 분야의 전자 기기에 이용할 수 있다. 그때, 예를 들면 도 39에 도시한 바와 같은 모듈로서, 이하에 든 것 같은 텔레비전 장치, 디지털 스틸 카메라, 비디오 카메라, 노트형 퍼스널 컴퓨터, 휴대 전화 및 스마트 폰 등의 휴대 단말 장치 등의 전자 기기에 조립된다. 도 39에서, 기판(11)에는, 예를 들면 2차원 배치된 서브 화소(상술한 유기 EL 소자(10A)를 포함하는 화소(PXLC))를 포함하는 표시 영역(110)과, 신호선 구동 회로(120) 및 주사선 구동 회로(130) 등이 형성되어 있다. 기판(11)의 1변에는, 제2 기판(21)으로부터 노출한 영역(210)이 마련되고, 이 영역(210)에, 신호선 구동 회로(120) 및 주사선 구동 회로(130)의 배선을 연장하여 외부 접속단자(도시 생략)가 형성되어 있다. 외부 접속단자에는, 신호의 입출력을 위한 플렉시블 프린트 배선 기판(FPC ; Flexible Printed Circuit)(220)이 마련되어 있다.

[0137] 도 40은, 텔레비전 장치의 외관을 도시한 것이다. 이 텔레비전 장치는, 예를 들면, 프런트 패널(310) 및 필터 유리(320)를 포함하는 영상 표시 화면부(300)를 갖고 있다. 영상 표시 화면부(300)가, 상기 실시의 형태 등의 표시 장치에 의해 구성되어 있다.

[0138] 도 41a 및 도 41b는, 디지털 스틸 카메라의 외관을 도시한 것이다. 이 디지털 스틸 카메라는, 예를 들면, 플래시용의 발광부(470) 표시부(460), 메뉴 스위치(430) 및 셔터 버튼(440)을 갖고 있다. 표시부(420)가, 상기 실시의 형태 등의 표시 장치에 의해 구성되어 있다.

[0139] 도 42는, 노트형 퍼스널 컴퓨터의 외관을 도시한 것이다. 이 노트형 퍼스널 컴퓨터는, 예를 들면, 본체(510), 문자 등의 입력 조작을 위한 키보드(520) 및 화상을 표시한 표시부(530)를 갖고 있다. 표시부(530)가, 상기 실시의 형태 등의 표시 장치에 의해 구성되어 있다.

[0140] 도 43은, 비디오 카메라의 외관을 도시한 것이다. 이 비디오 카메라는, 예를 들면, 본체부(610), 이 본체부(610)의 전방 측면에 마련된 피사체 촬영용의 렌즈(620), 촬영시의 스타트/스톱 스위치(630) 및 표시부(640)를 갖고 있다. 표시부(640)가, 상기 실시의 형태 등의 표시 장치에 의해 구성되어 있다.

[0141] 도 44a 및 도 44b는, 휴대 전화기의 외관을 도시한 것이다. 이 휴대 전화기는, 예를 들면, 상측 몸체(710)와 하측 몸체(720)를 연결부(힌지부)(730)로 연결한 것이고, 디스플레이(740), 서브 디스플레이(750), 픽처 라이트(760) 및 카메라(770)를 갖고 있다. 디스플레이(740) 또는 서브 디스플레이(750)가, 상기 실시의 형태 등의 표시 장치에 의해 구성되어 있다.

[0142] 도 45a 및 도 45b는, 스마트 폰의 외관을 도시한 것이다. 이 스마트 폰은, 예를 들면, 표시부(810) 및 비표시부(몸체)(820)와, 조작부(830)를 구비하고 있다. 조작부(830)는, 비표시부(820)의 전면에 마련되어 있어도 좋고(도 45a), 윗면에 마련되어 있어도 좋다(도 45b). 표시부(810)가, 상기 실시의 형태 등의 표시 장치에 의해 구성되어 있다.

[0143] 이상, 실시의 형태 및 변형례를 들어 설명하였지만, 본 개시는 상기 실시의 형태 등으로 한정되는 것이 아니고, 여러가지 변형이 가능하다. 예를 들면, 수복 동작시에는, 멸점 대상이 되는 선택적인 영역에만 역바이어스 전압을 인가하여도 좋고, 이것으로 한하지 않고, 멸점 부분을 포함하는 넓은 범위의 영역에 역바이어스 전압을 인가하여도 좋다. 후자의 수법에 의하면, 수복 동작에 필요로 하는 시간을 단축할 수 있고, 양산화에 유리하다. 또한, 정상 부분에도 역바이어스 전압이 인가되는 것이 되지만, 인가 조건을 적절하게 제어함에 의해, 수복률의 개선 효과만을 향수할 수 있다.

[0144] 또한, 상기 실시의 형태 등에서는, 제2 전극(17)이 2층 구조인 경우를 예시하였지만, 또 다른 도전막을 포함하는 3층 이상의 다층막이라도 좋다.

[0145] 또한, 상기 실시의 형태 등에 기재한 각 층의 재료 및 두께는 열거한 것으로 한정되는 것이 아니라, 다른 재료 및 두께로 하여도 좋다. 또한, 표시 장치에서는, 상술한 모든 층을 구비하고 있을 필요는 없고, 또는 상술한 각 층에 더하여 또 다른 층을 구비하고 있어도 좋다. 또한, 상기 실시의 형태 등에서 설명한 효과는 한 예이고, 다른 효과라도 좋고, 또 다른 효과를 포함하고 있어도 좋다.

[0146] 또한, 본 개시는 이하와 같은 구성이라도 좋다.

[0147] (1)

[0148] 제1 전극과,

[0149] 상기 제1 전극상에 형성되고, 발광층을 포함하는 유기층과,

[0150] 상기 유기층의 위에 차례로 적층된 제1의 도전막과 제2의 도전막을 포함하는 제2 전극을 구비한 표시 장치.

[0151] (2)

[0152] 상기 제1의 도전막의 두께는, 상기 제2의 도전막의 두께보다도 작은 상기 (1)에 기재된 표시 장치.

[0153] (3)

[0154] 상기 제1의 도전막의 두께는, 상기 제2의 도전막의 두께의 10분의 1 이하인 상기 (2)에 기재된 표시 장치.

[0155] (4)

[0156] 상기 제1 및 제2의 도전막은 광투과성을 갖는 상기 (1) 내지 (3)의 어느 하나에 기재된 표시 장치.

[0157] (5)

[0158] 상기 제1의 도전막은, 다른 부분보다도 고저항의 국소 부분을 포함하는 상기 (4)에 기재된 표시 장치.

[0159] (6)

[0160] 상기 제1 및 제2의 도전막은, 서로 동일한 재료로 이루어지는 상기 (4) 또는 (5)에 기재된 표시 장치.

[0161] (7)

[0162] 상기 제1 및 제2의 도전막은, 인듐아연산화물(IZO)로 이루어지는 상기 (6)에 기재된 표시 장치.

[0163] (8)

[0164] 상기 제1의 도전막은 마그네슘(Mg)과 은(Ag)과의 합금을 포함하고,

[0165] 상기 제2의 도전막은 인듐아연산화물(IZO)을 포함하는 상기 (4) 또는 (5)에 기재된 표시 장치.

[0166] (9)

[0167] 상기 제1의 도전막과 상기 제2의 도전막과의 사이에 산화막을 갖는 상기 (1) 내지 (8)의 어느 하나에 기재된 표시 장치.

[0168] (10)

[0169] 상기 제1의 도전막은 투명 도전막이고,

[0170] 상기 제2의 도전막은, 광반사성을 갖는 금속막인 상기 (1) 내지 (3)의 어느 하나에 기재된 표시 장치.

[0171] (11)

[0172] 제1 전극과,

[0173] 상기 제1 전극상에 형성되고, 발광층을 포함하는 유기층과,

[0174] 상기 유기층의 위에 차례로 적층된 제1의 도전막과 제2의 도전막을 포함하는 제2 전극을 구비한 표시 장치를 갖는 전자 기기.

[0175] (12)

[0176] 제1 전극과,

[0177] 상기 제1 전극상에 형성되고, 발광층을 포함하는 유기층과,

[0178] 상기 유기층상에, 다른 부분보다도 고저항의 국소 부분을 포함하는 제2 전극을 구비한 표시 장치.

[0179] (13)

[0180] 상기 제2 전극은, 상기 유기층의 위에 차례로 적층된 제1의 도전막과 제2의 도전막을 포함하고,

[0181] 상기 국소 부분은, 상기 제1의 도전막에 형성되어 있는 상기 (12)에 기재된 표시 장치.

[0182] 본 발명은 공개된 일본 특허청에 2013년 10월 30일에 출원되어 우선권 주장된 일본 특허 출원 JP2013-225533과 관계된 주제를 포함하며, 이는 참조로서 전체 내용에 포함된다.

[0183] 다양한 수정, 조합, 하위 조합 및 변경은 관련 기술분야의 기술자의 설계의 요구 및 첨부된 청구항과 그 균등물 범위 내에 있는 다른 요인에 의하여 발생할 수 있음을 이해해야 한다.

부호의 설명

[0184] 1 : 표시 장치

10A : 유기 EL 소자

10 : 구동 기판

11 : 기판

12 : TFT

13 : 평탄화층

14 : 제1 전극

15 : 뱅크

16 : 유기층

17 : 제2 전극

17A : 제1 도전막

17B : 제2 도전막

17a1 : 절연 부분

18 : 보호막

19 : 컬러 필터층

19R, 19G, 19B, 19W : 컬러 필터

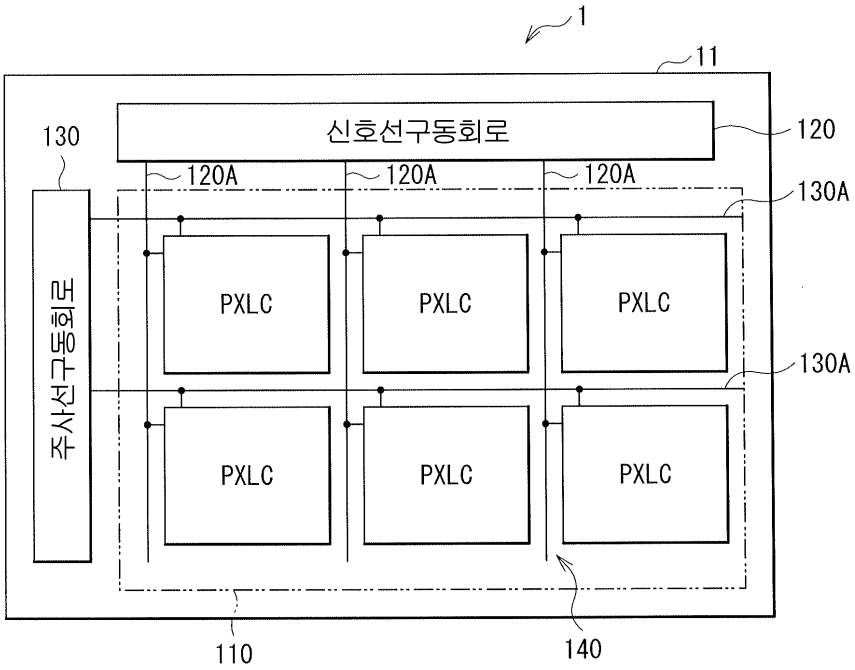
BM : 블랙 매트릭스층

20 : 밀봉 기판

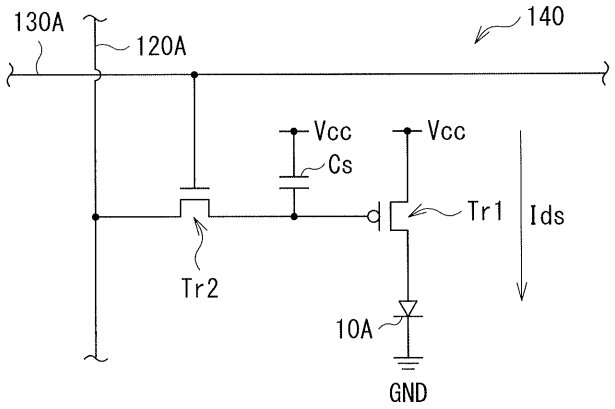
X : 이물

도면

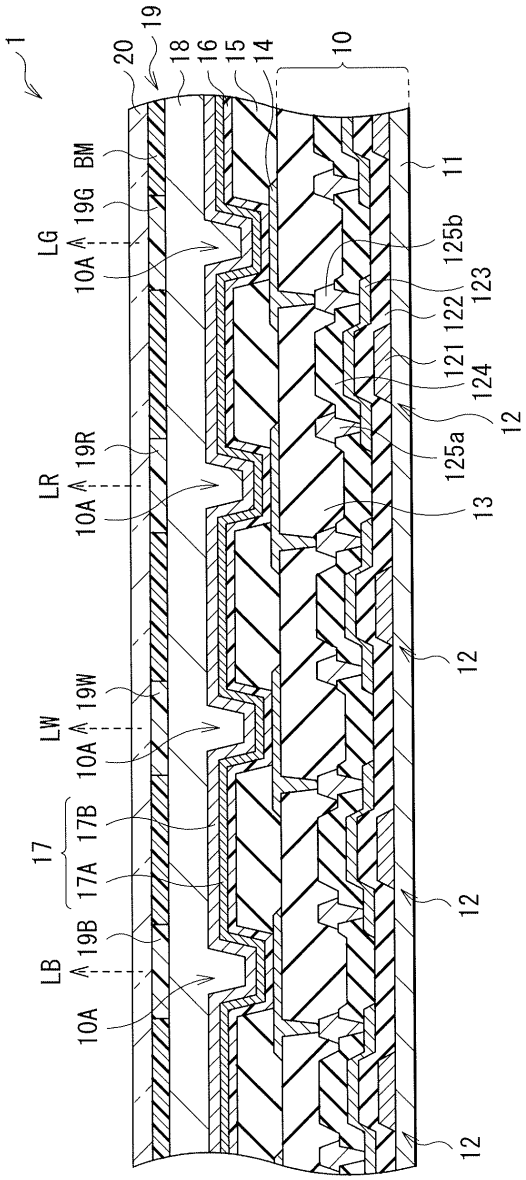
도면1


1
11
130
신호선구동회로
120
120A
120A
120A
130A
PXLC
PXLC
PXLC
주사선구동회로
130A
PXLC
PXLC
PXLC
110
140

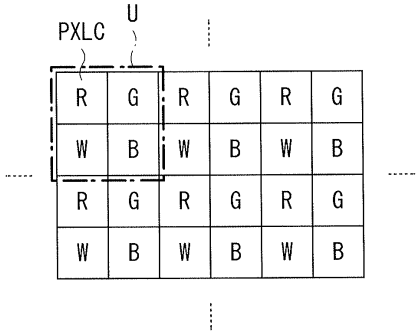
도면2


130A
120A
140
Vcc
Vcc
Cs
Tr1
Ids
Tr2
10A
GND

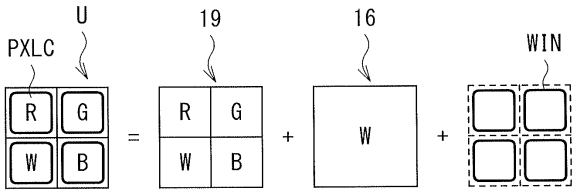
도면3


1
20
19
18
16
15
14
10
11
BM
19G
LG
10A
125b
123
122
121
124
12
125a
19R
LR
10A
13
12
19W
LW
10A
17B
17
17A
12
19B
LB
10A
12

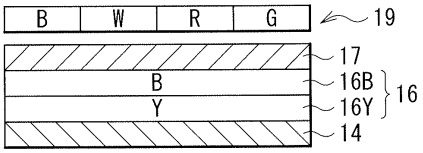
도면4


PXLC
U
R G R G R G
W B W B W B
R G R G R G
W B W B W B

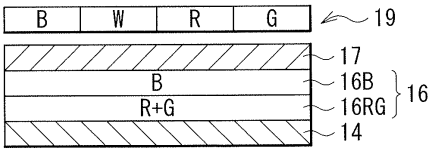
도면5



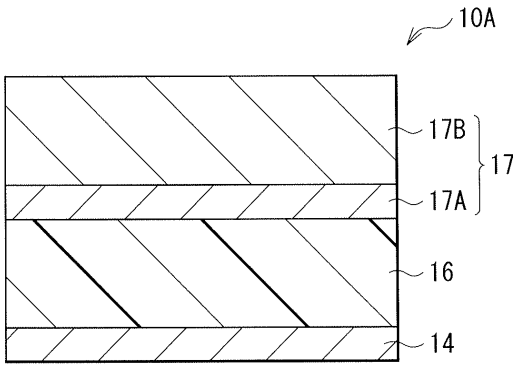
도면6a



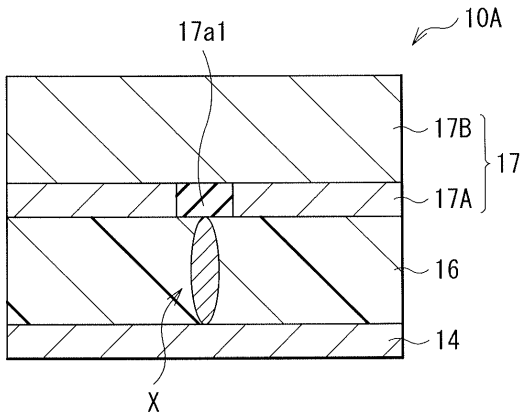
도면6b



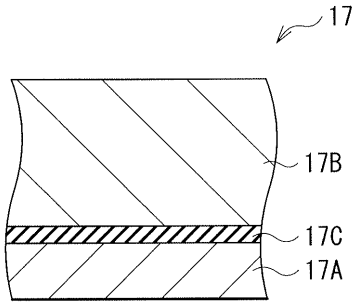
도면7a



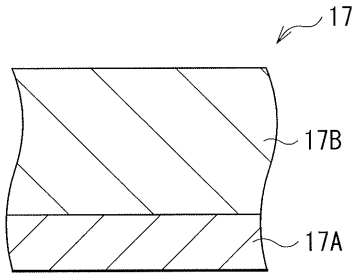
도면7b



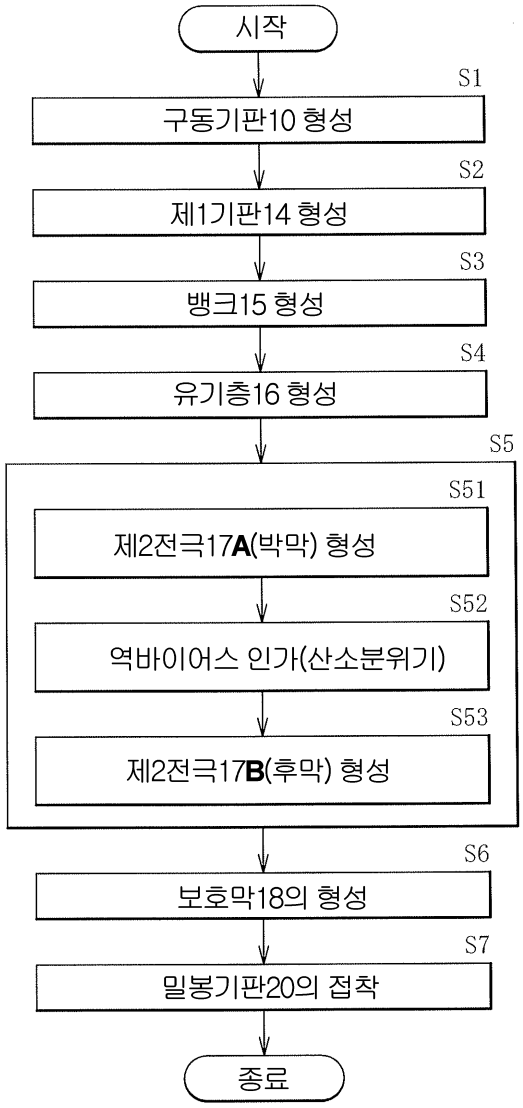
도면8a



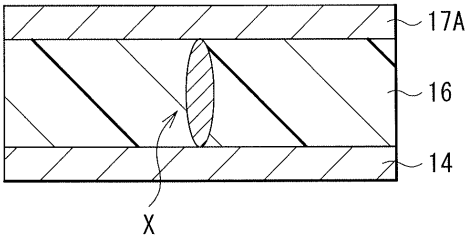
도면8b



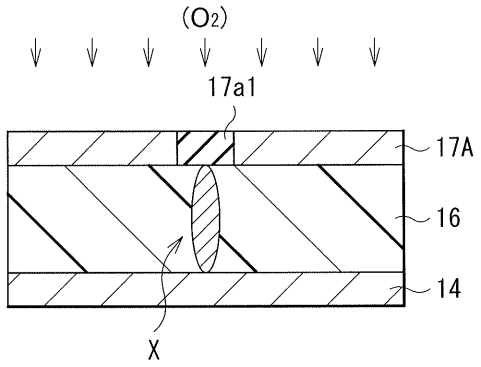
도면9


시작
S1
구동기판10 형성
S2
제1기판14 형성
S3
뱅크15 형성
S4
유기층16 형성
S5
S51
제2전극17A(박막) 형성
S52
역바이어스 인가(산소분위기)
S53
제2전극17B(후막) 형성
S6
보호막18의 형성
S7
밀봉기판20의 접착
종료

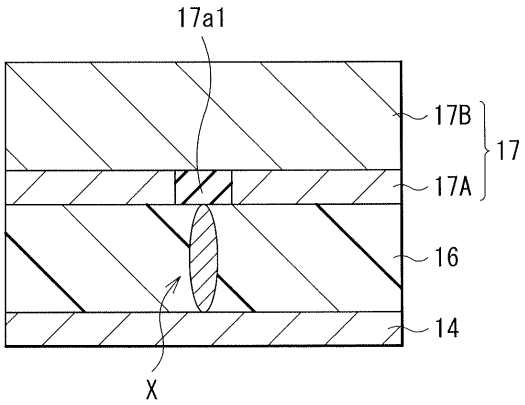
도면10a


17A
16
14
X

도면10b



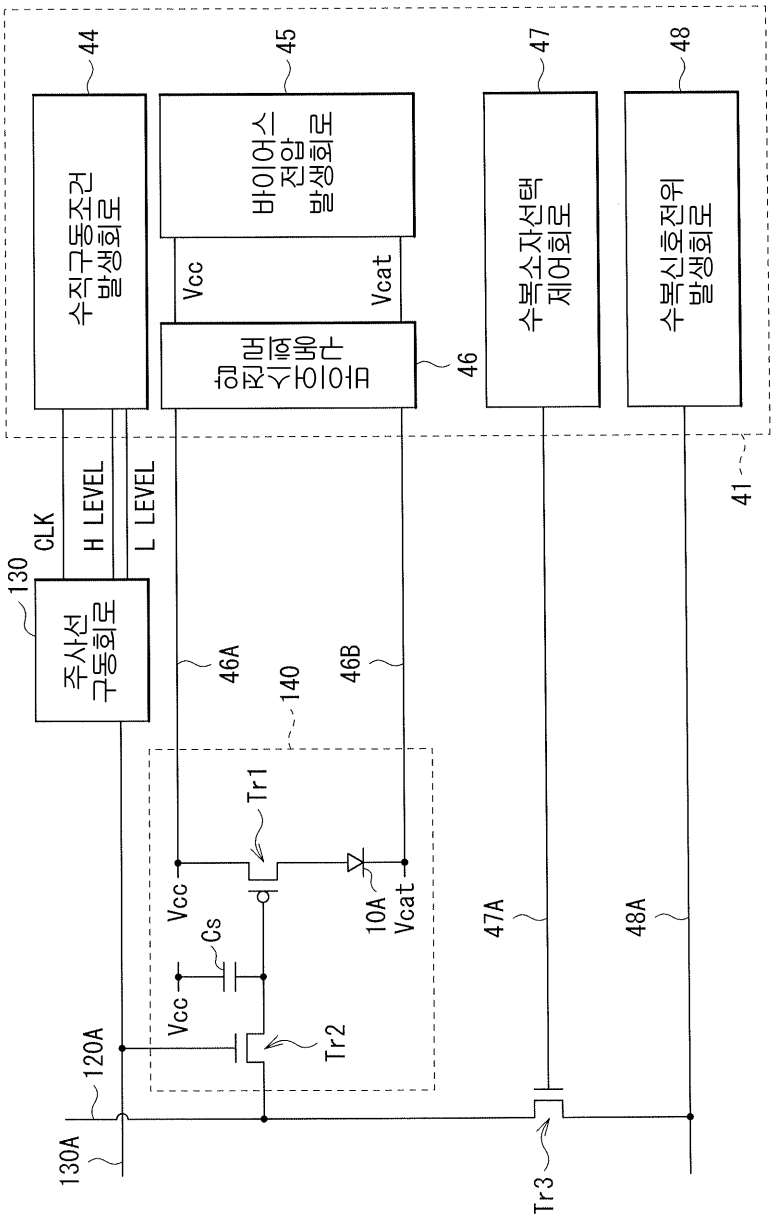
도면10c



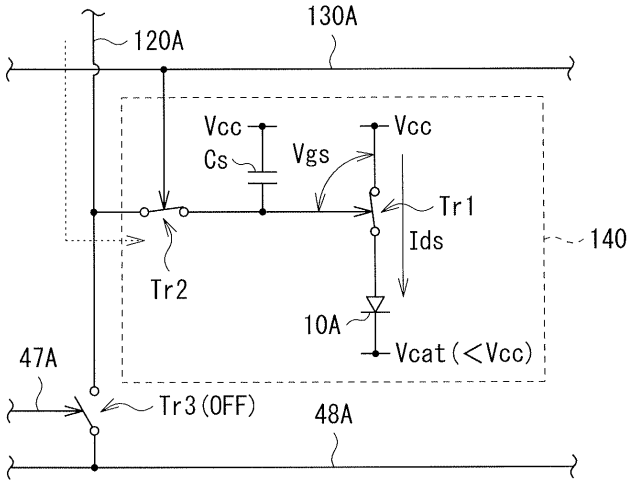
도면11



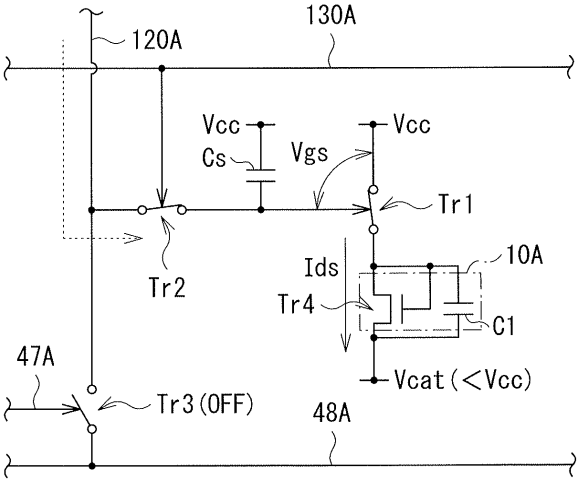
도면12


44
45
47
48
수직구동조건
발생회로
바이어스
전압
발생회로
Vcc
Vcat
버퍼메모리
46
수복소자선택
제어회로
수복신호전위
발생회로
41
CLK
H LEVEL
L LEVEL
130
주사선
구동회로
46A
140
46B
Tr1
Vcc
Cs
Vcc
Tr2
10A
Vcat
47A
48A
120A
130A
Tr3

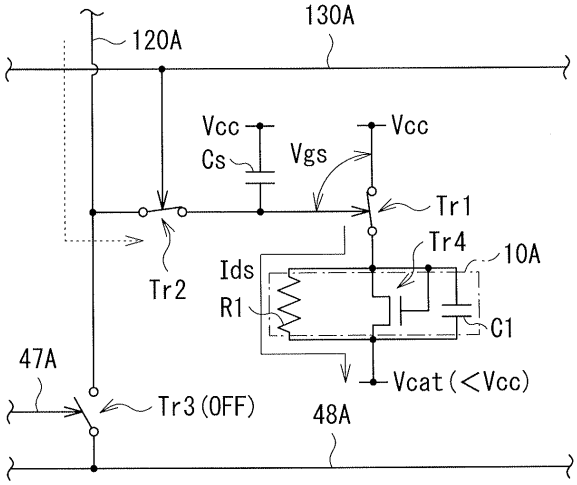
도면13a



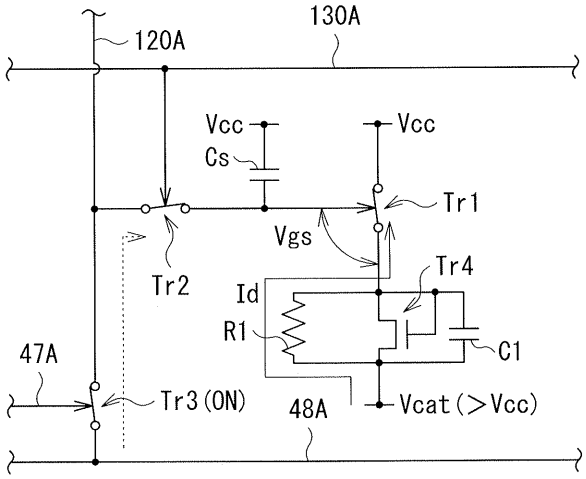
도면13b



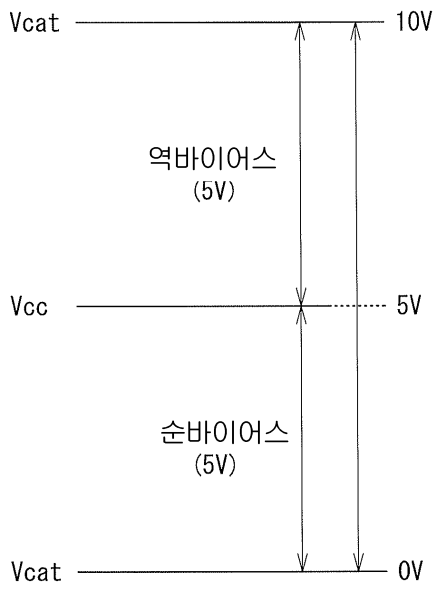
도면13c



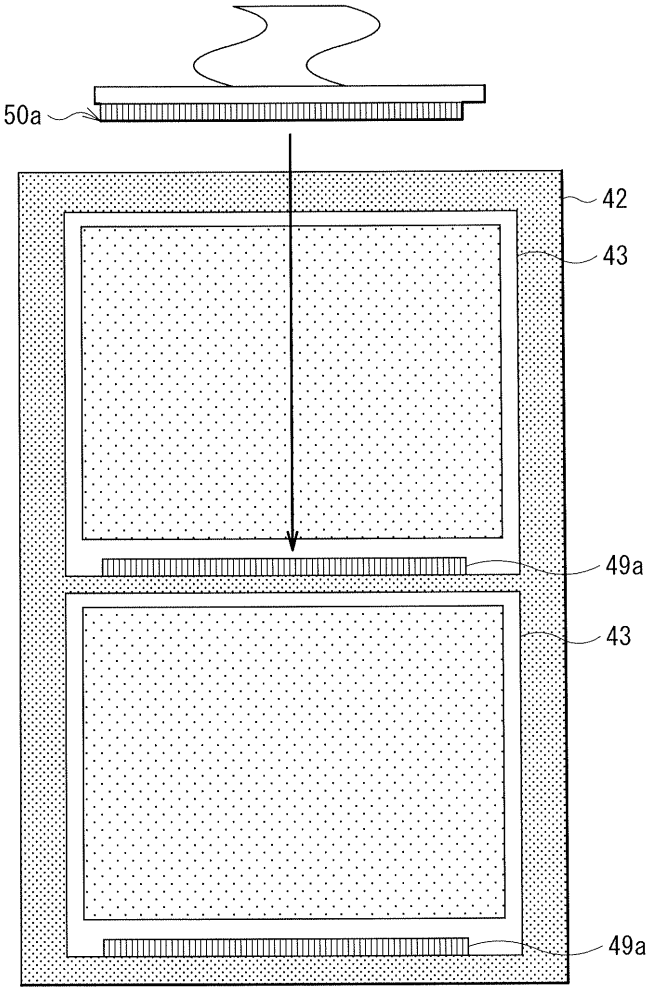
도면13d


120A
130A
Vcc
Cs
Vcc
Tr1
Vgs
Tr2
Tr4
Id
R1
C1
47A
Tr3(ON)
48A
Vcat(>Vcc)

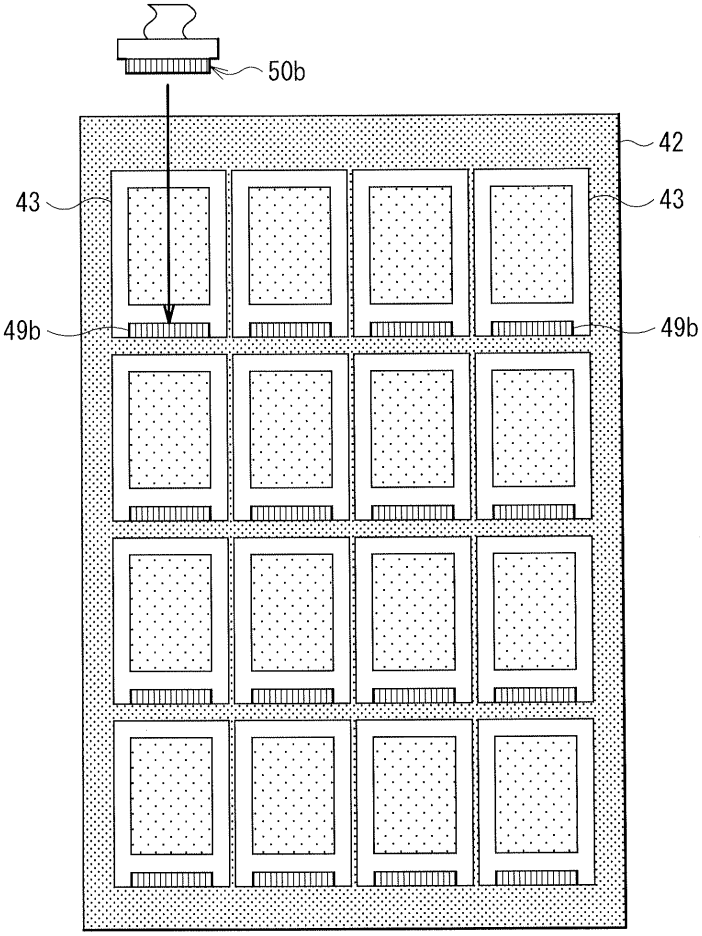
도면14


Vcat
10V
역바이어스
(5V)
Vcc
5V
순바이어스
(5V)
Vcat
0V

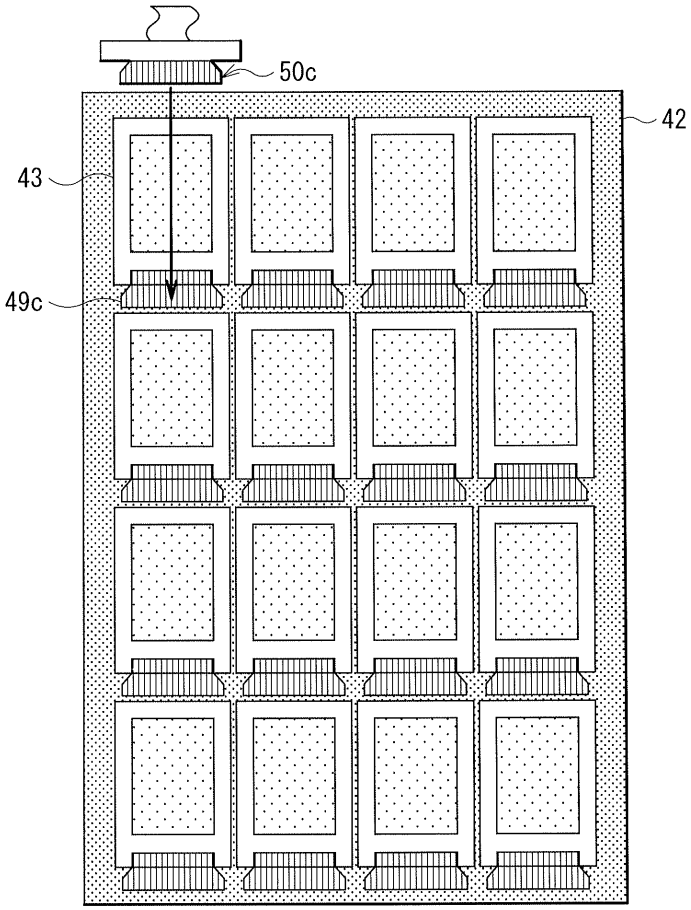
도면15a



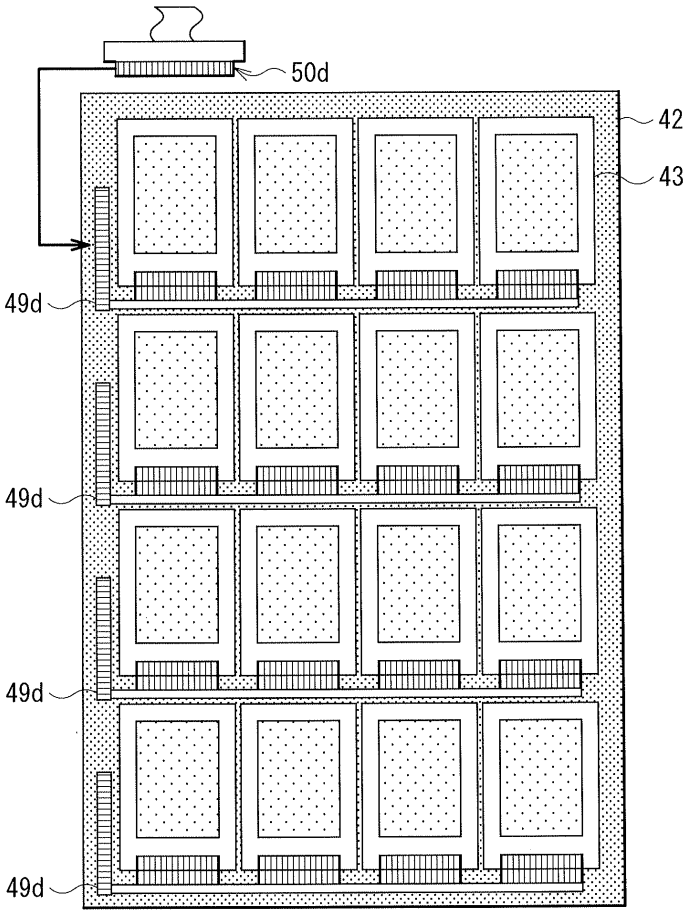
도면15b



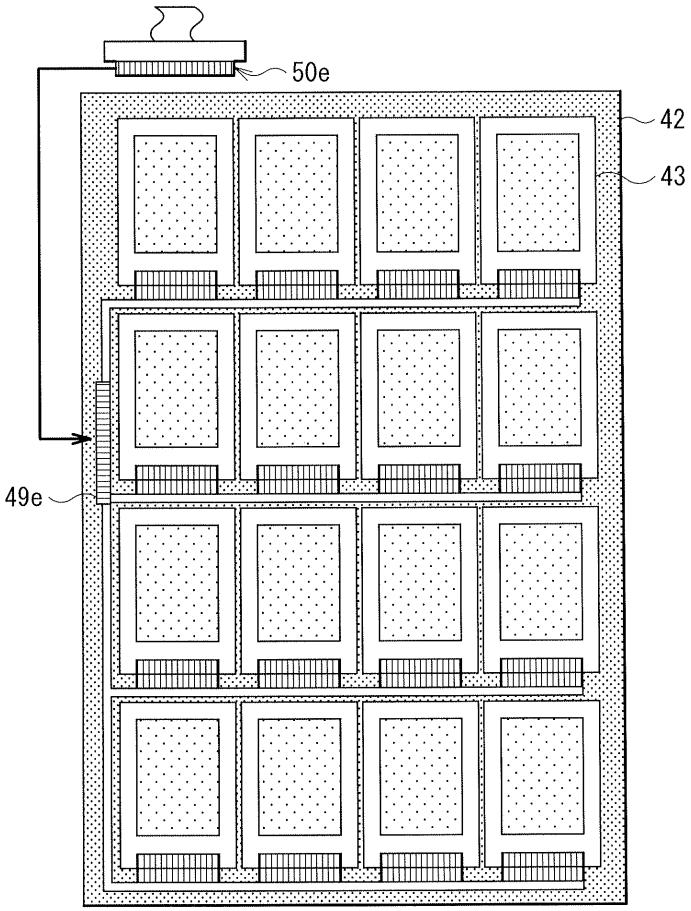
도면15c



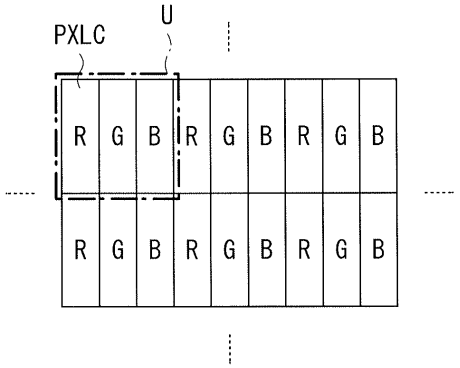
도면15d



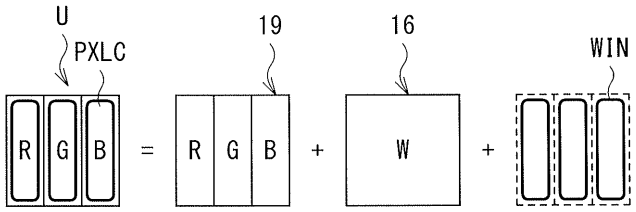
도면15e



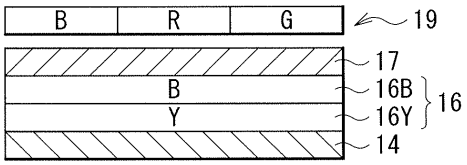
도면16



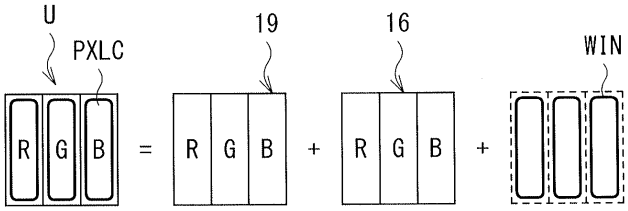
도면17



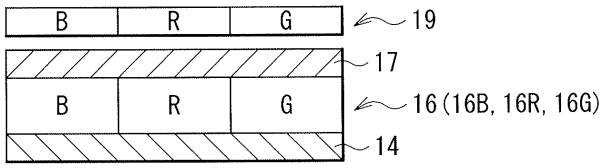
도면18



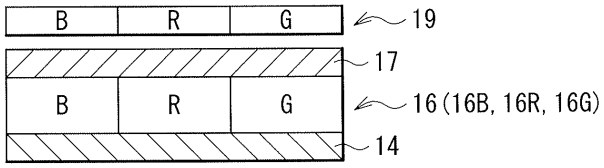
도면19



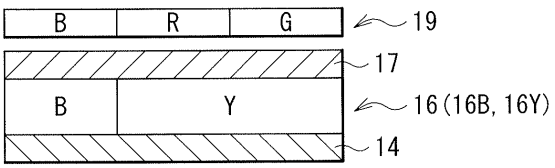
도면20



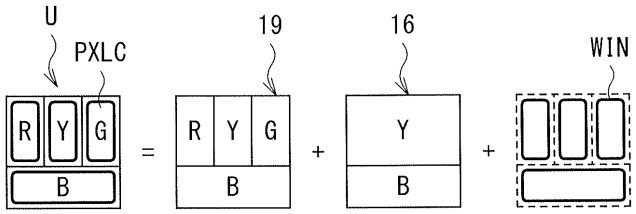
도면21



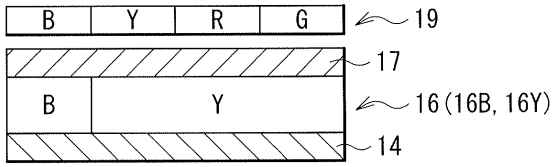
도면22



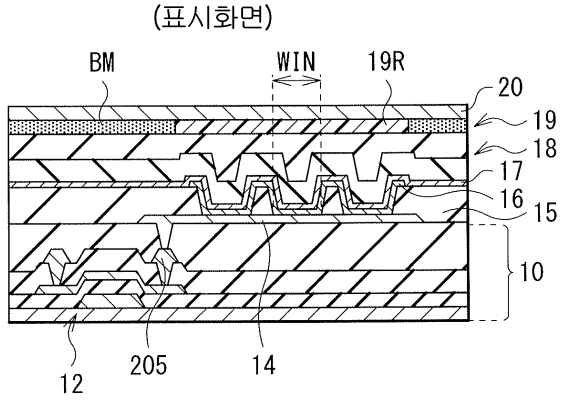
도면23



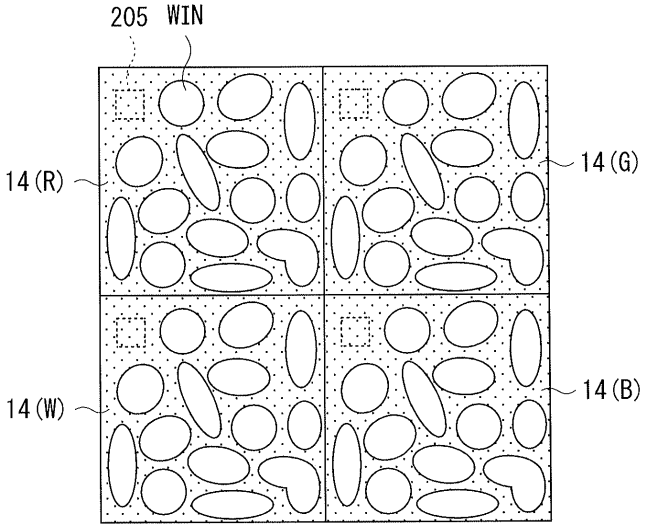
도면24



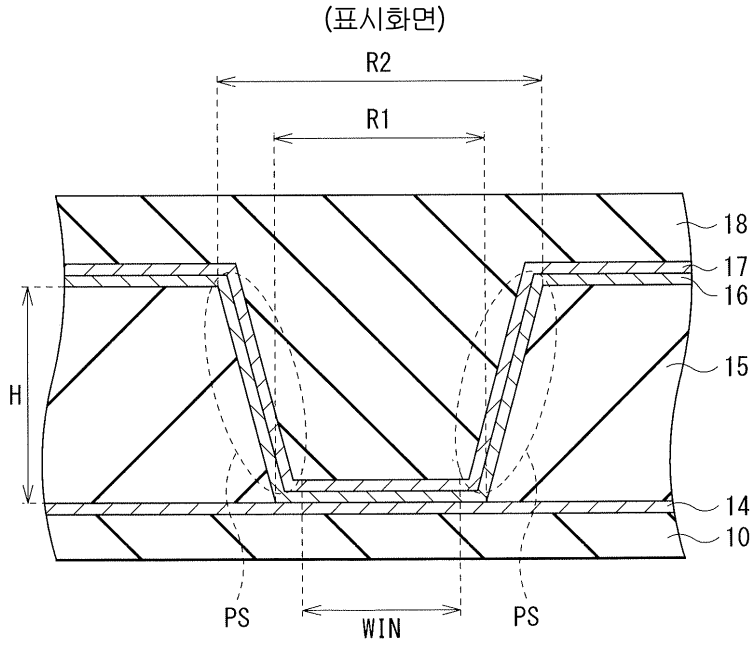
도면25



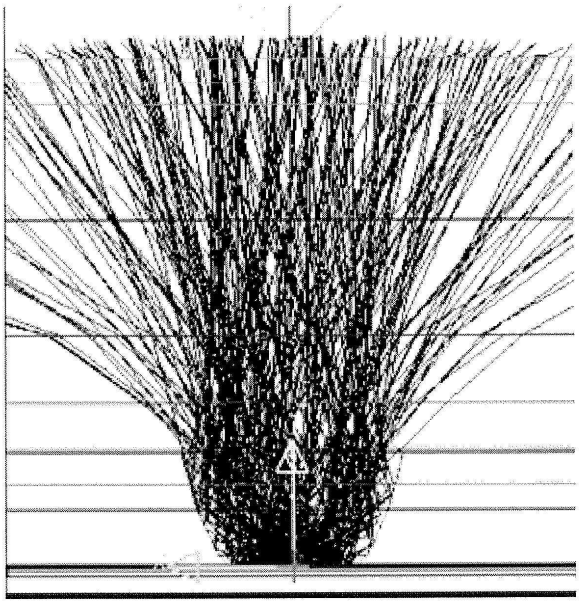
도면26



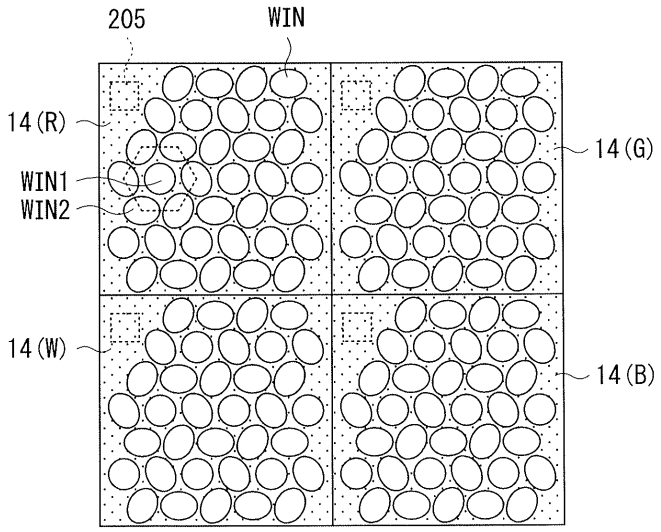
도면27



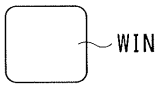
도면28



도면29



도면30a



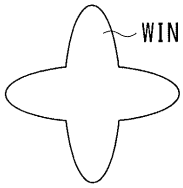
도면30b



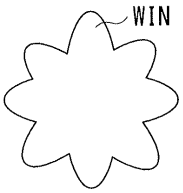
도면30c



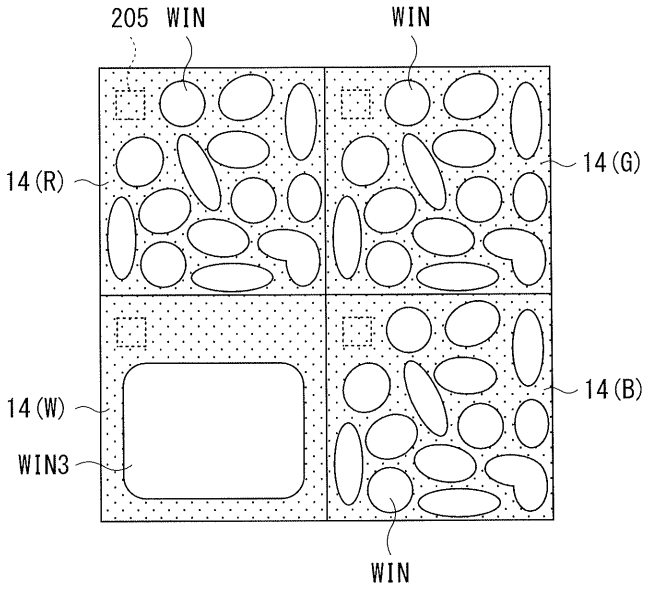
도면30d



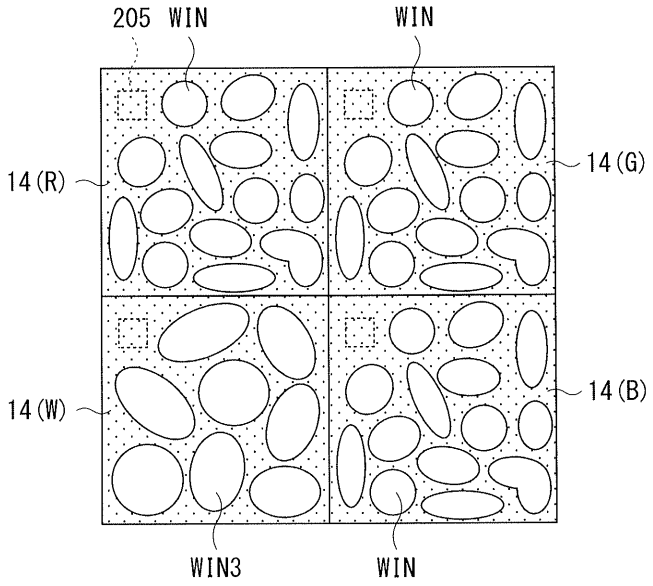
도면30e



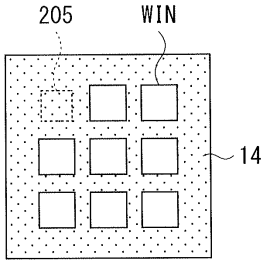
도면31



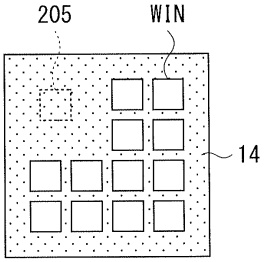
도면32



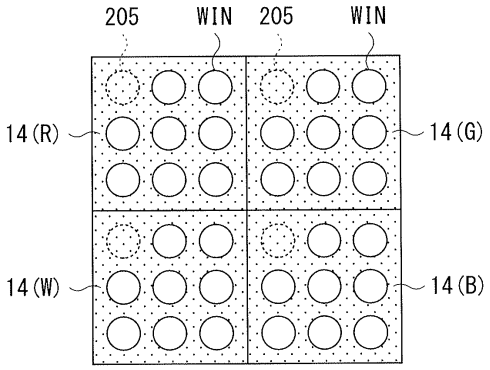
도면33a



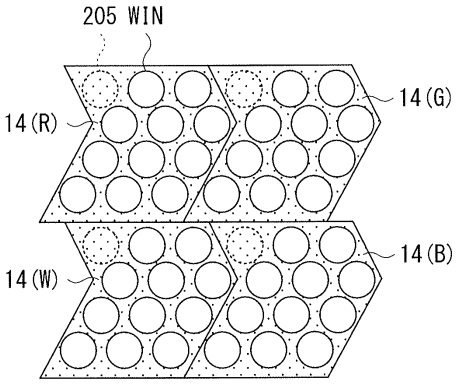
도면33b



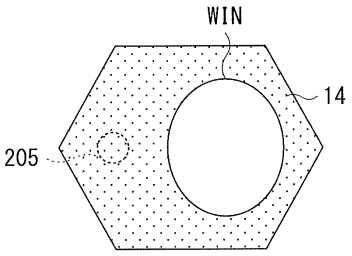
도면34



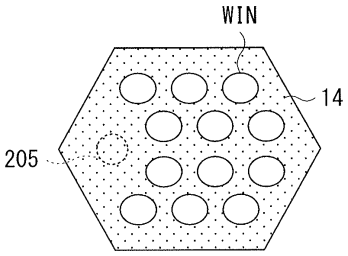
도면35



도면36a



도면36b



도면36c

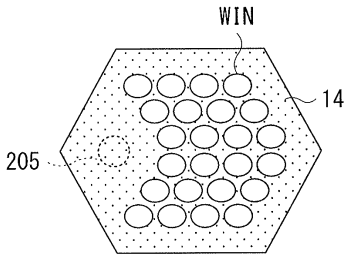
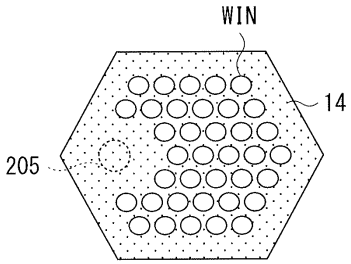
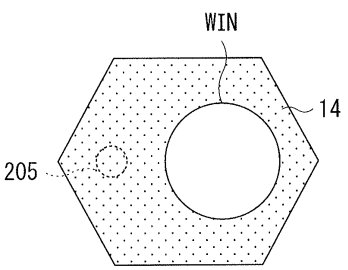


FIG. 36C

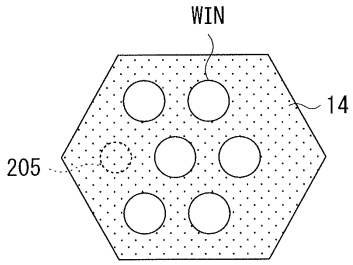
도면36d



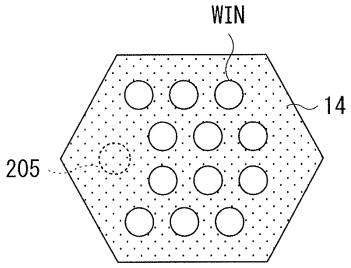
도면37a



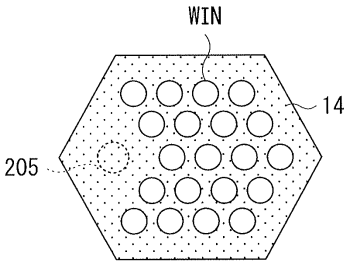
도면37b



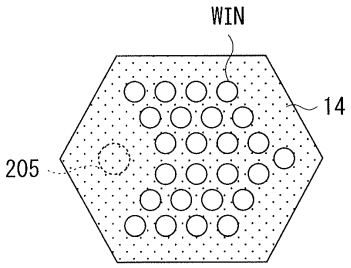
도면37c



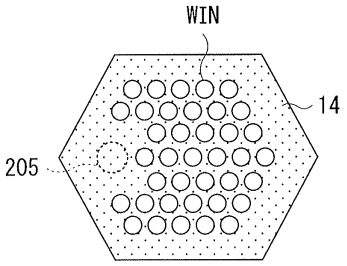
도면37d



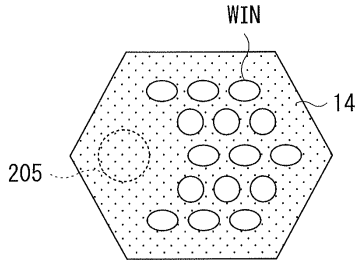
도면37e



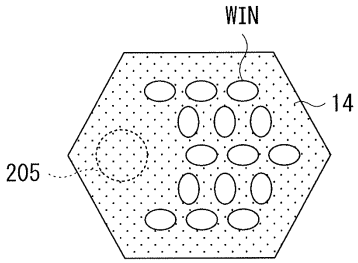
도면37f



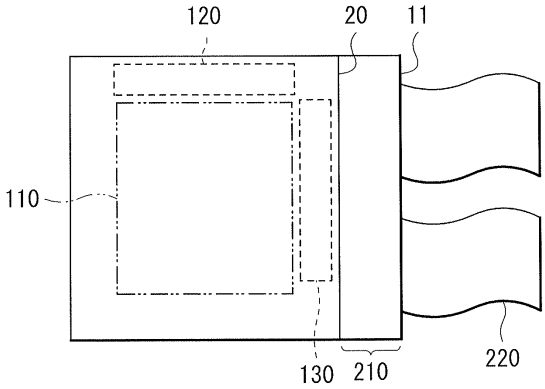
도면38a



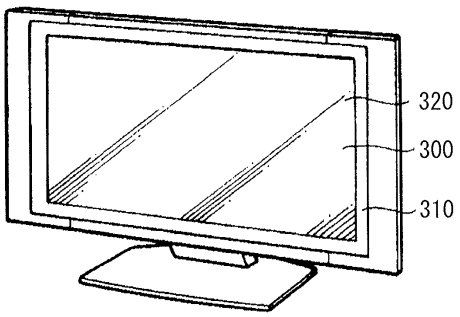
도면38b



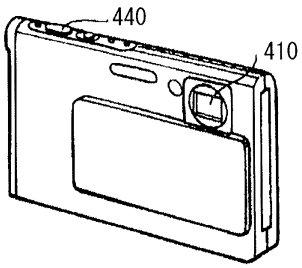
도면39



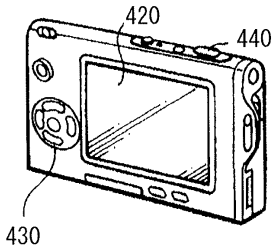
도면40



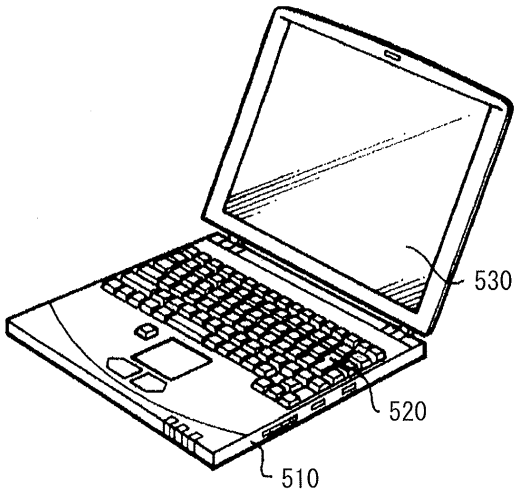
도면41a



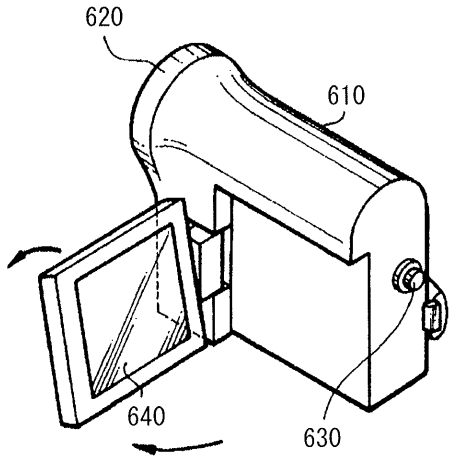
도면41b



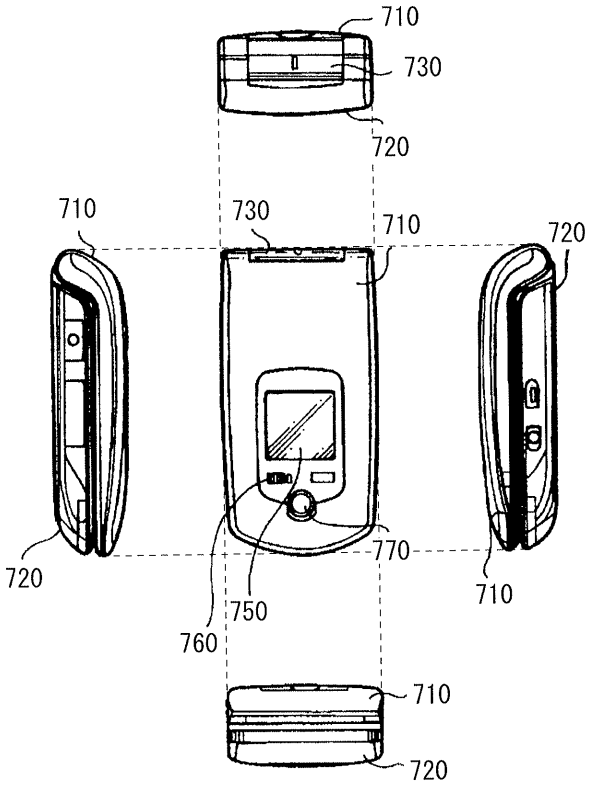
도면42



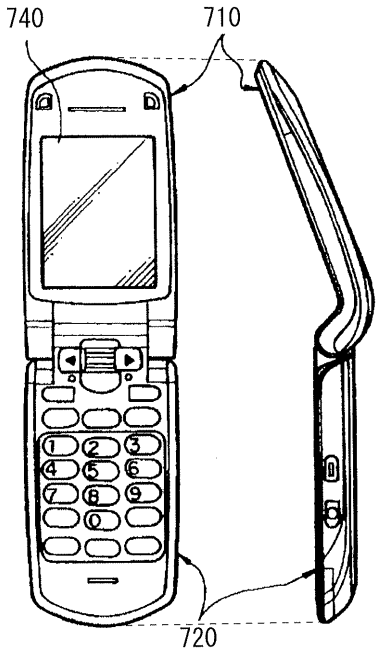
도면43


620
610
640
630

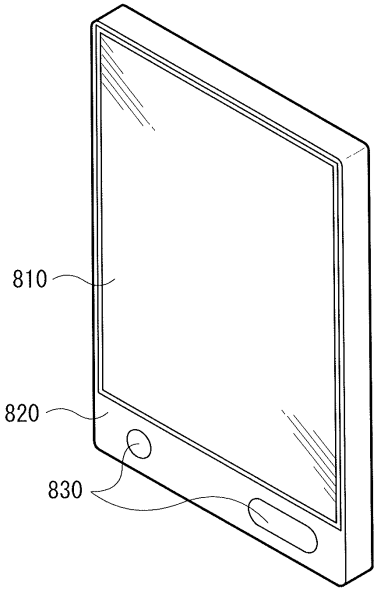
도면44a


710
730
720
710
730
710
720
720
770
710
750
760
710
720

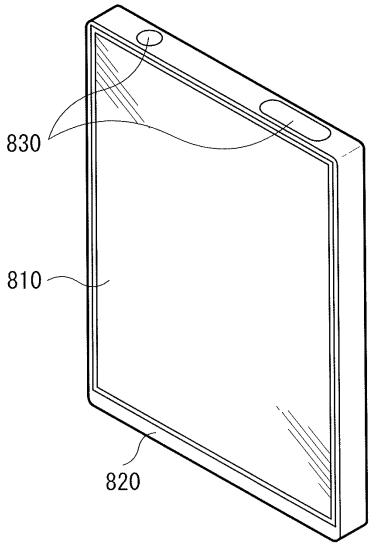
도면44b



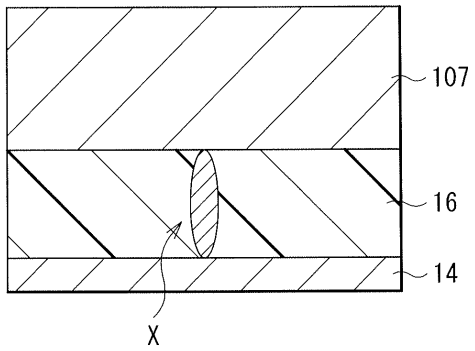
도면45a



도면45b



도면46a



도면46b

