



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월30일
 (11) 등록번호 10-1088065
 (24) 등록일자 2011년11월23일

(51) Int. Cl.
H03L 7/085 (2006.01) *H03L 7/24* (2006.01)
 (21) 출원번호 10-2008-7030297
 (22) 출원일자(국제출원일자) 2007년06월27일
 심사청구일자 2008년12월12일
 (85) 번역문제출일자 2008년12월12일
 (65) 공개번호 10-2009-0015970
 (43) 공개일자 2009년02월12일
 (86) 국제출원번호 PCT/JP2007/062912
 (87) 국제공개번호 WO 2008/001811
 국제공개일자 2008년01월03일
 (30) 우선권주장
 JP-P-2006-179533 2006년06월29일 일본(JP)
 JP-P-2007-092334 2007년03월30일 일본(JP)
 (56) 선행기술조사문헌
 JP04322532 A
 JP평성04276935 A
 JP2003158512 A
 JP2001345791 A

(73) 특허권자
니폰덴신뎡와 가부시키가이샤
 일본국 도쿄도 치요다쿠 오테마치 2쵸메 3반 1고
 (72) 발명자
테라다 준
 일본 도쿄 180-8585 무사시노시 미도리쵸 3쵸메 9-11 엔티티 인텔렉츄얼 프라퍼티 센터 내
오토모 유스케
 일본 도쿄 180-8585 무사시노시 미도리쵸 3쵸메 9-11 엔티티 인텔렉츄얼 프라퍼티 센터 내
 (뒷면에 계속)
 (74) 대리인
김용인

전체 청구항 수 : 총 13 항

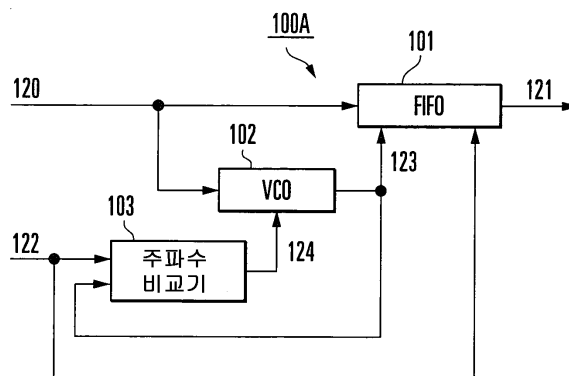
심사관 : 김기완

(54) CDR 회로

(57) 요약

복구 클럭(123)은 입력 데이터(120)의 데이터율 주파수와 동일한 주파수를 가지는 기준 클럭(122)을 입력 데이터(120)와 위상 매칭함으로써 발생된다. 입력 데이터(120)는 복구 클럭(123)에 의해 FIFO(101) 상에 기록된다. 복구 클럭(124)과 동기 관계에 있지 않은 기준 클럭(122)은 FIFO(101)로부터의 판독을 위해 사용되고, 복구 데이터(121)는 FIFO(101)로부터 출력된다.

대표도 - 도1



(72) 발명자

니시무라 카즈요시

일본 도쿄 180-8585 무사시노시 미도리쵸 3쵸메
9-11 엔티티 인텔렉츄얼 프라퍼티 센터 내

카와무라 토모아키

일본 도쿄 180-8585 무사시노시 미도리쵸 3쵸메
9-11 엔티티 인텔렉츄얼 프라퍼티 센터 내

토가시 미노루

일본 도쿄 180-8585 무사시노시 미도리쵸 3쵸메
9-11 엔티티 인텔렉츄얼 프라퍼티 센터 내

키시네 케이지

일본 도쿄 180-8585 무사시노시 미도리쵸 3쵸메
9-11 엔티티 인텔렉츄얼 프라퍼티 센터 내

특허청구의 범위

청구항 1

입력 데이터의 데이터율 주파수와 동일한 주파수를 가지는 제 1 기준 클록을 수신하고 입력 데이터와 동위상인 복구 클록을 발생하는 복구 클록 발생 회로; 및

기록 클록으로서 복구 클록을 사용하여 입력 데이터를 기록하고 판독 클록으로서 복구 클록과 동일한 주파수를 가지고 복구 클록에 비동기인 클록을 사용하여 입력 데이터를 판독해내는 데이터 기록/판독 회로를 포함하며,

상기 복구 클록 발생 회로는:

입력 데이터의 전압 전이점에서 제어된 발진 위상 및 제 1 주파수 제어 신호에 따라 제어된 발진 주파수를 가지는, 복구 클록을 발생하는 제 1 VCO; 및

상기 제 1 기준 클록의 주파수와 상기 복구 클록의 주파수를 비교하고 상기 제 1 주파수 제어 신호로서 비교 결과의 신호를 출력하는 주파수 비교기를 포함하고,

상기 입력 데이터의 데이터율 주파수와 동일하거나 또는 다른 주파수를 가지는 제 2 기준 클록을 주파수-분주하고 상기 주파수 비교기에 제 1 기준 클록을 출력하는 제 1 주파수 분주기; 및

상기 제 1 VCO와 상기 주파수 비교기 사이에 제공되어 있고, 복구 클록을 주파수-분주하며, 상기 주파수 비교기로 주파수-분주된 복구 클록을 출력하는 제 2 주파수 분주기를 더 포함하는 것을 특징으로 하는 CDR 회로.

청구항 2

제 1 항에 있어서,

상기 입력 데이터의 데이터율 주파수와 동일하거나 또는 다른 주파수를 가지는 제 2 기준 클록을 주파수-분주하는 제 3 주파수 분주기;

상기 데이터 기록/판독 회로의 판독 클록으로서, 발진 주파수가 제 2 주파수 제어 신호에 따라 제어되는 출력 클록을 출력하는 제 2 VCO;

상기 제 2 VCO로부터의 출력 클록을 주파수-분주하는 제 4 주파수 분주기; 및

상기 제 3 주파수 분주기로부터의 클록 입력의 위상과 상기 제 4 주파수 분주기로부터 클록 입력의 위상을 비교하고, 상기 제 2 주파수 제어 신호로서 비교 결과의 신호를 출력하는 위상 비교기를 더 포함하는 것을 특징으로 하는 CDR 회로.

청구항 3

입력 데이터의 데이터율 주파수와 동일한 주파수를 가지는 제 1 기준 클록을 수신하고 입력 데이터와 동위상인 복구 클록을 발생하는 복구 클록 발생 회로; 및

기록 클록으로서 복구 클록을 사용하여 입력 데이터를 기록하고 판독 클록으로서 복구 클록과 동일한 주파수를 가지고 복구 클록에 비동기인 클록을 사용하여 입력 데이터를 판독해내는 데이터 기록/판독 회로를 포함하며,

상기 복구 클록 발생 회로는:

상기 입력 데이터의 전압 전이점에서 제어된 발진 위상 및 제 1 주파수 제어 신호에 따라 제어된 발진 주파수를 가지는, 복구 클록을 발생하는 제 1 VCO;

상기 제 1 주파수 제어 신호에 따라 제어된 발진 주파수를 가지는 제 2 VCO; 및

상기 제 1 기준 클록의 위상과 상기 제 2 VCO로부터의 출력 클록의 위상을 비교하고 제 1 주파수 제어 신호로서 비교 결과의 신호를 출력하는 제 1 위상 비교기를 포함하고,

상기 입력 데이터의 데이터율 주파수와 동일하거나 또는 다른 주파수를 가지는 제 2 기준 클록을 주파수-분주하고 상기 제 1 위상 비교기에 제 1 기준 클록을 출력하는 제 1 주파수 분주기; 및

상기 제 2 VCO와 상기 제 1 위상 비교기 사이에 제공되어 있고, 상기 제 2 VCO로부터 출력을 주파수-분주하며, 상기 제 1 위상 비교기에 주파수-분주된 출력을 출력하는 제 2 주파수 분주기를 더 포함하는 것을 특징으로 하

는 CDR 회로.

청구항 4

제 3 항에 있어서,

상기 데이터 기록/판독 회로는 판독 클럭으로서 상기 제 2 VCO로부터의 출력 클럭을 사용하는 것을 특징으로 하는 CDR 회로.

청구항 5

제 3 항에 있어서,

상기 입력 데이터의 데이터율 주파수와 동일하거나 또는 다른 주파수를 가지는 제 2 기준 클럭을 주파수-분주하는 제 3 주파수 분주기;

상기 데이터 기록/판독 회로의 판독 클럭으로서, 발진 주파수가 제 2 주파수 제어 신호에 따라 제어되는 출력 클럭을 출력하는 제 3 VCO;

상기 제 3 VCO로부터의 출력 클럭을 주파수-분주하는 제 4 주파수 분주기; 및

상기 제 3 주파수 분주기로부터의 클럭 입력의 위상과 상기 제 4 주파수 분주기로부터 클럭 입력의 위상을 비교하고, 상기 제 2 주파수 제어 신호로서 비교 결과의 신호를 출력하는 제 2 위상 비교기를 더 포함하는 것을 특징으로 하는 CDR 회로.

청구항 6

입력 데이터의 데이터율 주파수와 동일한 주파수를 가지는 제 1 기준 클럭을 수신하고 입력 데이터와 동위상인 복구 클럭을 발생하는 복구 클럭 발생 회로; 및

기록 클럭으로서 복구 클럭을 사용하여 입력 데이터를 기록하고 판독 클럭으로서 복구 클럭과 동일한 주파수를 가지고 복구 클럭에 비동기인 클럭을 사용하여 입력 데이터를 판독해내는 데이터 기록/판독 회로를 포함하며,

상기 복구 클럭 발생 회로는:

상기 입력 데이터의 전압 전이점에서 제어된 발진 위상 및 주파수 제어 신호에 따라 제어된 발진 주파수를 가지는, 복구 클럭을 발생하는 제 1 VCO; 및

상기 제 1 기준 클럭의 주파수에 따라 주파수 제어 신호를 출력하는 PLL 회로를 포함하고,

상기 PLL 회로는:

상기 주파수 제어 신호에 따라 제어된 발진 주파수를 가지는 제 2 VCO;

상기 제 2 VCO로부터 출력 클럭을 주파수-분주하는 분주기;

상기 분주기로부터의 클럭 입력의 주파수와 상기 제 1 기준 클럭의 주파수를 비교하는 주파수 비교기;

상기 주파수 비교기의 비교 결과의 신호에 따라 출력 전류량을 증가/감소하는 전하 펌프;

상기 전하 펌프로부터의 출력을 적분함으로써 주파수 제어 신호를 발생하는 루프 필터; 및

제 1 기준 클럭의 주파수 및 상기 주파수 분주기의 주파수 분주비 중 하나를 변경하는 가변 회로를 포함하는 것을 특징으로 하는 CDR 회로.

청구항 7

제 6 항에 있어서,

상기 주파수 분주기는 다른 주파수 분주비를 가지는 복수의 주파수 분주기를 포함하고,

상기 가변 회로는 상기 복수의 주파수 분주기 중 하나를 선택하고 상기 주파수 비교기로 선택된 상기 주파수 분주기로부터의 출력 클럭을 출력하는 선택기를 포함하는 것을 특징으로 하는 CDR 회로.

청구항 8

제 6 항에 있어서,

상기 가변 회로는 설정 신호에 따라 스위칭된 주파수를 가지는 클록을 발생하고, 상기 클록을 제 1 기준 클록으로서 출력하는 기준 클록 발생 회로를 포함하는 것을 특징으로 하는 CDR 회로.

청구항 9

제 6 항에 있어서,

상기 가변 회로는 다른 주파수를 가지는 복수의 클록들 중 하나를 선택하고 선택된 상기 클록을 제 1 기준 클록으로서 출력하는 선택기를 포함하는 것을 특징으로 하는 CDR 회로.

청구항 10

제 6 항에 있어서,

상기 루프 필터는 다른 시상수를 가지는 복수의 루프 필터를 포함하고,

상기 PLL 회로는 상기 복수의 루프 필터 중 하나를 선택하고 주파수 제어 신호로서 선택된 상기 루프 필터로부터의 출력을 출력하는 선택기를 더 포함하는 것을 특징으로 하는 CDR 회로.

청구항 11

제 1 항, 제 3 항 또는 제 6 항 중 어느 한 항에 있어서,

상기 데이터 기록/판독 회로는 FIFO를 포함하는 것을 특징으로 하는 CDR 회로.

청구항 12

제 1 항, 제 3 항 또는 제 6 항 중 어느 한 항에 있어서,

상기 입력 데이터에서 기결정된 시간 또는 기결정된 개수의 비트를 넘는 동안 식별 코드가 연속하는 것을 검출하고, 상기 데이터 판독/기록 회로를 리셋하는 리셋 신호 발생 회로를 더 포함하는 것을 특징으로 하는 CDR 회로.

청구항 13

제 1 항, 제 3 항 또는 제 6 항 중 어느 한 항에 있어서,

상기 데이터 기록/판독 회로는 판독 클록으로서 제 1 기준 클록을 사용하는 것을 특징으로 하는 CDR 회로.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

명세서

기술분야

[0001] 본 발명은 입력 데이터와 동 위상 클록을 추출하고 클록에 기초한 입력 데이터를 리타이밍(retime)하는 CDR(Clock Data Recovery) 회로에 관한 것이다.

배경기술

[0002] 예를 들어, FTTH(Fiber To The Home)을 이행하는 기술로서 개발되어온 PON(Passive Optical Network) 시스템에

서, 버스트 데이터(burst data)를 처리하는 것은 필요하다. 이들 시스템에서, 비동기로 수신된 버스트 데이터와 함께 위상 고정을 동시에 수립하고, 버스트 데이터와 동위상인 클록을 추출하며, 클록과 동기로 리타이밍된 데이터를 출력하는 CDR 회로가 없어서는 안 된다. 이런 유형의 회로는 참고문헌 예를 들어, Yusuke Ota 등에 의한, 1994년 2월, "High-Speed, Burst-Mode, Packet-Capable Optical Receiver and Instantaneous Clock Recovery for Optical Bus Operation", IEEE Journal of Lightwave Technology, Vol. 12, No. 2, pp. 325-331에 개시되어 있다.

[0003] 도 17은 이 응용 목적을 위해 사용된 CDR 회로(200)의 배치의 예를 나타낸다. 참조 번호 201는 플립-플롭을 나타낸다; 202는 주 VCO(Voltage Controlled Oscillator)를 나타낸다; 203는 서브 VCO를 나타낸다; 204는 위상 비교기를 나타낸다. 위상 비교기(204)는 서브 VCO(203)의 발진(oscillation) 출력의 위상과 입력 데이터(202)의 데이터율 주파수 f_1 과 동일한 주파수를 가지는 기준 클록(222)을 비교하고, 위상 매치(phase match)하는 주파수 제어 신호(224)를 출력한다. 주파수 제어 신호(224)는 주 VCO(202) 및 서브 VCO(203)으로의 입력이다. 그러므로, 주 VCO(202)로부터의 복구 클록(223)의 주파수는 기준 클록(222)의 주파수와 동일하다. 주 VCO(222)는 입력 데이터(220)를 수신하고 복구 클록(223)의 위상과 트리거(trigger)로서 입력 데이터(220)의 전압 전이점을 사용하여 데이터(220)의 위상을 매치하게 하기 위해 조절을 수행한다. 입력 데이터와 동위상인 복구 클록(223)은 플립-플롭(201)에서 입력 데이터(220)를 리타이밍하는데 사용된다. 플립플롭(201)로의 데이터(220) 입력은 클록을 신뢰성 있게 추출하기 위해 (도시되지 않은) 고정 지연 회로를 사용하여 조정된다.

발명의 상세한 설명

[0004] 도 17에 도시된 CDR 회로의 배치는 복구 클록의 위상이 입력 데이터의 위상과 매치하도록 한다. 이런 이유로, 입력 데이터가 지터(jitter)(위상 잡음)를 포함한다면, 복구 데이터는 또한 지터를 포함한다.

[0005] 본 발명의 목적은 복구 데이터에서의 지터의 문제를 해결할 수 있는 CDR 회로를 제공하는 것이다.

[0006] 본 발명에 따르면, 입력 데이터의 데이터율 주파수와 동일한 주파수를 가지는 제 1 기준 클록을 수신하고 입력 데이터와 동위상인 복구 클록을 발생하는 복구 클록 발생 회로, 기록 클록으로서 복구 클록을 사용하여 입력 데이터를 기록하고, 판독 클록으로서 복구 클록과 동일한 주파수를 가지며 복구 클록과 비동기인 클록을 사용하여 입력 데이터를 판독해내는 데이터 기록/판독 회로를 포함하는 CDR 회로가 제공되어 있다.

[0007] 위에서 설명된 바와 같이, 본 발명에 따르면, 입력 데이터는 입력 데이터와 동위상인 복구 클록에 기초하여 데이터 기록/판독 회로에 기록된다. 데이터 기록/판독 회로로부터 판독한 데이터는 복구 클록에 비동기인 또다른 클록을 사용하여 행해진다. 그러므로, 데이터 기록/판독 회로로부터 출력된 복구 데이터는 입력 데이터에서의 지터에 의해 결코 영향받지 않는다. 본 발명은 이런 식으로 복구 데이터에서 지터의 문제를 해결할 수 있다.

실시예

[0025] (제 1 실시예)

[0026] 도 1은 본 발명의 제 1 실시예에 따른 CDR 회로(100A)의 배치를 나타낸다. 도 1을 참고하면, 참조 번호 101은 FIFO(First-In First-Out)를 나타내고; 102는 VCO를 나타내고; 103은 주파수 비교기를 나타내고; 120은 입력 데이터를 나타내고; 121은 복구 데이터를 나타내고; 122는 기준 클록을 나타낸다. VCO(102) 및 주파수 비교기(103)는 PLL(Phase-Locked Loop) 회로 및 복구 클록 발생 회로를 형성한다. FIFO(101)는 데이터 기록/판독 회로를 형성한다.

[0027] 기준 클록(122)의 주파수는 입력 데이터(120)의 데이터율(data rate) 주파수와 동일하다. 주파수 비교기(103)는 기준 클록(122)의 주파수와 VCO(102)로부터 출력 클록(복구 클록)(123)의 주파수를 비교한다. 예를 들어, 주파수 비교기(103)는 기결정된 시간마다 카운트된 기준 클록(122)의 개수와 기결정된 시간마다 카운트된 VCO(102)로부터의 복구 클록(123)의 개수를 비교하고 카운트 차(주파수 차)에 대응하는 주파수 제어 신호(124)를 출력한다.

[0028] 데이터 입력 단말기로부터 입력된 데이터(120)는 FIFO(101) 및 VCO(102)로 입력된다. 주파수 비교기(103)는 VCO(102)로부터 출력된 복구 클록(123)의 주파수와 기준 클록(122)의 주파수를 비교하고, VCO(102)의 주파수 제어 단자로 주파수 차에 대응하는 주파수 제어 신호(124)를 입력한다. 그러므로, VCO(102)로부터 출력된 복구 클록(123)의 주파수는 기준 클록(122)의 주파수와 동일하다. 입력 버스트 데이터(120)는 VCO(102)의 위상 제어 단자로 입력된다. VCO(102)는 복구 클록(123)의 위상이 트리거(trigger)로서 데이터(120)의 전압 전이점을 사용하

여 데이터(120)의 위상과 매치하도록 조정을 수행한다. 데이터(120)와 동위상인 복구 클럭(123)은 FIFO(101)에 데이터(120)를 기록하는데 사용된다.

[0029] 다시 말하면, 기준 클럭(122)은 위상 조정 없이 판독 클럭으로서 직접 FIFO(101)로 입력된다. FIFO(101)는 복구 클럭(123)을 사용하여 입력 데이터(120)를 저장하고 기준 클럭(122)을 사용하여 입력 순서로 저장된 입력 데이터(120)를 출력한다. 그러므로, FIFO(101)로부터 출력되는 복구 데이터(121)는 입력 데이터(120)에 포함된 지터에 의해 결코 영향받지 않는다.

[0030] (제 2 실시예)

[0031] 도 2는 본 발명의 제 2 실시예에 따른 CDR 회로(100B)의 배치를 나타낸다. 도 1에서의 동일 참조 번호는 도 2에서 동일 구성 소자를 나타낸다. 이 실시예에서, 주파수 분주기(frequency divider)(104, 105)는 도 1에서 도시된 바와 같이 CDR 회로(100A)에서 주파수 비교기(103)의 양 입력 측에 삽입된다. PLL 회로를 형성하는, 위상 비교기(106) 및 VCO(107)은, 새롭게 추가된다. 주파수 분주기(108 및 109)는 위상 비교기(106)의 양 입력 측에 또한 삽입된다. 참조 번호(125 및 126)는 기준 클럭을 나타낸다.

[0032] FIFO(101)에의 기록용 복구 클럭(123)을 발생하기 위해, 기준 클럭(125)이 사용된다. f2를 기준 클럭(125)의 주파수라 하고, f1를 FIFO(101)에 대한 기록 클럭의 주파수라 하며, n1를 주파수 분주기(104)의 주파수 분주비(frequency dividing ratio)라 하고, n2를 주파수 분주기(105)의 주파수 분주비라 한다. 주파수 분주비(n1 및 n2)는

[0033] $f2/n1 = f1/n2$ 를 충족하도록 설정된다.

[0034] 결과적으로, 기준 클럭(125)의 주파수가 입력 데이터(120)의 데이터율 주파수 f1과 다른 경우에 조차, VCO(102)로부터의 복구 클럭(123)의 주파수는 주파수 f1과 매치할 수 있다. 즉, 기준 클럭(125)을 선택하는데 있어 자유도(degree of freedom)는 사용되는 기준 클럭(125)의 주파수에 따라 주파수 분주 비(n1 및 n2)를 설정함으로써 높아질 수 있다. 이 실시예에서, 주파수 비교기(103)에 의해 처리되는 주파수는 더 낮다. 이는 주파수 비교기(103)의 동작 속도를 감소시켜 전력 절감을 가능하게 한다.

[0035] 다시 말해서 FIFO(101)에 대한 판독 클럭(127)을 발생하기 위해, 기준 클럭(126)이 사용된다. 위상 비교기(106)는 2 개의 입력 클럭 사이의 위상 차에 대응하는 주파수 제어 신호(128)를 출력한다. f3을 기준 클럭(126)의 주파수라 하고, f1을 판독 클럭(127)의 주파수라하며, n3을 주파수 분주기(108)의 주파수 분주비라하고, n4를 주파수 분주기(109)의 주파수 분주비라한다. 주파수 분주비(n3 및 n4)는

[0036] $f3/n3 = f1/n4$ 를 충족하도록 설정된다.

[0037] 결과적으로, 기준 클럭(126)의 주파수가 입력 데이터(120)의 데이터율 주파수 f1과 다른 경우에조차, VCO(107)로부터의 출력 클럭(127)의 주파수는 주파수 f1과 매치할 수 있다. 즉, 마찬가지로 이 경우에서, 기준 클럭(126)을 선택하는데 있어 자유도(degree of freedom)는 사용되는 기준 클럭(126)의 주파수에 따라 주파수 분주 비(n3 및 n4)를 설정함으로써 높아질 수 있다. 이 실시예에서, 위상 비교기(106)에 의해 처리되는 주파수는 더 낮다. 이는 위상 비교기(106)의 동작 속도를 감소시켜 전력 절감을 가능하게 한다.

[0038] FIFO(101)는 VCO(102)로부터 복구 클럭(123)을 사용하여 입력 데이터(120)를 저장하고 VCO(107)로부터의 복구 클럭(127)을 사용하여 입력 순서로 저장된 입력 데이터(120)를 출력한다. 그러므로, FIFO(101)로부터 출력된 복구 데이터(121)는 어떠한 지터도 포함하지 않는다.

[0039] 기준 클럭(125, 126)이 동일 주파수를 가진다면, 공통 클럭원(clock source)이 사용될 수 있다. 기준 클럭(125, 126)의 주파수가 기준 클럭(122)의 주파수와 동일하다면, 주파수 분주기(104, 105)는 동일 주파수 분주비를 가지도록 설정되고, 주파수 분주기(108, 109)는 동일 주파수 분주비를 가지도록 설정된다. 이는 저 주파수에서 위상 비교기(106) 및 주파수 비교기(103)를 작동 가능하게 하여 전력 절감을 가능하도록 한다. 이 경우에, 주파수 분주기(108, 109)는 생략될 수 있다.

[0040] (제 3 실시예)

[0041] 도 3은 본 발명의 제 3 실시예에 따른 CDR 회로(100C)의 배치이다. 도 1에서의 동일 참조 번호는 도 3의 동일 구성 소자를 나타낸다. 참조 번호(110)는 위상 비교기를 나타내고, 111은 VCO를 나타낸다. VCO(102), 위상 비교기(110), 및 VCO(111)는 복구 클럭 발생 회로를 형성한다.

[0042] 위상 비교기(110)는 VCO(111)로부터의 출력 클럭의 위상과 기준 클럭(122)의 위상을 비교한다. 비교 결과를 나

타내는 신호(129)는 주파수 제어 신호로서 VCO(111)로 입력되고 또한 주파수 제어 신호로서 VCO(102)로 입력된다.

[0043] 이 실시예에서, VCO(111)가 사용되기 때문에, 표준 위상 비교기(110)는 도 1에 도시된 CDR 회로(100A)의 주파수 비교기(103) 대신에 사용될 수 있다. 이 실시예의 동작은 도 1에 도시된 CDR 회로의 동작과 동일하다. 입력 데이터(120)가 지터를 포함하는 경우에조차, FIFO(101)로부터 출력되는 복구 데이터(121)는 어떠한 지터도 포함하지 않는다.

[0044] (제 4 실시예)

[0045] 도 4는 본 발명의 제 4 실시예에 따른 CDR 회로(100D)의 배치를 나타낸다. 도 3에서의 동일 참조 번호는 도 4에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 주파수 분주기(104, 105)는 도 3에 도시된 CDR 회로(100C)에서 위상 비교기(110)의 양 입력 측에 삽입된다. PLL 회로를 형성하는, 위상 비교기(106) 및 VCO(107)가 새롭게 추가된다. 주파수 분주기(108 및 109)는 위상 비교기(106)의 양 입력 측에 또한 삽입된다. 참조 번호(125, 126)는 기준 클록을 나타낸다.

[0046] 이 실시예에서, 주파수 분주기(104, 105)의 주파수 분주비(n_1 , n_2)는 기준 클록(125)의 주파수에 따라 설정되어, 도 2에서 도시된 CDR 회로(100B)와 같은, 기준 클록(125)을 선택하는데 있어 자유도를 증가시킨다. 추가로, 위상 비교기(110)에 의해 처리되는 주파수가 더 낮다. 이는 전력 절감을 가능하게 한다. 유사하게, 주파수 분주비(n_3 및 n_4)는 기준 클록(126)의 주파수에 따라 설정되어, 기준 클록(126)을 선택하는데 있어 자유도를 증가시킨다. 위상 비교기(106)에 의해 처리되는 주파수는 더 낮다. 이는 전력 절감을 가능하게 한다. 입력 데이터(120)가 지터를 포함하는 경우에조차, FIFO(101)로부터 출력된 복구 데이터(121)는 어떠한 지터도 포함하지 않는다.

[0047] 기준 클록(125, 126)이 동일 주파수를 가진다면, 공통 클록원이 사용될 수 있다. 기준 클록(125, 126)의 주파수가 기준 클록(122)의 주파수와 동일하다면, 주파수 분주기(104 및 105)는 동일 주파수 분주비를 가지도록 설정되고, 주파수 분주기(108 및 109)는 동일 주파수 분주비를 가지도록 설정된다. 이는 저 주파수에서 위상 비교기(106) 및 주파수 비교기(103)를 동작가능하게 하여, 전력 절감을 가능하게 한다. 이 경우에, 주파수 분주기(108, 109)는 생략될 수 있다.

[0048] (제 5 실시예)

[0049] 도 5는 본 발명의 제 5 실시예에 따라 CDR 회로(100E)의 배치를 나타낸다. 도 3에서의 동일 참조 번호는 도 5에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 기준 클록(122)이 아니라 VCO(111)로부터 출력 클록(130)이 도 3에 도시된 CDR 회로(100C)에서 FIFO(101)의 관독 클록으로서 사용된다. VCO(102)로부터의 복구 클록(123)은 입력 데이터(120)에 포함된 지터에 의해 영향받는다. 그러나, VCO(111)로부터의 출력 클록(130)은 영향받지 않는다. 그러므로, 입력 데이터(120)가 지터를 포함하는 경우에조차, FIFO(101)로부터 출력된 복구 데이터(121)는 어떠한 지터도 포함하지 않는다.

[0050] (제 6 실시예)

[0051] 도 6은 본 발명의 제 6 실시예에 따라 CDR 회로(100F)의 배치를 나타낸다. 도 5에서의 동일 참조 번호는 도 6에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 주파수 분주기(104, 105)는 도 5에 도시된 CDR 회로(100F)에서 위상 비교기(110)의 양 입력 측에 삽입된다. 기준 클록(125)은 주파수 분주기(104)로 입력된다.

[0052] 이 실시예에서, 주파수 분주비 n_1 및 n_2 는 기준 클록(125)의 주파수에 따라 설정되어, 기준 클록(125)을 선택하는데 있어 자유도를 증가시킨다. 추가로, 위상 비교기(110)에 의해 처리되는 주파수는 더 낮다. 이는 전력 절감을 가능하게 한다. 입력 데이터(120)가 지터를 포함하더라도, FIFO(101)로부터 출력된 복구 데이터(121)는 어떠한 지터도 포함하지 않는다.

[0053] 기준 클록(125)의 주파수는 기준 클록(122)의 주파수와 동일할 수 있다. 이 경우에, 주파수 분주기(104 및 105)는 동일한 주파수 분주비를 가지도록 설정된다. 이는 저주파수에서 위상 비교기(106)를 동작하는 것을 가능하게 하여 전력 절감을 가능하게 한다.

[0054] (제 7 실시예)

[0055] 도 7은 본 발명의 제 7 실시예에 따른 CDR 회로(100G)의 배치를 나타낸다. 도 1에서의 동일한 참조 번호는 도 7에서 동일한 구성 소자를 나타낸다. 이 실시예에서, CR 시상수 회로로부터 형성된 리셋 신호 발생 회로(112)가

도 1에 도시된 CDR 회로(100A)에 추가된다. 입력 데이터(120)에서의 기설정된 수의 비트 또는 그 이상의 비트에 대응하는 식별 코드의 연속적 입력 또는 기설정된 시간 또는 그 이상 동안 식별 코드의 연속적 입력을 검출하는 경우, 리셋 신호 발생 회로(112)는 FIFO(101)를 리셋한다. FIFO(101)는 어떠한 데이터도 이에 도착하지 않는 경우 리셋될 수 있다. 이는 FIFO(101)의 오버플로우(overflow) 또는 부족을 예방한다.

[0056] (제 8 실시예)

[0057] 도 8은 본 발명의 제 8 실시예에 따른 CDR 회로(100H)의 배치를 나타낸다. 도 3에서의 동일 참조 번호는 도 8에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 리셋 신호 발생 회로(112)는 도 3에 도시된 CDR 회로(100C)에 추가된다. 리셋 신호 발생 회로(112)는 도 7을 참고로 하여 설명된 리셋 신호 발생 회로와 동일하고 도 7에 도시된 CDR 회로(100G)에서와 동일한 방식으로 동작한다.

[0058] (제 9 실시예)

[0059] 도 9는 본 발명의 제 9 실시예에 따른 CDR 회로(100I)의 배치를 나타낸다. 도 5에서의 동일 참조 번호는 도 9에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 리셋 신호 발생 회로(112)는 도 5에 도시된 CDR 회로(100E)에 추가된다. 리셋 신호 발생 회로(112)는 도 7을 참고로 하여 설명된 리셋 신호 발생 회로와 동일하고 도 7에 도시된 CDR 회로(100G)에서와 동일한 방식으로 동작한다.

[0060] (제 10 실시예)

[0061] 도 10은 본 발명의 제 10 실시예에 따른 CDR 회로(100J)의 배치를 나타낸다. 도 1에서의 동일 참조 번호는 도 10에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 리셋 신호 발생 회로(113)는 도 1에 도시된 CDR 회로(100A)에 추가된다. 입력 데이터(120)에서의 기설정된 수의 비트 또는 그 이상의 비트에 대응하는 식별 코드의 연속적 입력 또는 기설정된 시간 또는 그 이상 동안 식별 코드의 연속적 입력을 검출하는 경우, 리셋 신호 발생 회로(113)는 FIFO(101)를 리셋한다. FIFO(101)는 어떠한 데이터도 이에 도착하지 않는 경우 리셋될 수 있다. 리셋 신호 발생 회로(113)는 클록으로서 FIFO(101)에 대한 기록 클록(123)을 사용하여 기설정된 개수의 식별 코드를 연속하여 카운트하는 경우 리셋 신호를 발생한다.

[0062] (제 11 실시예)

[0063] 도 11은 본 발명의 제 11 실시예에 따른 CDR 회로(100K)의 배치를 나타낸다. 도 3에서의 동일 참조 번호는 도 11에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 리셋 신호 발생 회로(113)는 도 3에 도시된 CDR 회로(100C)에 추가된다. 리셋 신호 발생 회로(113)는 도 10을 참고로 하여 설명된 리셋 신호 발생 회로와 동일하고 도 10에 도시된 CDR 회로(100J)에서와 동일한 방식으로 동작한다.

[0064] (제 12 실시예)

[0065] 도 12는 본 발명의 제 11 실시예에 따른 CDR 회로(100L)의 배치를 나타낸다. 도 5에서의 동일 참조 번호는 도 12에서의 동일 구성 소자를 나타낸다. 이 실시예에서, 리셋 신호 발생 회로(113)는 도 5에 도시된 CDR 회로(100E)에 추가된다. 리셋 신호 발생 회로(113)는 도 10을 참고로 하여 설명된 리셋 신호 발생 회로와 동일하고 도 10에 도시된 CDR 회로(100J)에서와 동일한 방식으로 동작한다.

[0066] (제 13 실시예)

[0067] 도 13은 본 발명의 제 13 실시예에 따른 CDR 회로의 배치를 나타낸다. 도 1에서의 동일 참조 번호는 도 13에서의 동일 구성 소자를 나타낸다. 도 13을 참고로 하면, 참조 번호 101은 FIFO를 나타내고; 102는 VCO를 나타내고; 120은 입력 데이터를 나타내고; 121은 복구 데이터를 나타내고; 122는 기준 클록을 나타내고; 131은 PLL 회로를 나타낸다. VCO(102) 및 PLL 회로(131)는 복구 클록 발생 회로를 형성한다.

[0068] PLL 회로(131)는 VCO(102)와 동일 회로 배치를 가지는 VCO(3), 주파수 비교기(4), 전하 펌프(5), 루프 필터(6), 주파수 분주기(7A, 7B), 및 선택기(8)를 포함한다.

[0069] 이 실시예에서, VCO(3)으로부터의 출력 신호는 다른 주파수 분주비를 가지는 2 개의 주파수 분주기(7A, 7B)로 입력된다. 선택기(8)는 스위칭 신호(134)에 따라 주파수 분주기(7A, 7B)로부터의 출력 중 하나를 선택하고 주파수 비교기(4)로 선택된 신호를 출력한다.

[0070] 입력 데이터(120)는 VCO(102) 및 FIFO(101)로 입력된다. VCO(102)는 입력 데이터(120)의 전압 값의 전이 타이밍에서 입력 데이터(120)의 위상과 발진 파형의 위상을 매치시키도록 조정을 수행하여, 클록(123)을 복구한다.

VCO(102)로부터 출력된 복구 클럭(123)은 FIFO(101)로 입력된다.

- [0071] VCO(3)으로부터의 발진 클럭(132)의 주파수를 제어하는 제어 신호(133)는 동일 주파수를 가지는 발진 클럭(123, 132)을 출력하기 위해 VCO(102, 103)을 제어하도록 VCO(102)에 동시에 인가된다. VCO(3)으로부터의 출력 신호는 주파수 분주기(7A 또는 7B)에 의해 주파수-분주되고 선택기(8)를 통해 주파수 비교기(4)로 입력된다. 주파수 비교기(4)는 기준 클럭(122)의 위상과 선택기(8)로부터 신호 입력의 위상을 비교하고 차이에 대응하는 신호를 출력한다. 전하 펌프(5)는 주파수 비교기(4)로부터 신호 출력에 대응하는 전류를 출력한다. 루프 필터(6)는 전하 펌프(5)로부터의 출력에 따라 VCO(102 및 103)를 제어하도록 주파수 제어 신호(133)를 결정한다.
- [0072] 위에서 설명된 바와 같이, 이 실시예에서, 2 개의 주파수 분주기(7A 및 7B)는 선택기(8)에 의해 스위칭되고 사용된다. VCO(102 및 103)에 의해 발진가능한 주파수의 범위 내에서, 다른 비트율을 가지는 입력 데이터(120)는 리타이밍될 수 있다. 즉, 이 실시예에 따르면, FIFO(101)에서 입력 데이터(120)를 복구하기 위해 복구 클럭(123)의 주파수는 스위칭될 수 있다. 이는 2 개 이상의 다른 비트율을 가지는 입력 데이터(120)를 복구할 수 있다. 이 실시예에서, 하나의 기준 클럭(122)만이 충분하다. 이 실시예에서, 2 개의 주파수 분주기(7A, 7B)가 사용된다. 그러나, 3 개 이상의 주파수 분주기 중에서 하나만이 선택될 수 있다.
- [0073] (제 14 실시예)
- [0074] 도 14는 본 발명의 제 14 실시예에 따른 CDR 회로의 배치를 나타낸다. 도 13에서의 동일 참조 번호는 도 14에서의 동일 구성 소자를 나타낸다. 도 14를 참고하면, 참조 번호 135는 PLL 회로를 나타내고; 7은 주파수 분주기를 나타내고; 9는 기준 클럭 발생 회로를 나타낸다. 이 실시예에서, 기준 클럭 발생 회로(9)가 사용되고, 이는 하나의 기준 클럭(136)을 수신하고 설정 신호(137)에 따라 기준 클럭(122)을 발생한다. 기준 클럭 발생 회로(9)는 주파수 비교기(4) 및 FIFO(101)로 기준 클럭(122)을 입력한다. 기준 클럭 발생 회로(9)는 정수 또는 분수 방식 PLL 회로를 사용하여 이행될 수 있다.
- [0075] 위에서 설명된 바와 같이, 이 실시예에서, 기준 클럭 발생 회로(9)는 바람직한 주파수를 가지는 기준 클럭(122)을 발생한다. VCO(102 및 103)에 의해 발진가능한 주파수의 범위 내에서, 다른 비트율을 가지는 입력 데이터(120)는 리타이밍될 수 있다. 이 실시예에서, 기준 클럭(122)만이 충분하다. 하나의 주파수 분주기만이 또한 충분하다.
- [0076] (제 15 실시예)
- [0077] 도 15는 본 발명의 제 15 실시예에 따른 CDR 회로의 배치를 나타낸다. 도 14에서의 동일 참조 번호는 도 15에서의 동일 구성 소자를 나타낸다. 도 15를 참고하면, 참조 번호 138는 PLL 회로를 나타내고; 10은 선택기를 나타낸다. 이 실시예에서, 2 개의 참조 클럭(139, 140)이 사용된다. 이 선택기(10)는 스위칭 신호(141)에 따른 기준 클럭(139, 140) 중 하나를 선택하고 기준 클럭(122)으로서 주파수 분주기(4) 및 FIFO(101)로 선택된 클럭을 입력한다.
- [0078] 위에서 설명된 바와 같이, 이 실시예에서, 2 개의 기준 클럭(139, 140)은 선택기(10)에 의해 스위칭되고 사용된다. VCO(102 및 103)에 의해 발진가능한 주파수의 범위 내에서, 다른 비트율을 가지는 입력 데이터(120)는 리타이밍될 수 있다. 추가로, IC 개발 이후, 주파수는 변경될 수 있다. 이 실시예에서, 2 개의 참조 클럭(139, 140)이 사용된다. 그러나, 3 개 이상의 기준 클럭 중 하나가 선택될 수 있다.
- [0079] (제 16 실시예)
- [0080] 도 16은 본 발명의 제 16 실시예에 따른 CDR 회로의 배치를 나타낸다. 도 15에서의 동일 참조 번호는 도 16에서의 동일 구성 소자를 나타낸다. 도 16을 참고하면, 참조 번호 142는 PLL 회로를 나타내고; 11은 선택기를 나타낸다. 이 실시예에서, 다른 시상수를 가지는 2 개의 루프 필터(6A, 6B)가 제 15 실시예의 CDR 회로의 PLL 회로에 배열된다. 선택기(11)는 스위칭 신호(143)에 따른 루프 필터(6A 및 6B)로부터의 출력 신호 중 하나를 선택하여 선택된 신호를 주파수 제어 신호(133)로서 출력한다.
- [0081] 이 실시예에서, 2 개의 루프 필터(6A 및 6B)의 구성 및 필터 내용(content)은 시스템 요건 또는 입력 데이터(120)의 비트율에 따라 결정된다. 루프 필터(6A 및 6B) 중 하나의 루프 필터가 입력 데이터(120)에 따라 선택된다.
- [0082] 루프 필터를 스위칭하는 배치는 도 15에 도시된 CDR 회로뿐만 아니라, 도 13 및 도 14를 참고로 하여 설명된 CDR 회로에 적용가능하다. 이 경우에서도, 루프 필터는 2 개의 루프 필터(6A 및 6B)에 제한되지 않는다. 3 개

이상의 루프 필터 중 하나가 선택될 수 있다.

[0083] 위에서 설명된 제 13 실시예에서 제 15 실시예는 또한 서로 조합될 수 있다. 이는 VCO(102 및 103)에 의해 발전 클록(123 및 132)의 주파수의 유형을 다양화하도록 한다.

산업상 이용 가능성

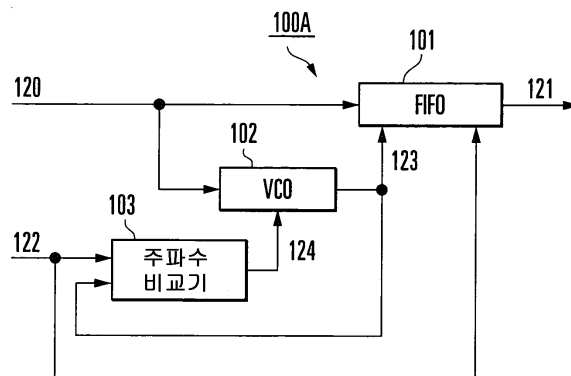
[0084] 본 발명은 입력 데이터와 동위상인 클록을 추출하고 클록에 기초한 입력 데이터를 리타이밍하는 기술에 적용가능하다.

도면의 간단한 설명

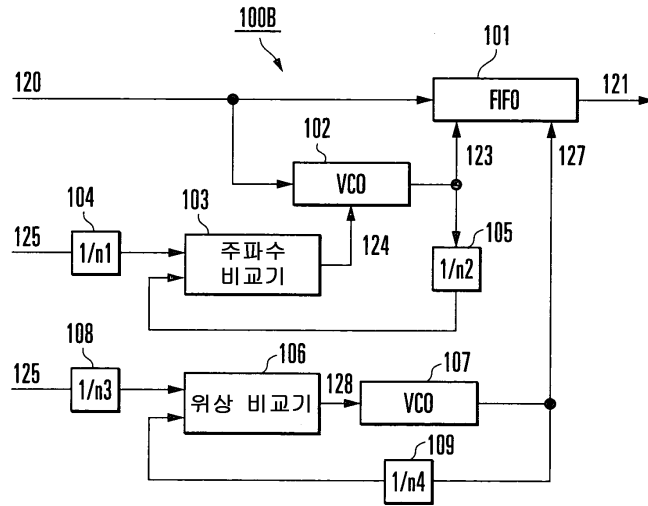
- [0008] 도 1은 본 발명의 제 1 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0009] 도 2는 본 발명의 제 2 실시예에 따른 CDR 회로의 배치를 나타내는 블록도이다;
- [0010] 도 3은 본 발명의 제 3 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0011] 도 4는 본 발명의 제 4 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0012] 도 5는 본 발명의 제 5 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0013] 도 6은 본 발명의 제 6 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0014] 도 7은 본 발명의 제 7 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0015] 도 8은 본 발명의 제 8 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0016] 도 9는 본 발명의 제 9 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0017] 도 10은 본 발명의 제 10 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0018] 도 11은 본 발명의 제 11 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0019] 도 12는 본 발명의 제 12 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0020] 도 13은 본 발명의 제 13 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0021] 도 14는 본 발명의 제 14 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0022] 도 15는 본 발명의 제 15 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0023] 도 16은 본 발명의 제 16 실시예에 따른 CDR 회로에 관한 배치를 나타내는 블록도이다;
- [0024] 도 17은 통상적인 CDR 회로의 배치를 나타내는 블록도이다.

도면

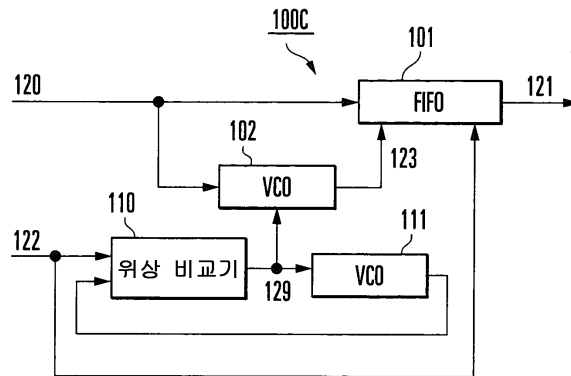
도면1



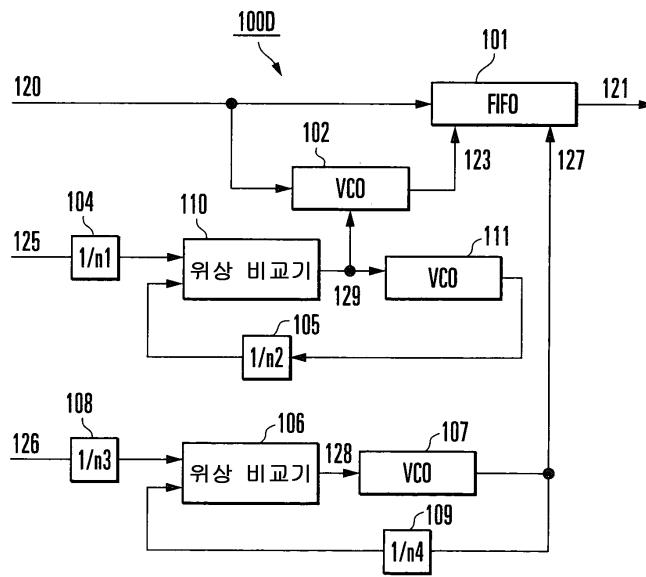
도면2



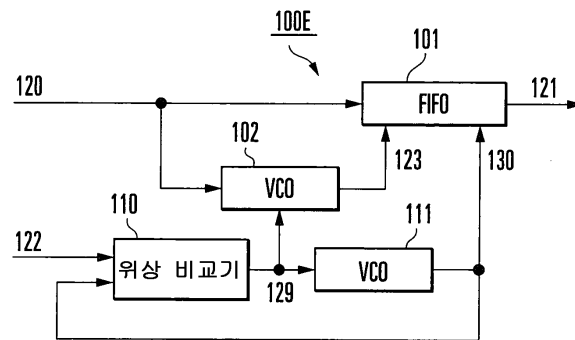
도면3



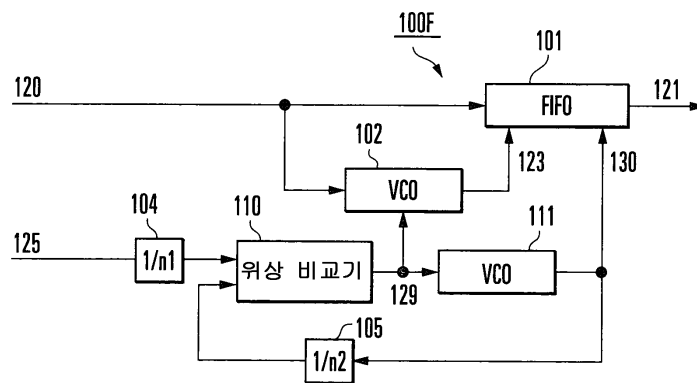
도면4



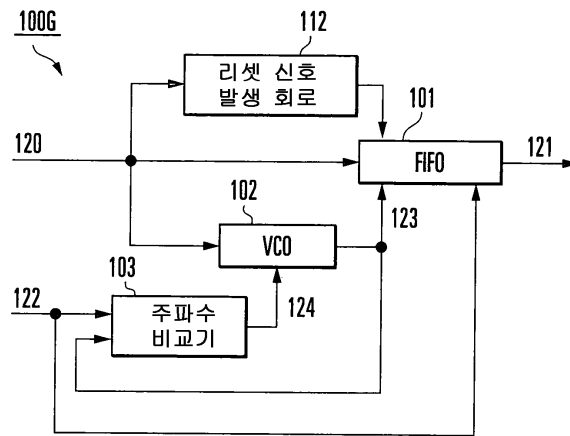
도면5



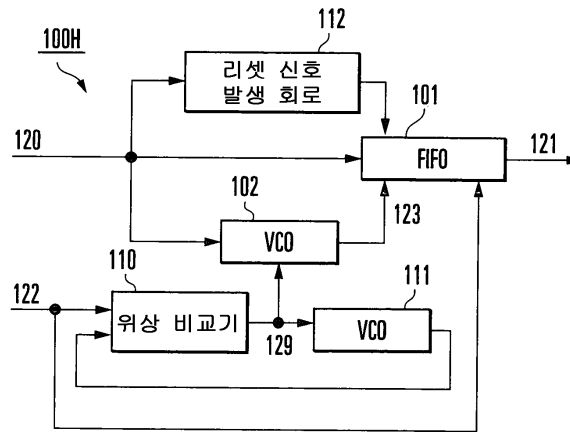
도면6



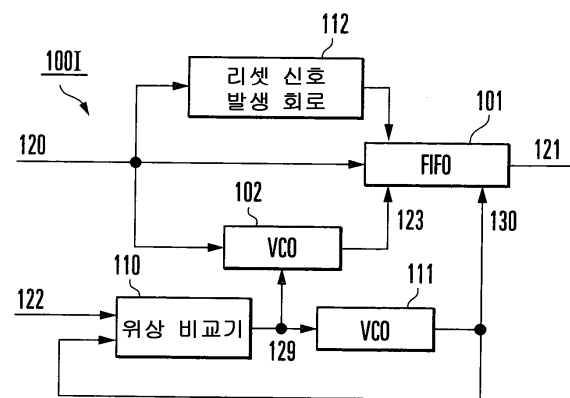
도면7



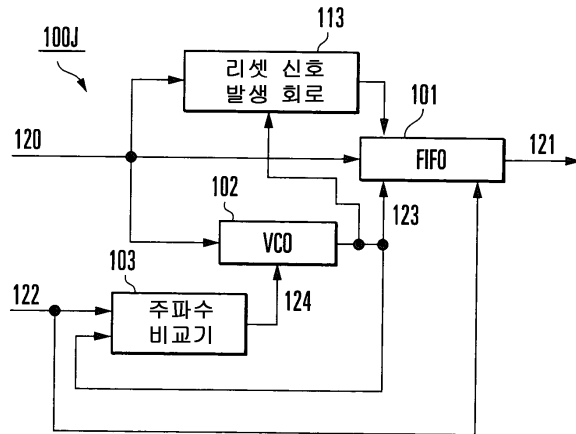
도면8



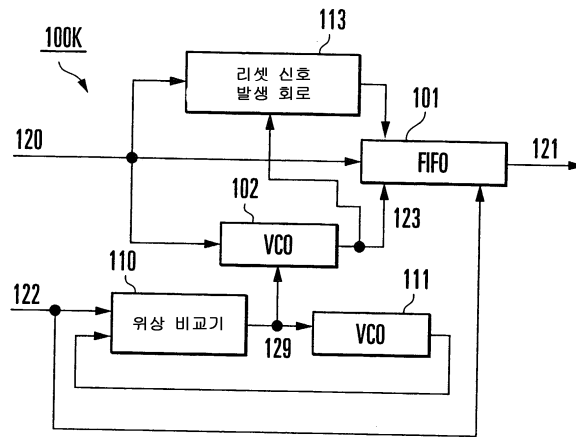
도면9



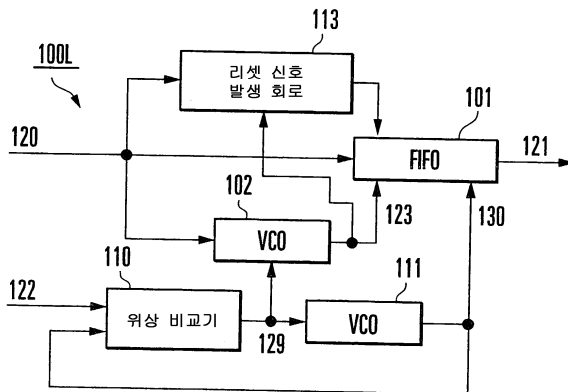
도면10



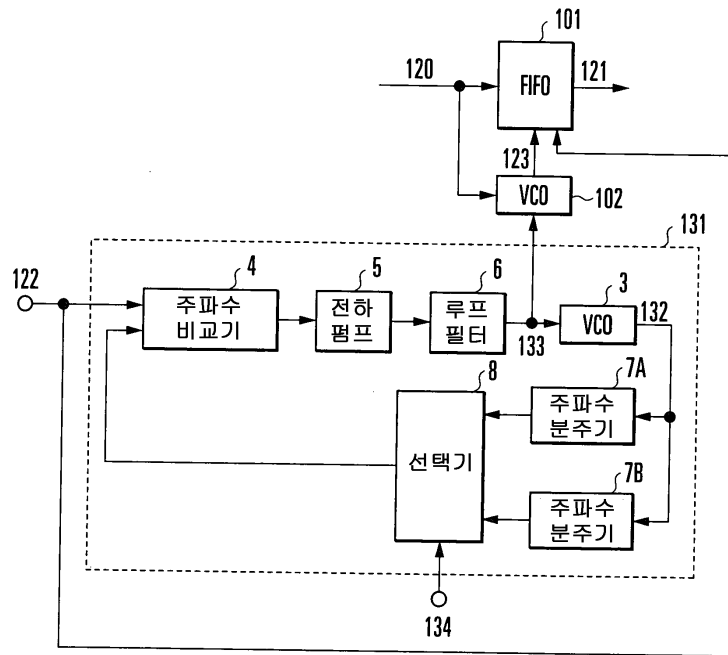
도면11



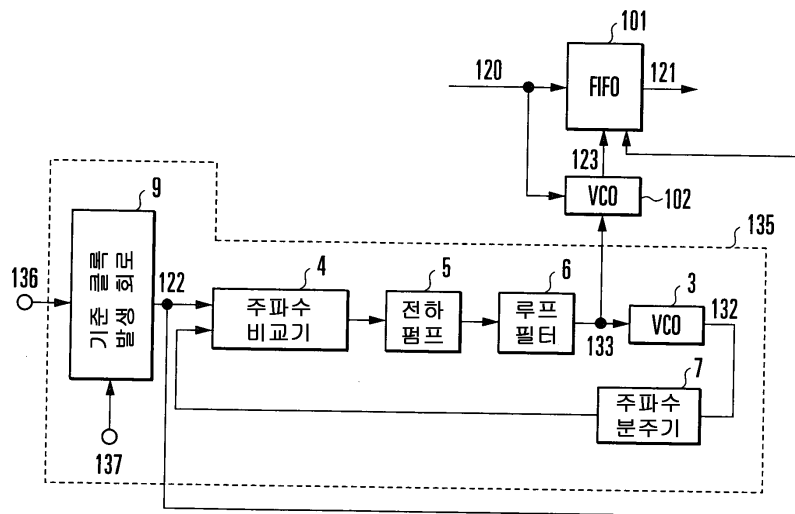
도면12



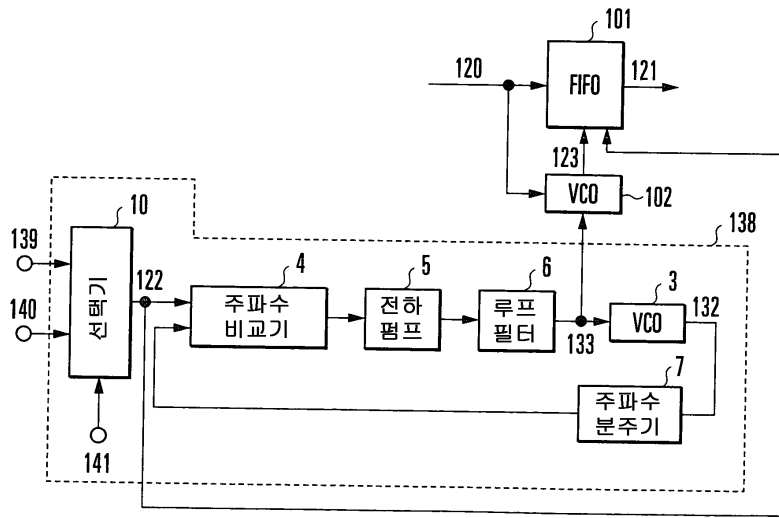
도면13



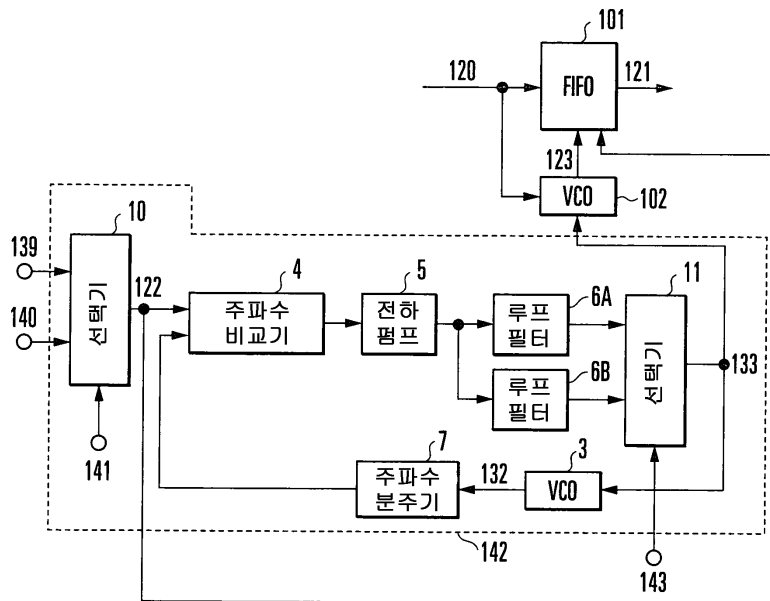
도면14



도면15



도면16



도면17

