

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 3월 12일 (12.03.2015)



(10) 국제공개번호
WO 2015/034276 A1

- (51) 국제특허분류:
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
- (21) 국제출원번호: PCT/KR2014/008295
- (22) 국제출원일: 2014년 9월 4일 (04.09.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2013-0106504 2013년 9월 5일 (05.09.2013) KR
- (71) 출원인: **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)** [KR/KR]; 136-701 서울시 성북구 안암로 145, 고려대학교 (안암동 5가), Seoul (KR).
- (72) 발명자: **김태근 (KIM, Tae Geun)**; 463-949 경기도 성남시 분당구 양현로 88, 503 동 1403 호 (이매동, 이매촌동 부코오롱아파트), Gyeonggi-do (KR). **정호영 (CHUNG, Ho Young)**; 121-895 서울시 마포구 독막로 7길 44, 2층 (서교동), Seoul (KR).
- (74) 대리인: **특허법인주원 (B&IP-JOOWON PATENT AND LAW FIRM)**; 135-701 서울시 강남구 언주로 711, 건설회관 9층 (논현동), Seoul (KR).

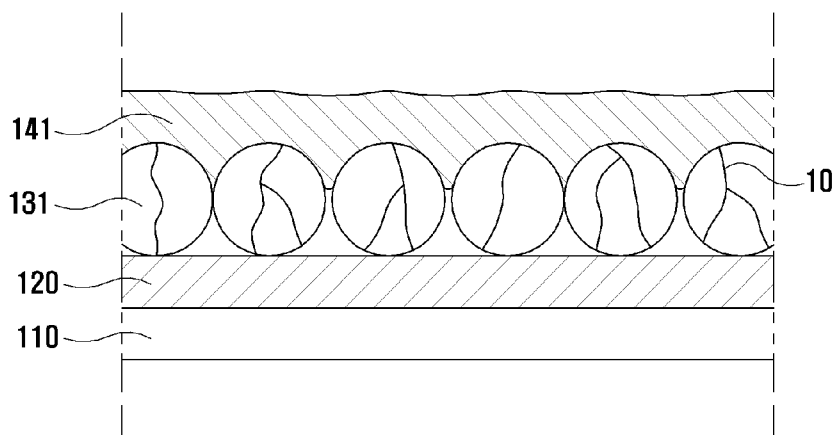
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: NON-VOLATILE MEMORY AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 비휘발성 메모리 및 그 제조 방법



(57) Abstract: A non-volatile memory and a method for manufacturing the same are disclosed. The present invention can provide a resistance-variable non-volatile memory device which is made of a resistance-variable material, forms a resistance-variable layer by uniformly arranging a nano-particle having a predetermined diameter on a lower electrode, and forms a conductive filament inside the nano-particle, so that the conductive filament is uniformly formed on the resistance-variable layer, thereby ensuring a higher reliability. Further, the present invention can provide a resistance-variable non-volatile memory device in which a nano-particle having a predetermined diameter is uniformly arranged on a lower electrode and a resistance-variable layer filled with a resistance-variable material is formed therebetween, so that a conductive filament is uniformly formed between the uniformly-arranged nano-particles, thereby ensuring a higher reliability.

(57) 요약서: 본 발명은 비휘발성 메모리 및 그 제조 방법을 공개한다. 본 발명은 저항 변화 물질로 형성되고 일정한 직경을 갖는 나노 입자를 하부 전극위에 균일하게 배치하여

[다음 쪽 계속]

WO 2015/034276 A1



저항 변화층을 형성하고, 나노 입자 내부에 전도성 필라멘트를 형성함으로써, 저항 변화층에 균일하게 전도성 필라멘트를 형성하여, 보다 신뢰성 있는 저항 변화 비휘발성 메모리 소자를 제공할 수 있다. 또한, 본 발명은 일정한 직경을 갖는 나노 입자를 하부 전극 위에 균일하게 배치하고 그 사이를 저항 변화 물질로 채운 저항 변화층을 형성함으로써, 전도성 필라멘트를 균일하게 배치된 나노 입자들 사이에 균일하게 형성하여, 보다 신뢰성 있는 저항 변화 비휘발성 메모리 소자를 제공할 수 있다.

명세서

발명의 명칭: 비휘발성 메모리 및 그 제조 방법

기술분야

- [1] 본 발명은 비휘발성 메모리 및 그 제조 방법에 관한 것으로서, 보다 구체적으로는 저항성 비휘발성 메모리 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 최근 스마트폰, 태블릿 PC 등 휴대용 전자제품의 급속한 발전으로 이들 제품의 주요 저장매체로서 플래시 메모리의 수요가 증가되고 있다. 고집적 플래시 메모리를 구현하기 위해서는 메모리 셀의 크기를 줄이는 것이 가장 일반적인 방법이다. ITRS(International Technology Road-map for Semiconductors)에서는 현재 주로 사용되고 있는 부유게이트(floating gate) 플래시 메모리의 셀 크기를 감소하는 것이 곧 한계에 도달할 것이라고 예상하고 있다.
- [3] 이를 대체할 차세대 비휘발성 메모리 소자는 3차원 CTF(Charge Trap Flash), 강유전체 커패시터를 이용한 FRAM(Ferroelectric Random Access Memory), TMR(Tunneling Magneto-Resistive) 막을 이용한 MRAM(Magnetic Random Access Memory), 칼코게나이드계 화합물(chalcogenide alloys)을 이용한 PRAM(Phase change Random Access Memory), 그리고 저항 변화를 이용한 ReRAM(Resistance switching Random Access Memory) 등이 주목 받고 있다.
- [4] 이 중, ReRAM 소자는 금속-절연막-금속(MIM: Metal-Insulator-Metal)의 간단한 구조로 나노 크기 소자 제작이 용이하며, 공정이 간단하고, 저전압(< 5V) 사용 및 고속(< 100ns) 동작이 가능하다. 또한, ReRAM 소자는 인가하는 전압의 크기에 따라 단일 레벨 셀(Single Level Cell) 뿐만 아니라, 1셀 2비트 이상의 여러 비트로 변환할 수 있는 다중 레벨 셀(Multi Level Cell) 기술의 적용이 가능하다. 또한, ReRAM 소자에 사용되는 저항 변화를 일으키는 물질로는 초거대 자기저항 물질, 금속산화물, 금속질화물, 강유전체 물질, 칼코게나이드계 물질 등이 있어, 물질 선택의 폭이 다양하다는 장점이 있다.
- [5] ReRAM 소자가 메모리 거동을 보이기 위해선 먼저 electro-forming 단계가 필요하다. forming에 의해 ReRAM 물질 내부에 전도성 필라멘트(conductive filament)가 형성되게 되고, 전도성 필라멘트를 통해서 전류가 흐르게 됨으로써, 저항이 큰 상태에서 저항이 작은 상태로 전기적 특성이 변화하면서 스위칭 특성을 보이게 된다. 이 후, ReRAM에 인가되는 전압의 크기에 따라서 ReRAM 내부의 전도성 필라멘트는 생성 및 소멸이 반복되면서, 그 저항상태가 고저항 상태와 저저항 상태로 변화되고, 인가된 전압이 제거되어도 저항상태가 그대로 유지됨으로써, 프로그램이 수행된다.
- [6] 하지만, 기존의 ReRAM은 forming 과정에서 불규칙하게 전도성 필라멘트(conductive filament)가 형성되게 되고, 그로 인하여 저항

스위치(resistive switch)가 균일하게 형성되지 못하는 문제를 가지고 있다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명이 해결하고자 하는 과제는, 내부에 전도성 필라멘트가 균일하게 형성되어 소자의 신뢰성이 높은 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것이다.

과제 해결 수단

- [8] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자는, 하부 전극; 상기 하부 전극 위에 배치되고, 인가되는 전계에 따라서 저항이 변화되는 저항 변화 물질로 형성된 복수의 나노 입자를 포함하는 저항 변화층; 및 상기 저항 변화층 위에 형성된 상부 전극을 포함한다.
- [9] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자에서, 상기 복수의 나노 입자는 그 내부에 금속 물질이 포함되고, 그 주위를 저항 변화 물질이 둘러싸도록 형성될 수 있다.
- [10] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자에서, 상기 저항 변화층은, 상기 복수의 나노 입자들 사이를 채우는 절연 물질을 내부에 더 포함할 수 있다.
- [11] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자에서, 상기 절연 물질은 PMMA(PolyMethylMethAcrylate)일 수 있다.
- [12] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자에서, 상기 복수의 나노 입자는 불순물로 도핑될 수 있다.
- [13] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 다른 실시예에 따른 비휘발성 메모리 소자는, 하부 전극; 상기 하부 전극 위에 배치된 복수의 나노 입자와, 상기 복수의 나노 입자들 사이를 채우도록 상기 하부 전극 위에 형성되는 저항 변화 물질을 포함하는 저항 변화층; 및 상기 저항 변화층 위에 형성되는 상부 전극을 포함한다.
- [14] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자에서, 상기 복수의 나노 입자는 동일한 직경을 갖는 것이 바람직하다.
- [15] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법은, (a) 하부 전극 위에, 인가되는 전계에 따라서 저항이 변화되는 저항 변화 물질로 형성된 복수의 나노 입자를 배치하여 저항 변화층을 형성하는 단계; 및 (c) 상기 저항 변화층 위에 상부 전극을 형성하는 단계를 포함한다.
- [16] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법에서, 상기 복수의 나노 입자는 그 내부에 금속 물질이 포함되고, 그 주위를 저항 변화 물질이 둘러싸도록 형성될 수 있다.
- [17] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법에서,

상기 (a) 단계는, (a1) 상기 하부 전극 위에 저항 변화 물질로 형성된 복수의 나노 입자를 배치하는 단계; 및 (a2) 상기 복수의 나노 입자들 사이를 절연물질로 채우는 단계를 포함할 수 있다.

[18] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법에서, 상기 절연 물질은 PMMA(PolyMethylMethAcryl)일 수 있다.

[19] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법에서, 상기 복수의 나노 입자는 불순물로 도핑될 수 있다.

[20] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법에서, 상기 (a) 단계와 상기 (c) 단계 사이에, (b) 상기 복수의 나노 입자들에 전계를 인가하여 포밍을 수행하는 단계를 더 포함할 수 있다.

[21] 한편, 상술한 과제를 해결하기 위한 본 발명의 바람직한 다른 실시예에 따른 비휘발성 메모리 제조 방법은, (b) 하부 전극 위에 복수의 나노 입자를 배치하고, 인가되는 전계에 따라서 저항이 변화되는 저항 변화 물질로, 상기 복수의 나노 입자들 사이를 채움으로써 저항 변화층을 형성하는 단계; 및 (d) 상기 저항 변화층 위에 상부 전극을 형성하는 단계를 포함한다.

[22] 또한, 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법에서, 상기 복수의 나노 입자는 동일한 직경을 갖는 것이 바람직하다.

발명의 효과

[23] 본 발명은 저항 변화 물질로 형성되고 일정한 직경을 갖는 나노 입자를 하부 전극위에 균일하게 배치하여 저항 변화층을 형성하고, 나노 입자 내부에 전도성 필라멘트를 형성함으로써, 저항 변화층에 균일하게 전도성 필라멘트를 형성하여, 보다 신뢰성 있는 저항 변화 비휘발성 메모리 소자를 제공할 수 있다.

[24] 또한, 본 발명은 일정한 직경을 갖는 나노 입자를 하부 전극 위에 균일하게 배치하고 그 사이를 저항 변화 물질로 채운 저항 변화층을 형성함으로써, 전도성 필라멘트를 균일하게 배치된 나노 입자들 사이에 균일하게 형성하여, 보다 신뢰성 있는 저항 변화 비휘발성 메모리 소자를 제공할 수 있다.

도면의 간단한 설명

[25] 도 1a 및 도 1b는 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리의 구성을 도시한 도면이다.

[26] 도 2는 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.

[27] 도 3은 제 1 실시예의 변형 실시예에 따른 비휘발성 메모리의 구조를 도시한 도면이다.

[28] 도 4는 본 발명의 바람직한 제 2 실시예에 따른 비휘발성 메모리 소자의 구성을 도시하는 도면이다.

[29] 도 5a 및 도 5b는 제 2 실시예에 따른 비휘발성 메모리 소자의 제조 공정을 설명하는 도면이다.

[30] 도 6은 다양한 크기의 나노 입자를 이용하여 저항 변화층을 형성한 예들을 도시한 도면이다.

발명의 실시를 위한 형태

[31] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[32] 도 1a 및 도 1b는 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리의 구성을 도시한 도면이다.

[33] 도 1a를 참조하면, 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리는 기판(110) 위에 하부 전극(120), 저항 변화층(130) 및 상부 전극(141)이 형성되어 있다. 이러한 구조는 기본적으로 종래의 ReRAM 구조와 동일하되, 본 발명은 저항 변화층(130)을 복수의 나노 입자(131)로 구성하였다는 점에 특징이 있다.

[34] 구체적으로 설명하면, 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 소자의 저항 변화층(130)은, 도 1a에 도시된 바와 같이, 하부 전극(120) 위에 배치된 복수의 나노입자들(131)로 구성되고, 이 복수의 나노 입자들(131)은 인가되는 전계에 따라서 저항이 변화되는 저항 변화 물질로 형성된다.

[35] 본 발명의 바람직한 제 1 실시예에서 복수의 나노 입자들(131)은 수십 나노미터에서 수 마이크로미터의 직경을 갖는 것으로 형성되었으나, 나노 입자(131)의 직경은 변경이 가능함은 물론이다.

[36] 또한, 나노 입자(131)를 형성하는 저항 변화 물질은 일반적으로 ReRAM에 이용되는 저항 변화 물질이 모두 적용될 수 있고, 본 발명의 나노 입자들(131)은 모두 동일한 직경을 갖는 것이 바람직하다.

[37] 도 6은 다양한 크기의 나노 입자(131)를 이용하여 저항 변화층(130)을 형성한 예들을 도시한 도면이다. 도 6에 도시된 바와 같이, 나노 입자(131)의 크기를 변경함으로써, 단위 면적당 배치되는 나노 입자(131)의 크기 및 이에 대응되어 형성되는 전도성 필라멘트(10)의 수를 조절할 수 있다.

[38] 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 소자의 동작을 살펴보면, 하부 전극(120)과 상부 전극(141) 사이에 저항 변화 물질에 고유한 임계 전압 이상의 전압을 인가하여 포밍을 수행하면, 상부 전극(141) 및 하부 전극(120)에 각각 접촉한 나노 입자들(131) 내부에 전도성 필라멘트(10)가 각각 형성된다.

[39] 상술한 바와 같이, 복수의 나노 입자들(131)은 하부 전극(120) 위에 균일하게 배치되어 있으므로, 나노 입자(131) 내부에 형성되는 전도성 필라멘트(10) 역시 저항 변화층(130) 전체적인 관점에서 보면 균일한 간격으로 형성되므로, 비휘발성 메모리 소자의 신뢰성을 향상시킬 수 있다.

[40] 한편, 상술한 복수의 나노 입자들(131)은 도 1a에 도시된 바와 같이, 전체가 저항변화 물질로 형성될 수도 있고, 도 1b에 도시된 바와 같이, 그 내부에(중심에) 금속 물질(133)이 포함되고, 금속 물질(133) 주변에 저항 변화물질이 둘러싸는 구조로 형성된 Core-Shell 나노 입자(132)로 구현될 수도 있다. 이렇게 Core-Shell

나노 입자(132)가 이용된 경우에, 전도성 필라멘트(10)는 나노 입자(132)의 표면을 통해서 형성된다.

- [41] 또한, 상술한 복수의 나노 입자들(131,132)은 전도성 필라멘트(10)를 보다 용이하게 형성할 수 있도록 불순물(Al, Be, Ge, Mg, Nb, P 및 Zr으로 이루어진 그룹 등)로 도핑될 수 있는데, 도핑 방식은 나노 입자(131,132)를 도핑 용액에 침적하였다가 건조시키는 방법을 이용할 수도 있고, 이온 주입 방식을 이용할 수도 있으며, 이 밖에 다양한 도핑 방법이 적용될 수 있다.
- [42]
- [43] 도 2는 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.
- [44] 도 2를 참조하여 설명하면, 먼저, 기판(110) 위에 하부 전극(120)을 증착하여 형성하고, 그 위에 저항 변화 물질로 형성된 나노 입자(131)가 포함된 용액(300)을 스핀 코팅 방식으로 도포한다.(도 2의 (a)참조). 이 때, 하부 전극(120) 및 저항 변화 물질은 종래의 ReRAM에서 이용되는 것과 동일한 재질이 이용될 수 있다.
- [45] 그 후, 기판(110)을 건조시키면, 나노 입자(131)가 포함된 용액(300)에서 용매는 증발하여 제거되고, 저항 변화 물질로 형성된 나노 입자(131)만 하부 전극(120) 위에 배치됨으로써 저항 변화층(130)이 형성된다(도 2의 (b) 참조). 이 때, 용액(300)내의 나노 입자(131)의 농도를 조절하면, 하부 전극(120)위에 배치되는 나노 입자들(131)의 간격을 조절할 수 있다.
- [46] 마지막으로, 상부 전극(141)을 나노 입자들(131)로 구성된 저항 변화층(130) 위에 전극 물질을 증착하여 형성한다(도 2의 (c) 참조).
- [47] 그 후, 상부 전극(141)과 하부 전극(120)에 나노 입자(131)를 구성하는 물질에 고유한 임계 전압 이상의 전압을 인가함으로써, 나노 입자들(131)에 전계를 인가하여 포밍 공정을 수행하여 나노 입자들(131) 내부에 전도성 필라멘트(10)를 형성한다.
- [48] 이렇게, 포밍 공정이 수행된 후에는 상부 전극(141)과 하부 전극(120) 사이에 인가되는 전압에 따라서 전도성 필라멘트(10)가 형성되거나 소멸되어 프로그램이 수행된다.
- [49] 다만, 상기 비휘발성 메모리 제작 과정에서, 상부 전극(141)을 증착시키기 전에, 나노 입자들(131)에 대해서 포밍 공정을 먼저 수행할 수도 있다. 이 경우, 나노 입자들(131) 위에 전도성 시트를 배치하여 포밍을 수행하고, 전도성 시트를 제거한 후, 상부 전극(141)을 증착할 수도 있다.
- [50] 지금까지 본 발명의 바람직한 제 1 실시예에 따른 비휘발성 메모리 소자 및 그 제조 방법을 설명하였다.
- [51]
- [52] 도 3은 제 1 실시예의 변형 실시예에 따른 비휘발성 메모리의 구조를 도시한 도면이다. 도 3을 참조하면, 도 3에 도시된 변형예는 제 1 실시예의 나노

입자들(131) 사이에 절연 물질(134)이 채워져, 복수의 나노 입자(131)와 절연 물질(134)이 함께 저항 변화층(130)을 구성한다는 점에서 차이가 있다.

- [53] 변형예에 따르면, 상술한 도 2의 (a) 내지 (b) 단계를 수행하여, 하부 전극(120) 위에 나노 입자들(131)을 균일하게 배치한 후, PMMA(PolyMethylMethAcryl)te)와 같은 용액 또는 젤 상태의 절연 물질(134)을 나노 입자들(131) 위에 코팅한다. 이 경우, 절연 물질(134)은 나노 입자들(131) 사이의 공간에 스며들어 나노 입자들(131) 사이의 공간을 채우게 되며, 소프트 베이킹을 통해서 절연 물질(134)을 경화시킨다. 다만, 이 때, 절연 물질(134)은 나노 입자들(131)이 상부 전극(142)과 접촉할 수 있도록, 나노 입자들(131)보다 낮은 높이로 형성됨을 주의해야 한다.
- [54] 그 후, 도 2의 (c)에 도시된 것과 동일한 방식으로, 나노 입자(131) 및 절연 물질(134) 위에 전극 물질을 증착하여 상부 전극(142)을 형성하고, 상부 전극(142)과 하부 전극(120) 사이에 전압을 인가하여 포밍 공정을 수행함으로써, 저항 변화 비휘발성 메모리 소자를 완성한다.
- [55] 이 때, 변형예에 이용되는 나노 입자(131)는 제 1 실시예와 마찬가지로 Core-Shell 나노 입자(132)가 이용될 수 있고, 이들 나노 입자들이 도핑된 것이 이용될 수도 있다. 또한, 제 1 실시예와 마찬가지로, 상부 전극(142)을 형성하기에 앞서, 포밍 공정이 먼저 수행될 수도 있다.
- [56]
- [57] 도 4는 본 발명의 바람직한 제 2 실시예에 따른 비휘발성 메모리 소자의 구성을 도시하는 도면이다.
- [58] 도 4를 참조하면, 제 2 실시예에 따른 비휘발성 메모리 소자는 제 1 실시예와 마찬가지로 기판(210) 위에 하부 전극(220), 저항 변화층(230), 및 상부 전극(240)이 순차적으로 형성된 구조를 갖는다.
- [59] 제 2 실시예의 저항 변화층(230)은 하부 전극(220)위에 균일하게 배치된 복수의 나노 입자(231)와, 나노 입자들(231) 사이를 채우도록 하부 전극(220) 위에 형성된 저항 변화 물질(232)을 포함하여 구성된다.
- [60] 제 2 실시예의 복수의 나노 입자(231)는 저항 변화 특성이 나타나지 않는 절연 물질로 형성되고, 나노 입자들(231) 사이를 채우는 저항 변화 물질(232)은 상술한 제 1 실시예의 나노 입자(231)와 같이, 일반적인 ReRAM에서 이용되는 저항 변화 물질(232)로 형성될 수 있다.
- [61] 본 발명의 바람직한 제 2 실시예의 경우, 도 4에 도시된 바와 같이, 상부 전극(240)과 하부 전극(220) 사이에 전압을 인가하여 포밍을 수행하면, 하부 전극(220) 위에 균일하게 배치된 복수의 나노 입자들(231) 사이 공간에 채워진 저항 변화 물질에 전도성 필라멘트(20)가 생성되고, 이후, 인가되는 전압에 따라서 전도성 필라멘트(20)가 생성되거나 소멸되어 프로그램이 수행된다.
- [62] 제 1 실시예와 마찬가지로, 제 2 실시예의 나노 입자들(231)은 동일한 직경을 갖으며 균일한 밀도로 하부 전극(220) 위에 배치되므로, 나노 입자들(231) 사이에

형성되는 전도성 필라멘트(20) 역시 일정한 간격으로 균일한 밀도로 형성된다. 따라서, 제 1 실시예와 마찬가지로, 나노 입자들(231)의 크기 및 나노 입자들(231)이 포함되는 용액을 농도를 조절함으로써 전도성 필라멘트(20)의 간격이나 밀도를 조절할 수 있고, 따라서 신뢰성있는 저항 변화 비휘발성 메모리 소자를 제공할 수 있다.

[63]

[64] 도 5a 및 도 5b는 제 2 실시예에 따른 비휘발성 메모리 소자의 제조 공정을 설명하는 도면이다.

[65] 도 5a를 참조하여, 본 발명의 바람직한 제 2 실시예에 따른 비휘발성 메모리 소자의 제조 공정을 설명하면, 먼저, 제 1 실시예와 동일한 방식으로(도 2의 (a) 및 (b) 참조), 도 5a의 (a)에 도시된 바와 같이, 기판(210) 위에 하부 전극(220)을 형성하고, 하부 전극(220) 위에 절연 물질로 형성된 나노 입자들(231)을 균일하게 배치한다.

[66] 그 후, 도 5a의 (b)에 도시된 바와 같이, 하부 전극(220)에 배치된 복수의 나노 입자들(231) 사이를 채우도록 저항 변화 물질(232)을 증착하여, 저항 변화 물질(232)로 나노 입자들(231) 사이를 채움으로써, 저항 변화층(230)을 완성한다.

[67] 그 후, 도 5a의 (c)에 도시된 바와 같이, 저항 변화층(230) 위에 상부 전극(240)을 증착하여 형성하고, 상부 전극(240)과 하부 전극(220) 사이에 전압을 인가하여, 포밍 공정을 수행함으로써 나노 입자들(231) 사이에 전도성 필라멘트(20)를 형성하여, 본 발명의 바람직한 제 2 실시예에 따른 비휘발성 메모리를 완성한다.

[68] 도 5b는 제 2 실시예에 따른 비휘발성 메모리에서 전도성 필라멘트(20)의 형성 위치를 설명하기 위해 저항 변화층(230)의 평면을 도시한 평면도이다. 도 5b를 참조하면, 제 2 실시예에서 전도성 필라멘트(20)는 나노 입자들(231) 사이의 공간에 일정하게 형성됨을 알 수 있다.

[69]

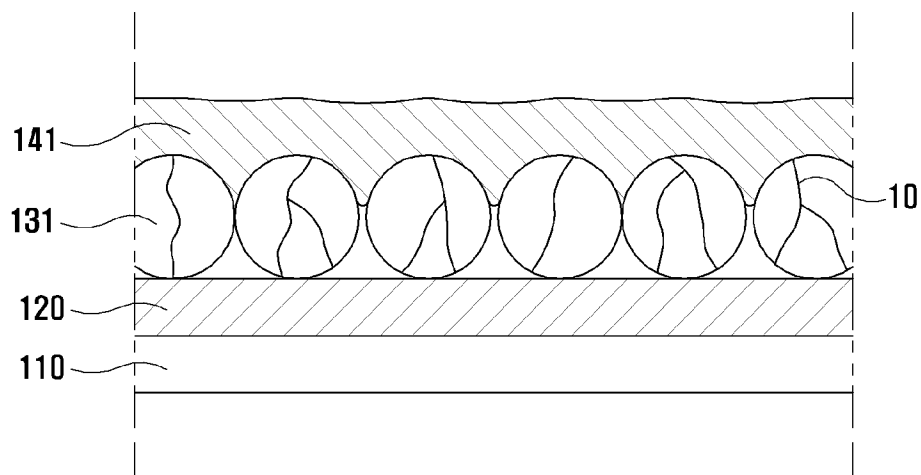
[70] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

청구범위

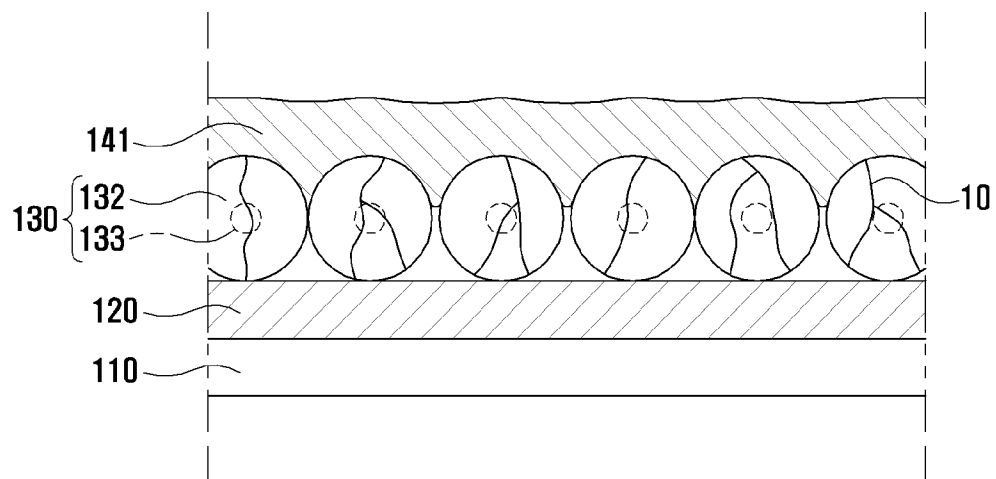
- [청구항 1] 하부 전극;
상기 하부 전극 위에 배치되고, 인가되는 전계에 따라서 저항이 변화되는 저항 변화 물질로 형성된 복수의 나노 입자를 포함하는 저항 변화층; 및
상기 저항 변화층 위에 형성된 상부 전극을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.
- [청구항 2] 제 1 항에 있어서,
상기 복수의 나노 입자는 그 내부에 금속 물질이 포함되고, 그 주위를 저항 변화 물질이 둘러싸도록 형성된 것을 특징으로 하는 비휘발성 메모리 소자.
- [청구항 3] 제 1 항에 있어서, 상기 저항 변화층은
상기 복수의 나노 입자들 사이를 채우는 절연 물질을 내부에 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.
- [청구항 4] 제 3 항에 있어서,
상기 절연 물질은 PMMA(PolyMethylMethAcryl)인 것을 특징으로 하는 비휘발성 메모리 소자.
- [청구항 5] 제 1 항에 있어서,
상기 복수의 나노 입자는 불순물로 도핑된 것을 특징으로 하는 비휘발성 메모리 소자.
- [청구항 6] 하부 전극;
상기 하부 전극 위에 배치된 복수의 나노 입자와, 상기 복수의 나노 입자들 사이를 채우도록 상기 하부 전극 위에 형성되는 저항 변화 물질을 포함하는 저항 변화층; 및
상기 저항 변화층 위에 형성되는 상부 전극을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.
- [청구항 7] 제 1 항 내지 제 6 항 중 어느 한 항에 있어서,
상기 복수의 나노 입자는 동일한 직경을 갖는 것을 특징으로 하는 비휘발성 메모리 소자.
- [청구항 8] (a) 하부 전극 위에, 인가되는 전계에 따라서 저항이 변화되는 저항 변화 물질로 형성된 복수의 나노 입자를 배치하여 저항 변화층을 형성하는 단계; 및
(c) 상기 저항 변화층 위에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [청구항 9] 제 8 항에 있어서,
상기 복수의 나노 입자는 그 내부에 금속 물질이 포함되고, 그 주위를 저항 변화 물질이 둘러싸도록 형성된 것을 특징으로 하는

- 비휘발성 메모리 소자 제조 방법.
- [청구항 10] 제 8 항에 있어서, 상기 (a) 단계는
 (a1) 상기 하부 전극 위에 저항 변화 물질로 형성된 복수의 나노 입자를 배치하는 단계; 및
 (a2) 상기 복수의 나노 입자들 사이를 절연물질로 채우는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [청구항 11] 제 10 항에 있어서,
 상기 절연 물질은 PMMA(PolyMethylMethAcryl)인 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [청구항 12] 제 8 항에 있어서,
 상기 복수의 나노 입자는 불순물로 도핑된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [청구항 13] 제 8 항에 있어서, 상기 (a) 단계와 상기 (c) 단계 사이에,
 (b) 상기 복수의 나노 입자들에 전계를 인가하여 포밍을 수행하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [청구항 14] (b) 하부 전극 위에 복수의 나노 입자를 배치하고, 인가되는 전계에 따라서 저항이 변화되는 저항 변화 물질로, 상기 복수의 나노 입자들 사이를 채움으로써 저항 변화층을 형성하는 단계; 및
 (d) 상기 저항 변화층 위에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [청구항 15] 제 8 항 내지 제 14 항 중 어느 한 항에 있어서,
 상기 복수의 나노 입자는 동일한 직경을 갖는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

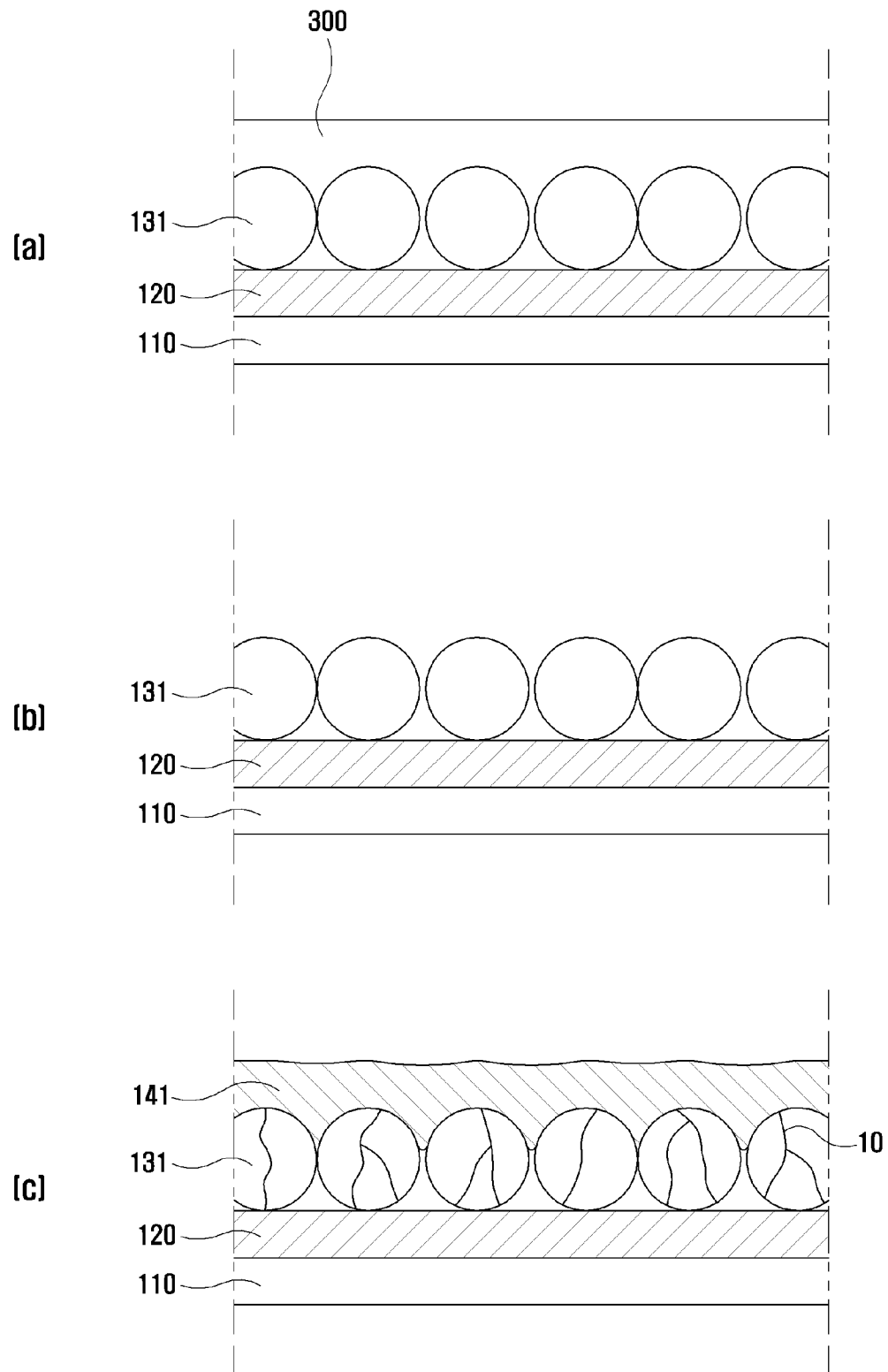
[Fig. 1a]



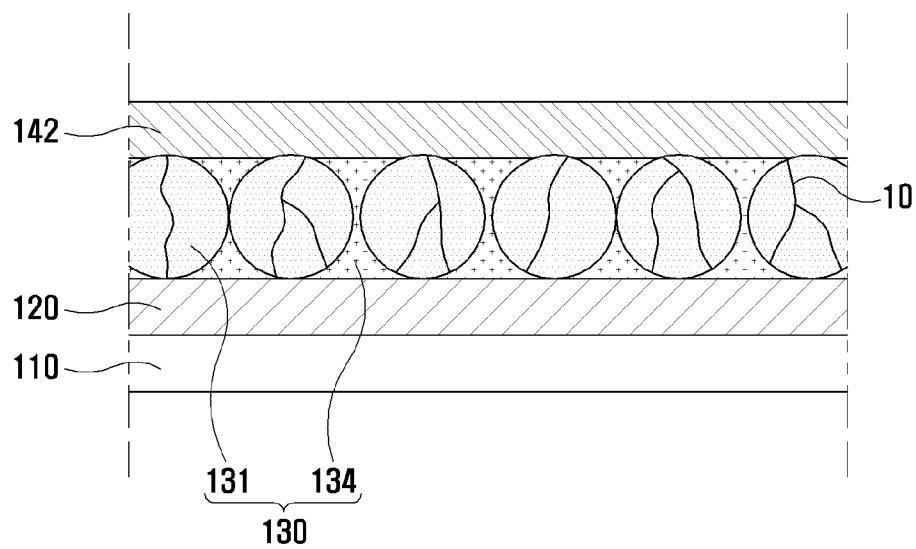
[Fig. 1b]



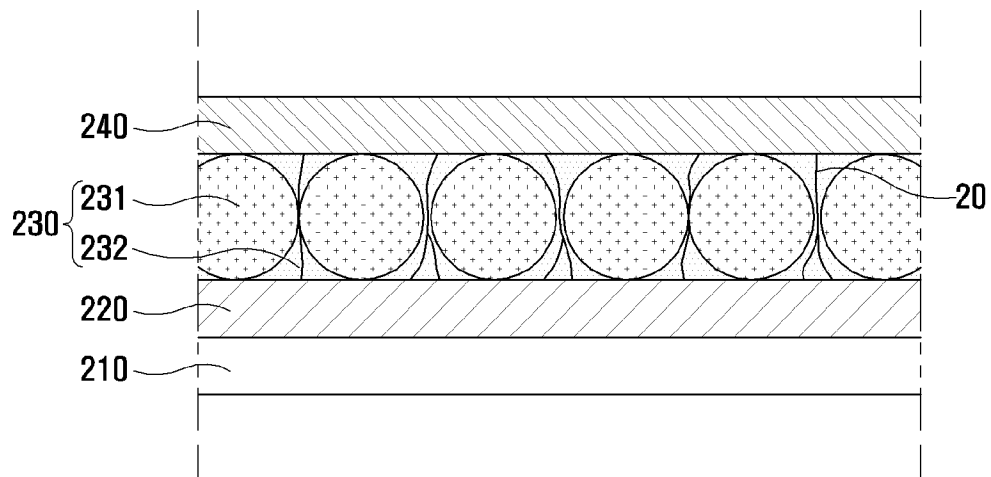
[Fig. 2]



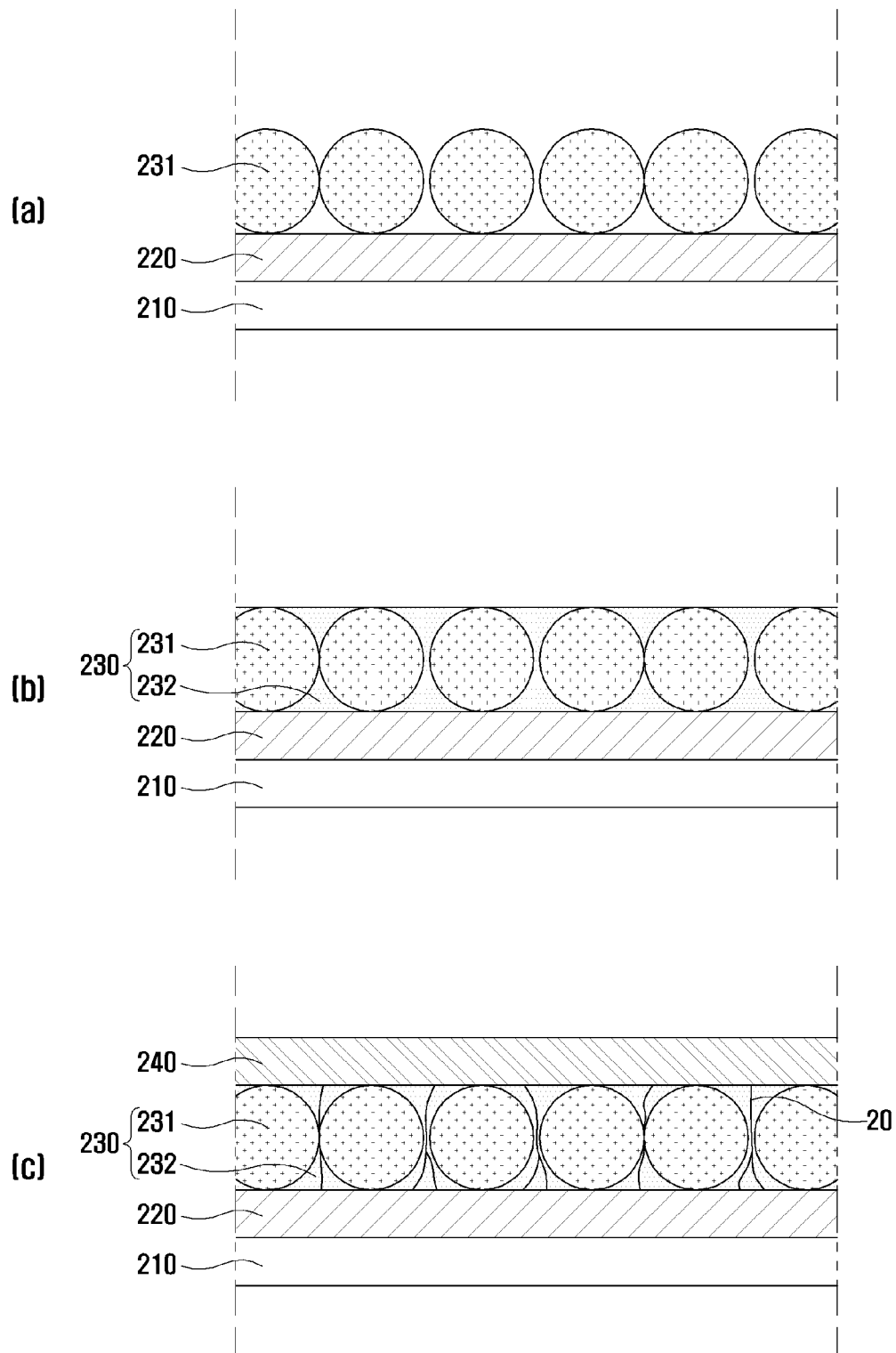
[Fig. 3]



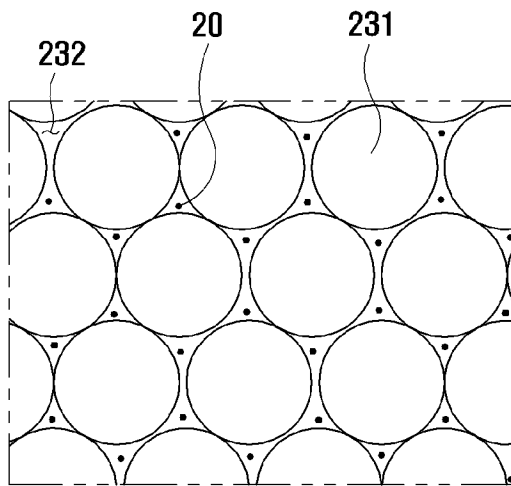
[Fig. 4]



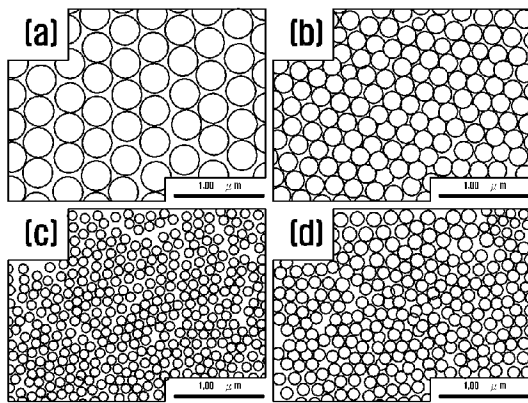
[Fig. 5a]



[Fig. 5b]



[Fig. 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/008295**A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/115(2006.01)i, H01L 21/8247(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/115; B82B 3/00; B82Y 10/00; H01L 21/8247; H01H 1/021

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: core-shell, nanoparticles, resistance change

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2007-0014984 A (QIMONDA AG) 01 February 2007 See figure 1.	1,3,4,8,10,11,13
Y	See figure 1.	2,7,9,15
A	See figure 1.	5,12
X	KR 10-2010-0116793 A (GWANGJU INSTITUTE OF SCIENCE AND TECHNOLOGY) 02 November 2010 See figure 1e.	6,14
Y	See figure 1e.	7,15
Y	KR 10-2010-0061405 A (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY et al.) 07 June 2010 See example 3; paragraph [0062].	2,7,9,15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

16 OCTOBER 2014 (16.10.2014)

Date of mailing of the international search report

24 OCTOBER 2014 (24.10.2014)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/008295

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2007-0014984 A	01/02/2007	JP 2007-036256A US 2007-0045704 A1 US 7297975 B2	08/02/2007 01/03/2007 20/11/2007
KR 10-2010-0116793 A	02/11/2010	NONE	
KR 10-2010-0061405 A	07/06/2010	WO 2010-062127 A2 WO 2010-062127 A3	03/06/2010 19/08/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/115(2006.01)i, H01L 21/8247(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/115; B82B 3/00; B82Y 10/00; H01L 21/8247; H01H 1/021

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 코어셀, 나노입자, 저항변화

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2007-0014984 A (키몬다 아게) 2007.02.01 도면 1 참조.	1,3,4,8,10,11,13
Y	도면 1 참조.	2,7,9,15
A	도면 1 참조.	5,12
X	KR 10-2010-0116793 A (광주과학기술원) 2010.11.02 도면 1e 참조.	6,14
Y	도면 1e 참조.	7,15
Y	KR 10-2010-0061405 A (연세대학교 산학협력단 외 1명) 2010.06.07 실시에 3; 문단번호 [0062] 참조.	2,7,9,15



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2014년 10월 16일 (16.10.2014)

국제조사보고서 발송일

2014년 10월 24일 (24.10.2014)

ISA/KR의 명칭 및 우편주소

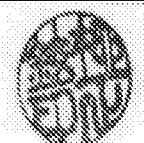
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

류정현

전화번호 +82-42-481-8337



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2007-0014984 A	2007/02/01	JP 2007-036256A US 2007-0045704 A1 US 7297975 B2	2007/02/08 2007/03/01 2007/11/20
KR 10-2010-0116793 A	2010/11/02	없음	
KR 10-2010-0061405 A	2010/06/07	WO 2010-062127 A2 WO 2010-062127 A3	2010/06/03 2010/08/19