

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/60

(45) 공고일자 1999년08월02일

(11) 등록번호 10-0213955

(24) 등록일자 1999년05월17일

(21) 출원번호	10-1995-0067685	(65) 공개번호	특1996-0032659
(22) 출원일자	1995년12월29일	(43) 공개일자	1996년09월17일
(30) 우선권 주장	8/390,344 1995년02월15일 미국(US)		

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘

(72) 발명자 미합중국 10504 뉴욕주 아몬크
아쉬원쿠마르 치누프라사드 바트
미합중국 13760 뉴욕주 엔디캣 퀘일릿지 로드 2622
수바후 디루브하이 데사이
미합중국 13850 뉴욕주 베스탈 개리 드라이브 1803
토마스 패트릭 더피
미합중국 13760 뉴욕주 엔디캣 도체스터 드라이브 5
제프리 알란 나이트
미합중국 13760 뉴욕주 엔드웰 스트러벨 로드 3694
(74) 대리인 장수길

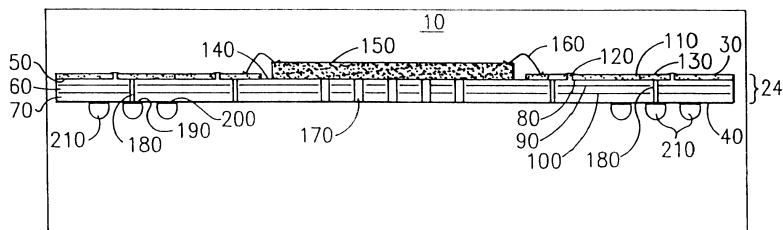
심사관 : 송원선

(54) 와이어 본드형 칩용 유기 칩 캐리어

요약

와이어 본드형 칩용 칩 캐리어가 개시되어 있다. 이 칩 캐리어는 종래와 같은 세라믹 재료보다는 유기 유전체 재료를 사용한다. 이 칩 캐리어는 또 팬-아웃 회로의 두 개(또는 그 이상)의 층들을 전기적으로 상호 접속하기 위해 도금된 포토-비어를 갖는, 적어도 하나의 유기 광감응 유전체 층을 사용한다. 이 칩 캐리어는 또한 종래와 같은 다중-적층 공동보다는 칩을 포함하기 위해 단일-층 공동을 사용한다. 더구나, 이 칩 캐리어는 열 방산을 향상시키기 위해 칩 바로 아래에 열 비어 홀 및/또는 금속층을 포함한다.

대표도



명세서

[발명의 명칭]

와이어 본드형 칩용 유기 칩 캐리어

[도면의 간단한 설명]

제1도는 본 발명에 따른 칩 캐리어의 제1실시예의 횡단면도.

제2도는 본 발명에 따른 칩 캐리어의 제2실시예의 횡단면도.

제3도는 본 발명에 따른 칩 캐리어의 제3실시예의 횡단면도.

제4도는 본 발명에 따른 칩 캐리어의 제4실시예의 횡단면도.

제5도는 본 발명에 따른 칩 캐리어의 제5실시예의 횡단면도.

제6도는 본 발명에 따른 칩 캐리어의 제5실시예를 구현하는데 사용된 프로세스를 도시하는 기판의 평면도.

* 도면의 주요부분에 대한 부호의 설명

10 : 칩 캐리어
 50, 60, 70 : 유기 유전체 층
 120 : 포토-비어
 170 : 비어 홀
 200 : 전도성 패드
 230 : 금속층

20 : 칩 캐리어 기판
 110 : 광감응 유전체 층
 140 : 공동
 190 : 전도성 랜드
 210 : 솔더 볼
 260, 270 : 슬릿

[발명의 상세한 설명]

[발명의 이용 분야]

본 발명은 일반적으로 와이어 본드형 칩용 유기 칩 캐리어에 관한 것이다.

[종래 기술]

반도체 집적 회로 디바이스(이하에서는 반도체 칩 또는 칩이라 칭함)는 하나 또는 여러 개의 칩을 세라믹, 예컨대 알루미늄이나 칩 캐리어 기판 상에 장착하고 와이어 본드를 사용하여 각 칩 상의 I/O (입력/출력) 접촉 패드를 세라믹 칩 캐리어 기판 상의 대응하는 접촉 패드 (따라서 대응하는 팬-아웃 회로)에 전기 접속시킴으로써 통상 전자적으로 패키징된다. 그 후, 그 결과의 세라믹 칩 캐리어는 프린트 회로 기판(PCB) 또는 프린트 회로 카드(PCC) 상에 장착되고 이로써 (PCB 또는 PCC 상의 회로를 통해) PCB나 PCC 상에 장착된 다른 세라믹 칩 캐리어 및/또는 다른 전자 부품에 전기 접속된다.

상술한 패키징 기법은 확실히 유용한 기법이지만, 세라믹 칩 캐리어 기판을 사용하는 것에는 소정의 제한과 결점이 따른다. 예를 들면, 이미 공지된 바와 같이 유전체 층상의 또는 두 유전체 층 간의 와이어를 통한 전기 신호의 전파속도는 유전체 층 또는 층들의 유전 상수의 제곱근의 역에 비례한다. 유감스럽게도, 세라믹의 유전 상수는 비교적 크다. 예컨대, 알루미늄의 유전 상수는 약 9로서, 비교적 크다. 그 결과 세라믹 칩 캐리어에서의 신호 전파 속도는 비교적 낮게, 그리고 일부 경우에는 바람직하지 않게 낮게 나타난다.

또한, 세라믹 칩 캐리어 기판을 사용하게 되면 I/O에 소정의 제한 사항이 있게 된다. 예를 들면, 단일 층의 세라믹 칩 캐리어 기판은, 단일 세라믹 층의 상면에 있으며 단일 세라믹 층의 외주 주변의 접촉 패드로 연장되는 단일 층의 팬-아웃 회로만을 포함한다. (이들 주변 접촉 패드에 접속된 내부 리드를 갖는 리드 프레임은 이러한 세라믹 칩 캐리어를 PCB 또는 PCC에 전기 접속시키는데 통상 사용된다). 그러나, 칩 I/O의 수가 증가함에 따라 팬-아웃 와이어의 수를 증가시킬 필요가 있었으며, 이에 따라 인접한 팬-아웃 와이어 간의 바람직하지 않은 누화가 수용치를 넘을 정도로 팬-아웃 와이어 간의 간격이 감소되었다. 더구나, 세라믹 층의 외주 주변에 아주 많은 접촉 패드를 형성하는 것이 불가능하거나, 그렇지 않다면 매우 어려워졌다. 그래서, 단일-층 세라믹 칩 캐리어 기판은 고 I/O 칩을 처리하는데 있어서, 그 능력이 명백히 제한된다.

비교적 많은 I/O가 있는 칩을 수용하기 위한 노력으로 리드 프레임 대신에 소위 볼 그리드 어레이(BGA : ball grid array)를 채택한 다층의 세라믹 칩 캐리어 기판을 사용하게 되었다. 이러한 형태의 세라믹 칩 캐리어 기판은 둘 이상의 세라믹 층상에 팬-아웃 회로를 두 층 이상 포함한다는 면에서 단층 세라믹 칩 캐리어 기판과 구별된다. 중요한 것은, 이들 팬-아웃 회로 층들은 기계적으로 천공된 비어홀들(via holes)에 의해 전기적으로 상호 접속되는데, 이들 홀은 전도성 재료로 도금 및/또는 충전(fill, 充填)된다. 더구나, 소정 수의 이러한 홀들은 팬-아웃 회로의 층들로부터 칩 캐리어 기판의 하부 상에 있는 랜드까지 연장되는데, 이 기판 상에는 솔더 볼이 탑재되어 있다(솔더 볼이 그리드 어레이로 형성되어 있으며, 이로부터 볼 그리드 어레이라는 명칭이 유래함). 이들 솔더 볼은 PCB 또는 PCC 상의 대응하는 납땀 가능한 접촉 패드에 기계적 및 전기적으로 접속되기 위한 것이다. 불행하게도, 팬-아웃 회로의 층들을 전기적으로 상호 접속시키는 기계적으로 천공된 구멍들은 비교적 큰 직경을 가지며, 결과적으로 팬-아웃 와이어 사이의 간격이 비교적 커질 것을 요구한다. 그러나, 팬-아웃 와이어 간의 비교적 큰 이 간격으로 인해 이러한 다층 세라믹 칩 캐리어 기판에 의해 수용될 수 있는 칩 I/O의 수가 제한된다.

비교적 많은 칩 I/O가 있는 칩을 패키징하기 위해서, 다층 세라믹 기판에 다중으로 적층된 공동을 사용하려는 시도가 있었다. (여기에서 사용하는 바와 같이 공동이란 용어는 기판을 관통해서 뚫는 구멍이 아니라 기판 내의 함몰부를 의미 한다.) 이러한 패키징 구성을 사용하면, 칩은 다중으로 적층된 공동의 저면에 표면을 위로 해서 탑재된다. 와이어 본드는 칩의 상면 상의 I/O 접속 패드로부터 다중-적층 공동의 서로 상이한 적층을 구성하는 다층 세라믹 기판의 서로 상이한 층들의 노출된 상면의 각각에 있는 접촉 패드까지 연장되어 있다. 이러한 구성으로 비교적 많은 칩 I/O를 수용하는 것이 가능하게 되었지만, 그 결과로 칩으로부터 다중-적층 공동의 상부 적층까지 연장되는 비교적 긴 와이어 본드가 생기게 되었다. 이로 인해 대응하는 전기 신호의 비행 시간이 바람직하지 않게 증가된다.

또한, 세라믹 칩 캐리어 기판은 열 방산 능력 역시 제한된다. 예를 들면, 다중-적층 공동의 저면에 칩이 위치하고 있는 다층 세라믹 칩 캐리어의 경우에는 통상 공동 바로 아래에 히트 싱크를 설치함으로써 열 방산이 이루어진다. 그러나, 이것은 칩에 의해 발생한 열이 히트 싱크에 도달하기 전에 공동의 저면에서 세라믹층을 통해 반드시 전도되어야 함을 의미한다. 그 결과로 열 방산율이 제한된다.

칩 캐리어의 개발 분야에 종사하는 사람들은 (1) 비교적 높은 전기 신호 전파 속도를 나타내며, (2) 팬-아웃 회로의 상이한 층들은 상호 접속하기 위해 기계적으로 천공된 구멍을 설치하지 않고도 비교적 높은 I/O 칩을 수용하며, (3) 비교적 짧은 비행 시간을 보이며, (4) 비교적 높은 열 방산율을 나타내는 칩 캐리어를 찾아왔으나 아직까지 성공하지는 못하였다.

[발명의 개요]

본 발명은 (1) 비교적 높은 전기 신호 전파 속도를 나타내며, (2) 팬-아웃 회로의 상이한 층들을 상호 접

속하기 위해 기계적으로 천공된 구멍을 설치 하지 않고도 비교적 높은 I/O 칩을 수용하며, (3) 비교적 긴 와이어 본드의 사용을 억제함으로써 비교적 짧은 비행 시간을 얻을 수 있으며, (4) 비교적 높은 열 방산율을 얻을 수 있는 칩 캐리어를 포함한다.

중요한 것은 본 발명의 칩 캐리어는 세라믹 유전체 재료를 대신해서 상표명 FR4와 DriClad로 판매되는 에폭시/글래스 제형(epoxy/glass formulations)과 같은 유기 유전체 재료를 사용한다. 이들 유기 재료는 비교적 낮은 유전 상수를 가지는데, 예컨대 FR4의 유전 상수는 4.0이다. 그 결과로 본 발명의 칩 캐리어는 전기 신호의 전파 속도가 비교적 높게 나타난다.

또한, 본 발명의 칩 캐리어는 막 재분포 층(FRL)의 역할을 하는 유기 광감응 유전체 층(organic, photoimageable dielectric layer)을 사용한다. 즉, 이 특징적인 유기 유전체 층은 빛에 민감하고, 포토 레지스트(photoresist)와 같이 쉽게 마스크를 통해 빛에 선택적으로 노출되고 현상되며, 이를 통해 광감응 유전체 층에 비어홀 (기계적으로 천공된 비어 홀과 구별하기 위해 본 명세서에서는 포토-비어로 칭함)을 형성할 수 있다. 중요한 것은, 이들 포토-비어는 종래의 기계적 드릴링 기법을 사용하여 형성된 비어의 직경보다 훨씬 작은 직경을 갖도록 쉽게 형성된다. 예를 들어, 종래 기술로 천공된 비어 홀의 직경은 통상 약 12 밀 (0.012 인치)보다 작지 않지만 포토-비어의 직경은 예를 들면 2 밀 (0.002 인치) 만 큼 작아질 수 있다. 결과적으로, 이러한 광감응 유전체 층 (또는 층들)이 본 발명의 칩 캐리어에 통합되면, 기계적으로 천공된 비어를 사용할 때와 같은 정도로 팬-아웃 와이어 간의 간격을 제한하지 않으면서 팬-아웃 회로의 두 개 (또는 그 이상)의 층을 상호 접속시킬 수 있다. 이로 인해 본 발명의 칩 캐리어는 종래의 세라믹 칩 캐리어의 경우보다 더 많은 I/O가 있는 칩을 수용하게 된다.

본 발명의 칩 캐리어는 또한 칩을 수용하기 위해 다중-적층 공동보다는 오히려 단일-층 공동을 사용한다. 이로써 비교적 긴 와이어 본드가 방지된다. 결과적으로 본 발명의 칩 캐리어는 대응하는 전기 신호에 대해 비교적 짧은 비행 시간을 얻는다.

본 발명의 일 실시예에서는 열 비어 홀이 단일-층 공동 아래에 형성되어 칩 캐리어의 하부로 연장되며, 이로써 칩에 의해 발생된 열을 공기 중으로 내보내도록 되어 있다. 다른 실시예에서는 히트 싱크가 열 비어 홀 바로 밑에 설치되어 열 방산을 더욱 강화한다. 또 다른 실시예에서는 칩 캐리어가 히트 싱크의 역할을 하는 금속 층, 예컨대 구리 층을 포함하며, 단일-층 공동의 깊이는 금속층까지 또는 금속층 내로까지 뻗어 있다. 이로 인해 공동 내의 칩과 히트 싱크 간에 직접적인 물리적 접촉이 있게 되고, 그 결과 열 방산이 더욱 강화된다.

또 다른 실시예에서 본 발명의 칩 캐리어는 적어도 두 개의 유기층들과 함께 이들 사이에 삽입된 접지 평면을 포함한다. 본 실시예와 연관된 단일-층 공동은 적어도 접지 평면까지 뻗는 깊이를 갖는다. 중요한 것은, 본 실시예는 또한 공동의 측벽을 둘러싸며 칩 캐리어의 상면까지 수직으로 뻗는 거의 연속적인 금속 링을 포함한다. 이 금속 링은 접지 평면까지 뻗는 기계적으로 천공된 비어 홀을 설치하지 않고도 접지 평면에 대해 유용한 전기 접촉을 이룰 수 있으므로 유리하다. 결과적으로, 팬-아웃 와이어 간의 간격은 효과적으로 감소될 수 있다.

[양호한 실시예의 상세한 설명]

본 발명은 (1) 비교적 높은 전기 신호 전파 속도를 나타내며; (2) 비교적 높은 I/O 칩을 쉽게 수용하며; (3) 긴 와이어 본드에 대한 필요성을 없애므로써 와이어 본드를 통해 전파하는 전기 신호의 비교적 짧은 비행 시간을 얻으며; (4) 비교적 높은 열 방산율을 얻는 와이어 본드형 칩용 칩 캐리어에 관한 것이다.

상술한 바와 같이 본 발명의 칩 캐리어는 세라믹 재료 대신에 상표명 FR4와 DriClad로 판매되는 에폭시/글래스 제형과 같은 유기 재료를 사용하므로 그 전기 전파 속도가 비교적 높다. 또한, 본 발명의 칩 캐리어는 두 개 (또는 그 이상)의 팬-아웃 회로 층을 전기 접속하기 위해 포토-비어가 형성된 적어도 하나의 유기 광감응 유전체 층을 막 재분포 층(FRL)으로서 사용하므로 비교적 높은 I/O 칩을 쉽게 수용한다. 본 발명의 칩 캐리어는 비교적 긴 와이어 본드를 필요로 하지 않기 때문에 와이어 본드를 통해 전파하는 전기 신호에 대하여 비교적 짧은 비행 시간을 얻게 된다. 이것은 칩을 수용하기 위해 다중으로 적층된 공동보다는 단일-층 공동을 사용하기 때문이다. 게다가, 본 발명의 칩 캐리어에 관한 소정의 실시예는 또한 열 전달을 향상시키기 위해 칩 바로 아래에, 예를 들면 열 비어 또는 금속 재료층을 포함한다.

제1도를 참조하면, 본 발명의 칩 캐리어(10)의 제1 실시예는 대향 표면(30,40)이 있는 칩 캐리어 기판(20)을 포함한다. 이 기판(20)은 상표명 FR4와 DriClad로 판매되는, 예컨대 에폭시/글래스 제형으로 구성되는 다수의, 예컨대 3개의 적층된 유기 유전체 층(50,60 및 70)을 포함하기도 한다. 제1도에 분명히 도시되어 있지는 않지만, 유기 유전체 층(50)은, 예컨대 구리의 팬-아웃 회로 층(80)을 지지하는 역할을 한다. 전도성 재료, 예컨대 구리층(90)은 유기 유전체 층(50,60) 사이에 삽입되어 있으며 전력 평면(power plane)의 역할을 한다. 전도성 재료, 예컨대 구리로 된 다른 층(100)은 유기 유전체 층(60,70) 사이에 삽입되어 있으며 접지 평면의 역할을 한다.

각 유전체 층(50,60 및 70)의 각각의 두께는 약 2 밀 내지 약 20 밀의 범위에 있다. 약 2 밀 미만의 두께는 바람직하지 않은데, 이는 대응하는 유기 유전체 두께가 처리하기에 바람직하지 않게 얇으며, 신뢰성이 없고 곤란하기 때문이다. 약 20밀 초과 두께도 바람직하지 않은데, 이는 이러한 두께의 유전체 층이 보통 불 필요하며 이러한 두께로 비어 홀을 천공하기가 어렵기 때문이다.

전도성 재료 층[80(팬-아웃 회로), 90(전력 평면), 및 100(접지 평면)] 각각의 두께는 약 0.125밀 내지 약 2.5밀의 범위에 있다. 여기서, 0.125밀 미만의 두께는 바람직하지 않은데, 이는 그 대응하는 전도성 층이 칩 캐리어가 받게 되는 과도한 온도에 견딜 수 없음을 의미한다. 약 2.4밀을 초과하는 두께도 바람직하지 않은데, 이는 종래의 도금 기술로 이러한 두께의 층을 형성하는데 바람직하지 않게 오랜 시간이 걸리며 선풍 제어와 연관되어 어려움이 증가하기 때문이다.

제1도에 도시한 바와 같이, 칩 캐리어 기판(20)은 또한 팬-아웃 회로 층(80)위에 놓이는 유기 광감응 유전체 층(110)을 포함한다. 이 층(110)의 유용한 구성성분은 여기에 참고로 통합된 미국 특허 제 5,026,624호에 개시된, 예컨대 양이온의 광감응 중합성 에폭시를 기반으로 하는 재료이다. 이 특별한 재

료에는 약 40,000과 130,000 사이의 분자량을 갖는 에피클로로히드로 및 비스페놀 A의 응축 생성물인 폴리올 수지(polyol resin)의 약 10%와 약 80% 사이의 분자량으로 구성되며; 4,000 내지 10,000의 분자량을 갖는 에폭시드화된 8가지 기능의 비스페놀 A 포름알데히드 노볼락 수지(novolac resin)의 약 20%와 약 90% 사이의 분자량으로 구성되며; 방염제(flame retardancy)가 필요하다면, 약 60℃와 약 110℃ 사이의 연화점과 약 600과 2,500 사이의 분자량을 갖는 테트라브롬 비스페놀 A의 에폭시드화된 글리시딜에테르의 약 35%와 50% 사이 분자량으로 구성되는 에폭시 수지 시스템을 포함한다. 이 수지 시스템에는 화학선 방사에 노출되어 상기 에폭시드화된 수지 시스템의 중합을 개시시킬 수 있는 양이온 광반응제를 무게로 수지의 100 파트 당 약 0.1 내지 약 15 파트 첨가한다. 이 시스템은 또 2.0 밀의 두꺼운 막에 대해 330 내지 700nm 영역의 빛을 0.1 미만 흡수하는 특징을 갖는다. 선택적으로, 페릴렌 및 그 유도체 또는 인트라센 및 그 유도체 같은 감광제가 부가될 수 있다.

유기 광감응 유전체 층(110)은 커튼 코팅 또는 롤 코팅 같은 종래의 코팅 기술을 사용하여 용이하게 피착된다. 광감응 유전체 층(110)의 두께는 약 2 밀 내지 약 20 밀의 범위에 있다. 약 2 밀 미만의 두께는 바람직하지 않은데, 이는 소량의 광감응 및 유전 특성을 나타내기는 하지만 얇은 층을 형성하는 것이 바람직하지 않게 용이하지 않기 때문이다. 20 밀을 초과하는 두께도 바람직하지 않은데, 이는 이러한 두꺼운 층에 소형의 포토-비어를 형성하기가 곤란하기 때문이다.

종래의 포토리소그래피 기술을 사용하면, 광감응 유전체 층(110)은 마스크를 통해 용이하게 빛에 선택 노출된 후 제1도에 도시한 바와 같이 층(110)에 포토-비어(120)를 형성하도록 현상된다. (여기서 주의할 사항은 노출 영역이 교차 결합되어 있기 때문에, 현상제에 대해 비노출 영역보다 용해성이 덜하다는 점이다.) 그후, 이들 포토-비어(120)는 종래의 도금 기술을 사용하여 구리 같은 전도성 재료로 용이하게 도금된다.

제1도에 명확하게 도시되지는 않았지만, 광감응 유전체 층(110)은 접촉 패드를 포함하는, 예컨대 구리의 팬-아웃 회로 층(130)을 지지한다. 명백하게 알 수 있듯이 광감응 유전체 층(110) 내의 도금된 포토-비어(120)는 팬-아웃 회로 층들(130 및 80)을 전기 접속하는 역할을 한다. 상술한 바와 같이, 포토-비어의 직경은 기계적으로 천공된 비어 홀의 직경보다 작다. 결과적으로, 팬-아웃 와이어 간의 간격은 앞서의 경우보다도 작아질 수 있다.

제1도에 도시한 바와 같이 칩 캐리어 기판(20)은 광감응 유전체 층(110)의 두께만을 관통해 뚫는 깊이를 갖는 단일-층 공동(140)을 포함한다. 와이어 본드형칩(150)은 칩(150) 상의 접촉 패드로부터 팬-아웃 회로 층(130)의 접촉 패드까지 뚫는 와이어 본드(160)와 함께 공동의 저면에 전면을 위로 하여 위치되어 있다.

제1도에 도시한 바와 같이 칩 캐리어 기판(20)은 양호하게는 칩(150) 바로 아래에 위치되며 유기층(80, 90 및 100)의 두께를 관통해 뚫는 열 비어 홀(170 : 기계적으로 천공된)을 포함한다. 이들 열 비어 홀들(170)은 칩(150)에 의해 발생된 열을 대기로 내보내서 열 방산을 향상시키는 역할을 한다. (여기서 주의할 사항은 이들 열 비어 홀들은 양호하게는 열 전달을 향상시키기 위해 은-충전의 에폭시 페이스트로 채워진다. 또 주의할 사항은 최종 제조 단계에서 솔더 마스크 재료의 층이 칩 캐리어(10)의 표면에 도포되어 이 솔더 마스크 재료가 은-충전의 에폭시 페이스트를 덮는다는 것이다.)

열 비어 홀(170)의 직경은 약 6 밀 내지 약 12 밀의 범위에 있다. 약 6 밀보다 작은 직경은 바람직하지 않은데, 이는 그 대응하는 열 비어 홀들이 바람직하지 않게 열 전이를 낮게 성취하기 때문이다. 12 밀을 초과하는 직경도 바람직하지 않은데, 이는 대응하는 열 비어 홀에서 은-충전의 에폭시 페이스트와 접촉 상태에 있는 솔더 마스크 재료층이 균열되려는 경향이 있으며 그 위를 덮는 칩이 칩 캐리어 기판으로부터 박편으로 분리되려는 경향이 있기 때문이다.

제1도에 도시한 바와 같이, 칩 캐리어 기판(20)은 기계적으로 천공되고 도금된 다수의 비어 홀(180)을 포함한다. 이러한 각 홀(180)은 표면(40)에서 종료되며, 여기서 홀은 표면(40)에 부착된, 예컨대 구리의 전도성 랜드(190)로 둘러싸인다. 또 다수의 전도성 패드(200) 뿐만 아니라 이 패드를 도금된 비어 홀(180)에 접속시키는, 예컨대 구리의 전기 회로선(도시되지 않음)도 표면(40)에 부착되어 있다. 솔더 볼들(210)은 랜드(190)와 패드(200) 상에 장착되어 있으며, 그 각각은, 예컨대 납 67%와 주석 33%를 포함하는 조합체를 갖는다. 명백히 알 수 있는 바와 같이 이들 솔더 볼들은 PCB 또는 PCC 상의 납땜 가능한 접촉 패드에 부착되어 있다.

제2도를 참조하면, 칩 캐리어(10)의 제2실시예는 단일-층 공동(140)의 깊이가 예컨대 유기층(80, 90)을 관통해 뚫기도 한다는 점에서 제1실시예와는 다르다. 게다가, 히트 싱크(220)가 칩(150) 및 열 비어 홀(170)과 거의 수직 정렬된 표면(40)에 부착되어 있다. 더구나, 솔더 볼(210)이 표면(30) 상의 랜드 및 패드에 부착되어 있다.

제3도를 참조하면, 칩 캐리어(10)의 제3실시예는 칩 캐리어 기판(20)이 표면(30)에 바로 인접한 비교적 두꺼운 광감응 유전체 층(110)과 표면(40)에 바로 인접한 금속 재료 층, 예컨대 구리층(230)을 포함한다. 여기서, 층(230)은 부분적으로 보강재의 역할을 하며 양호하게는 전기 접지된다. 반면, 전과 같이 광감응 유전체 층(110)은 접촉 패드를 포함하는 팬-아웃 회로 층(130)을 지지한다. 게다가, 광감응 유전체 층(110)은 층(110)의 두께를 관통해 전기적으로 접지된 금속층(230)까지 뚫는 포토-비어(120)를 포함한다. 더구나, 솔더 볼(210)은 팬-아웃 회로 층(130)의 일부 접촉 패드에 부착되어 있다.

제3도에 도시한 바와 같이 칩 캐리어(10)의 제3실시예는 광감응 유전체 층(110)의 두께를 관통해 금속 재료층(230)까지 뚫는 단일-층 공동(140)을 포함한다. 와이어 본드형 칩(150)은 공동(140)의 저면에 놓여 있으며 금속층(230)과 직접적인 물리 접촉 상태에 있다. 이로 인해 금속층(230)이 히트 싱크로서의 역할도 하기 때문에 열 방산이 향상된다.

칩 캐리어(10)의 제3실시예에서 광감응 유전체 층(110)의 두께는 약 2 밀 내지 약 20 밀의 범위에 있다. 이 범위를 벗어나는 두께는 상기 이유로 바람직하지 않다.

금속층(230)의 두께는 약 4 밀 내지 약 20 밀의 범위에 있다. 약 4 밀 미만의 두께는 바람직하지

않은데, 이는 그 대응하는 금속층의 강성이 바람직하지 않게 부족하기 때문이다. 약 20 밀을 초과하는 두께도 바람직하지 않은데, 이는 대응하는 금속층의 열 팽창 계수(CTE)가 대응하는 칩 캐리어 기판의 CTE 보다 나아서 칩 캐리어 기판과 그 대응 칩 간에 CTE 불일치를 야기하며 계속해서 칩의 균열을 유도하기 때문이다.

제4도를 참조하면, 칩 캐리어(10)의 제4실시예는 광감응 유전체 층(110)이 비교적 얇으며 금속층(230)이 비교적 두껍다는 점에서 제3실시예와는 다르다. 게다가, 단일-층 공동(140)의 깊이는 광감응 층(110)의 전 두께를 관통해 뚫으며 부분적으로는 금속층(230)의 두께를 관통해 뚫는다.

칩 캐리어(10)의 제4실시예에서 광감응 유전체 층(11)의 두께는 여전히 약 2 밀 내지 약 20 밀의 범위에 있다. 이 범위를 벗어나는 두께는 상기 이유로 바람직하지 않다.

금속층(230)의 (전) 두께는 약 2 밀 내지 약 20 밀의 범위에 있다. 이 범위를 벗어나는 두께는 상기 이유로 바람직하지 않다.

공동(140) 바로 아래의 금속층(230)의 (부분) 두께는 적어도 약 4 밀이어야 한다. 약 4 밀 미만의 두께는 바람직하지 않은데, 이는 그 대응하는 금속층의 강성이 바람직하지 않게 작기 때문이다.

제5도를 참조하면, 칩 캐리어(10)의 제5실시예는 칩 캐리어 기판(20)이 예컨대 상표명 DriClad로 판매되는 에폭시/글래스 조합체로 구성되는 다수의, 예컨대 3층의 적층 유기 유전체 층(50,60 및 70)을 포함한다는 점에서 제1 및 제2실시예와 유사하다. 전과 같이, 유기 유전체 층(50)은 접촉 패드를 포함하는, 팬-아웃 회로층(80)을 지지한다. 이 실시예에서는 접지 평면의 역할을 하는 전도성 재료, 예컨대 구리의 층(90)이 유기 유전체 층(50,60) 사이에 삽입되어 있다. 전력 평면의 역할을 하는 전도성 재료, 예컨대 구리의 다른 층(100)은 유기 유전체 층(60,70) 사이에 삽입되어 있다. 여기서 주의할 사항은 접지 평면이 공동(140)의 측벽까지 측 방향으로 뻗는 반면 전력 평면은 그렇지 않다는 점이다.

유기 유전체 층(50,60 및 70)의 두께는 상술한 바와 유사하다. 또, 전도성층[80(팬-아웃 회로), 90(접지 평면), 및 100(전력 평면)]의 두께도 상술한 바와 유사하다.

칩 캐리어(10)의 제5실시예도 칩 캐리어 기판(20)이 양호하게는 접지되는 금속층(230)을 또한 포함한다는 점에서 제3 및 제4실시예와 유사하다. 금속층(230)의 두께는 제3실시예의 금속층(230)의 그것과 유사하다.

제5도에 도시한 바와 같이 칩 캐리어(10)의 제5실시예는 유기 유전체 층(50,60 및 70)의 두께를 관통해 금속층(230)까지 뚫는 깊이의 단일-층 공동(140)을 포함한다. 칩(150)은 공동(140)의 저면에 놓여 있어서 금속층(230)과 직접적인 물리 접촉 상태에 있게 된다. 결과적으로, 전과 같이 금속층(230)이 히트 싱크의 역할을하므로 열 방산이 향상된다.

칩 캐리어(10)의 제5실시예는 칩 캐리어가 공동(140)의 측벽에 부착되어 있으며 이를 둘러싸는 전도성 재료, 예컨대 구리의 거의 연속적인 층(240)을 포함한다는 점에서 여타실시예와 다르다. 이 층(240)은 공동(140)의 저면으로부터 공동(140)의 상부까지 수직으로 뻗으며 팬-아웃 회로 층(80)에 인접한, 유기 유전체 층(50)의 상면 상으로 측 방향으로 뻗는다. 접지 평면(90)이 공동(140)의 측벽으로 측방향으로 연장되므로 층(240)은 접지 평면과 직접적인 물리 접촉 및 전기 접촉 상태에 있게 되어서 전기적으로 접지된다.

층(240)이 있음으로써 유리한데, 이는 유기 유전체 층(50)의 두께를 관통해 접지 평면(90)까지 뻗는 다수의 기계적으로 천공된 비어 홀의 필요성이 감소하기 때문이다. 따라서, 만일 소정의 칩 접촉 패드를 전기적으로 접지시키고자 한다면, 이들 칩 접촉 패드로부터의 와이어 본드는 유기 유전체 층(50)의 표면에 있는 층(240) 부분으로 뻗으면 되고, 접지 평면(90)까지 연장된 기계적으로 천공된 비어 홀을 둘러싸는 랜드까지 뻗을 필요는 없다. 제5실시예에서는, 이러한 기계적으로 천공된 비어 홀이 거의 필요하지 않게 되기 때문에 팬-아웃 와이어 간의 간격이 효과적으로 감소될 수 있는 것이다.

여기서 주의해야 할 사항은 칩 캐리어(10)의 제5실시예는 유기 유전체 층(50,60)의 두께를 관통해 전력 평면(100)까지 뻗는 기계적으로 천공되고 도금된 비어 홀(180)을 포함한다는 점이다. 더구나, 제5실시예는 또 공동(140)을 둘러싸며 전력 평면(100)으로 뻗는 도금된 비어 홀(180)을 물리적으로 전기적으로 접촉시키는 금속, 예컨대 구리 링(250)을 포함한다. 이 링(250)은 유리한데, 이는 이 링이 전력 평면으로 뻗는 부가의 비어 홀에 대한 필요성을 제거하기 때문이다. 따라서, 전력 평면(100)에 대한 전기 접촉은 단지 링(250)을 전기 접촉시키므로써 성취된다.

층(240)과 링(250)을 형성하는 방법은 제6도에 도시되어 있다. 제6도에 도시한 바와 같이 공동(140)의 형성시 두 개의 직각의 슬릿(260,270)은 유기 유전체 층(50,60 및 70)의 두께를 관통해 기계적으로 절단된다. 이들 슬릿의 폭은 약 25 밀 내지 100 밀의 범위에 있다. 이들 슬릿의 외면은 공동(140)이 되는 것의 측벽을 형성한다. 그 후, 포토레지스트(280) 층이 유기 유전체 층(50)의 표면에 피착된다. 다음에, 이 포토레지스트층은 슬릿(260,270)을 제외하고 유기 유전체 층(50) 전체를 덮는 포토레지스트를 남기기 위해 노출 및 현상되고, 유기 유전체 층(50)의 표면 상의 영역(241)은 층(240)에 의해, 영역(251)은 링(250)에 의해 점유되게 된다(여기서, 유의할 사항은 이 포토레지스트층이 슬릿(260,270)으로 둘러싸인 유기 유전체 재료의 층에 의해 지지된다는 것이다). 그 후, 슬릿(260,270), 층(240)에 의해 점유될 영역(241) 및 링(250)에 의해 점유될 영역은 종래의 시딩(seeding) 및 금속 도금 기술을 사용하여 금속화된다. 다음에, 기계적 절단이 슬릿(260,270)의 중심선을 따라 행해지는데, 이들 절단부는 이들 중심선을 연결하도록 연장되어서 절단 파편이 제거된다. 이로 인해 공동(140)의 측벽 주위로 거의 연속적으로 (슬릿이 본래 연장되지 않는 공동의 모서리를 제외하고) 연장되는 금속을 남기면서 공동(140)을 형성하게 된다.

본 발명이 양호한 특정실시예를 참고로 도시되고 설명되었지만, 당 분야의 기술자들은 본 발명의 정신 및 범위로부터 이탈함이 없이 그 형태 및 세부 사항에서 여러 변형이 이루어질 수 있음을 이해할 것이다.

(57) 청구의 범위**청구항 1**

제1표면, 상기 제1표면에 대향하는 제2표면 및 적어도 제1 및 제2유기 재료 층 — 상기 제1 및 제2유기 재료 층은 대략 2 밀(mils) 내지 대략 20 밀의 두께를 각각 가지며, 적어도 상기 제1유기 재료 층은 상기 제1표면에 바로 인접하여 위치하고 광감응성(photoimageable)이 있으며 제1전기 회로 층을 지지하고 접촉 패드를 포함함 —을 포함하는 칩 캐리어 기판(a chip carrier substrate), 상기 제1표면으로부터 상기 제2표면쪽으로 연장되며 적어도 상기 제1광감응 층의 두께를 관통해 연장되는 깊이를 갖는 단일-층 광 형성 공동(a single-tiered photoformed cavity), 및 상기 공동 내에서 전면을 위로 하여 전체적으로 상기 유기 재료 상에 위치하며, 칩 접촉 패드 및 상기 칩 접촉 패드로부터 상기 제1광감응 층상의 접촉 패드까지 연장되는 와이어 본드를 포함하는 반도체 칩을 포함하는 칩 캐리어.

청구항 2

제1항에 있어서, 상기 제1 및 제2유기 층 사이의 제2전기 회로 층, 및 전도성 재료를 함유하고, 상기 제1 광감응 층의 상기 두께를 관통해 연장되며, 상기 제1 회로 층을 상기 제2회로 층에 전기 접속시키는 역할을 하는 다수의 포토-비어(photo-vias)를 더 포함하는 칩 캐리어.

청구항 3

제1항에 있어서, 상기 단일-층 공동의 상기 깊이는 또한 상기 제2유기 재료 층 두께의 적어도 일부를 관통해 연장되는 칩 캐리어.

청구항 4

제1항에 있어서, 상기 공동의 저면으로부터 상기 기판을 통해 상기 제2표면까지 연장되는 다수의 비어 홀(via hole)을 더 포함하는 칩 캐리어.

청구항 5

제1항에 있어서, 상기 제2표면에 부착되어 있으며 상기 반도체 칩과 실질적으로 정렬되어 있는 히트 싱크(heat sink)를 더 포함하는 칩 캐리어.

청구항 6

제1항에 있어서, 상기 제2표면에 부착되어 있는 다수의 전도성 패드 및/또는 랜드(pads and/or lands)와 상기 패드 및/또는 랜드에 부착되어 있는 솔더 볼(solder balls)을 더 포함하는 칩 캐리어.

청구항 7

제1항에 있어서, 상기 제1전도성 회로 층은 다수의 전도성 패드 및/또는 랜드를 포함하며, 상기 칩 캐리어는 상기 패드 및/또는 랜드에 부착되어 있는 솔더 볼을 더 포함하는 칩 캐리어.

청구항 8

제1표면, 상기 제1표면에 대향하는 제2표면, 상기 제1표면에 바로 인접하며 접촉 패드를 포함하고 전기 회로 층을 지지하며 대략 2 밀 내지 대략 20 밀의 두께를 갖는 유기 재료 층, 및 상기 제2표면에 바로 인접하며 대략 4 밀 내지 대략 20 밀의 두께를 갖는 금속 재료 층을 포함하는 칩 캐리어 기판, 상기 제1표면으로부터 상기 제2표면쪽으로 연장되며 상기 금속 재료 층까지 연장되는 깊이를 갖는 단일-층 광 형성 공동, 및 상기 공동 내에 전면을 위로 해서 위치되고, 상기 금속 재료 층과 접촉하며, 칩 접촉 패드 및 상기 칩 접촉 패드로부터 상기 유기 재료 층상의 접촉 패드까지 연장되는 와이어 본드를 포함하는 반도체 칩을 포함하는 칩 캐리어.

청구항 9

제8항에 있어서, 상기 금속 재료 층은 전기적으로 접지되는 칩 캐리어.

청구항 10

제8항에 있어서, 상기 유기 재료는 상기 광감응 층의 두께를 관통해 상기 금속 재료 층까지 연장되며 전도성 재료를 함유하는 다수의 광패턴화 가능한(photopatternable) 포토-비어를 더 포함하는 칩 캐리어.

청구항 11

제8항에 있어서, 상기 공동의 상기 깊이는 상기 금속 재료 층 두께의 일부를 관통해 연장되는 칩 캐리어.

청구항 12

제8항에 있어서, 상기 금속 재료는 구리를 포함하는 칩 캐리어.

청구항 13

제8항에 있어서, 상기 전기 회로 층은 다수의 전도성 패드 및/또는 랜드를 포함하며, 상기 칩 캐리어는 상기 패드 및/또는 랜드에 부착되어 있는 솔더 볼을 더 포함하는 칩 캐리어.

청구항 14

제1표면, 상기 제1표면에 대향하는 제2표면, 적어도 제1 및 제2유기 재료 층 — 상기 제1 및 제2유기 재

료 층은 대략 2 밀(mils) 내지 대략 20 밀의 두께를 각각 가지며, 상기 제1표면에 바로 인접한 상기 제1 층은 제1전기 회로 층을 지지하며, 접촉 패드를 포함하고, 제2전도성 재료 층이 상기 제1 및 제2유기 재료 층 사이에 삽입되어 있으며, 상기 제2전도성 재료 층은 팬-아웃 회로 층 이외의 것임 — 및 대략 4 밀 내지 대략 20 밀의 두께를 가지며 상기 제2표면에 바로 인접한 금속 재료 층을 포함하는 칩 캐리어 기판, 상기 제1표면으로부터 상기 제2표면쪽으로 연장되며 적어도 상기 금속 재료 층까지 연장되는 깊이를 갖는 단일-층 공동, 상기 공동 내에 전면을 위로 하여 위치되고 상기 금속 재료 층과 접촉하며 칩 접촉 패드 및 상기 칩 접촉 패드로부터 상기 제1전기 회로 층의 접촉 패드까지 연장되는 와이어 본드를 포함하는 반도체 칩, 및 상기 제2전도성 재료 층과 전기적으로 접촉하며 상기 공동의 측벽을 적어도 부분적으로 포위하며 상기 제1표면까지 및 표면 상으로 연장되는 전도성 재료 영역 — 와이어 본드가 상기 칩으로부터 상기 제1표면 상의 상기 영역의 일부까지 연장됨 — 을 포함하는 칩 캐리어.

청구항 15

제14항에 있어서, 상기 제2전도성 재료 층은 전기적으로 접지되는 칩 캐리어.

청구항 16

제14항에 있어서, 상기 제1전기 회로 층은 다수의 전도성 패드 및/또는 랜드를 포함하며, 상기 칩 캐리어는 상기 패드 및/또는 랜드에 부착되어 있는 솔더 볼을 더 포함하는 칩 캐리어.

청구항 17

제5항에 있어서, 상기 히트 싱크는 대략 4 밀 내지 20 밀의 두께를 갖는 칩 캐리어.

청구항 18

제1항에 있어서, 상기 제2유기 재료 층은 비-광감응성인 칩 캐리어.

청구항 19

제18항에 있어서, 상기 제2유기 재료 층은 에폭시/글래스 제형 (epoxy/glass formulation)인 칩 캐리어.

청구항 20

제18항에 있어서, 상기 제1유기 재료 층 및 상기 제2유기 재료 층 간에 제3비-광감응성 유기 재료 층이 있고, 상기 제3유기 재료 층은 대략 2 밀 내지 20 밀의 두께를 갖는 칩 캐리어.

청구항 21

제20항에 있어서, 상기 반도체 칩은 상기 제3유기 재료 층상에 탑재되는 칩 캐리어.

청구항 22

제20항에 있어서, 상기 공동은 상기 제3유기 재료 층을 관통하여 연장하고 상기 반도체 칩은 상기 제2층상에 탑재되는 칩 캐리어.

청구항 23

제18항에 있어서, 상기 제1유기 재료 층 및 상기 제2유기 재료 층 간에 대략 2 밀 내지 20 밀의 두께를 갖는 제3유기 재료 층을 더 포함하는 칩 캐리어.

청구항 24

제23항에 있어서, 상기 반도체 칩은 상기 제3유기 재료 층상에 탑재되는 칩 캐리어.

청구항 25

제23항에 있어서, 상기 공동은 상기 제3유기 재료 층을 관통하여 연장하고 상기 반도체 칩은 상기 제2유기 재료 층상에 탑재되는 칩 캐리어.

청구항 26

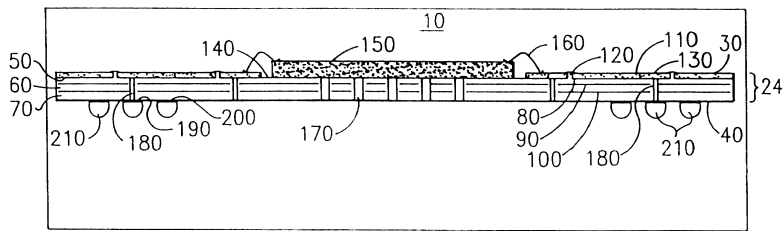
제14항에 있어서, 상기 제2유기 재료 층 및 상기 제3유기 재료 층 간에 삽입되어 있는 전도성 재료의 제3유기 재료 층 — 상기 제3전도성 재료 층은 팬-아웃(fan-out) 회로 이외의 것임 —, 상기 제1표면으로부터 상기 제3전도성 재료 층까지 연장되며 전도성 재료를 함유하는 비어 홀, 및 상기 제1표면상의 전도성 재료 링 — 상기 전도성 재료 링은 상기 공동을 포위하며 상기 비어 홀의 상기 전도성 재료와 전기적으로 접촉함 —을 더 포함하는 칩 캐리어.

청구항 27

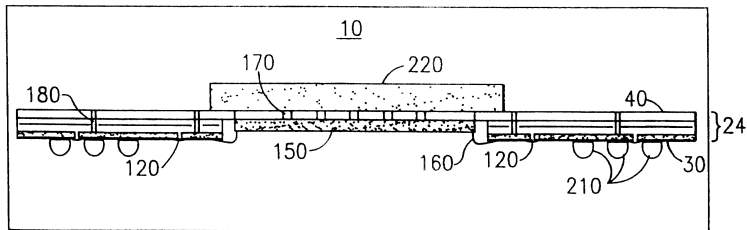
제26항에 있어서, 상기 제3전도성 재료 층은 전력 평면(power plane)인 칩 캐리어.

도면

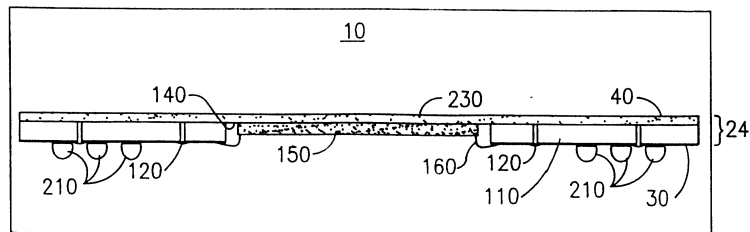
도면1



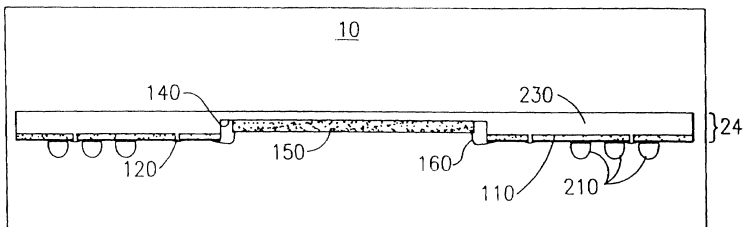
도면2



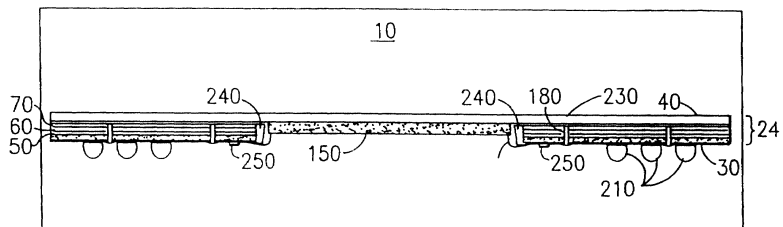
도면3



도면4



도면5



도면6

