

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年11月12日(12.11.2020)



(10) 国際公開番号

WO 2020/225641 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) *H01L 27/108* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/1156* (2017.01)
H01L 21/8242 (2006.01) *H03K 3/03* (2006.01)
H01L 27/088 (2006.01)

(21) 国際出願番号: PCT/IB2020/053916

(22) 国際出願日: 2020年4月27日(27.04.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-088132 2019年5月8日(08.05.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).

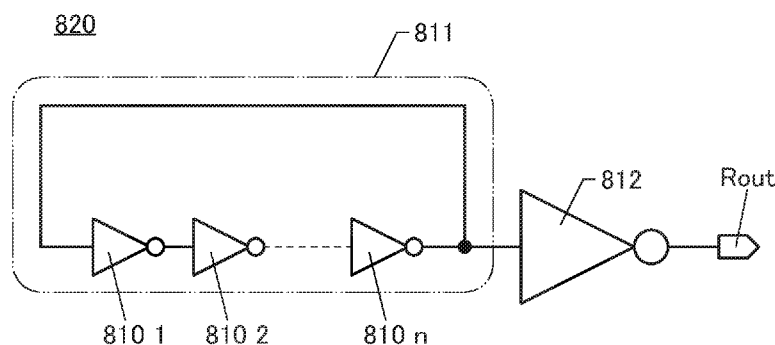
(72) 発明者: 國武 寛 司 (KUNITAKE, Hitoshi);
〒2430036 神奈川県厚木市長谷 3 9 8 株式会社
半導体エネルギー研究所内 Kanagawa (JP). 大
嶋 和 晃 (OHSHIMA, Kazuaki); 〒2430036 神奈
川県厚木市長谷 3 9 8 株式会社半導体エネルギ
ー研究所内 Kanagawa (JP). 津田一樹 (TSUDA,
Kazuki); 〒2430036 神奈川県厚木市長谷 3 9 8
株式会社半導体エネルギー研究所内 Kanagawa
(JP). 熱海知昭 (ATSUMI, Tomoaki); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導体
エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図26A



(57) Abstract: Provided is a semiconductor device which is less prone to characteristics variations due to operating temperature. The semiconductor device has an odd number of stages of inverter circuits connected in a ring, wherein the inverter circuits include a first transistor and a second transistor. The gate of the first transistor is electrically connected to one of the source and drain of the first transistor, the one of the source and drain of the first transistor is supplied with a high power supply potential, and the other of the source and drain of the first transistor is electrically connected to an output terminal out. The gate of the second transistor is electrically connected to an input terminal in, one of the source and drain of the second transistor is electrically connected to the output terminal out, and the other of the source and drain of the second transistor is supplied with a low power supply potential. The first transistor and the second transistor include an oxide semiconductor in a semiconductor layer. Each of the first transistor and the second transistor has a back gate.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 動作温度による特性ばらつきが少ない半導体装置を提供する。奇数段のインバータ回路が環状に接続された半導体装置であって、インバータ回路は第1トランジスタと、第2トランジスタと、を有し、第1トランジスタのゲートは、第1トランジスタのソースまたはドレインの一方と電氣的に接続され、第1トランジスタのソースまたはドレインの一方は高電源電位が供給され、第1トランジスタのソースまたはドレインの他方は、出力端子 *out* と電氣的に接続される。第2トランジスタのゲートは入力端子 *in* と電氣的に接続され、第2トランジスタのソースまたはドレインの一方は出力端子 *out* と電氣的に接続され、第2トランジスタのソースまたはドレインの他方は低電源電位が供給される。第1トランジスタおよび第2トランジスタは、半導体層に酸化物半導体を含む。第1トランジスタおよび第2トランジスタは、それぞれバックゲートを有する。

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。また、表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、撮像装置、および電子機器などは、半導体素子や半導体回路を含む場合がある。よって、表示装置、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、撮像装置、および電子機器なども、半導体装置と呼ばれる場合がある。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

酸化物半導体において、単結晶でも非晶質でもない、CAAC（c-axis aligned crystalline）構造およびnc（nanocrystalline）構造が見出されている（非特許文献1及び非特許文献2参照）。

[0006]

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

[先行技術文献]

[非特許文献]

[0007]

[非特許文献1] S. Yamazaki et al., “SID Symposium Digest of Technical Papers”, 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., “Japanese Journal of Applied Physics”, 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一つとする。また、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。また、本発明の一態様は、動作温度が変化しても安定して動作する半導体装置を提供することを課題の一つとする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、奇数段のインバータ回路が環状に接続された半導体装置であって、1つのインバータ回路の出力は次段のインバータ回路の入力と電氣的に接続される。また、1つのインバータ回路の入力は前段のインバータ回路の出力と電氣的に接続される。インバータ回路は第1トランジスタと、第2トランジスタと、を有し、第1トランジスタのゲートは、第1トランジスタのソースまたはドレインの一方と電氣的に接続され、第1トランジスタのソースまたはドレインの一方は高電源電位が供給され、第1トランジスタのソースまたはドレインの他方は、出力端子 *out* と電氣的に接続される。第2トランジスタのゲートは入力端子 *in* と電氣的に接続され、第2トランジスタのソースまたはドレインの一方は出力端子 *out* と電氣的に接続され、第2トランジスタのソースまたはドレインの他方は低電源電位が供給される。第1トランジスタおよび第2トランジスタは、半導体層に酸化物半導体を含む。第1トランジスタおよび第2トランジスタは、それぞれバックゲートを有する。

[0011]

本発明の他の一態様は、 n 段 (n は3以上の奇数) のインバータ回路を含む半導体装置であって、 i 段目 (i は2以上 $n-1$ 以下の自然数) のインバータ回路の出力は、 $i+1$ 段目のインバータ回路の入力と電氣的に接続され、 $i-1$ 段目のインバータ回路の出力は、 i 段目のインバータ回路の入力と電氣的に接続され、 n 段目のインバータ回路の出力は、1段目の前記インバータ回路の入力と電氣的に接続され、 n 段のインバータ回路のそれぞれは、第1トランジスタと、第2トランジスタと、を有し、第1トランジスタのゲートは、第1トランジスタのソースまたはドレインの一方と電氣的に接続され、第1トランジスタのソースまたはドレインの一方は、第1端子と電氣的に接続され、第1トランジスタのソースまたはドレインの他方は、出力端子と電氣的に接続され、第2トランジスタのゲートは入力端子と電氣的に接続され、第2トランジスタのソースまたはドレインの一方は出力端子と電氣的に接続され、第2トランジスタのソースまたはドレインの他方は第2端子

と電氣的に接続され、第1トランジスタは、第1バックゲートを有し、第2トランジスタは、第2バックゲートを有し、第1トランジスタおよび第2トランジスタは、それぞれの半導体層に酸化物半導体を含む、半導体装置である。

[0012]

酸化物半導体は、InおよびZnのうち、少なくとも一方を含むことが好ましい。酸化物半導体は、CAAC構造を有することが好ましい。

[0013]

第2トランジスタのチャネル幅は、第1トランジスタのチャネル幅よりも大きいことが好ましい。

[0014]

前述の半導体装置は、動作温度に応じて第2バックゲートに供給する電圧を調整する機能を有することが好ましい。

発明の効果

[0015]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供できる。また、本発明の一態様により、オン電流が大きい半導体装置を提供できる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供できる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供できる。また、本発明の一態様により、信頼性が良好な半導体装置を提供できる。また、本発明の一態様により、低消費電力の半導体装置を提供できる。また、本発明の一態様により、動作温度が変化しても安定して動作する半導体装置を提供できる。

[0016]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0017]

図1Aは、半導体装置の上面図である。図1B乃至図1Dは、半導体装置の断面図である。

図2は、半導体装置の断面図である。

図3Aおよび図3Bは、半導体装置の斜視図である。

図4A乃至図4Dは、半導体装置の作製方法を示す図である。

図5A乃至図5Dは、半導体装置の作製方法を示す図である。

図6A乃至図6Dは、半導体装置の作製方法を示す図である。

図7A乃至図7Dは、半導体装置の作製方法を示す図である。

図8A乃至図8Dは、半導体装置の作製方法を示す図である。

図9A乃至図9Dは、半導体装置の作製方法を示す図である。

図10A乃至図10Dは、半導体装置の作製方法を示す図である。

図11A乃至図11Dは、半導体装置の作製方法を示す図である。

図12Aは、半導体装置の上面図である。図12B乃至図12Dは、半導体装置の断面図である。

図13Aおよび図13Bは、半導体装置の断面図である。

図14は、半導体装置の断面図である。

図 1 5 は、半導体装置の断面図である。

図 1 6 A は、記憶装置の構成例を示すブロック図である。図 1 6 B は、記憶装置の斜視図である。

図 1 7 A 乃至図 1 7 H は、メモリセルの構成例を示す回路図である。

図 1 8 A 乃至図 1 8 D は、トランジスタの回路記号を示す図である。

図 1 9 A および図 1 9 B は、半導体装置の模式図である。

図 2 0 A 乃至図 2 0 E は、記憶装置の模式図である。

図 2 1 A 乃至図 2 1 H は、電子機器を示す図である。

図 2 2 A および図 2 2 B は、トランジスタの断面 TEM 写真である。

図 2 3 は、トランジスタの $I_d - V_g$ 特性の測定結果である。

図 2 4 A は、トランジスタのゲート耐圧の測定結果である。図 2 4 B は、トランジスタのドレイン耐圧の測定結果である。

図 2 5 A は、インバータ回路の回路図である。図 2 5 B は、インバータ回路の DC 特性の測定結果である。

図 2 6 A は、リングオシレータの回路図である。図 2 6 B は、リングオシレータのダイ写真である。

図 2 7 は、リングオシレータの出力波形である。

図 2 8 は、遅延時間の温度依存性を示す図である。

発明を実施するための形態

[0018]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0019]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0020]

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0021]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成さ

れている場合なども含む。

[0022]

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

[0023]

また、本明細書等において、第1、第2などの序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0024]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成要素同士の位置関係を説明するために便宜上用いるものであり、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0025]

また、例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章の開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0026]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0027]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0028]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域また

はドレイン電極) との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0029]

チャネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネル形成領域における、チャネル長方向を基準として垂直方向のチャネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0030]

なお、本明細書等において、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、「実効的なチャネル幅」ともいう。）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

[0031]

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

[0032]

本明細書では、単にチャネル幅と記載した場合には、見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0033]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（V_o: oxygen vacancyともいう）が形成される場合がある。

[0034]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が

多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0035]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0036]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0037]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0038]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりのドレイン電流が、室温において $1 \times 10^{-20}\text{ A}$ 以下、 85°C において $1 \times 10^{-18}\text{ A}$ 以下、または 125°C において $1 \times 10^{-16}\text{ A}$ 以下であることをいう。

[0039]

また、本明細書等において、高電源電位 V_{dd} (以下、単に「 V_{dd} 」、「H 電位」、または「H」ともいう) とは、低電源電位 V_{ss} (以下、単に「 V_{ss} 」、「L 電位」、または「L」ともいう) よりも高い電位の電源電位を示す。また、 V_{ss} とは、 V_{dd} よりも低い電位の電源電位を示す。また、接地電位を V_{dd} または V_{ss} として用いることもできる。例えば V_{dd} が接地電位の場合には、 V_{ss} は接地電位より低い電位であり、 $V_{安定}$ が接地電位の場合には、 V_{dd} は接地電位より高い電位である。

[0040]

(実施の形態 1)

本実施の形態では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

[0041]

<半導体装置の構成例>

図 1 は、トランジスタ 200 を有する半導体装置の上面図および断面図である。図 1 A は、当該半導体装置の上面図である。また、図 1 B 乃至図 1 D は、当該半導体装置の断面図である。ここで、

図1 Bは、図1 AにA 1－A 2の一点鎖線で示す部位の断面図であり、トランジスタ2 0 0のチャネル長方向の断面図でもある。また、図1 Cは、図1 AにA 3－A 4の一点鎖線で示す部位の断面図であり、トランジスタ2 0 0のチャネル幅方向の断面図でもある。また、図1 Dは、図1 AにA 5－A 6の一点鎖線で示す部位の断面図である。なお、図1 Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0 0 4 2]

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁体2 1 2と、絶縁体2 1 2上の絶縁体2 1 4と、絶縁体2 1 4上のトランジスタ2 0 0と、トランジスタ2 0 0上の絶縁体2 8 0と、絶縁体2 8 0上の絶縁体2 8 2と、絶縁体2 8 2上の絶縁体2 8 3と、絶縁体2 8 3上の絶縁体2 7 4と、絶縁体2 7 4上の絶縁体2 8 1と、を有する。絶縁体2 1 2、絶縁体2 1 4、絶縁体2 8 0、絶縁体2 8 2、絶縁体2 8 3、絶縁体2 7 4、および絶縁体2 8 1は層間膜として機能する。また、トランジスタ2 0 0と電氣的に接続し、プラグとして機能する導電体2 4 0（導電体2 4 0 a、および導電体2 4 0 b）を有する。なお、プラグとして機能する導電体2 4 0の側面に接して絶縁体2 4 1（絶縁体2 4 1 a、および絶縁体2 4 1 b）が設けられる。また、絶縁体2 8 1上、および導電体2 4 0上には、導電体2 4 0と電氣的に接続し、配線として機能する導電体2 4 6（導電体2 4 6 a、および導電体2 4 6 b）が設けられる。

[0 0 4 3]

また、絶縁体2 5 4、絶縁体2 8 0、絶縁体2 8 2、絶縁体2 8 3、絶縁体2 7 4、および絶縁体2 8 1の開口的内壁に接して絶縁体2 4 1 aが設けられ、絶縁体2 4 1 aの側面に接して導電体2 4 0 aの第1の導電体が設けられ、さらに内側に導電体2 4 0 aの第2の導電体が設けられている。また、絶縁体2 5 4、絶縁体2 8 0、絶縁体2 8 2、絶縁体2 8 3、絶縁体2 7 4、および絶縁体2 8 1の開口的内壁に接して絶縁体2 4 1 bが設けられ、絶縁体2 4 1 bの側面に接して導電体2 4 0 bの第1の導電体が設けられ、さらに内側に導電体2 4 0 bの第2の導電体が設けられている。ここで、導電体2 4 0の上面の高さと、絶縁体2 8 1の上面の高さは同程度にできる。なお、トランジスタ2 0 0では、導電体2 4 0の第1の導電体および導電体2 4 0の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体2 4 0を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0 0 4 4]

[トランジスタ2 0 0]

図1に示すように、トランジスタ2 0 0は、絶縁体2 1 4上の絶縁体2 1 6と、絶縁体2 1 6に埋め込まれるように配置された導電体2 0 5（導電体2 0 5 a、および導電体2 0 5 b）と、絶縁体2 1 6上、および導電体2 0 5上の絶縁体2 2 2と、絶縁体2 2 2上の絶縁体2 2 4と、絶縁体2 2 4上の酸化物2 3 0 aと、酸化物2 3 0 a上の酸化物2 3 0 bと、酸化物2 3 0 b上の導電体2 4 2 a、導電体2 4 2 b、および酸化物2 3 0 cと、酸化物2 3 0 c上の絶縁体2 5 0と、絶縁体2 5 0上に位置し、酸化物2 3 0 cと重なる導電体2 6 0（導電体2 6 0 a、および導電体2 6 0 b）と、絶縁体2 2 4の上面の一部、酸化物2 3 0 aの側面の一部、酸化物2 3 0 bの側面の一部、導電体2 4 2 aの側面、導電体2 4 2 aの上面、導電体2 4 2 bの側面、および導電体2 4 2 bの上面と接する絶縁体2 5 4と、を有する。また、酸化物2 3 0 cは、絶縁体2 5 4の側面、導電体2 4 2 aの側面および導電体2 4 2 bの側面とそれぞれ接する。ここで、図1 Bに示すように、導

電体 260 の上面は、絶縁体 250 の上面および酸化物 230 c の上面と略一致して配置される。また、絶縁体 282 は、導電体 260、絶縁体 250、酸化物 230 c、および絶縁体 280 のそれぞれの上面と接する。

[0045]

絶縁体 280 および絶縁体 254 には、酸化物 230 b に達する開口が設けられる。当該開口内に、酸化物 230 c、絶縁体 250、および導電体 260 が配置されている。また、トランジスタ 200 のチャネル長方向において、導電体 242 a および導電体 242 b の間に導電体 260、絶縁体 250、および酸化物 230 c が設けられている。絶縁体 250 は、導電体 260 の側面と重なる領域と、導電体 260 の底面と重なる領域と、を有する。また、酸化物 230 b と重なる領域において、酸化物 230 c は、酸化物 230 b と接する領域と、絶縁体 250 を介して導電体 260 の側面と重なる領域と、絶縁体 250 を介して導電体 260 の底面と重なる領域と、を有する。

[0046]

トランジスタ 200 は、チャネル形成領域を含む酸化物 230（酸化物 230 a、酸化物 230 b、および酸化物 230 c）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0047]

また、半導体として機能する金属酸化物は、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0048]

チャネル形成領域に金属酸化物を用いたトランジスタは、非導通状態においてリーク電流が極めて小さいため、低消費電力の半導体装置を提供できる。また、金属酸化物は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0049]

酸化物 230 として、例えば、インジウム、元素 M および亜鉛を有する $In-M-Zn$ 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 230 として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物を用いてもよい。

[0050]

酸化物 230 は、絶縁体 224 の上に配置された酸化物 230 a と、酸化物 230 a の上に配置された酸化物 230 b と、酸化物 230 b の上に配置され、少なくとも一部が酸化物 230 b の上面に接する酸化物 230 c と、を有することが好ましい。酸化物 230 b 下に酸化物 230 a を有することで、酸化物 230 a よりも下方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。また、酸化物 230 b 上に酸化物 230 c を有することで、酸化物 230 c よりも上方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。

[0051]

なお、トランジスタ 200 では、酸化物 230 が、酸化物 230 a、酸化物 230 b、および酸化

物 2 3 0 c の 3 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 2 3 0 b の単層、酸化物 2 3 0 a と酸化物 2 3 0 b の 2 層構造、酸化物 2 3 0 b と酸化物 2 3 0 c の 2 層構造、または 4 層以上の積層構造を設ける構成にしてもよいし、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物 2 3 0 c のそれぞれが積層構造を有していてもよい。

[0052]

また、酸化物 2 3 0 a と酸化物 2 3 0 b、酸化物 2 3 0 b と酸化物 2 3 0 c が、酸素以外に共通の元素を主成分として有することが好ましい。これにより、酸化物 2 3 0 a と酸化物 2 3 0 b との界面、および酸化物 2 3 0 b と酸化物 2 3 0 c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 2 0 0 は大きいオン電流、および高い周波数特性を得ることができる。

[0053]

酸化物 2 3 0 b 上には、導電体 2 4 2（導電体 2 4 2 a、および導電体 2 4 2 b）が設けられる。導電体 2 4 2 a および導電体 2 4 2 b は、それぞれトランジスタ 2 0 0 のソース電極またはドレイン電極として機能する。

[0054]

導電体 2 6 0 は、導電体 2 6 0 a および導電体 2 6 0 b を有し、導電体 2 6 0 b の底面および側面を包むように導電体 2 6 0 a が配置される。導電体 2 6 0 は、トランジスタ 2 0 0 の第 1 のゲート（トップゲートともいう。）電極として機能する。

[0055]

図 1 B に示すトランジスタ 2 0 0 の一部の領域を拡大した断面図を、図 2 に示す。図 2 に示すように、酸化物 2 3 0 は、トランジスタ 2 0 0 のチャネル形成領域として機能する領域 2 3 4 と、ソース領域またはドレイン領域として機能する領域 2 3 1（領域 2 3 1 a、および領域 2 3 1 b）と、を有する。領域 2 3 1 は、キャリア密度が高い、低抵抗化した領域である。また、領域 2 3 4 は、領域 2 3 1 よりも、キャリア密度が低い領域である。なお、領域 2 3 1 a の少なくとも一部、および領域 2 3 1 b の少なくとも一部は、それぞれ、導電体 2 4 2 a、および導電体 2 4 2 b と接する領域を有する。

[0056]

なお、図 2 では、領域 2 3 1、および領域 2 3 4 が、酸化物 2 3 0 b に形成されている構成を示しているが、これに限られることなく、例えば、領域 2 3 1、または領域 2 3 4 は、酸化物 2 3 0 a および酸化物 2 3 0 b に形成されてもよいし、酸化物 2 3 0 b および酸化物 2 3 0 c に形成されてもよいし、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c に形成されてもよい。

[0057]

また、図 2 では、領域 2 3 1 と領域 2 3 4 との境界を、酸化物 2 3 0 b の下面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域 2 3 4 が、酸化物 2 3 0 b の表面近傍では、導電体 2 4 0 側に広がり、酸化物 2 3 0 b の下面近傍では、狭まった形状になる場合がある。

[0058]

チャネル形成領域に酸化物半導体を用いたトランジスタにおいては、チャネル形成領域に低抵抗領域が形成されると、当該低抵抗領域にトランジスタのソース電極とドレイン電極との間のリーク電流（寄生チャネル）が発生しやすい。また、当該寄生チャネルによって、トランジスタのノーマリ

一オン化、リーク電流の増大、ストレス印加によるしきい値電圧の変動（シフト）など、トランジスタの特性不良が起こりやすくなる。また、トランジスタの加工精度が低いと、当該寄生チャネルがトランジスタ毎にばらつくことで、トランジスタ特性にばらつきが生じてしまう。

[0059]

また、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネル形成領域に不純物および酸素欠損が存在すると、当該酸化物半導体が低抵抗化する可能性がある。また、電気特性が変動しやすく、信頼性が悪くなる可能性がある。当該不純物として、例えば、アルミニウム（Al）、シリコン（Si）などがある。チャネル形成領域に当該不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。

[0060]

アルミニウムおよびシリコンは、酸素との結合エネルギーが、インジウムおよび亜鉛よりも大きい。例えば、酸化物半導体としてIn-M-Zn酸化物を用いる場合、当該酸化物半導体にアルミニウムが混入すると、当該酸化物半導体に含まれる酸素がアルミニウムに奪われることによって、インジウムまたは亜鉛の近傍に酸素欠損が形成される場合がある。

[0061]

金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しV_oHを形成する場合がある。酸素欠損に水素が入った欠陥（V_oH）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0062]

したがって、酸化物半導体のチャネル形成領域およびその近傍において、当該不純物および酸素欠損はできる限り低減されていることが好ましい。

[0063]

そこで、トランジスタのチャネル形成領域およびその近傍の構造体を、後述する形状にすることが好ましい。トランジスタを構成する構造体を後述する形状とすることで、チャネル形成領域に形成される低抵抗領域を低減し、寄生チャネルの発生を抑制することができる。よって、寄生チャネルに起因するトランジスタ特性のばらつきを抑制することができる。ここで、トランジスタ特性とは、オン状態における電流値（オン電流値）、オフ状態における電流値（オフ電流値）、しきい値電圧、サブスレッショルドスイング値（S値）、電界効果移動度などである。また、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減し、トランジスタの信頼性向上を図ることができる。

[0064]

<チャネル形成領域およびその近傍の構造体の、好ましい形状>

以下では、チャネル形成領域およびその近傍の構造体の、好ましい形状について説明する。なお、説明を容易にするため、トランジスタ200のチャネル形成領域として機能する領域は、酸化物230bに形成されるとする。

[0065]

図3Aは、図1に示すトランジスタ200の斜視図である。また、図3Aに示すトランジスタ200の一部の領域を拡大した斜視図を図3Bに示す。なお、図3Aおよび図3Bの斜視図では、図の明瞭化のために一部の要素を省いている。

[0066]

酸化物230bは、導電体242aの少なくとも一部と接する領域231a（図3Bに図示せず。）と、導電体242bの少なくとも一部と接する領域231b（図3Bに図示せず。）と、領域231aおよび領域231bとの間に、トランジスタ200のチャネル形成領域として機能する領域234と、を有する。領域234は、酸化物230bのうち、酸化物230bと導電体260とが重なる領域を有する。以下では、酸化物230bのうち、酸化物230bと導電体242aとが重なる領域を、領域231aと言い換えることができ、酸化物230bと導電体242bとが重なる領域を、領域231bと言い換えることができる。

[0067]

図1Cおよび図3Bに示すように、トランジスタ200のチャネル幅方向の断面視において、領域234における、酸化物230bの側面と酸化物230bの上面との間に、湾曲面を有することが好ましい。つまり、当該側面の端部と当該上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう。）。

[0068]

ここで、図2および図3Bに示すように、トランジスタ200のチャネル長方向の断面視において、互いに向かい合う導電体242aの側端部と導電体242bの側端部との距離を、Lとする。なお、Lは、トランジスタ200のチャネル長方向の断面視において、導電体242と重ならない領域における、酸化物230bの上面の長さともいえる。

[0069]

また、図3Bに示すように、トランジスタ200のチャネル幅方向の断面視において、酸化物230bと導電体260とが重なる領域における、酸化物230bの上面のうち、湾曲面を有さない領域の長さを、Wとする。

[0070]

また、上記湾曲面での曲率半径を、Laとする。なお、Laは、トランジスタ200のチャネル幅方向の断面視において、絶縁体224の下面を基準としたときの、酸化物230bと導電体260とが重なる領域における、酸化物230bの上面の高さと、酸化物230bの側面のうち、湾曲面を有する領域の下端部の高さと、の差とみなす場合がある。

[0071]

Laは、0nmより大きく、導電体242と重なる領域の酸化物230bの膜厚より小さい、または、上記Wの半分より小さいことが好ましい。Laは、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、当該側面と当該上面との間に電界が集中することを抑制し、トランジスタ特性の変動を抑制することができる。また、Wの減少を防ぎ、トランジスタ200のオン電流、移動度の低下を抑制することができる。したがって、良好な電気特性を有する半導体装置を提供することができる。

[0072]

また、上記形状にすることで、領域 234 において、酸化物 230b の側面の実効チャンネル長が、酸化物 230b の上面の実効チャンネル長よりも大きくなることで、当該側面を流れる電流が減少する。よって、当該側面に形成される寄生チャンネルの影響が抑制され、トランジスタ 200 の S 値の低減を図ることができる。また、当該側面に形成される寄生チャンネルの、トランジスタ毎のばらつきの影響が小さくなるため、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。

[0073]

トランジスタ 200 のチャンネル幅方向の断面視において、酸化物 230b と導電体 260 とが重なる領域における、酸化物 230b の側面のうち、湾曲面を有さない領域の長さを、Lb とする。なお、酸化物 230b と導電体 260 とが重なる領域における、酸化物 230b の側面がテーパ形状を有する場合、Lb は、酸化物 230b のテーパ形状部の長さと言い換えることもできる。また、Lb は、絶縁体 224 の下面を基準としたときの、当該湾曲面を有さない領域の上端部の高さ、当該湾曲面を有さない領域の下端部の高さ、の差とみなす場合がある。Lb は、La、酸化物 230b の膜厚、酸化物 230b のテーパ角などに依存する。ここで、テーパ角とは、テーパ形状を有する膜の側面と、当該膜の底面との間の角度を指す。

[0074]

また、酸化物 230b と導電体 260 とが重なる領域における、酸化物 230b の上面の膜減り量を、Lc とする。Lc は、例えば、トランジスタ 200 のチャンネル幅方向の断面視において、絶縁体 222 の底面を基準としたときの、導電体 242 と重なる領域の酸化物 230b の上面の高さと、導電体 260 と重なる領域の酸化物 230b の上面の高さと、の差として算出することができる。

[0075]

後述するが、酸化物 230b 上に接するように設けられた導電層 242B に含まれる元素が、酸化物 230b の酸素を吸収する機能を有する場合、酸化物 230b と導電層 242B との間、または酸化物 230b の表面近傍に、部分的に低抵抗領域が形成される場合がある。また、酸化物 230b のチャンネル形成領域の側面に接するように設けられた絶縁膜 254A に含まれる元素が、酸化物 230b の酸素を吸収する機能を有する場合、酸化物 230b と絶縁膜 254A との間、または酸化物 230b のチャンネル形成領域の側面近傍に、部分的に低抵抗領域が形成される場合がある。つまり、当該元素は、酸化物半導体の不純物となる場合がある。この場合、当該低抵抗領域には、不純物、または酸素欠損に入り込んだ不純物（水素、窒素、金属元素等）がドナーとして機能し、キャリア密度が増加する場合がある。

[0076]

また、酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャンネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャンネルが存在し、トランジスタに電流が流れる特性）となりやすい。

[0077]

そこで、領域 234 における酸化物 230b の上面は、導電体 242 と重なる領域における酸化物 230b の上面よりも低いことが好ましい。例えば、Lc は、0nm より大きく、導電体 242 と重なる領域の酸化物 230b の膜厚より小さいことが好ましい。Lc は、具体的には、0nm より

大きく15 nm以下、好ましくは0.5 nm以上10 nm以下、さらに好ましくは1 nm以上5 nm以下とする。このような形状にすることで、上記不純物を除去し、領域234の上面近傍に形成される低抵抗領域を低減し、寄生チャネルの発生を抑制することができる。なお、領域234の上面における実効チャネル長は、 $L + 2 \times L_c$ となる。よって、 L_c を小さくすることで、トランジスタのオン電流の低下を抑制することができる。

[0078]

また、酸化物230bと導電体260とが重なる領域における、酸化物230bの側面の膜減り量を、 W_e とする。 W_e は、例えば、トランジスタ200のチャネル幅方向の断面視において、導電体242と重なる領域の酸化物230bの側面と、上記湾曲面を有さない領域の酸化物230bの側面と、の差として算出することができる。また、例えば、トランジスタ200のチャネル幅方向の断面視において、導電体242と重なる領域の酸化物230bの下面の長さと、導電体242と重ならない領域の酸化物230bの下面の長さと、の差の半分として算出することができる。

[0079]

W_e は、0 nmより大きく、導電体242と重なる領域の酸化物230bの膜厚以下とすることが好ましい。 W_e は、具体的には、0 nmより大きく20 nm以下、好ましくは1 nm以上15 nm以下、さらに好ましくは2 nm以上10 nm以下とする。 W_e を0 nmより大きくすることで、領域234の側面近傍の不純物を除去し、低抵抗領域を低減し、寄生チャネルの発生を抑制することができる。

[0080]

以上より、チャネル形成領域に形成される低抵抗領域を低減し、寄生チャネルの発生を抑制することができる。よって、寄生チャネルに起因するトランジスタ特性のばらつきを抑制することができる。また、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減し、トランジスタの信頼性向上を図ることができる。

[0081]

トランジスタ200のチャネル形成領域およびその近傍の構造体を上記形状とすることで、トランジスタ特性のばらつきを低減することができる。例えば、 V_{sh} のばらつきを低減することができる。本明細書では、 V_{sh} は、トランジスタの $I_d - V_g$ カーブにおいて、ドレイン電流 $I_d = 1.0 \times 10^{-12}$ Aの時のゲート電圧 V_g で定義される。 V_{sh} のばらつきは、例えば、標準偏差 σ を用いて評価することができる。 n (n は3以上の整数である。) 個のトランジスタにおける V_{sh} の標準偏差 σ は、下式で表される。

[0082]

[数1]

$$\sigma = \sqrt{\frac{1}{n} \sum_{i=1}^n (x_i - \mu)^2}$$

[0083]

上式において、 x_i は i (i は1以上 n 以下の整数である。) 番目のトランジスタの V_{sh} の値であり、 μ は n 個のトランジスタの V_{sh} の平均値である。

[0084]

トランジスタ200の I_d-V_g 特性にて、 V_{sh} の標準偏差 σ は、具体的には、60mV以下、好ましくは40mV以下、さらに好ましくは20mV以下である。

[0085]

また、トランジスタ200のチャネル形成領域およびその近傍の構造体を上記形状とすることで、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することができる。具体的には、酸化物半導体のチャネル形成領域およびその近傍において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、酸化物半導体のチャネル形成領域およびその近傍において、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いた元素分析により得られる不純物の濃度を、1.0 atomic%以下にする。なお、酸化物半導体として元素Mを含む酸化物を用いる場合、酸化物半導体のチャネル形成領域およびその近傍において、元素Mに対する不純物の濃度比を、0.10未満、好ましくは0.05未満にする。ここで、濃度比を算出する際に用いる元素Mの濃度は、不純物の濃度を算出した領域と同じ領域の濃度でもよいし、酸化物半導体中の濃度でもよい。

[0086]

また、チャネル形成領域の酸化物230bの側面における、不純物の濃度は、導電体242と重なる領域の酸化物230bの側面における、不純物の濃度よりも小さくする。または、チャネル形成領域の酸化物230bの側面における、元素Mに対する不純物の濃度比は、導電体242と重なる領域の酸化物230bの側面における、元素Mに対する不純物の濃度比よりも小さくする。また、チャネル形成領域の酸化物230bの上面における、元素Mに対する不純物の濃度比は、導電体242と重なる領域の酸化物230bの上面における、元素Mに対する不純物の濃度比よりも小さくする。

[0087]

<半導体装置の詳細な構成>

以下では、本発明の一態様である半導体装置、および当該半導体装置が有するトランジスタ200の詳細な構成について説明する。

[0088]

絶縁体212、絶縁体214、絶縁体254、絶縁体282、絶縁体283および絶縁体281は、水、水素などの不純物が、基板側から、または、トランジスタ200の上方からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体212、絶縁体214、絶縁体254、絶縁体282、絶縁体283および絶縁体281は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0089]

例えば、絶縁体212、絶縁体283、および絶縁体281として、窒化シリコンなどを用い、絶縁体214、絶縁体254、および絶縁体282として、酸化アルミニウムなどを用いることが好

ましい。これにより、水、水素などの不純物が絶縁体212、および絶縁体214を介して、基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体212、および絶縁体214を介して基板側に、拡散するのを抑制することができる。また、水、水素などの不純物が絶縁体254よりも上方に配置されている絶縁体280、導電体246などから絶縁体254を介してトランジスタ200側に拡散するのを抑制することができる。この様に、トランジスタ200を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体212、絶縁体214、絶縁体254、絶縁体282、および絶縁体283で取り囲む構造とすることが好ましい。

[0090]

また、絶縁体212、絶縁体283、および絶縁体281の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体212、絶縁体283、および絶縁体281の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体212、絶縁体283、および絶縁体281が、導電体205、導電体242または導電体260のチャージアップを緩和することができる場合がある。絶縁体212、絶縁体283、および絶縁体281の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0091]

また、絶縁体216、絶縁体280、および絶縁体274は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、絶縁体280、および絶縁体274として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0092]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体214または絶縁体216に埋め込まれて設けることが好ましい。

[0093]

導電体260は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体205は、第2のゲート電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧（ V_{th} ）を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0094]

なお、導電体205は、図1Aに示すように、酸化物230の導電体242aおよび導電体242bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図1Cに示すように、導電体205は、酸化物230のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導

電体 205 の電界によって、酸化物 230 のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第 1 のゲート、および第 2 のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

[0095]

なお、本明細書等において、S-channel 構造のトランジスタとは、一对のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等において、S-channel 構造は、ソース電極およびドレイン電極として機能する導電体 242a および導電体 242b に接する酸化物 230 の側面及び周辺が、チャネル形成領域と同じく I 型であるといった特徴を有する。また、導電体 242a および導電体 242b に接する酸化物 230 の側面及び周辺は、絶縁体 280 と接しているため、チャネル形成領域と同様に I 型となりうる。なお、本明細書等において、I 型とは後述する高純度真性と同様として扱うことができる。また、本明細書等で開示する S-channel 構造は、Fin 型構造およびプレーナ型構造とは異なる。S-channel 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0096]

また、図 1C に示すように、導電体 205 は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体 205 の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体 205 は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体 205 を複数のトランジスタで共有する構成にしてもよい。

[0097]

なお、トランジスタ 200 では、導電体 205 は、導電体 205a と導電体 205b とを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 205 は、単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0098]

ここで、導電体 205a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0099]

導電体 205a に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 205b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体 205a としては、上記導電性材料を単層または積層とすればよい。例えば、導電体 205a は、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

[0100]

また、導電体 205b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205b を単層で図示したが、積層構造としてもよく、例えば、

チタンまたは窒化チタンと、当該導電性材料との積層としてもよい。

[0101]

絶縁体222、および絶縁体224は、ゲート絶縁体として機能する。

[0102]

絶縁体222は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0103]

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230から基板側への酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタ200の内側へ拡散することを抑制し、酸化物230中の酸素欠損の生成を抑制することができる。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0104]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体222は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0105]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）、（Ba, Sr）TiO₃（BST）などのいわゆるh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0106]

酸化物230と接する絶縁体224は、加熱により酸素を脱離することが好ましい。例えば、絶縁体224は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0107]

絶縁体224として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ mol}$

$\text{e c u l e s} / \text{cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{m o l e c u l e s} / \text{cm}^3$ 以上、または $3.0 \times 10^{20} \text{m o l e c u l e s} / \text{cm}^3$ 以上である酸化膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0108]

また、上記過剰酸素領域を有する絶縁体と、酸化物230と、を接して加熱処理、マイクロ波処理、またはRF (Radio Frequency) 処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物230中の水、または水素を除去することができる。例えば、酸化物230において、酸素欠損に水素が入った欠陥 ($\text{V}_\text{O}\text{H}$) の結合が切断される反応が起きる、別言すると「 $\text{V}_\text{O}\text{H} \rightarrow \text{V}_\text{O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物230、または酸化物230近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体242に拡散または捕獲 (ゲッタリングともいう) される場合がある。

[0109]

上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物230、または酸化物230近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133Pa 以上、好ましくは 200Pa 以上、さらに好ましくは 400Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($\text{O}_2 / (\text{O}_2 + \text{Ar})$) が50%以下、好ましくは10%以上30%以下で行うとよい。

[0110]

また、トランジスタ200の作製工程中において、酸化物230の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 450°C 以下、より好ましくは 350°C 以上 400°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10ppm 以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを 10ppm 以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを 10ppm 以上、1%以上、または10%以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行った加熱処理を行ってもよい。

[0111]

なお、酸化物230に加酸素化処理を行うことで、酸化物230中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_\text{O} + \text{O} \rightarrow \text{n u l l}$ 」という反応を促進させることができる。さらに、酸化物230中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する (脱水化する) ことができる。これにより、酸化物230中に残存していた水素が酸素欠損に再結合して $\text{V}_\text{O}\text{H}$ が形成されるのを抑制することができる。

[0112]

なお、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0113]

酸化物 230 は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 230 a に用いる金属酸化物において、主成分である金属元素に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、主成分である金属元素に対する元素 M の原子数比より、大きいことが好ましい。また、酸化物 230 a に用いる金属酸化物において、 I_n に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、 I_n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 230 b に用いる金属酸化物において、元素 M に対する I_n の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する I_n の原子数比より大きいことが好ましい。また、酸化物 230 c は、酸化物 230 a または酸化物 230 b に用いることができる金属酸化物を、用いることができる。

[0114]

なお、トランジスタ 200 のオン電流を増大したい場合においては、酸化物 230 に I_n-Z_n 酸化物を用いると好適である。酸化物 230 に I_n-Z_n 酸化物を用いる場合、例えば、酸化物 230 a に I_n-Z_n 酸化物を用い、酸化物 230 b および酸化物 230 c に I_n-M-Z_n 酸化物を用いる積層構造、または、酸化物 230 a に I_n-M-Z_n 酸化物を用い、酸化物 230 b および酸化物 230 c のいずれか一方に I_n-Z_n 酸化物を用いる積層構造などが挙げられる。

[0115]

また、酸化物 230 b および酸化物 230 c は、結晶性を有することが好ましい。例えば、後述する CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。CAAC-OS などの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物 230 b からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物 230 b から酸素が引き抜かれることを低減できるので、トランジスタ 200 は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0116]

また、酸化物 230 c として、CAAC-OS を用いることが好ましく、酸化物 230 c が有する結晶の c 軸が、酸化物 230 c の被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-OS は、c 軸と垂直方向に酸素を移動させやすい性質を有する。したがって、酸化物 230 c が有する酸素を、酸化物 230 b に効率的に供給することができる。

[0117]

また、酸化物 230 a および酸化物 230 c の伝導帯下端は、酸化物 230 b の伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物 230 a および酸化物 230 c の電子親和力は、酸化物 230 b の電子親和力より小さいことが好ましい。この場合、酸化物 230 c は、酸化物 230 a に用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物 230 b となる。

[0118]

ここで、酸化物 230 a、酸化物 230 b、および酸化物 230 c の接合部において、伝導帯下端

はなだらかに変化する。換言すると、酸化物230a、酸化物230b、および酸化物230cの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0119]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いてもよい。

[0120]

具体的には、酸化物230aとして、In:Ga:Zn=1:3:4 [原子数比]、またはIn:Ga:Zn=1:1:0.5 [原子数比]の金属酸化物を用いればよい。また、酸化物230bとして、In:Ga:Zn=1:1:1 [原子数比]、またはIn:Ga:Zn=4:2:3 [原子数比]の金属酸化物を用いればよい。また、酸化物230cとして、In:Ga:Zn=1:3:4 [原子数比]、In:Ga:Zn=4:2:3 [原子数比]、Ga:Zn=2:1 [原子数比]、またはGa:Zn=2:5 [原子数比]の金属酸化物を用いればよい。

[0121]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0122]

酸化物230a、酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は大きいオン電流、および高い周波数特性を得ることができる。

[0123]

導電体242（導電体242a、および導電体242b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0124]

なお、導電体242と酸化物230bとが接することで、酸化物230b中の酸素が導電体242へ拡散し、導電体242が酸化する場合がある。導電体242が酸化することで、導電体242の導電率が低下する蓋然性が高い。なお、酸化物230b中の酸素が導電体242へ拡散することを、導電体242が酸化物230b中の酸素を吸収する、と言い換えることができる。

[0125]

また、酸化物230b中の酸素が導電体242aおよび導電体242bへ拡散することで、導電体

242aと酸化物230bとの間、および、導電体242bと酸化物230bとの間に層が形成される場合がある。当該層は、導電体242aまたは導電体242bよりも酸素を多く含むため、当該層は絶縁性を有すると推定される。このとき、導電体242aまたは導電体242bと、当該層と、酸化物230bとの3層構造は、金属―絶縁体―半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造、またはMIS構造を主としたダイオード接合構造とみることができる。

[0126]

なお、酸化物230bなどに含まれる水素が、導電体242aまたは導電体242bに拡散する場合がある。特に、導電体242aおよび導電体242bに、タンタルを含む窒化物を用いることで、酸化物230bなどに含まれる水素は、導電体242aまたは導電体242bに拡散しやすく、拡散した水素は、導電体242aまたは導電体242bが有する窒素と結合することがある。つまり、酸化物230bなどに含まれる水素は、導電体242aまたは導電体242bに吸い取られる場合がある。

[0127]

また、導電体242の側面と導電体242の上面との間に、湾曲面を有する場合がある。つまり、側面の端部と上面の端部は、湾曲している場合がある。湾曲面は、例えば、導電体242の端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0128]

絶縁体254は、図1Bに示すように、導電体242aの上面および側面、導電体242bの上面および側面、酸化物230aの側面、酸化物230bの側面、ならびに絶縁体224の上面の一部に接することが好ましい。このような構成にすることで、絶縁体280は、絶縁体254によって、絶縁体224、酸化物230aおよび酸化物230bと離隔されている。

[0129]

また、絶縁体254は、絶縁体222と同様に、水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。例えば、絶縁体254は、絶縁体224、および絶縁体280よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。これにより、絶縁体280に含まれる水素が、酸化物230aおよび酸化物230bに拡散するのを抑制することができる。さらに、絶縁体222、および絶縁体254によって、絶縁体224、酸化物230などを囲むことにより、水、水素などの不純物が、外方から絶縁体224、および酸化物230に拡散することを抑制することができる。よって、トランジスタ200に良好な電気特性および信頼性を与えることができる。

[0130]

絶縁体254は、スパッタリング法を用いて成膜されることが好ましい。絶縁体254を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁体224の絶縁体254と接する領域近傍に酸素を添加することができる。これにより、当該領域から、絶縁体224を介して酸化物230中に酸素を供給することができる。ここで、絶縁体254が、上方への酸素の拡散を抑制する機能を有することで、酸素が酸化物230から絶縁体280へ拡散することを防ぐことができる。また、絶縁体222が、下方への酸素の拡散を抑制する機能を有することで、酸素が酸化物230から基板側へ拡散することを防ぐことができる。このようにして、酸化物230のチャンネル形成領

域に酸素が供給される。これにより、酸化物 230 の酸素欠損を低減し、トランジスタのノーモリーオン化を抑制することができる。

[0131]

絶縁体 254 としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。この場合、絶縁体 254 は、原子層堆積 (ALD: Atomic Layer Deposition) 法を用いて成膜されることが好ましい。ALD 法は、被覆性の良好な成膜法なので、絶縁体 254 の凹凸によって、段切れなどが形成されるのを防ぐことができる。

[0132]

また、絶縁体 254 としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。これにより、絶縁性に優れ、且つ熱伝導性に優れた膜とすることができるため、トランジスタ 200 を駆動したときに生じる熱の放熱性を高めることができる。また、窒化シリコン、窒化酸化シリコンなどを用いることもできる。

[0133]

また、絶縁体 254 としては、例えば、ガリウムを含む酸化物を用いてもよい。ガリウムを含む酸化物は、水素および酸素的一方または双方の拡散を抑制する機能を有する場合があるため好ましい。なお、ガリウムを含む酸化物として、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物などを用いることができる。なお、絶縁体 254 としてインジウムガリウム亜鉛酸化物を用いる場合、インジウムに対するガリウムの原子数比は大きい方が好ましい。当該原子数比を大きくすることで、当該酸化物の絶縁性を高くすることができる。

[0134]

また、絶縁体 254 は、2 層以上の多層構造とすることができる。絶縁体 254 を 2 層の積層構造とする場合、絶縁体 254 の下層、および上層の成膜には、上記方法を用いて行うことができ、絶縁体 254 の下層、および上層の成膜は、同じ方法を用いてもよいし、異なる方法を用いてもよい。例えば、絶縁体 254 として、酸素を含む雰囲気でスパッタリング法を用いて絶縁体 254 の下層を成膜し、次に ALD 法を用いて絶縁体 254 の上層を成膜してもよい。ALD 法は、被覆性の良好な成膜法なので、1 層目の凹凸によって、段切れなどが形成されるのを防ぐことができる。

[0135]

また、絶縁体 254 の下層、および上層には上記材料を用いることができ、絶縁体 254 の下層、および上層は同じ材料としてもよいし、異なる材料としてもよい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは窒化シリコンと、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体と、の積層構造としてもよい。また、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。

[0136]

絶縁体 250 は、ゲート絶縁体として機能する。絶縁体 250 は、酸化物 230 c の少なくとも一部に接して配置することが好ましい。絶縁体 250 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0137]

絶縁体 250 は、絶縁体 224 と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体 250 として、酸化物 230c の少なくとも一部に接して設けることにより、酸化物 230b のチャンネル形成領域に効果的に酸素を供給し、酸化物 230b のチャンネル形成領域の酸素欠損を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。また、絶縁体 224 と同様に、絶縁体 250 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

[0138]

なお、図 1 では、絶縁体 250 を単層で図示したが、2 層以上の積層構造としてもよい。絶縁体 250 を 2 層の積層構造とする場合、絶縁体 250 の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁体 250 の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 250 の下層に含まれる酸素が、導電体 260 へ拡散するのを抑制することができる。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の下層に含まれる酸素による導電体 260 の酸化を抑制することができる。例えば、絶縁体 250 の下層は、上述した絶縁体 250 に用いることができる材料を用いて設け、絶縁体 250 の上層は、絶縁体 222 と同様の材料を用いて設けることができる。

[0139]

なお、絶縁体 250 の下層に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体 250 の上層は、比誘電率が高い high-k 材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体 250 の下層と絶縁体 250 の上層との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

[0140]

絶縁体 250 の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物 230 として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。

[0141]

また、絶縁体 250 と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250 から導電体 260 への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

[0142]

なお、上記金属酸化物は、第 1 のゲート電極の一部としての機能を有することが好ましい。例えば、酸化物 230 として用いることができる金属酸化物を、上記金属酸化物として用いることができる。

その場合、導電体 260a をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これを OC (Oxide Conductor) 電極と呼ぶことができる。例えば、酸化物 230 に用いることができる酸化物半導体を低抵抗化することで、上記金属酸化物として用いることができる。

[0143]

絶縁体 250 の上層および／または上記金属酸化物を有することで、導電体 260 からの電界の影響を弱めることなく、トランジスタ 200 のオン電流の向上を図ることができる。また、絶縁体 250 と、上記金属酸化物との物理的な厚みにより、導電体 260 と、酸化物 230 との間の距離を保つことで、導電体 260 と酸化物 230 との間のリーク電流を抑制することができる。また、絶縁体 250、および上記金属酸化物との積層構造を設けることで、導電体 260 と酸化物 230 との間の物理的な距離、および導電体 260 から酸化物 230 へかかる電界強度を、容易に適宜調整することができる。

[0144]

導電体 260 は、導電体 260a と、導電体 260a の上に配置された導電体 260b と、を有することが好ましい。例えば、導電体 260a は、導電体 260b の底面および側面を包むように配置されることが好ましい。なお、図 1 では、導電体 260 は、導電体 260a と導電体 260b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

[0145]

導電体 260a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0146]

また、導電体 260a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に含まれる酸素により、導電体 260b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0147]

また、導電体 260 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 260b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260b は積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

[0148]

また、トランジスタ 200 では、導電体 260 は、絶縁体 280 などに形成されている開口を埋めるように自己整合的に形成される。導電体 260 をこのように形成することにより、導電体 242a と導電体 242b との間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

[0149]

また、図 1B に示すように、導電体 260 の上面は、絶縁体 250 の上面および酸化物 230c の上面と略一致している。

[0150]

また、図1Cに示すように、トランジスタ200のチャネル幅方向において、絶縁体222の底面を基準としたときの、導電体260の、導電体260と酸化物230bとが重ならない領域の底面の高さは、酸化物230bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体260が、絶縁体250などを介して、酸化物230bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体260の電界を酸化物230bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。絶縁体222の底面を基準としたときの、酸化物230aおよび酸化物230bと、導電体260とが、重ならない領域における導電体260の底面の高さと、酸化物230bの底面の高さと、の差は、0nm以上100nm以下、好ましくは、3nm以上50nm以下、より好ましくは、5nm以上20nm以下とする。

[0151]

絶縁体280は、絶縁体224、酸化物230a、酸化物230b、導電体242、および絶縁体254上に設けられる。また、絶縁体280の上面は、平坦化されていてもよい。

[0152]

層間膜として機能する絶縁体280は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体280は、例えば、絶縁体216と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0153]

また、絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。また、絶縁体280は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体216と同様の材料を用いて設けてもよい。また、絶縁体280は、上記の材料が積層された構造でもよく、例えば、スパッタリング法で成膜した酸化シリコンと、その上に積層された化学気相成長(CVD: Chemical Vapor Deposition)法で成膜された酸化窒化シリコンの積層構造とすればよい。また、さらに上に窒化シリコンを積層してもよい。

[0154]

絶縁体282または絶縁体283は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体282または絶縁体283は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体282および絶縁体283としては、例えば、酸化アルミニウム、窒化シリコン、窒化酸化シリコンなどの絶縁体を用いればよい。例えば、絶縁体282として、酸素に対してブロッキング性が高い酸化アルミニウムを用い、絶縁体283として、水素に対してブロッキング性が高い窒化シリコンを用いればよい。

[0155]

また、絶縁体282の上に、層間膜として機能する絶縁体274を設けることが好ましい。絶縁体274は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0156]

導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。

[0157]

また、導電体240a、および導電体240bを積層構造とする場合、絶縁体281、絶縁体274、絶縁体283、絶縁体282、絶縁体280、および絶縁体254と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、 tantalum、窒化タングステン、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。また、絶縁体281より上層に含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0158]

絶縁体241aおよび絶縁体241bとしては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241aおよび絶縁体241bは、絶縁体254に接して設けられるので、絶縁体280などに含まれる水、水素などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体280に含まれる酸素が導電体240aおよび導電体240bに吸収されるのを防ぐことができる。

[0159]

また、導電体240aの上面、および導電体240bの上面に接して配線として機能する導電体246（導電体246a、および導電体246b）を配置してもよい。導電体246は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0160]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0161]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有す

る基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0162]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0163]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0164]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0165]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0166]

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0167]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0168]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0169]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0170]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0171]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0172]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。

以下では、本発明に係る酸化物 230 に適用可能な金属酸化物について説明する。

[0173]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0174]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0175]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0176]

[金属酸化物の構造]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

[0177]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0178]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリー) を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0179]

また、CAAC-OSは、インジウム、および酸素を有する層 (以下、In層) と、元素M、亜鉛、および酸素を有する層 (以下、(M, Zn) 層) とが積層した、層状の結晶構造 (層状構造ともい

う)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Z_n)層の元素Mがインジウムと置換した場合、(I_n, M, Z_n)層と表すこともできる。また、I_n層のインジウムが元素Mと置換した場合、(I_n, M)層と表すこともできる。

[0180]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0181]

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0182]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物(以下、IGZO)は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶(ここでは、数mmの結晶、または数cmの結晶)よりも小さな結晶(例えば、上述のナノ結晶)とする方が、構造的に安定となる場合がある。

[0183]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0184]

酸化物半導体(金属酸化物)は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0185]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0186]

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が悪くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。

[0187]

金属酸化物を用いたトランジスタは、金属酸化物中の不純物及び酸素欠損によって、その電気特性が変動し、ノーマリーオン特性(ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジ

スタに電流が流れる特性) となりやすい。また、金属酸化物中に、適量値を超えた過剰な酸素を有した状態で、該トランジスタを駆動した場合、過剰な酸素原子の価数が変化し、該トランジスタの電気特性が変動することで、信頼性が悪くなる場合がある。

[0188]

したがって、トランジスタには、キャリア濃度の低い金属酸化物をチャネル形成領域に用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、本明細書等においては、チャネル形成領域の金属酸化物のキャリア濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以下の場合を実質的に高純度真性として定義する。

[0189]

また、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0190]

なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し $\text{V}_\text{O}\text{H}$ を形成する場合がある。酸素欠損に水素が入った欠陥 ($\text{V}_\text{O}\text{H}$) はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0191]

本発明の一態様においては、酸化物 230 中の $\text{V}_\text{O}\text{H}$ をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 $\text{V}_\text{O}\text{H}$ が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 $\text{V}_\text{O}\text{H}$ などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0192]

酸素欠損に水素が入った欠陥 ($\text{V}_\text{O}\text{H}$) は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合があ

る。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。また、本明細書等に記載の「キャリア濃度」は、「密度」と言い換えることができる。

[0193]

よって、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0194]

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0195]

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が悪化する傾向がある。また、チャネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

[0196]

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。不純物濃度を低減した金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0197]

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0198]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0199]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0200]

酸化物230として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物230として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデントテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステントテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0201]

<半導体装置の作製方法>

次に、図1に示す、本発明の一態様である半導体装置の作製方法を、図4乃至図11を用いて説明する。

[0202]

図4乃至図11において、各図のAは上面図を示す。また、各図のBは、Aに示すA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、各図のCは、AにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。また、各図のDは、各図のAにA5-A6の一点鎖線で示す部位の断面図である。なお、各図のAの上面図では、図の明瞭化のために一部の要素を省いている。

[0203]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法、ALD法などを用いて行うことができる。

[0204]

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD: Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD: Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD: Metal CVD）法、有機金属CVD（MOCVD: Metal Organic CVD）法に分けることができる。

[0205]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法

の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0206]

また、ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。また、ALD法には、プラズマを利用するPEALD (Plasma Enhanced ALD) 法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法 (XPS: X-ray Photoelectron Spectroscopy) を用いて行うことができる。

[0207]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0208]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0209]

本実施の形態では、絶縁体212として、CVD法によって窒化シリコンを成膜する。このように、絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体212より下層（図示せず。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体212を介して上方に拡散するのを抑制することができる。また、窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体212より下層に含まれる水、水素などの不純物の拡散を抑制することができる。

[0210]

次に、絶縁体212上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、酸化アルミニウムを用いる。

[0211]

次に、絶縁体 214 上に絶縁体 216 を成膜する。絶縁体 216 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

[0212]

次に、絶縁体 216 に絶縁体 214 に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 214 は、絶縁体 216 をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体 216 に酸化シリコンを用いた場合は、絶縁体 214 は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

[0213]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0214]

開口の形成後に、導電体 205a となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

[0215]

本実施の形態では、導電体 205a となる導電膜を多層構造とする。まず、スパッタリング法によって窒化タンタルを成膜し、当該窒化タンタルの上に窒化チタンを積層する。このような金属窒化物を導電体 205b の下層に用いることにより、後述する導電体 205b となる導電膜として銅などの拡散しやすい金属を用いても、当該金属が導電体 205a から外に拡散するのを防ぐことができる。

[0216]

次に、導電体 205b となる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、導電体 205b となる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0217]

次に、CMP 処理を行うことで、導電体 205a となる導電膜、および導電体 205b となる導電膜の一部を除去し、絶縁体 216 を露出する。その結果、開口部のみに、導電体 205a および導電体 205b が残存する。これにより、上面が平坦な、導電体 205 を形成することができる (図

4参照。)。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0218]

なお、上記においては、導電体205を絶縁体216の開口に埋め込むように形成したが、本実施の形態はこれに限られるものではない。例えば、絶縁体214上に導電体205を形成し、導電体205上に絶縁体216を成膜し、絶縁体216にCMP処理を行うことで、絶縁体216の一部を除去し、導電体205の表面を露出させればよい。

[0219]

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

[0220]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0221]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0222]

本実施の形態では、加熱処理として、絶縁体222の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

[0223]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化窒化シリコン膜を成膜する。

[0224]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRFを印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを

印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体 224 内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体 224 に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0225]

ここで、絶縁体 224 上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体 224 に達するまで、CMP 処理を行ってもよい。当該 CMP 処理を行うことで絶縁体 224 表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体 224 上に配置して CMP 処理を行うことで、CMP 処理の終点検出が容易となる。また、CMP 処理によって、絶縁体 224 の一部が研磨されて、絶縁体 224 の膜厚が薄くなることがあるが、絶縁体 224 の成膜時に膜厚を調整すればよい。絶縁体 224 表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体 224 上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体 224 に酸素を添加することができるので好ましい。

[0226]

次に、絶縁体 224 上に、酸化膜 230A、酸化膜 230B を順に成膜する（図 4 参照。）。なお、酸化膜 230A および酸化膜 230B は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、および酸化膜 230B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

[0227]

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

[0228]

例えば、酸化膜 230A、および酸化膜 230B をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記の $In-M-Zn$ 酸化物ターゲットなどを用いることができる。

[0229]

特に、酸化膜 230A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

[0230]

また、酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30% を超えて 100% 以下、好ましくは 70% 以上 100% 以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を

1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0231]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230a、および酸化物230bに求める特性に合わせて形成するとよい。

[0232]

なお、絶縁体222、絶縁体224、酸化膜230A、および酸化膜230Bを、大気に暴露することなく成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。

[0233]

次に、加熱処理を行ってもよい。当該加熱処理は、上述した加熱処理条件を用いることができる。当該加熱処理によって、酸化膜230A、および酸化膜230B中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0234]

次に、酸化膜230B上に導電膜242Aを成膜する（図4参照。）。導電膜242Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。なお、導電膜242Aの成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜242Aを成膜してもよい。このような処理を行うことによって、酸化膜230Bの表面などに吸着している水分および水素を除去し、さらに酸化膜230A、および酸化膜230B中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0235]

次に、リソグラフィー法を用いて、酸化膜230A、酸化膜230B、および導電膜242Aを島状に加工して、酸化物230a、酸化物230b、および導電層242Bを形成する（図5参照。）。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜230A、酸化膜230B、および導電膜242Aの加工は、それぞれ異なる条件で加工してもよい。なお、当該工程において、絶縁体224の酸化物230aと重ならない領域の膜厚が薄くなることがある。

[0236]

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV（Extreme Ultraviolet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いて

もよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0237]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜242A上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜242Aのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜242Aのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0238]

ここで、酸化物230a、酸化物230b、および導電層242Bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、酸化物230b、および導電層242Bの側面は、絶縁体222の上面に対し、略垂直であることが好ましい。酸化物230a、酸化物230b、および導電層242Bの側面が、絶縁体222の上面に対し、略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。また、酸化物230a、酸化物230b、および導電層242Bの側面と、絶縁体222の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物230a、酸化物230b、および導電層242Bの側面と、絶縁体222の上面とのなす角は60度以上70度未満が好ましい。このような形状とすることで、これより後の工程において、絶縁体254などの被覆性が向上し、鬆などの欠陥を低減することができる。

[0239]

また、導電層242Bの側面と導電層242Bの上面との間に、湾曲面を有する。つまり、当該側面の端部と当該上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、導電層242Bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0240]

次に、絶縁体224、酸化物230a、酸化物230b、および導電層242Bの上に、絶縁膜254Aを成膜する（図6参照。）。

[0241]

絶縁膜254Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁膜254Aは、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、スパッタリング法またはALD法によって、酸化アルミニウム、窒化シリコン、酸化シリコン、または酸化ガリウムを成膜する。また、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜してもよい。

[0242]

次に、絶縁膜254A上に、絶縁体280となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、当該絶縁膜として、CVD法、またはスパッタリング法によって酸化シリコン膜を成膜する。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁膜254Aの表面などに吸着している水分および水素を除去し、さらに酸化物230a、酸化物230b、および絶縁体224中の水分濃度および水素濃度を低減させることができる。上述した加熱処理条件を用いることができる。

[0243]

また、上記絶縁膜は、多層構造としてもよい。例えば、スパッタリング法によって酸化シリコン膜を成膜し、当該酸化シリコン膜上に、CVD法によって酸化シリコン膜を成膜する構造としてもよい。

[0244]

次に、上記絶縁膜にCMP処理を行い、上面が平坦な絶縁体280を形成する（図6参照。）。

[0245]

ここで、マイクロ波処理を行ってもよい。マイクロ波処理は、酸素を含む雰囲気下、および減圧下にて行うことが好ましい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁体280、酸化物230b、酸化物230aなどに与えられ、酸化物230b、および酸化物230a中の V_OH を酸素欠損(V_O)と水素(H)に分断することができる。この時分断された水素の一部は、絶縁体280が有する酸素と結合して、水分子として除去される場合がある。また、水素の一部は、絶縁膜254Aを介して、導電体242にゲッターリングされる場合がある。

[0246]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁体280、酸化物230b、および酸化物230a中の水素を効率よく除去することができる。なお、加熱処理温度は、300℃以上、500℃以下とすることが好ましい。

[0247]

また、マイクロ波処理を行うことにより、絶縁体280の膜質を改質することで、水素、水、不純物などの拡散を抑制することができる。したがって、絶縁体280形成以降の後工程、または熱処理などにより、絶縁体280を介して、水素、水、不純物などが、酸化物230へ拡散することを抑制することができる。

[0248]

次に、絶縁体280の一部、絶縁膜254Aの一部、および導電層242Bの一部を加工して、酸化物230bに達する開口を形成する。当該開口は、導電体205と重なるように形成することが好ましい。当該開口の形成によって、絶縁体254、導電体242a、および導電体242bを形成する（図7参照。）。

[0249]

このとき、当該開口と重なる領域の酸化物230bを薄膜化することが好ましい。当該領域の膜減り量は、図3Bに示す L_c に相当する。当該領域の酸化物230bを薄膜化することで、チャネル形成領域の上面近傍に低抵抗領域が形成されるのを抑制し、寄生チャネルの発生を抑制することが

できる。よって、寄生チャネルに起因するトランジスタ特性のばらつきを抑制することができる。

[0250]

また、当該開口と重なる領域の酸化物230bの側面の一部を除去することが好ましい。当該領域の膜減り量は、図3Bに示すWeに相当する。これにより、チャネル形成領域の側面近傍に低抵抗領域が形成されるのを抑制し、寄生チャネルの発生を抑制することができる。よって、寄生チャネルに起因するトランジスタ特性のばらつきを抑制することができる。

[0251]

また、絶縁体280の一部、絶縁膜254Aの一部、および導電層242Bの一部の加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体280の一部をドライエッチング法で加工し、絶縁膜254Aの一部をウェットエッチング法で加工し、導電層242Bの一部をドライエッチング法で加工してもよい。

[0252]

ここで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することが好ましい。当該不純物としては、絶縁体280、絶縁膜254A、および導電層242Bに含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

[0253]

上記の不純物などを除去するために、洗浄処理を行ってもよい。洗浄方法としては、洗浄液などを用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせて行ってもよい。

[0254]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。また、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。また、これらの洗浄を適宜組み合わせて行ってもよい。

[0255]

次に加熱処理を行ってもよい。当該加熱処理は、酸素を含む雰囲気下で行うと好適である。また、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜230Cを成膜してもよい（図8参照。）。このような処理を行うことによって、酸化物230bの表面などに吸着している水分および水素を除去し、さらに酸化物230aおよび酸化物230b中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

[0256]

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜230Cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $In:Ga:Zn=4:2:4.1$ [原子数比]の酸化物ターゲットを用いて成膜する。

[0257]

なお、酸化膜 230C は、積層としてもよい。例えば、スパッタリング法によって、In : Ga : Zn = 4 : 2 : 4.1 [原子数比] の酸化物ターゲットを用いて成膜して、連続して In : Ga : Zn = 1 : 3 : 4 [原子数比] の酸化物ターゲットを用いて成膜してもよい。

[0258]

酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物 230a および酸化物 230b に供給される場合がある。または、酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 280 に供給される場合がある。したがって、酸化膜 230C のスパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

[0259]

次に加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250A を成膜してもよい（図 8 参照。）。このような処理を行うことによって、酸化膜 230C の表面などに吸着している水分および水素を除去し、さらに酸化物 230a、酸化物 230b、および酸化膜 230C 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃ 以上 400℃ 以下が好ましい。

[0260]

絶縁膜 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。本実施の形態では、絶縁膜 250A として、CVD 法により、酸化窒化シリコンを成膜する。なお、絶縁膜 250A を成膜する際の成膜温度は、350℃ 以上 450℃ 未満、特に 400℃ 前後とすることが好ましい。絶縁膜 250A を、400℃ で成膜することで、不純物が少ない絶縁膜を成膜することができる。

[0261]

なお、絶縁体 250 を 2 層の積層構造とする場合、絶縁体 250 の下層となる絶縁膜および絶縁体 250 の上層となる絶縁膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、絶縁体 250 の下層となる絶縁膜、および絶縁体 250 の上層となる絶縁膜上に大気環境からの不純物または水分が付着することを防ぐことができ、絶縁体 250 の下層となる絶縁膜と絶縁体 250 の上層となる絶縁膜との界面近傍を清浄に保つことができる。

[0262]

ここで、絶縁膜 250A を成膜後に、酸素を含む雰囲気下、および減圧下にて、マイクロ波処理を行ってもよい。マイクロ波処理を行うことにより、マイクロ波による電界が絶縁膜 250A、酸化膜 230C、酸化物 230b、酸化物 230a などに与えられ、酸化膜 230C 中、酸化物 230b 中、および酸化物 230a 中の V_OH を V_O と水素とに分断することができる。この時分断された水素の一部は、酸素と結合して H_2O として、絶縁膜 250A、酸化膜 230C、酸化物 230b、および酸化物 230a から除去される場合がある。また、水素の一部は、導電体 242（導電体 242a、および導電体 242b）にゲッタリングされる場合がある。このように、マイクロ波処理を行うことで、絶縁膜 250A 中、酸化膜 230C 中、酸化物 230b 中、および酸化物 230a 中の水素濃度を低減することができる。また、酸化物 230a 中、酸化物 230b 中、および酸化膜 230C 中の V_OH を V_O と水素とに分断した後に存在する V_O に酸素が供給されることで V_O を修復または補填することができる。

[0263]

また、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜250A中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素を効率よく除去することができる。また、水素の一部は、導電体242（導電体242a、および導電体242b）にゲッターリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返して行うことで、絶縁膜250A中、酸化膜230C中、酸化物230b中、および酸化物230a中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、300℃以上500℃以下とすることが好ましい。

[0264]

また、マイクロ波処理を行うことにより、絶縁膜250Aの膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体260となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体250を介して、水素、水、不純物等が、酸化物230b、酸化物230aなどへ拡散することを抑制することができる。

[0265]

次に、導電膜260A、導電膜260Bを順に成膜する（図9参照。）。導電膜260Aおよび導電膜260Bの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、ALD法を用いて、導電膜260Aを成膜し、CVD法を用いて導電膜260Bを成膜する。

[0266]

次に、CMP処理によって、酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bを絶縁体280が露出するまで研磨することによって、酸化物230c、絶縁体250、および導電体260（導電体260a、および導電体260b）を形成する（図10参照。）。これにより、酸化物230cは、酸化物230bに達する開口の内壁（側壁、および底面）を覆うように配置される。また、絶縁体250は、酸化物230cを介して、上記開口の内壁を覆うように配置される。また、導電体260は、酸化物230c、および絶縁体250を介して、上記開口を埋め込むように配置される。

[0267]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。該加熱処理によって、絶縁体250および絶縁体280中の水分濃度および水素濃度を低減させることができる。

[0268]

次に、酸化物230c上、絶縁体250上、導電体260上、および絶縁体280上に、絶縁体282を形成する（図11参照。）。絶縁体282の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体282としては、例えば、スパッタリング法によって、酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いて、酸素を含む雰囲気で絶縁体282の成膜を行うことで、成膜しながら、絶縁体280に酸素を添加することができる。このとき、基板加熱を行いながら、絶縁体282を成膜することが好ましい。また、導電体260の上面に接して、絶縁体282を形成することで、この後の加熱処理において、絶縁体280が有する酸素が導電体260へ吸収されることを抑制することができるので好ましい。

[0269]

次に、絶縁体 282 上に絶縁体 283 を成膜する（図 11 参照。）。絶縁体 283 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 283 として、窒化シリコン、または窒化酸化シリコンを成膜することが好ましい。

[0270]

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて 400℃の温度で 1 時間の処理を行う。当該加熱処理によって、絶縁体 282 の成膜によって添加された酸素を絶縁体 280 へ拡散させ、さらに酸化物 230c を介して、酸化物 230a、および酸化物 230b へ供給することができる。なお、当該加熱処理は、絶縁体 283 の成膜後に限らず、絶縁体 282 の成膜後に行ってもよい。

[0271]

次に絶縁体 283 上に、絶縁体 274 を成膜してもよい。絶縁体 274 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

[0272]

次に絶縁体 274 上に、絶縁体 281 を成膜してもよい。絶縁体 281 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 281 としては、例えば、スパッタリング法によって、窒化シリコンを成膜することが好ましい。

[0273]

次に、絶縁体 254、絶縁体 280、絶縁体 282、絶縁体 283、絶縁体 274、および絶縁体 281 に、導電体 242a および導電体 242b に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

[0274]

次に、絶縁体 241（絶縁体 241a、および絶縁体 241b）となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体 241 を形成する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。当該絶縁体 241 となる絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、PEALD 法を用いて、窒化シリコンを成膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

[0275]

また、絶縁体 241 となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体 241 を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体 240a および導電体 240b の酸化を防止することができる。また、導電体 240a および導電体 240b から、水、水素などの不純物が外部に拡散することを防ぐことができる。

[0276]

次に、導電体 240a および導電体 240b となる導電膜を成膜する。当該導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、と、の積層とすることができる。当該導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。

[0277]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体281を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる（図1参照。）。なお、当該CMP処理により、絶縁体281の一部が除去される場合がある。

[0278]

次に、導電体246となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0279]

次に、導電体246となる導電膜をリソグラフィ法によって加工し、導電体240aの上面と接する導電体246a、および導電体240bの上面と接する導電体246bを形成する（図1参照。）。

[0280]

以上により、図1に示すトランジスタ200を有する半導体装置を作製することができる。図4乃至図11に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。

[0281]

<半導体装置の変形例>

以下では、図12および図13を用いて、本発明の一態様である半導体装置の一例について説明する。

[0282]

[半導体装置の変形例1]

図12Aは半導体装置の上面図を示す。また、図12Bは、図12Aに示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、図12Cは、図12AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図12Dは、図12AにA5-A6の一点鎖線で示す部位に対応する断面図である。図12Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0283]

なお、図12に示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0284]

図12に示す半導体装置は、図1に示した半導体装置の変形例である。図12に示す半導体装置は、図1に示した半導体装置とは、絶縁体283の形状が異なる。また、酸化物243（酸化物243a、および酸化物243b）を有することが異なる。また、酸化物230c、絶縁体254のそれぞれを、2層の積層構造として設ける構成について示している。

[0285]

図12に示す半導体装置では、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体254、絶縁体280、および絶縁体282がパターンニングされており、絶縁体283がこれらを覆う構造になっている。つまり、絶縁体283は、絶縁体282の上面および側面と、絶縁体280の側面と、絶縁体254の側面と、絶縁体224の側面と、絶縁体222の側面と、絶縁体216の側面と、絶縁体214の側面と、絶縁体212の上面に接する。これにより、酸化物230

などを含む、絶縁体 214、絶縁体 216、絶縁体 222、絶縁体 224、絶縁体 254、絶縁体 280、および絶縁体 282は、絶縁体 283と絶縁体 212によって、外部から隔離される。別言すると、トランジスタ 200は、絶縁体 283と絶縁体 212とで封止された領域内に配置される。

[0286]

絶縁体 212および絶縁体 283は、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体 212および絶縁体 283としては、より水素バリア性が高い、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。

[0287]

上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。

[0288]

また、図 12に示すトランジスタ 200では、絶縁体 212、絶縁体 214、絶縁体 283を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体 212、絶縁体 214、絶縁体 283を 2層以上の積層構造として設ける構成にしてもよい。

[0289]

また、図 12に示すトランジスタ 200は、導電体 242（導電体 242a、および導電体 242b）と、酸化物 230との間に、酸素の透過を抑制する機能を有する酸化物 243（酸化物 243a、および酸化物 243b）を有する。ソース電極やドレイン電極として機能する導電体 242と酸化物 230bとの間に酸素の透過を抑制する機能を有する酸化物 243を配置することで、導電体 242と、酸化物 230bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 200の電気特性およびトランジスタ 200の信頼性を向上させることができる。

[0290]

酸化物 243として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 243は、酸化物 230bよりも元素Mの濃度が高いことが好ましい。また、酸化物 243として、酸化ガリウムを用いてもよい。また、酸化物 243として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 243に用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物 230bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物 243の膜厚は、0.5nm以上5nm以下が好ましく、より好ましくは1nm以上3nm以下、さらに好ましくは1nm以上2nm以下である。また、酸化物 243は、結晶性を有すると好ましい。酸化物 243が結晶性を有する場合、酸化物 230中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 243としては、六方晶などの結晶構造であれば、酸化物 230中の酸素の放出を抑制できる場合がある。

[0291]

なお、トランジスタ 200のチャネル長方向の断面視において、導電体 260と重なる領域の酸化物 230cの下面は、酸化物 243（酸化物 243a、および酸化物 243b）の下面と同程度、または、酸化物 243（酸化物 243a、および酸化物 243b）の下面よりも低いことが好まし

い。このような形状にすることで、酸化物 230b と酸化物 230c との界面近傍の不純物を除去し、領域 234 の上面近傍に形成される低抵抗領域を低減することができる。例えば、トランジスタ 200 のチャネル長方向の断面視において、絶縁体 224 の下面を基準としたとき、酸化物 243 の下面の高さと、導電体 260 と重なる領域の酸化物 230c の下面の高さと、の差は、0nm 以上 10nm 以下、好ましくは 0nm 以上 5nm 以下、さらに好ましくは 0nm 以上 3nm 以下とする。

[0292]

また、図 12 に示すトランジスタ 200 では、酸化物 230c は、酸化物 230c1 と酸化物 230c2 とを積層する構成について示している。

[0293]

酸化物 230c2 は、酸化物 230c1 に用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。例えば、酸化物 230c1 として、In-Ga-Zn 酸化物または In-Zn 酸化物を用い、酸化物 230c2 として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、または酸化ガリウムを用いるとよい。これにより、酸化物 230c1 と酸化物 230c2 との界面における欠陥準位密度を低くすることができる。

[0294]

また、酸化物 230a および酸化物 230c2 の伝導帯下端が、酸化物 230b および酸化物 230c1 の伝導帯下端より真空準位に近いことが好ましい。言い換えると、酸化物 230a および酸化物 230c2 の電子親和力は、酸化物 230b および酸化物 230c1 の電子親和力より小さいことが好ましい。この場合、酸化物 230c2 は、酸化物 230a に用いることができる金属酸化物を用い、酸化物 230c1 は、酸化物 230b に用いることができる金属酸化物を用いることが好ましい。このとき、キャリアの主たる経路は酸化物 230b だけでなく、酸化物 230c1 もキャリアの主たる経路となる場合がある。酸化物 230b に用いることができる金属酸化物を酸化物 230c1 に用いることで、チャネル形成領域の上面における実効チャネル長が大きくなるのを抑制し、トランジスタ 200 のオン電流の低下を抑制することができる。

[0295]

具体的には、酸化物 230c1 として、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] もしくは $\text{In}:\text{Ga}:\text{Zn}=5:1:6$ [原子数比] の金属酸化物、または In-Zn 酸化物を用い、酸化物 230c2 として、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比]、 $\text{Ga}:\text{Zn}=2:1$ [原子数比]、 $\text{Ga}:\text{Zn}=2:5$ [原子数比] または酸化ガリウムの金属酸化物を用いればよい。

[0296]

また、酸化物 230c2 は、酸化物 230c1 より、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体 250 と酸化物 230c1 との間に酸化物 230c2 を設けることで、絶縁体 280 に含まれる酸素が、絶縁体 250 に拡散するのを抑制することができる。したがって、当該酸素は、酸化物 230c1 を介して、酸化物 230b に効率的に供給することができる。

[0297]

また、酸化物 230c2 に用いる金属酸化物において、主成分である金属元素に対する In の原子数比が、酸化物 230c1 に用いる金属酸化物における、主成分である金属元素に対する In の原子数比より小さくすることで、In が絶縁体 250 側に拡散するのを抑制することができる。絶縁体 250 は、ゲート絶縁体として機能するため、In が絶縁体 250 などに混入した場合、トラン

ジスタの特性不良となる。したがって、酸化物230c1と絶縁体250との間に酸化物230c2を設けることで、信頼性の高い半導体装置を提供することが可能となる。

[0298]

なお、酸化物230c1は、トランジスタ200毎に設けてもよい。つまり、トランジスタ200の酸化物230c1と、当該トランジスタ200に隣接するトランジスタ200の酸化物230c1とは、接しなくてもよい。また、トランジスタ200の酸化物230c1と、当該トランジスタ200に隣接するトランジスタ200の酸化物230c1と、を、離隔してもよい。別言すると、酸化物230c1が、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない構成としてもよい。

[0299]

複数のトランジスタ200がチャネル幅方向に配置されている半導体装置において、上記構成にすることで、トランジスタ200に酸化物230cがそれぞれ独立して設けられる。よって、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に、寄生トランジスタが生じるのを抑制し、上記リークパスが生じるのを抑制することができる。したがって、良好な電気特性を有し、かつ、微細化または高集積化が可能な半導体装置を提供することができる。

[0300]

例えば、トランジスタ200のチャネル幅方向において、互いに向かい合う、トランジスタ200の酸化物230c1の側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230c1の側端部との距離を L_1 として表すと、 L_1 を0nmよりも大きくする。また、トランジスタ200のチャネル幅方向において、互いに向かい合う、トランジスタ200の酸化物230aの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230aの側端部との距離を L_2 として表すと、 L_2 に対する L_1 の比(L_1/L_2)の値は、好ましくは0より大きく1未満、より好ましくは0.1以上0.9以下、さらに好ましくは0.2以上0.8以下である。なお、 L_2 は、互いに向かい合う、トランジスタ200の酸化物230bの側端部と、当該トランジスタ200に隣接するトランジスタ200の酸化物230bの側端部との距離であってもよい。

[0301]

上記の L_2 に対する L_1 の比(L_1/L_2)を小さくすることで、酸化物230c1が、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間に配置されない領域の位置ずれが生じてても、トランジスタ200の酸化物230c1と、当該トランジスタ200に隣接するトランジスタ200の酸化物230c1と、を、離隔することができる。

[0302]

また、上記の L_2 に対する L_1 の比(L_1/L_2)を大きくすることで、トランジスタ200と、当該トランジスタ200に隣接するトランジスタ200との間隔を狭めても、最小加工寸法の幅を確保することができ、半導体装置のさらなる微細化または高集積化を図ることができる。

[0303]

なお、導電体260、絶縁体250、酸化物230c2のそれぞれは、隣接するトランジスタ200間で共通して用いられてもよい。つまり、トランジスタ200の導電体260は、当該トランジスタ200に隣接するトランジスタ200の導電体260と連続して設けられた領域を有する。また、トランジスタ200の絶縁体250は、当該トランジスタ200に隣接するトランジスタ200の絶縁体250と連続して設けられた領域を有する。また、トランジスタ200の酸化物230

c 2は、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230 c 2 と連続して設けられた領域を有する。

[0304]

また、上記構成とすることで、酸化物 230 c 2 は、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、絶縁体 224 に接する領域を有する。

[0305]

なお、酸化物 230 c 1 と同様に、トランジスタ 200 の酸化物 230 c 2 と、当該トランジスタ 200 に隣接するトランジスタ 200 の酸化物 230 c 2 と、は、離隔してもよい。このとき、絶縁体 250 は、トランジスタ 200 と、当該トランジスタ 200 に隣接するトランジスタ 200 との間に、絶縁体 224 に接する領域を有する。

[0306]

また、図 12 に示すトランジスタ 200 では、絶縁体 254 は、絶縁体 254 a と絶縁体 254 b とを積層する構成について示している。なお、絶縁体 254 a および絶縁体 254 b の材料、成膜方法などの説明は、＜半導体装置の詳細な構成＞に記載の、絶縁体 254 の下層および絶縁体 254 の上層の説明をそれぞれ参酌できる。

[0307]

また、絶縁体 254 を設けず、導電体 242 の上面と絶縁体 280 との間に、バリア層として機能する絶縁体を設けてもよい。当該構成にすることで、導電体 242 による、絶縁体 280 が有する過剰酸素の吸収を抑制することができる。また、導電体 242 の酸化を抑制することで、トランジスタ 200 と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ 200 に良好な電気特性および信頼性を与えることができる。

[0308]

したがって、上記絶縁体は、酸素の拡散を抑制する機能を有することが好ましい。例えば、上記絶縁体は、絶縁体 280 よりも酸素の拡散を抑制する機能を有することが好ましい。

[0309]

上記絶縁体としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。特に、ALD法により酸化アルミニウムを成膜するとよい。ALD法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える膜を形成することができる。また、上記絶縁体としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

[0310]

[半導体装置の変形例 2]

図 13 A および図 13 B に、複数のトランジスタ（トランジスタ 200__1 乃至トランジスタ 200__n）を、絶縁体 283、および絶縁体 212 で、包括して封止した構成について示す。なお、図 13 A および図 13 B において、トランジスタ 200__1 乃至トランジスタ 200__n は、チャネル長方向に並んでいるように見えるが、これにかぎられるものではない。トランジスタ 200__1 乃至トランジスタ 200__n は、チャネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよいし、規則性を持たずに配置されていてもよい。

[0311]

図 13 A に示すように、複数のトランジスタ（トランジスタ 200__1 乃至トランジスタ 200__

n)の外側において、絶縁体283と絶縁体212が接する部分(以下、封止部265と呼ぶ場合がある。)が形成されている。封止部265は、当該複数のトランジスタ(トランジスタ群ともいう。)を囲むように形成されている。このような構成にすることで、複数のトランジスタを絶縁体283、および絶縁体212で包み込むことができる。つまり、複数のトランジスタの、四方の側面と上方を絶縁体283および絶縁体281が、下方を絶縁体212が包み込むことができる。このように、封止部265に囲まれたトランジスタ群が、基板上に複数設けられることになる。

[0312]

ここで、封止部265と当該封止部265に最近接の酸化物230との距離は、短いことが好ましい。例えば、封止部265と当該封止部265に最近接の酸化物230の距離は、 $1\mu\text{m}$ 以下が好ましく、 500nm 以下がより好ましい。このような構成にすることで、絶縁体283などに封止される絶縁体280の体積を小さくすることができるので、絶縁体280に含まれる水素の量を低減することができる。

[0313]

また、封止部265に重ねてダイシングライン(スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある)を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部265に囲まれたトランジスタ群が1チップとして取り出されることになる。

[0314]

また、図13Aでは、複数のトランジスタ(トランジスタ200__1乃至トランジスタ200__n)を一つの封止部265で囲む例について示したが、これに限られるものではない。図13Bに示すように、複数のトランジスタ(トランジスタ200__1乃至トランジスタ200__n)を複数の封止部で囲む構成にしてもよい。図13Bでは、当該複数のトランジスタを封止部265aで囲み、さらに外側の封止部265bでも囲む構成にしている。

[0315]

このように、複数の封止部で複数のトランジスタを囲む構成にすることで、絶縁体283と絶縁体212が接する部分が増えるので、絶縁体283と絶縁体212の密着性をより向上させることができる。これにより、より確実に当該複数のトランジスタを封止することができる。

[0316]

この場合、封止部265aまたは封止部265bに重ねてダイシングラインを設けてもよいし、封止部265aと封止部265bの間にダイシングラインを設けてもよい。

[0317]

なお、図13Aおよび図13Bにおいて、絶縁体212は、絶縁体212の下層と絶縁体212の上層とを積層する構成について示している。例えば、絶縁体212の下層としてPECVD法によって窒化シリコンを成膜し、絶縁体212の上層としてスパッタリング法によって窒化シリコンを成膜する。これにより絶縁体212の下層を、絶縁体212の上層より速いレートで成膜できるので、生産性を向上させることができる。また、絶縁体212の下層よりも酸化物230の近くに配置される絶縁体212の上層の水素濃度を、絶縁体212の下層より低減することができる。このように、絶縁体212として、窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより絶縁体212より下層(図示せず。)から水、水素などの不純物の拡散を抑制することができる。また、絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体212より下層の導電体に銅など拡散しやすい金属を用いても、当該金属

が絶縁体 2 1 2 を介して上方に拡散するのを抑制することができる。

[0318]

なお、上記構成に限られることなく、絶縁体 2 1 2 の下層または絶縁体 2 1 2 の上層のいずれか一方を設けた単層構造にしてもよい。また、図 1 3 および (B) などにおいて、絶縁体 2 1 4 を設ける構造にしているが、これに限られることなく、絶縁体 2 1 4 を設けない構造にしてもよい。

[0319]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0320]

以上、本実施の形態に示す構成、方法などは、他の実施の形態、実施例などに示す構成、方法などと適宜組み合わせる用いることができる。

[0321]

(実施の形態 2)

本実施の形態では、半導体装置の一形態を、図 1 4 および図 1 5 を用いて説明する。

[0322]

[記憶装置 1]

本発明の一態様である半導体装置（記憶装置）の一例を図 1 4 に示す。本発明の一態様の半導体装置は、トランジスタ 2 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子 1 0 0 はトランジスタ 3 0 0、およびトランジスタ 2 0 0 の上方に設けられている。なお、トランジスタ 2 0 0 として、先の実施の形態で説明したトランジスタ 2 0 0 を用いることができる。よって、トランジスタ 2 0 0、およびトランジスタ 2 0 0 を含む層については、先の実施の形態の記載を参酌することができる。

[0323]

トランジスタ 2 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 2 0 0 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0324]

図 1 4 に示す半導体装置において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 の第 1 のゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。

[0325]

また、図14に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0326]

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0327]

ここで、図14に示すトランジスタ300はチャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0328]

なお、図14に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0329]

<容量素子100>

容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110と、第2の電極として機能する導電体120と、誘電体として機能する絶縁体130とを有する。

[0330]

また、例えば、導電体240上に設けた導電体112と、導電体110は、同時に形成することができる。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

[0331]

図14では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0332]

また、絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0333]

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（h i g

h-k) 材料との積層構造を用いることが好ましい。当該構成により、容量素子100は、高誘電率(high-k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0334]

なお、高誘電率(high-k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。

[0335]

一方、絶縁耐力が大きい材料(低い比誘電率の材料)としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。

[0336]

<配線層>

各構造体の間には、層間膜、配線、プラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0337]

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

[0338]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されていてもよい。

[0339]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図14において、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

[0340]

同様に、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、トランジスタ200を構成する導電体(導電体205)等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。さらに、導電体120、および絶縁体130上には、絶縁体150が設けられている。

[0341]

ここで、上記実施の形態に示す絶縁体241と同様に、プラグとして機能する導電体218の側面に接して絶縁体217が設けられる。絶縁体217は、絶縁体210、絶縁体212、絶縁体214、および絶縁体216に形成された開口の内壁に接して設けられている。つまり、絶縁体217は、導電体218と、絶縁体210、絶縁体212、絶縁体214、および絶縁体216と、の間に設けられている。なお、導電体205は導電体218と並行して形成することができるので、導電体205の側面に接して絶縁体217が形成される場合もある。

[0342]

絶縁体217としては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体217は、絶縁体210、絶縁体212、絶縁体214、絶縁体216、および絶縁体222に接して設けられるので、絶縁体210、絶縁体216などに含まれる水、水素などの不純物が、導電体218を通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体210または絶縁体216に含まれる酸素が導電体218に吸収されるのを防ぐことができる。

[0343]

絶縁体217は、絶縁体241と同様の方法で形成することができる。例えば、PEALD法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体356に達する開口を形成すればよい。

[0344]

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0345]

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0346]

例えば、絶縁体150、絶縁体210、絶縁体352、絶縁体354等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。

[0347]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体214、絶縁体212、絶縁体350等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0348]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコン、窒化シリコンなどを用いることができる。

[0349]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0350]

例えば、導電体328、導電体330、導電体356、導電体218、導電体112等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0351]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体を設けることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0352]

例えば、図14では、過剰酸素を有する絶縁体224および絶縁体280と、導電体240との間に、絶縁体241を設けるとよい。絶縁体241と、絶縁体222、および絶縁体254とが接して設けられることで、絶縁体224、およびトランジスタ200は、バリア性を有する絶縁体により、封止する構造とすることができる。さらに、絶縁体241は、絶縁体280の一部とも接することが好ましい。絶縁体241が、絶縁体274まで延在していることで、酸素や不純物の拡散を、より抑制することができる。

[0353]

つまり、絶縁体241を設けることで、絶縁体224および絶縁体280が有する過剰酸素が、導電体240に吸収されることを抑制することができる。また、絶縁体241を有することで、不純物である水素が、導電体240を介して、トランジスタ200へ拡散することを抑制することができる。

[0354]

なお、絶縁体241としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化タンタルなどの金属酸化物などを用いることができる。

[0355]

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。また、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。また、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。また、消費電力が低減された半導体装置を提供することができる。

[0356]

[記憶装置2]

本発明の一態様である半導体装置を使用した、記憶装置の一例を図15に示す。図15に示す記憶装置は、図14で示したトランジスタ200、トランジスタ300、および容量素子100を有する半導体装置に加え、トランジスタ400を有している。

[0357]

トランジスタ400は、トランジスタ200の第2のゲート電圧を制御することができる。例えば、トランジスタ400の第1のゲートおよび第2のゲートをソースとダイオード接続し、トランジスタ400のソースと、トランジスタ200の第2のゲートを接続する構成とする。当該構成でトランジスタ200の第2のゲートの負電位を保持するとき、トランジスタ400の第1のゲートソース間の電圧および、第2のゲートソース間の電圧は、0Vになる。トランジスタ400において、第2のゲート電圧および第1のゲート電圧が0Vのときのドレイン電流が非常に小さいため、トランジスタ200およびトランジスタ400に電源供給をしなくても、トランジスタ200の第2のゲートの負電位を長時間維持することができる。これにより、トランジスタ200、およびトランジスタ400を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

[0358]

従って、図15において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400の第1のゲートと電氣的に接続され、配線1009はトランジスタ400の第2のゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、及び配線1009が電氣的に接続されている。

[0359]

また、図15に示す記憶装置は、図14に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1個のトランジスタ400は、複数のトランジスタ200の第2のゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

[0360]

<トランジスタ400>

トランジスタ400は、トランジスタ200と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、第1のゲートとして機能する導電体460（導電体460a、および導電体460b）と、第2のゲートとして機能する導電体405と、ゲート絶縁層として機能する絶縁体222、絶縁体224、および絶縁体450と、チャネル形成領域を有する酸化物430cと、ソースとして機能する導電体442a、酸化物431a、および酸化物431bと、ドレインとして機能する導電体442b、酸化物432a、および酸化物432bと、プラグとして機能する導電体440（導電体440a、および導電体440b）と、および導電体440のバリア絶縁膜として機能する絶縁体441（絶縁体441a、および絶縁体441b）と、を有する。

[0361]

導電体405と、導電体205とは、同じ層に形成される。酸化物431a、および酸化物432aと、酸化物230aとは、同じ層に形成され、酸化物431b、および酸化物432bと、酸化物230bとは、同じ層に形成される。導電体442a、および導電体442bと、導電体242とは、同じ層に形成される。酸化物430cと、酸化物230cとは、同じ層に形成される。絶縁体450と、絶縁体250とは、同じ層に形成される。導電体460と、導電体260とは、同じ層に形成される。導電体440と、導電体240とは、同じ層に形成される。絶縁体441と、絶縁体241とは、同じ層に形成される。

[0362]

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物430cは、酸化物230cとなる酸化膜を加工することで、形成することができる。

[0363]

トランジスタ400の活性層として機能する酸化物430cは、酸化物230などと同様に、酸素欠損が低減され、水素、水などの不純物が低減されている。これにより、トランジスタ400のしきい値電圧を0Vより大きくし、オフ電流を低減し、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流を非常に小さくすることができる。

[0364]

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライプライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

[0365]

ここで、例えば、図 15 に示すように、絶縁体 254 と、絶縁体 222 とが接する領域をダイシングラインとなるように設計することが好ましい。つまり、複数のトランジスタ 200 を有するメモリセル、およびトランジスタ 400 の外縁に設けられるダイシングラインとなる領域近傍において、絶縁体 224 に開口を設ける。また、絶縁体 224 の側面を覆うように、絶縁体 254 を設ける。

[0366]

つまり、上記絶縁体 224 に設けた開口において、絶縁体 222 と、絶縁体 254 とが接する。例えば、このとき、絶縁体 222 と、絶縁体 254 とを、同材料および同方法を用いて形成してもよい。絶縁体 222 と、絶縁体 254 とを、同材料および同方法で設けることで、密着性を高めることができる。例えば、酸化アルミニウムを用いることが好ましい。

[0367]

当該構造により、絶縁体 222、および絶縁体 254 で、絶縁体 224、トランジスタ 200、およびトランジスタ 400 を包み込むことができる。絶縁体 222、および絶縁体 254 は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素、水などの不純物が混入し、トランジスタ 200、およびトランジスタ 400 に拡散することを防ぐことができる。

[0368]

また、当該構造により、絶縁体 224 の過剰酸素が絶縁体 254、および絶縁体 222 を介して外部に拡散することを防ぐことができる。従って、絶縁体 224 の過剰酸素は、効率的にトランジスタ 200、またはトランジスタ 400 におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ 200、またはトランジスタ 400 におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ 200、またはトランジスタ 400 におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 200、またはトランジスタ 400 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0369]

本実施の形態に示す構成、方法などは、他の実施の形態、実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0370]

(実施の形態 3)

本実施の形態では、図 16 および図 17 を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OS トランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OS メモリ装置と呼ぶ場合がある。）について説明する。OS メモリ装置は、少なくとも容量素子と、容量素子の充放電を制御する OS トランジスタを有する記憶装置である。OS トランジスタのオフ電流は極めて小さいので、OS メモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0371]

<記憶装置の構成例>

図 16 A に OS メモリ装置の構成の一例を示す。記憶装置 1400 は、周辺回路 1411、およびメモリセルアレイ 1470 を有する。周辺回路 1411 は、行回路 1420、列回路 1430、出

力回路1440、およびコントロールロジック回路1460を有する。

[0372]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0373]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0374]

コントロールロジック回路1460は、外部から入力される制御信号(CE、WE、RE)を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0375]

メモリセルアレイ1470は、行列状に配置された、複数個のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

[0376]

なお、図16Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図16Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

[0377]

図17に上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0378]

[DOSRAM]

図17A乃至図17Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1O Sトランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)と呼ぶ場合がある。図17Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を

有する。なお、トランジスタM1は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0379]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

[0380]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0381]

ここで、図17Aに示すメモリセル1471は、図14に示す記憶装置に対応している。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量素子100に、配線BILは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に対応している。なお、図14に記載のトランジスタ300は、図16Bに示す記憶装置1400の周辺回路1411に設けられるトランジスタに対応する。

[0382]

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図17Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図17Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0383]

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0384]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0385]

[NOSRAM]

図17D乃至図17Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図17Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM（Nonvolatile Oxide Semiconductor RAM）と呼ぶ場合がある。

[0386]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0387]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0388]

ここで、図17Dに示すメモリセル1474は、図15に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に、配線RBLは配線1001に、配線SLは配線1002に対応している。

[0389]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図17Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図17Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図17Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0390]

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレ

ッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0391]

なお、トランジスタM3は、チャンネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャンネル型としてもよいし、pチャンネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0392]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0393]

また、図17Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図17Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0394]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0395]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャンネル型Siトランジスタまたはpチャンネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい、この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0396]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

[0397]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

[0398]

また、本明細書等に示すトランジスタは、ダブルゲート型のトランジスタであってもよい。図18Aに、ダブルゲート型のトランジスタ1500Aの回路記号例を示す。

[0399]

トランジスタ1500Aは、トランジスタTr1とトランジスタTr2を直列に接続した構成を有する。図18Aでは、トランジスタTr1のソースまたはドレインの一方が端子Sと電氣的に接続され、トランジスタTr1のソースまたはドレインの他方がトランジスタTr2のソースまたはドレインの一方と電氣的に接続され、トランジスタTr2のソースまたはドレインの他方が端子Dと電氣的に接続されている状態を示している。また、図18Aでは、トランジスタTr1とトランジスタTr2のゲートが電氣的に接続され、かつ、端子Gと電氣的に接続されている状態を示している。

[0400]

図18Aに示すトランジスタ1500Aは、端子Gの電位を変化させることで端子Sと端子D間を導通状態または非導通状態に切り替える機能を有する。よって、ダブルゲート型のトランジスタであるトランジスタ1500Aは、トランジスタTr1とトランジスタTr2を内在するもの、1つのトランジスタとして機能する。すなわち、図18Aにおいて、トランジスタ1500Aのソースまたはドレインの一方は端子Sと電氣的に接続され、ソースまたはドレインの他方は端子Dと電氣的に接続され、ゲートは端子Gと電氣的に接続されていると言える。

[0401]

また、本明細書等に示すトランジスタは、トリプルゲート型のトランジスタであってもよい。図18Bに、トリプルゲート型のトランジスタ1500Bの回路記号例を示す。

[0402]

トランジスタ1500Bは、トランジスタTr1、トランジスタTr2、およびトランジスタTr3を直列に接続した構成を有する。図18Bでは、トランジスタTr1のソースまたはドレインの一方が端子Sと電氣的に接続され、トランジスタTr1のソースまたはドレインの他方がトランジスタTr2のソースまたはドレインの一方と電氣的に接続され、トランジスタTr2のソースまたはドレインの他方がトランジスタTr3のソースまたはドレインの一方と電氣的に接続され、トランジスタTr3のソースまたはドレインの他方が端子Dと電氣的に接続されている状態を示している。また、図18Bでは、トランジスタTr1、トランジスタTr2、およびトランジスタTr3のゲートが電氣的に接続され、かつ、端子Gと電氣的に接続されている状態を示している。

[0403]

図18Bに示すトランジスタ1500Bは、端子Gの電位を変化させることで端子Sと端子D間を導通状態または非導通状態に切り替える機能を有する。よって、トリプルゲート型のトランジスタであるトランジスタ1500Bは、トランジスタTr1、トランジスタTr2、およびトランジスタTr3を内在するもの、1つのトランジスタとして機能する。すなわち、図18Bにおいて、トランジスタ1500Bのソースまたはドレインの一方は端子Sと電氣的に接続され、ソースまたはドレインの他方は端子Dと電氣的に接続され、ゲートは端子Gと電氣的に接続されていると言える。

[0404]

トランジスタ1500Aおよびトランジスタ1500Bのように、複数のゲートを有し、かつ、複数のゲートが電氣的に接続されているトランジスタを「マルチゲート型のトランジスタ」または

「マルチゲートトランジスタ」と呼ぶ場合がある。

[0405]

また、本明細書等に示すトランジスタは、バックゲートを有するトランジスタであってもよい。図18Cに、バックゲートを有するトランジスタ1500Cの回路記号例を示す。また、図18Dに、バックゲートを有するトランジスタ1500Dの回路記号例を示す。

[0406]

トランジスタ1500Cは、ゲートとバックゲートを電氣的に接続する構成を有する。トランジスタ1500Dは、バックゲートを端子BGと電氣的に接続する構成を有する。バックゲートは、ゲートとバックゲートで半導体層のチャネル形成領域を挟むように配置される。バックゲートはゲートと同様に機能させることができる。

[0407]

ゲートとバックゲートを電氣的に接続することで、トランジスタのオン電流を増やすことができる。また、バックゲートの電位を独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0408]

本実施の形態に示す構成は、他の実施の形態、実施例などに示す構成と適宜組み合わせて用いることができる。

[0409]

(実施の形態4)

本実施の形態では、図19を用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（System on Chip : SoC）と呼ぶ場合がある。

[0410]

図19Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0411]

チップ1200には、パンプ（図示しない）が設けられ、図19Bに示すように、プリント基板（Printed Circuit Board : PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のパンプ1202が設けられており、マザーボード1203と接続する。

[0412]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

[0413]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ

一時的にデータを格納するメモリを有していてもよい。または、CPU 1211、およびGPU 1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOR SRAMや、DOSRAMを用いることができる。また、GPU 1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU 1212に、酸化物半導体を用いた画像処理回路や、酸化物半導体を用いた積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0414]

また、CPU 1211、およびGPU 1212が同一チップに設けられていることで、CPU 1211およびGPU 1212間の配線を短くすることができ、CPU 1211からGPU 1212へのデータ転送、CPU 1211、およびGPU 1212が有するメモリ間のデータ転送、およびGPU 1212での演算後に、GPU 1212からCPU 1211への演算結果の転送を高速に行うことができる。

[0415]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一方、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0416]

メモリコントローラ1214は、DRAM 1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0417]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0418]

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0419]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0420]

GPU 1212を有するチップ1200が設けられたPCB 1201、DRAM 1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0421]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いること

が好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0422]

本実施の形態に示す構成は、他の実施の形態、実施例などに示す構成と適宜組み合わせて用いることができる。

[0423]

（実施の形態5）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図20にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0424]

図20AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0425]

図20BはSDカードの外観の模式図であり、図20Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

[0426]

図20DはSSDの外観の模式図であり、図20Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントロー

ラチップ 1 1 5 6 のワークメモリであり、例えば D O S R A M チップを用いればよい。基板 1 1 5 3 の裏面側にもメモリチップ 1 1 5 4 を設けることで、S S D 1 1 5 0 の容量を増やすことができる。メモリチップ 1 1 5 4 などに先の実施の形態に示す半導体装置を組み込むことができる。

[0427]

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[0428]

(実施の形態 6)

本発明の一態様に係る半導体装置は、C P U や G P U などのプロセッサ、またはチップに用いることができる。図 2 1 に、本発明の一態様に係る C P U や G P U などのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0429]

<電子機器・システム>

本発明の一態様に係る G P U またはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ (D i g i t a l S i g n a g e : 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る G P U またはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0430]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0431]

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの) を有していてもよい。

[0432]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図 2 1 に、電子機器の例を示す。

[0433]

[情報端末]

図 2 1 A には、情報端末の一種である携帯電話 (スマートフォン) が図示されている。情報端末 5 1 0 0 は、筐体 5 1 0 1 と、表示部 5 1 0 2 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 1 0 2 に備えられ、ボタンが筐体 5 1 0 1 に備えられている。

[0434]

情報端末 5 1 0 0 は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5 1 0 2 に表示するアプリケーション、表示部 5 1 0 2 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5 1 0 2 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0 4 3 5]

図 2 1 B には、ノート型情報端末 5 2 0 0 が図示されている。ノート型情報端末 5 2 0 0 は、情報端末の本体 5 2 0 1 と、表示部 5 2 0 2 と、キーボード 5 2 0 3 と、を有する。

[0 4 3 6]

ノート型情報端末 5 2 0 0 は、先述した情報端末 5 1 0 0 と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末 5 2 0 0 を用いることで、新規の人工知能の開発を行うことができる。

[0 4 3 7]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図 2 1 A、図 2 1 B に図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0 4 3 8]

[ゲーム機]

図 2 1 C は、ゲーム機の一例である携帯ゲーム機 5 3 0 0 を示している。携帯ゲーム機 5 3 0 0 は、筐体 5 3 0 1、筐体 5 3 0 2、筐体 5 3 0 3、表示部 5 3 0 4、接続部 5 3 0 5、操作キー 5 3 0 6 等を有する。筐体 5 3 0 2、および筐体 5 3 0 3 は、筐体 5 3 0 1 から取り外すことが可能である。筐体 5 3 0 1 に設けられている接続部 5 3 0 5 を別の筐体（図示せず）に取り付けることで、表示部 5 3 0 4 に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体 5 3 0 2、および筐体 5 3 0 3 は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体 5 3 0 1、筐体 5 3 0 2、および筐体 5 3 0 3 の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0 4 3 9]

また、図 2 1 D は、ゲーム機の一例である据え置き型ゲーム機 5 4 0 0 を示している。据え置き型ゲーム機 5 4 0 0 には、無線または有線でコントローラ 5 4 0 2 が接続されている。

[0 4 4 0]

携帯ゲーム機 5 3 0 0、据え置き型ゲーム機 5 4 0 0 などのゲーム機に本発明の一態様の GPU またはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0 4 4 1]

更に、携帯ゲーム機 5300 に本発明の一態様の GPU またはチップを適用することによって、人工知能を有する携帯ゲーム機 5300 を実現することができる。

[0442]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5300 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0443]

また、携帯ゲーム機 5300 で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1 人でもゲームを行うことができる。

[0444]

図 21C、図 21D では、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様の GPU またはチップを適用するゲーム機はこれに限定されない。本発明の一態様の GPU またはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0445]

[大型コンピュータ]

本発明の一態様の GPU またはチップは、大型コンピュータに適用することができる。

[0446]

図 21E は、大型コンピュータの一例である、スーパーコンピュータ 5500 を示す図である。図 21F は、スーパーコンピュータ 5500 が有するラックマウント型の計算機 5502 を示す図である。

[0447]

スーパーコンピュータ 5500 は、ラック 5501 と、複数のラックマウント型の計算機 5502 と、を有する。なお、複数の計算機 5502 は、ラック 5501 に格納されている。また、計算機 5502 には、複数の基板 5504 が設けられ、当該基板上に上記実施の形態で説明した GPU またはチップを搭載することができる。

[0448]

スーパーコンピュータ 5500 は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ 5500 に本発明の一態様の GPU またはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0449]

図 21E、図 21F では、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様の GPU またはチップを適用する大型コンピュータはこれに限定されない。本発明

の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0450]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0451]

図21Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図21Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0452]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0453]

表示パネル5704には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0454]

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0455]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0456]

[電化製品]

図21Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0457]

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立

を自動生成する機能や、電気冷凍冷蔵庫 5800 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0458]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0459]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0460]

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[実施例1]

[0461]

上記実施の形態に開示したトランジスタ 200 と同等の構造を有するトランジスタ 800 を作製した。トランジスタ 800 は、チャネル長およびチャネル幅をそれぞれ 60 nm、ゲート絶縁層 (TGI) の厚さを EOT (Equivalent Oxide Thickness) 換算で 6 nm にした。また、チャネルが形成される半導体層に CAAC-IGZO を用いた。トランジスタ 800 は、半導体層に CAAC-IGZO を用いた電界効果型のトランジスタ (「CAAC-IGZO FET」ともいう。) である。

[0462]

図 22A および図 22B に、トランジスタ 800 の断面 TEM 写真を示す。図 22A はトランジスタ 800 のゲート長方向の断面 TEM 写真であり、図 22B はトランジスタ 800 のゲート幅方向の断面 TEM 写真である。図 22A および図 22B には、トランジスタ 800 のゲート電極 (TGE)、ゲート絶縁層 (TGI)、ソース電極およびドレイン電極 (SDE)、半導体層 (CAAC-IGZO)、バックゲート絶縁層 (BGI)、並びにバックゲート電極 (BGE) が示されている。なお、図 22B はゲート電極およびバックゲート電極を通るゲート幅方向の断面 TEM 写真であるため、SDE は写っていない。

[0463]

次に、トランジスタ 800 の I_d-V_g 特性を測定した。具体的には、トランジスタ 800 のソースとドレイン間の電圧 (「ドレイン電圧」または「 V_{ds} 」ともいう。) を 1.3 V、バックゲートに供給する電圧 (「 V_{bg} 」ともいう。) を 0 V に設定し、ゲート電圧 (「 V_g 」ともいう。) を -3 V から 3 V まで変化させたときのソースとドレインの間に流れる電流 (「ドレイン電流」または「 I_d 」ともいう。) を測定した。 I_d-V_g 特性の測定は、-40℃、室温 (27℃)、85℃、125℃ の 4 つの温度で行なった。

[0464]

図 23 に、トランジスタ 800 の I_d-V_g 特性の測定結果を示す。図 23 の横軸は V_g であり、縦軸は I_d をログスケールで示している。また、測定器の測定下限値 (ML) は 1×10^{-13} A である。図 23 中に ML を破線で示している。

[0465]

図23より、測定温度が上昇すると I_d も上昇することがわかる。これは、半導体層にシリコンを用いたFET（「Siトランジスタ」ともいう。）とは逆の傾向である。また、室温時の I_d-V_g 特性から、室温時の S 値が $90\text{ mV}/\text{dec}$ であることがわかった。

[0466]

図24Aに、 $V_{ds}=1.2\text{ V}$ 、 $V_{bg}=0\text{ V}$ の時のトランジスタ800のゲート耐圧を示す。また、図24Bに、 $V_{gs}=2.5\text{ V}$ 、 $V_{bg}=0\text{ V}$ の時のトランジスタ800のドレイン耐圧を示す。トランジスタ800は、ゲート長が 60 nm と微細であるにもかかわらず、ゲート耐圧は 3 V 以上、ドレイン耐圧は 6 V 以上の高い電圧耐圧を持つ。このため、トランジスタ800は、CMOS回路と外部回路とのインターフェースとしての活用が期待できる。

[実施例2]

[0467]

トランジスタ800を用いてインバータ回路810を作製した。図25Aに、インバータ回路810の回路図を示す。インバータ回路810は、どちらもトランジスタ800である、トランジスタM1およびトランジスタM2で構成される。トランジスタM1のソースまたはドレインの一方は端子801と電氣的に接続され、他方は出力端子outと電氣的に接続される。トランジスタM1のゲートは、トランジスタM1のソースまたはドレインの一方と電氣的に接続される。トランジスタM1のバックゲートは端子bg1と電氣的に接続される。トランジスタM2のソースまたはドレインの一方は出力端子outと電氣的に接続され、他方は端子802と電氣的に接続される。トランジスタM2のゲートは入力端子inと電氣的に接続され、バックゲートは端子bg2と電氣的に接続される。端子801には V_{dd} が供給され、端子802には V_{ss} が供給される。

[0468]

端子bg1に供給する電圧（ V_{bg1} ）によって、トランジスタM1の閾値電圧を変化させることができる。端子bg2に供給する電圧（ V_{bg2} ）によって、トランジスタM2の閾値電圧を変化させることができる。

[0469]

トランジスタM2のチャネル幅は、トランジスタM1のチャネル幅よりも大きいことが好ましい。本実施例では、トランジスタM1として1個のトランジスタ800を用いた（ $M=1$ ）。また、トランジスタM2として、100個のトランジスタ800を並列に接続したのを用いた（ $M=100$ ）。よって、トランジスタM2のチャネル幅は、実質的にトランジスタM1のチャネル幅の100倍であると見なせる。

[0470]

図25Bに、 V_{ss} を 0 V 、 V_{dd} を 3.3 V とした時の、インバータ回路810のDC特性の測定結果を示す。図25Bの横軸は入力端子inに供給される電圧 V_{in} を示し、縦軸は出力端子outに供給される電圧 V_{out} を示している。また、図25Bでは、 V_{bg2} が 2 V 、 0 V 、 -2 V 、 -4 V 、および -6 V のそれぞれの場合での測定結果を示している。なお、 V_{bg1} は 0 V とした。

[0471]

図25Bより、バックゲートに供給する電圧を変化させることで、インバータ回路810の論理閾値を調整できることがわかる。

[実施例 3]

[0472]

実施例 2 で説明したインバータ回路 810 を用いてリングオシレータ 820 を作製した。図 26 A にリングオシレータ 820 の回路図を示す。リングオシレータ 820 はコア 811 と出力バッファ 812 で構成される。コア 811 は、環状に接続された奇数段のインバータ回路 810 を有する。図 26 A では、1 段目のインバータ回路 810 をインバータ回路 810__1 と示し、2 段目のインバータ回路 810 をインバータ回路 810__2 と示し、n 段目のインバータ回路 810 をインバータ回路 810__n (n は 3 以上の奇数。) と示している。

[0473]

i 段目 (i は 2 以上 n-1 以下の自然数) のインバータ回路 810 の出力は、i+1 段目のインバータ回路 810 の入力と電氣的に接続される。また、i-1 段目のインバータ回路 810 の出力は、i 段目のインバータ回路 810 の入力と電氣的に接続される。また、n 段目のインバータ回路 810 の出力は、1 段目のインバータ回路 810 の入力と電氣的に接続される。コア 811 においてインバータ回路 810 は環状に接続される。

[0474]

出力バッファ 812 の入力、コア 811 に含まれる奇数個のインバータ回路 810 のうち、任意のインバータ回路 810 の出力と電氣的に接続される。言い換えると、i 段目のインバータ回路 810 の出力が、出力バッファ 812 の入力と電氣的に接続される。出力バッファ 812 の出力は、端子 R o u t と電氣的に接続される。本実施例では、コア 811 が 151 段のインバータ回路 810 を有するリングオシレータ 820 を作製した。図 26 B に、作製したリングオシレータ 820 のダイ写真を示す。コア 811 の大きさは、 $100\mu\text{m} \times 350\mu\text{m}$ である。

[0475]

作製したリングオシレータ 820 に、電源電圧として 3.3 V ($V_{ss}=0\text{V}$ 、 $V_{dd}=3.3\text{V}$) を供給した時の出力波形を図 27 に示す。図 27 の横軸は時間を示し、縦軸は出力電圧 (端子 R o u t の電圧) を任意単位 (a. u.) で示している。図 27 より、当該リングオシレータ 820 の遅延時間が $43\mu\text{s}$ であることがわかった。よって、1 つのインバータ回路 810 の遅延時間は 142ns である。

[0476]

遅延時間は動作温度で変化する。しかしながら、 V_{bg2} を調整することで、高温環境下においても遅延時間を室温動作時と同等の時間に調整することができる。

[0477]

図 28 に、室温時の遅延時間で規格化した、遅延時間の温度依存性を示す。図 28 では、動作温度が室温 (R. T. : 27°C)、 85°C 、 125°C 、 150°C の場合の遅延時間を示している。また、図 28 の横軸は温度を示し、左側の縦軸は、室温時の遅延時間で規格した遅延時間を百分率で示している。また、右側の縦軸は、 V_{bg2} の値を示している。室温時の遅延時間測定は、 V_{bg1} を 0 V、 V_{bg2} を 2 V にして行なった。

[0478]

図 28 に示す “x” は、すべての動作温度において V_{bg2} を 2 V にして遅延時間の測定を行った結果を示している。動作温度の上昇に伴い遅延時間が短くなっていることがわかる。動作温度 150°C では、室温動作時よりも 35 % 程度遅延時間が短くなっている。これは、温度によって、閾値

電圧の低下と電界効果移動度の増加が生じるためである。

[0479]

図28に示す“□”は、動作温度に合わせて V_{bg2} を調整して遅延時間の測定を行った結果を示している。図28に示す“△”は、動作温度ごとに設定した V_{bg2} の値を示している。動作温度に応じて V_{bg2} を調整することで、動作温度が変化しても遅延時間を室温動作時と同等の時間にすることができる。本実施例では、動作温度が室温から150℃の範囲で遅延時間の変動を1%以下にすることができた。

[0480]

図28に示す“○”は、SPICEシミュレーションを用いたCMOSインバータの遅延時間計算結果を示している。CMOSインバータを構成するトランジスタは、チャネル長60nmの一般的なバルクSiトランジスタを想定した。図28より、CMOSインバータでは、動作温度の上昇に伴い遅延時間が長くなっていることがわかる。動作温度150℃では、室温動作時よりも14%程度遅延時間が長くなる。これは、温度上昇によって、閾値電圧の上昇と電界効果移動度の低減が生じるためである。一般的なバルクSiトランジスタではバックゲートを設けることが難しい。よって、動作温度ごとの遅延時間の調整が困難である。

[0481]

CAAC-IGZO FETを用いることで、温度上昇によって動作速度を上げることや、簡易的な補正回路によって速度を一定に保つことが可能である。

[符号の説明]

[0482]

200：トランジスタ、800：トランジスタ、801：端子、802：端子、810：インバータ回路、811：コア、812：出力バッファ、820：リングオシレータ

請求の範囲

[請求項 1]

n 段 (n は 3 以上の奇数) のインバータ回路を含む半導体装置であって、
前記 n 段のインバータ回路のうち、
 i 段目 (i は 2 以上 $n - 1$ 以下の自然数) のインバータ回路の出力は、 $i + 1$ 段目のインバータ回路の入力と電氣的に接続され、
 $i - 1$ 段目のインバータ回路の出力は、前記 i 段目の前記インバータ回路の入力と電氣的に接続され、
 n 段目のインバータ回路の出力は、1 段目の前記インバータ回路の入力と電氣的に接続され、
前記 n 段のインバータ回路のそれぞれは、第 1 トランジスタと、第 2 トランジスタと、を有し、
前記第 1 トランジスタのゲートは、前記第 1 トランジスタのソースまたはドレインの一方と電氣的に接続され、
前記第 1 トランジスタの前記ソースまたは前記ドレインの一方は、第 1 端子と電氣的に接続され、
前記第 1 トランジスタの前記ソースまたは前記ドレインの他方は、出力端子と電氣的に接続され、
前記第 2 トランジスタのゲートは入力端子と電氣的に接続され、
前記第 2 トランジスタのソースまたはドレインの一方は前記出力端子と電氣的に接続され、
前記第 2 トランジスタの前記ソースまたは前記ドレインの他方は第 2 端子と電氣的に接続され、
前記第 1 トランジスタは、第 1 バックゲートを有し、
前記第 2 トランジスタは、第 2 バックゲートを有し、
前記第 1 トランジスタおよび前記第 2 トランジスタは、それぞれの半導体層に酸化物半導体を含む半導体装置。

[請求項 2]

請求項 1 において、
前記酸化物半導体は、 I_n および Z_n のうち、少なくとも一方を含む半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、
前記酸化物半導体は、CAAC 構造を含む半導体装置。

[請求項 4]

請求項 1 乃至請求項 3 のいずれか一項において、
前記第 1 端子に高電源電位 V_{dd} が供給され、
前記第 2 端子に低電源電位 V_{ss} が供給される半導体装置。

[請求項 5]

請求項 1 乃至請求項 4 のいずれか一項において、
前記第 2 トランジスタのチャネル幅は、
前記第 1 トランジスタのチャネル幅よりも大きい半導体装置。

[請求項 6]

請求項 1 乃至請求項 5 のいずれか一項において、
動作温度に応じて前記第 2 バックゲートに供給する電圧を調整する機能を有する半導体装置。

図1A

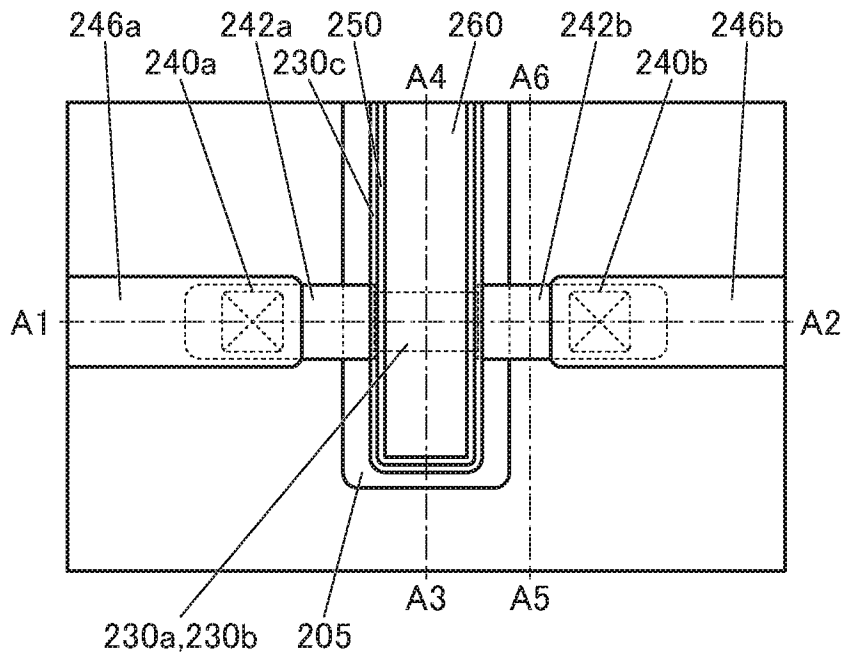


図1C

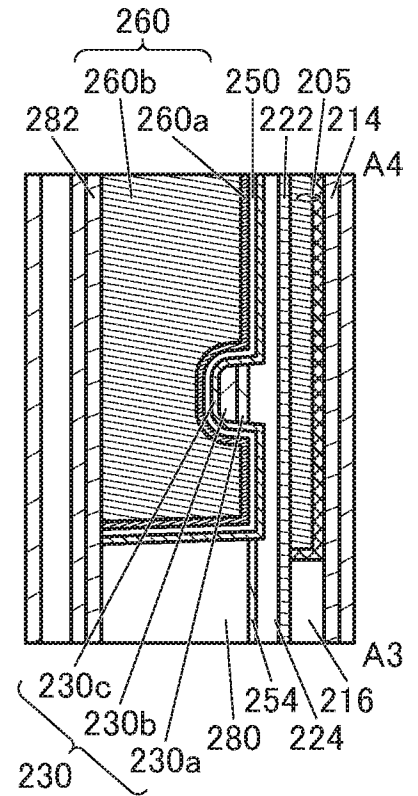


図1B

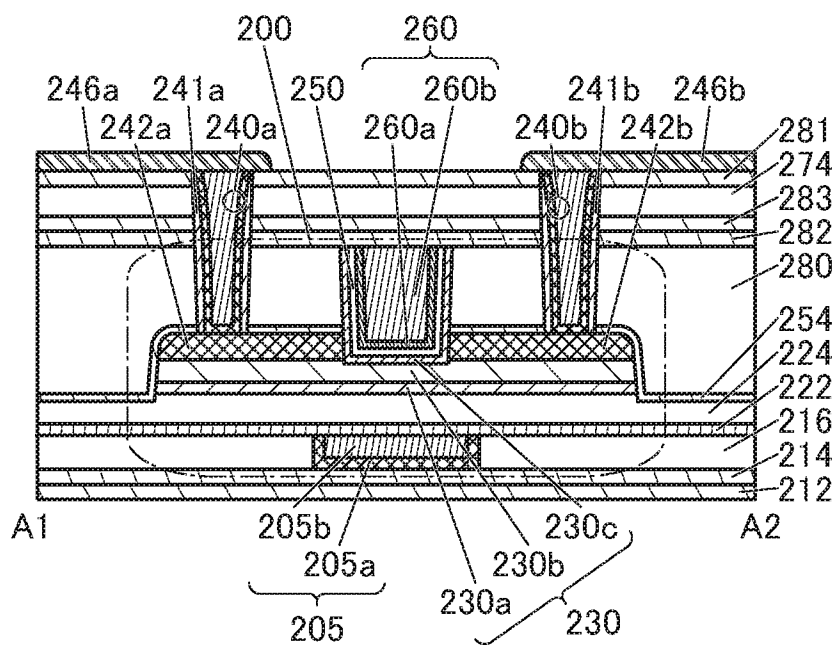
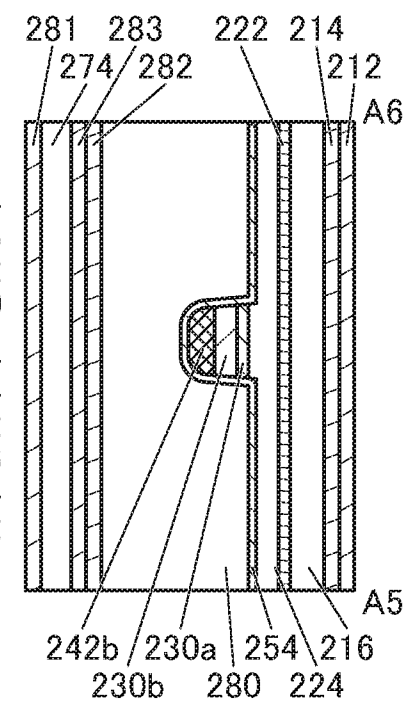
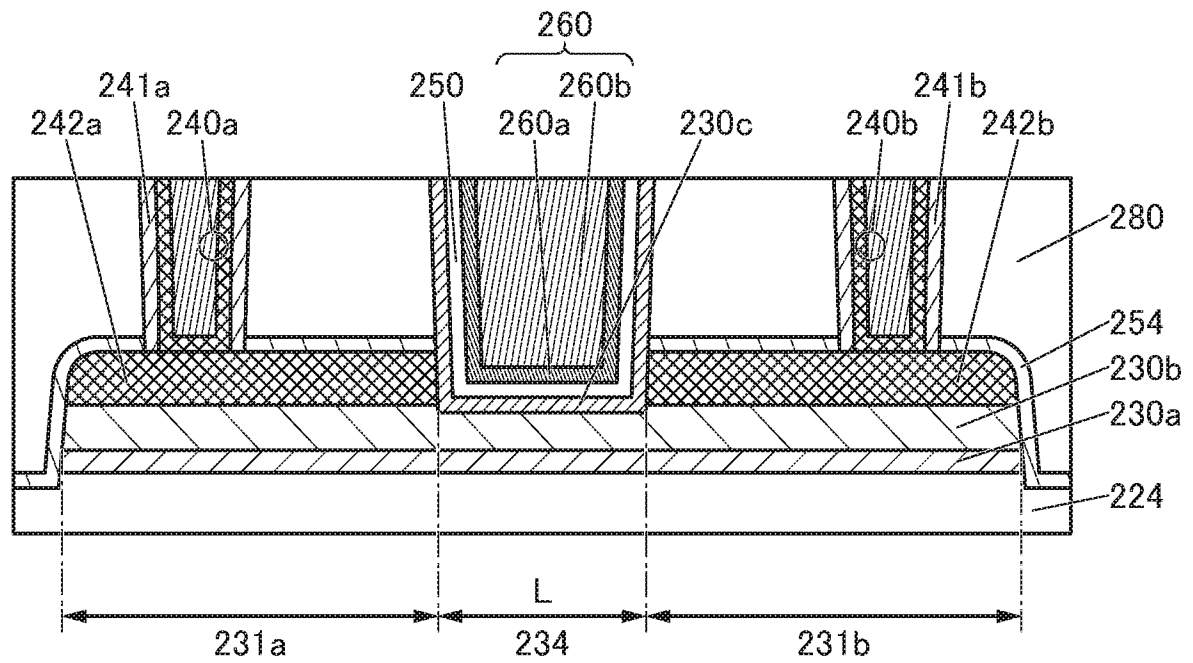


図1D





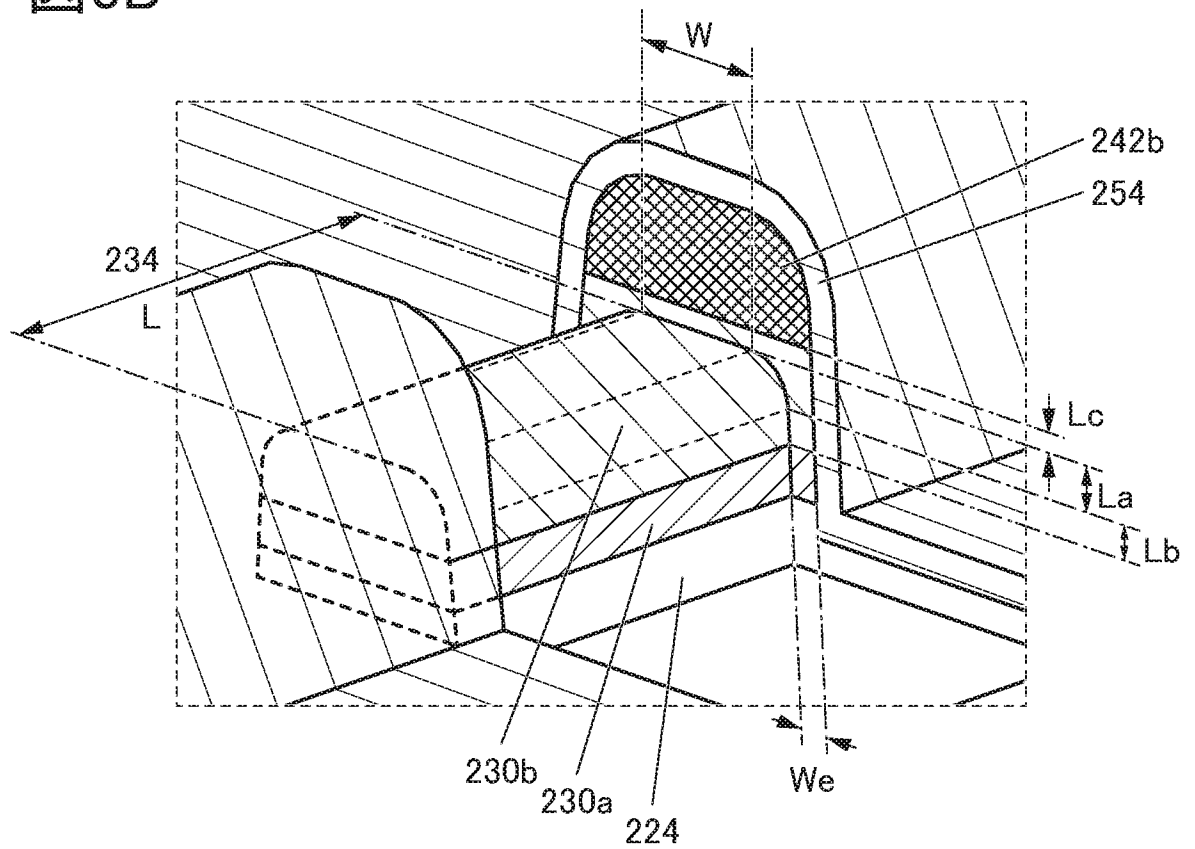
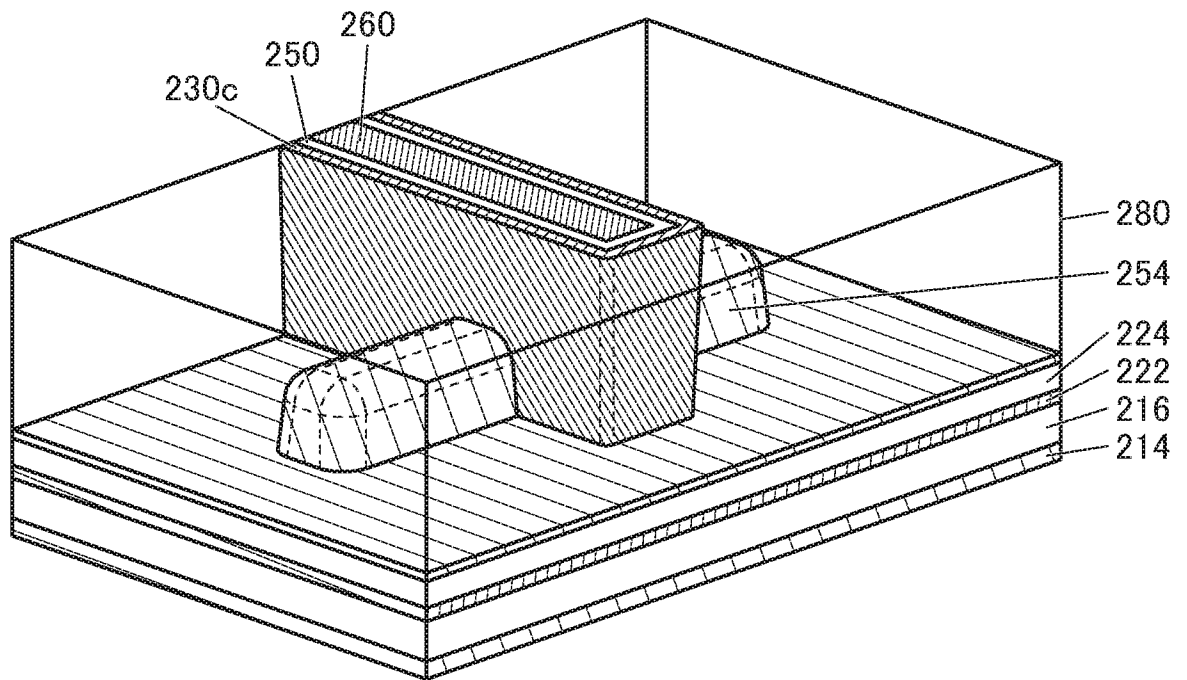
 3A

図4A

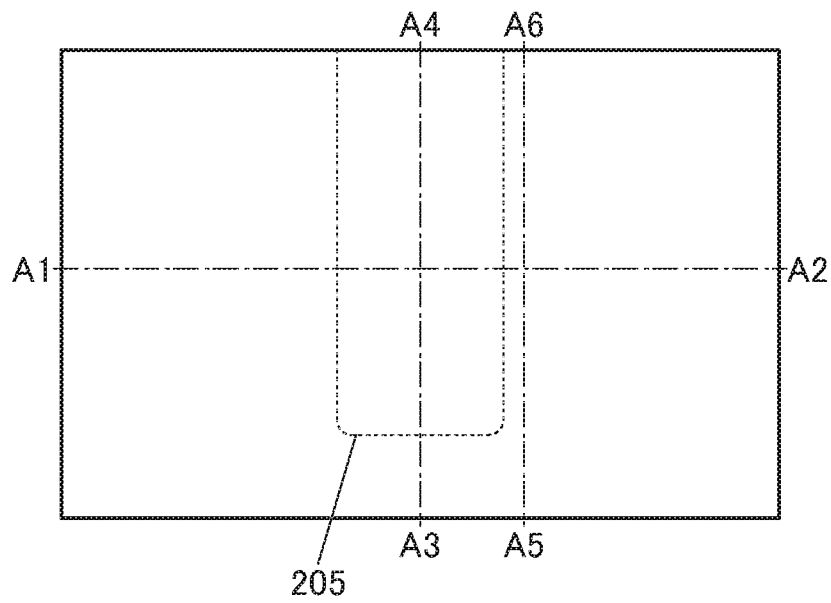


図4C

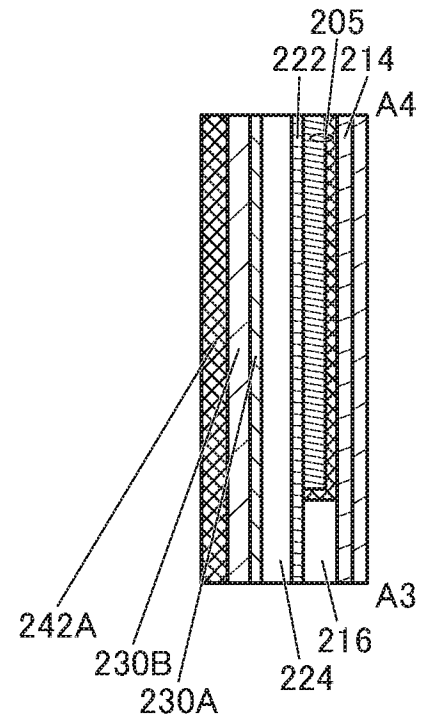


図4B

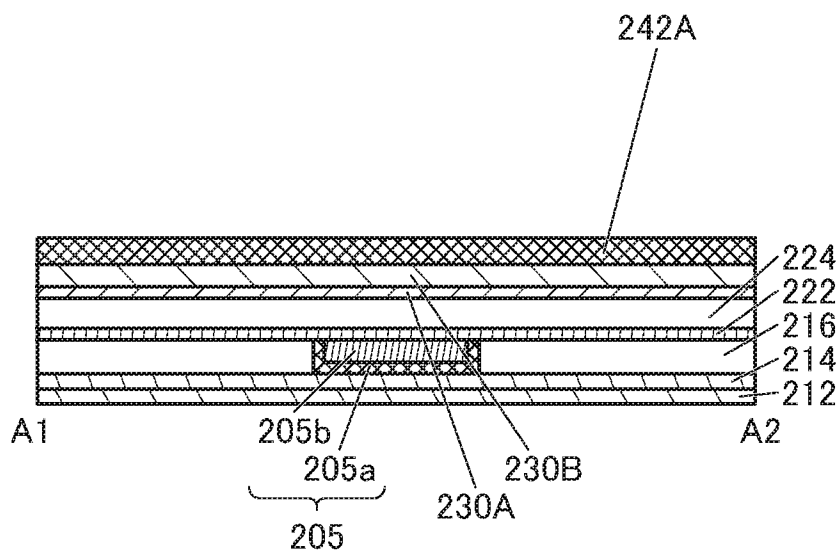


図4D

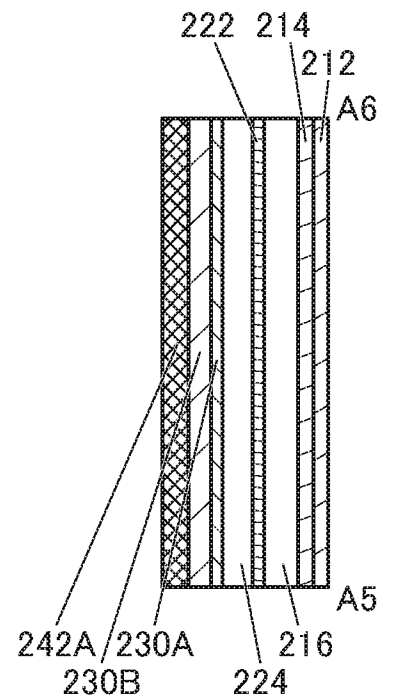


図5A

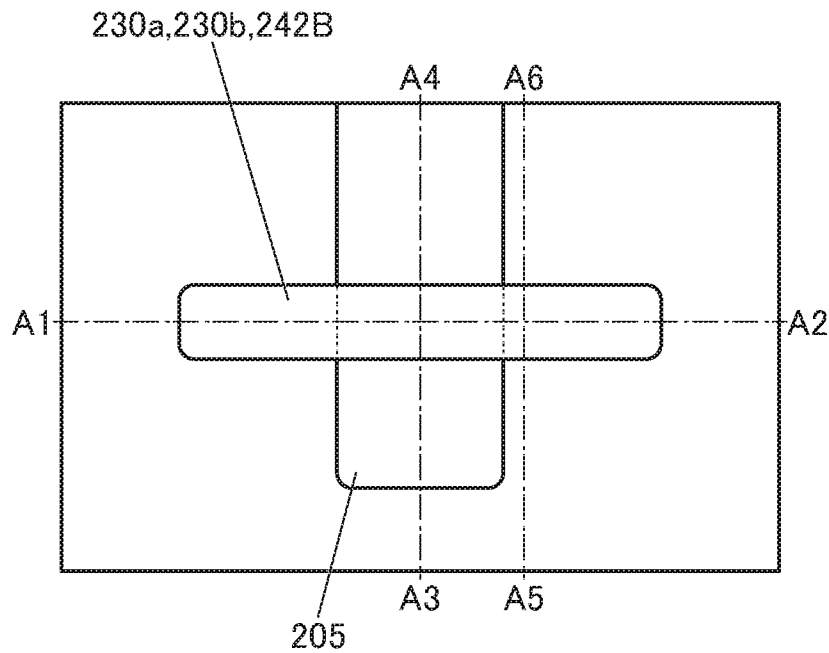


図5C

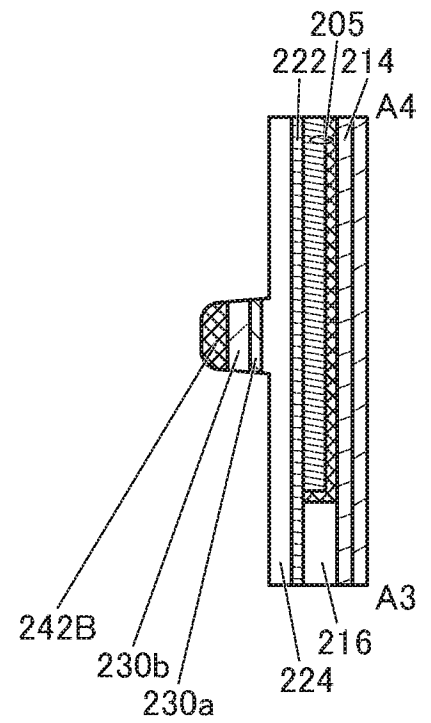


図5B

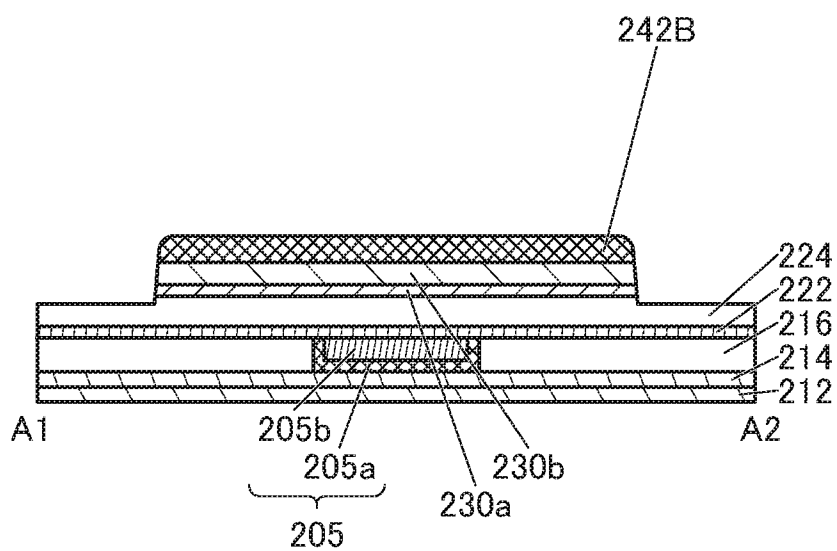


図5D

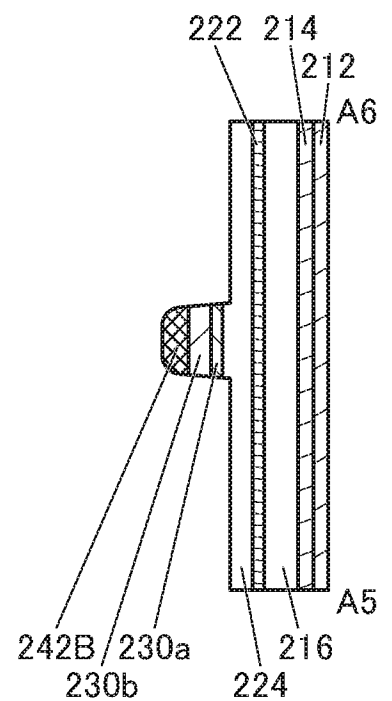


図6A

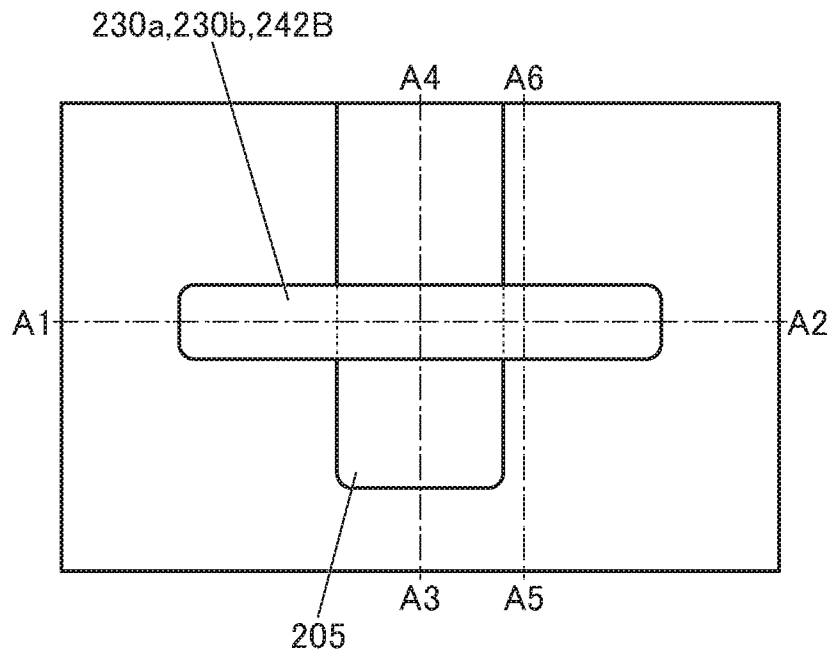


図6C

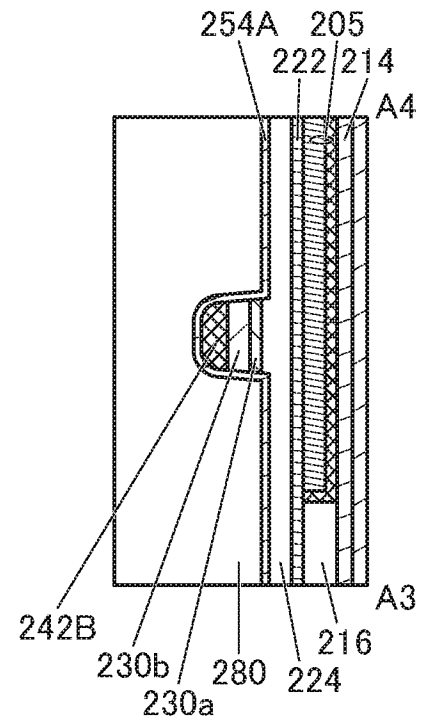


図6B

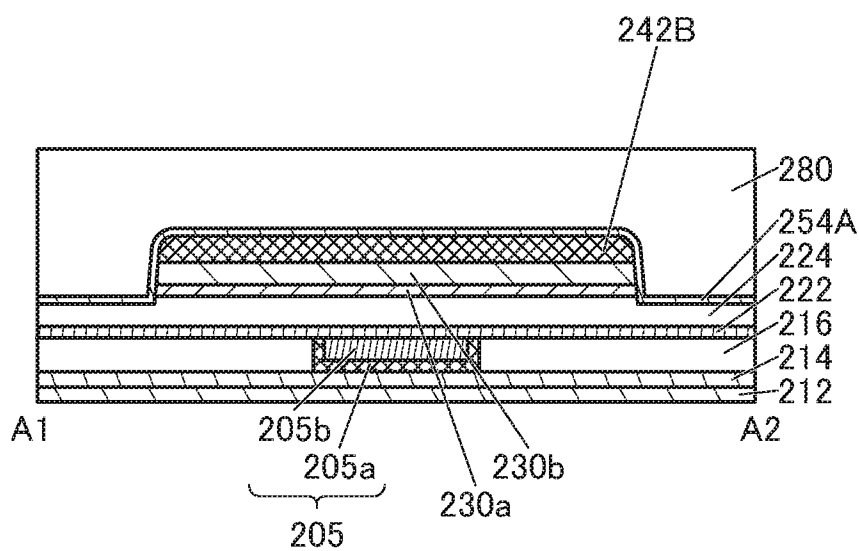


図6D

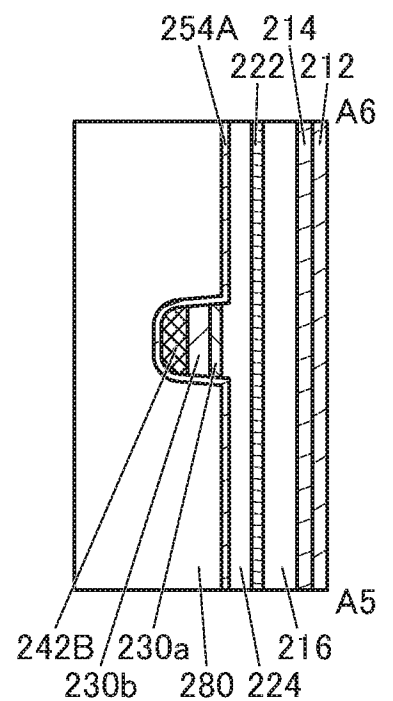


図7A

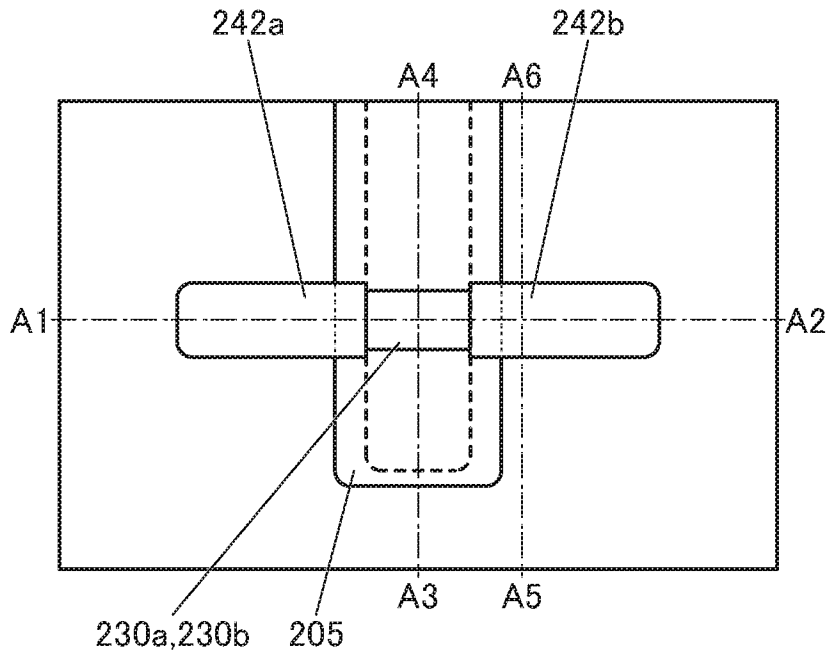


図7C

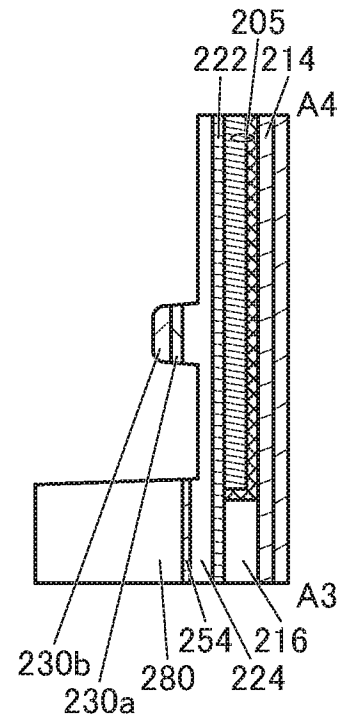


図7B

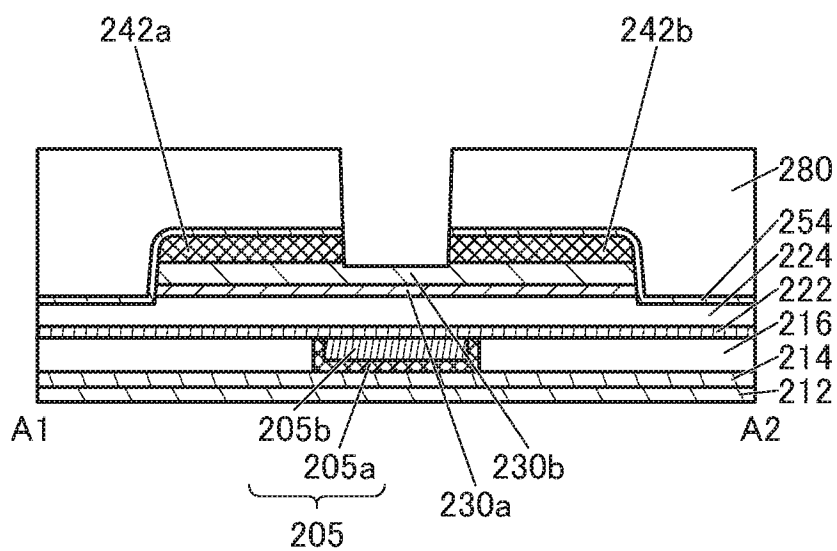
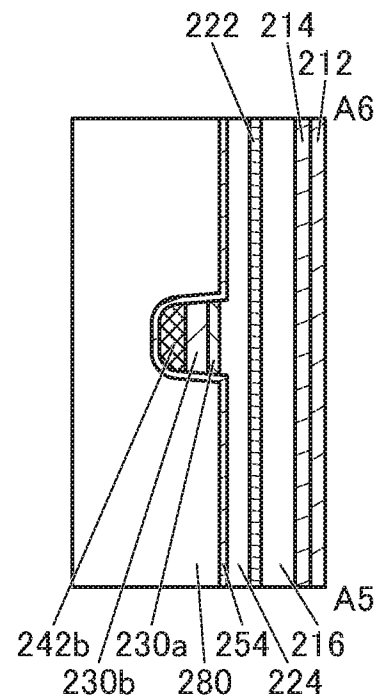


図7D



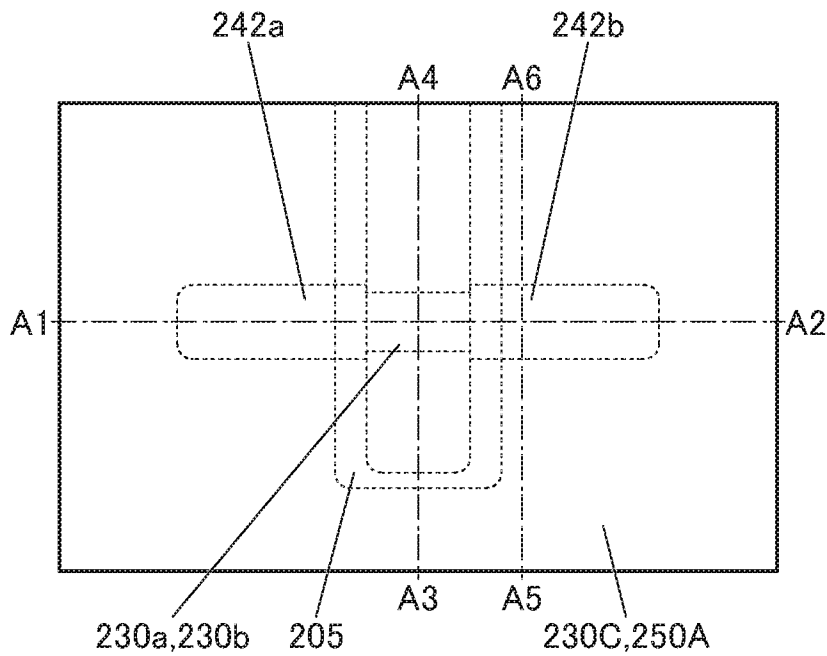
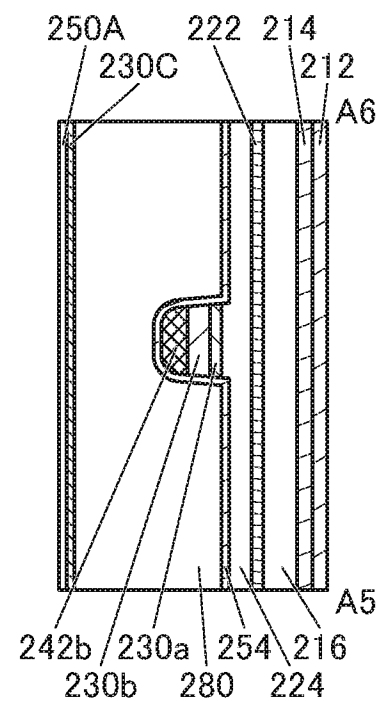
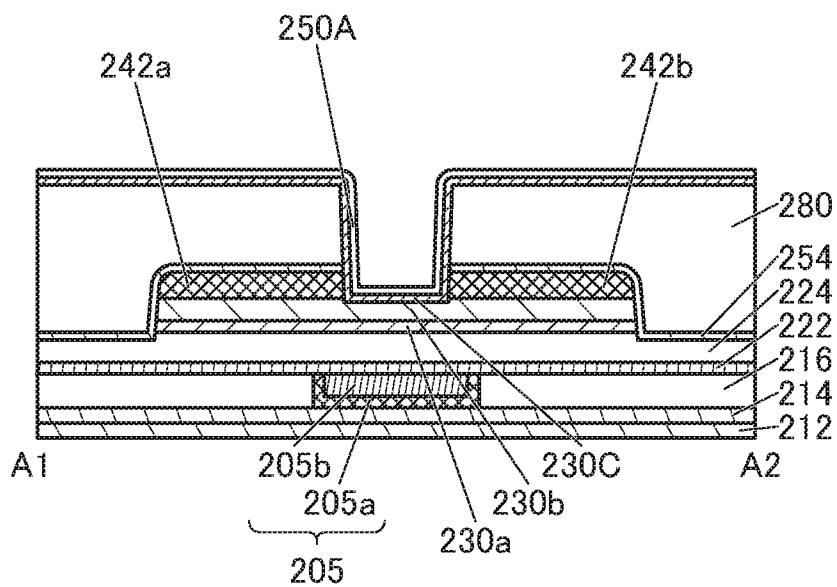
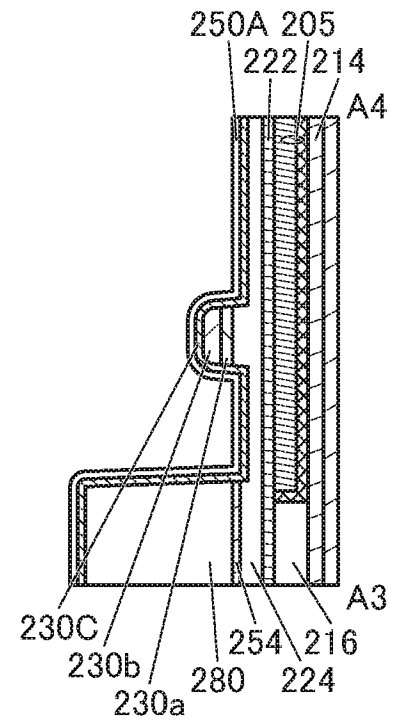



図9A

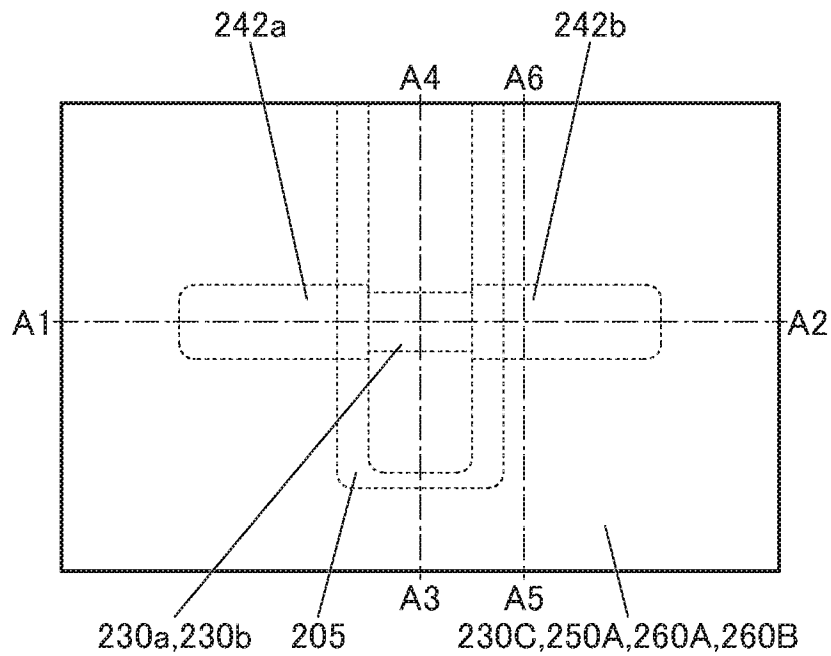


図9C

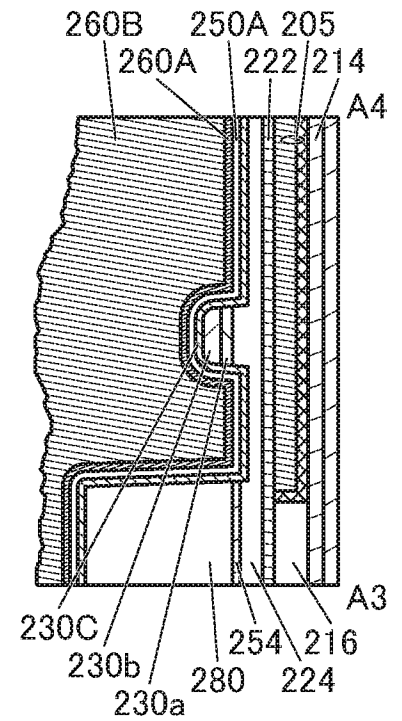


図9B

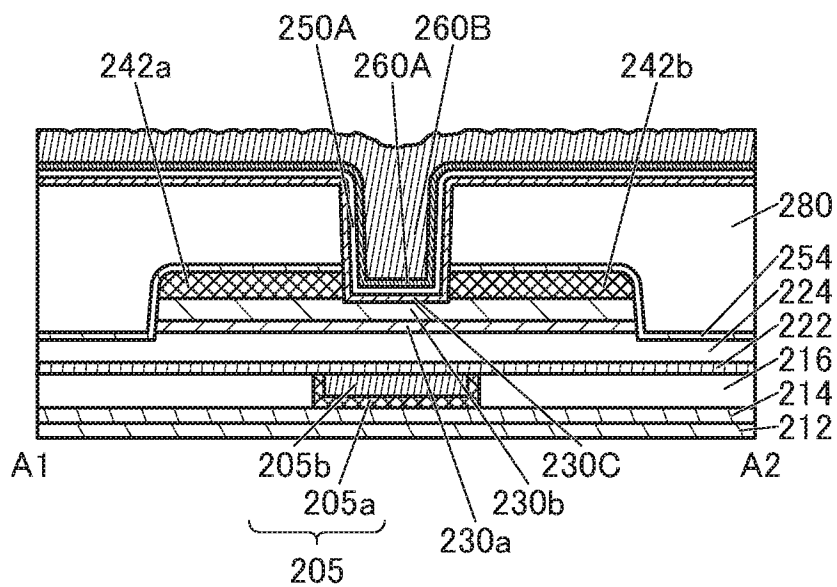
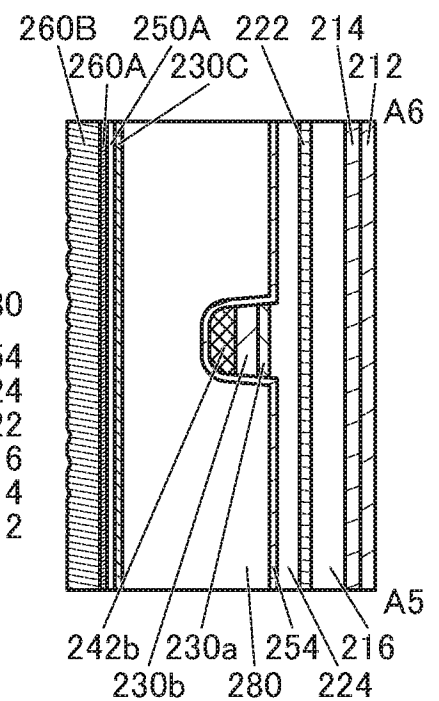


図9D



10/28

図10A

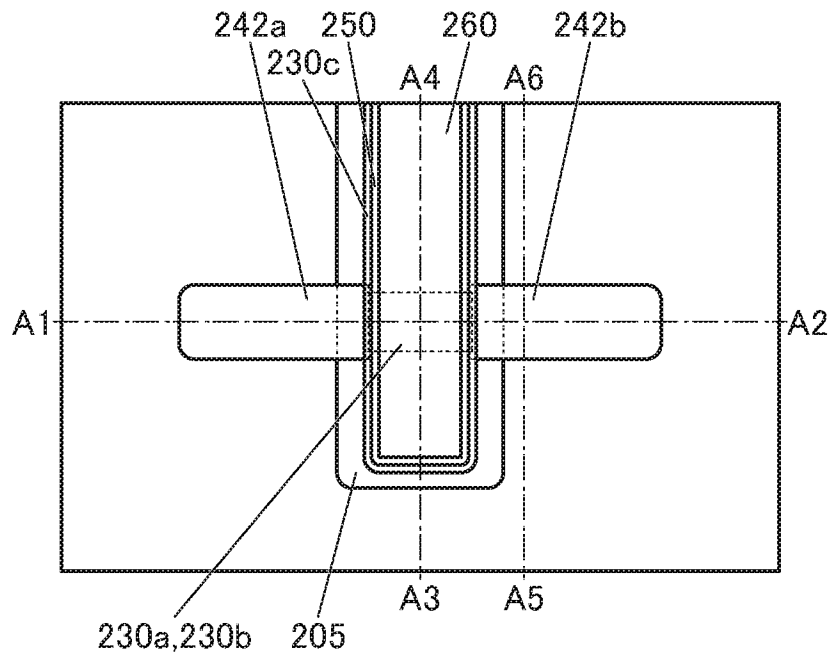


図10C

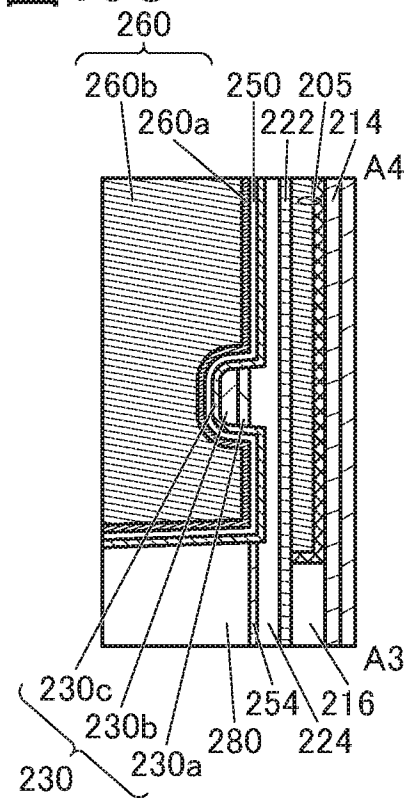


図10B

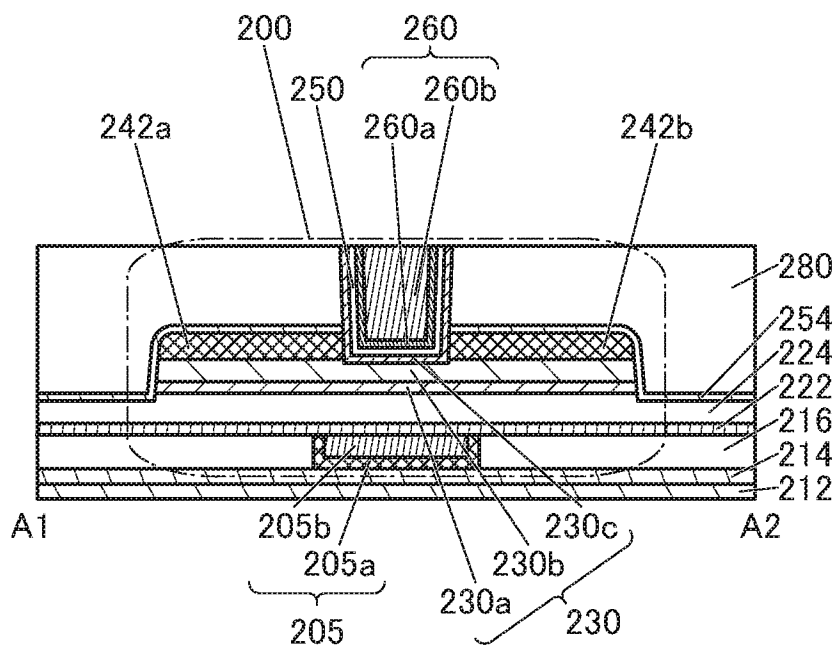


図10D

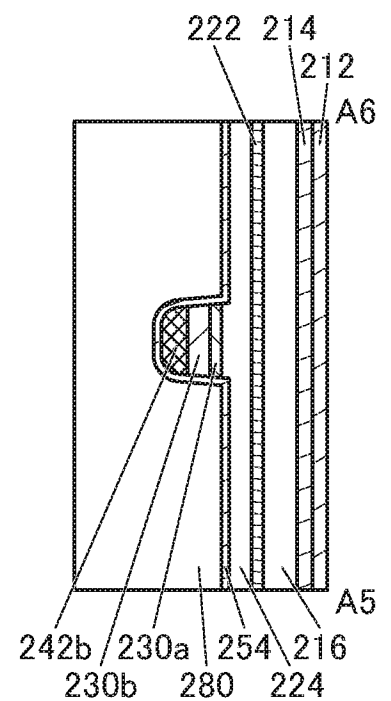


図11A

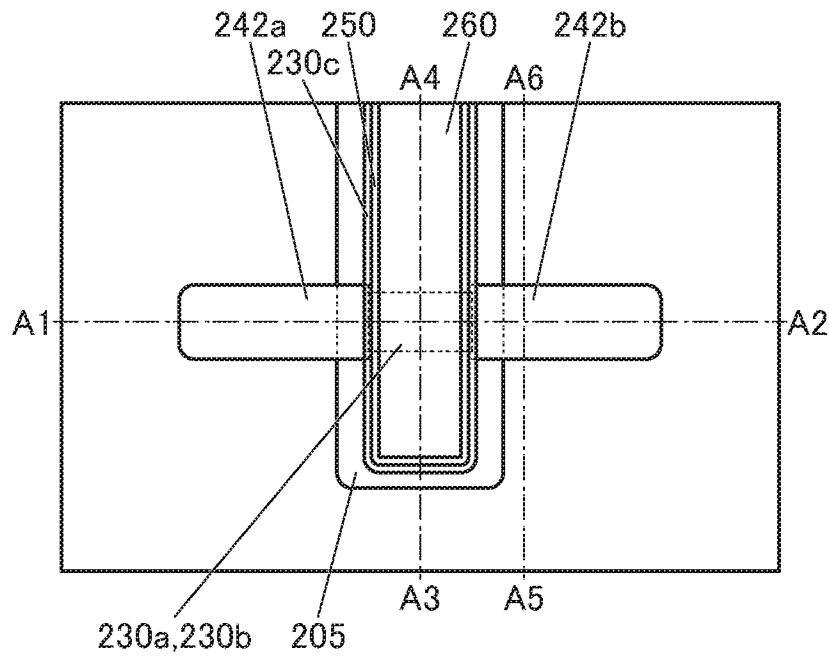


図11C

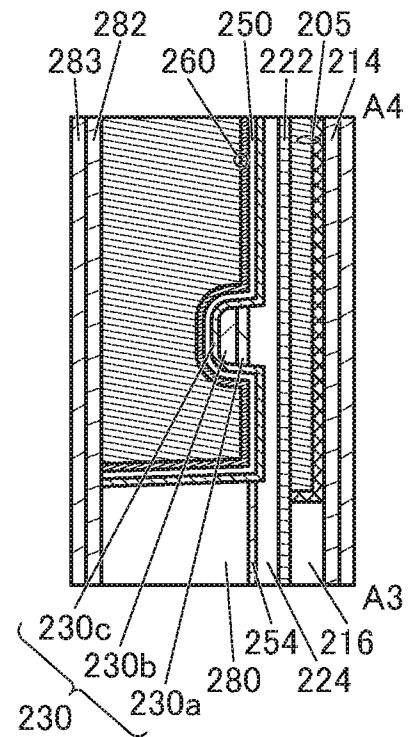


図11B

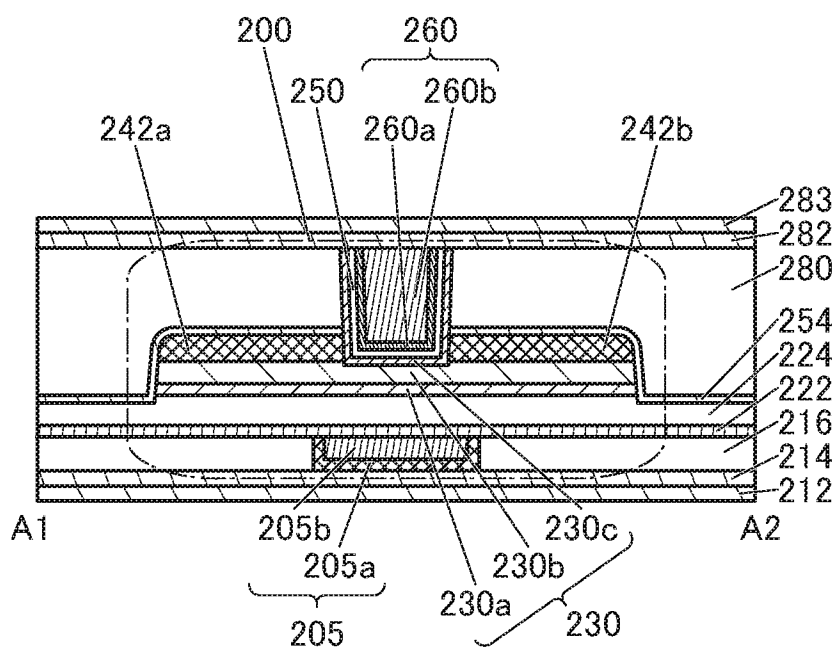


図11D

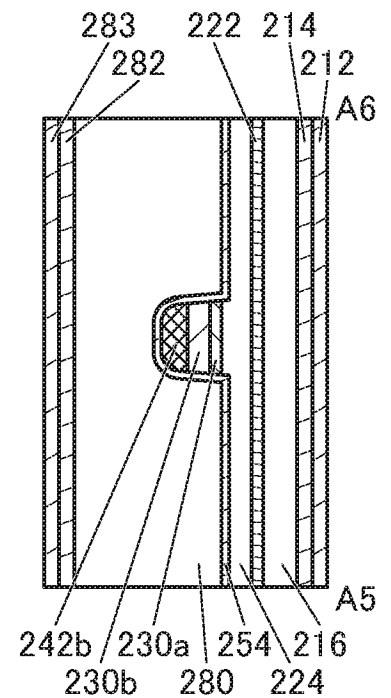


図12A

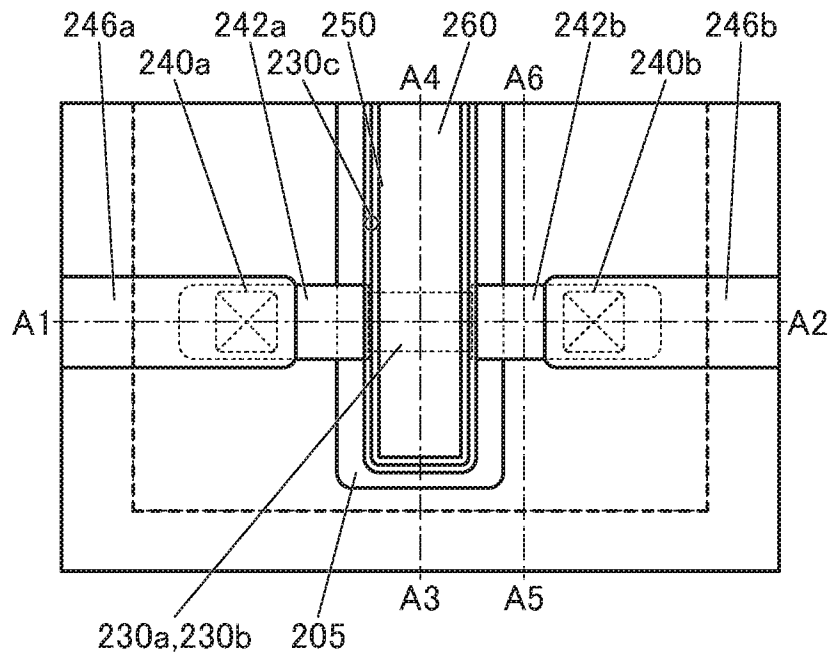


図12C

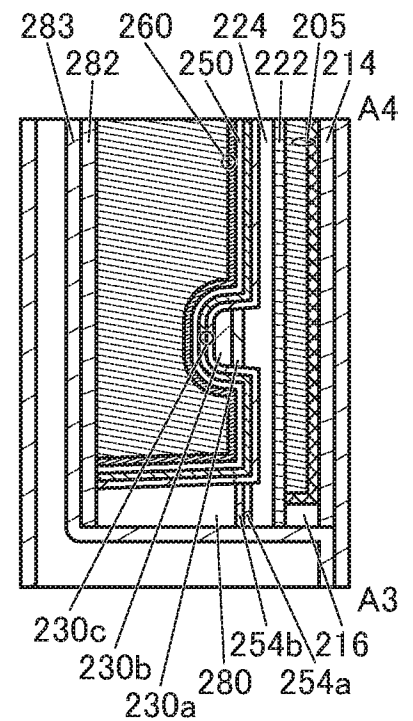


図12B

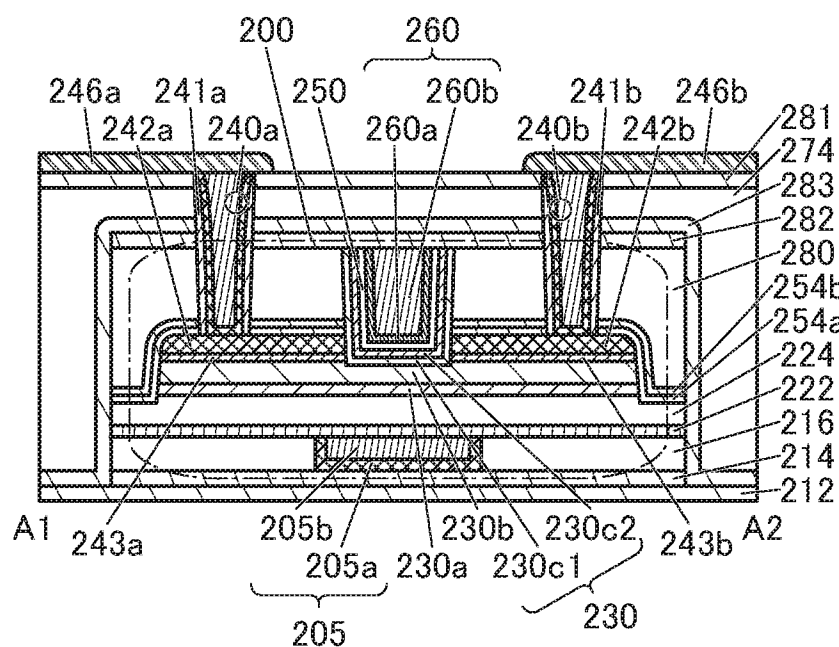


図12D

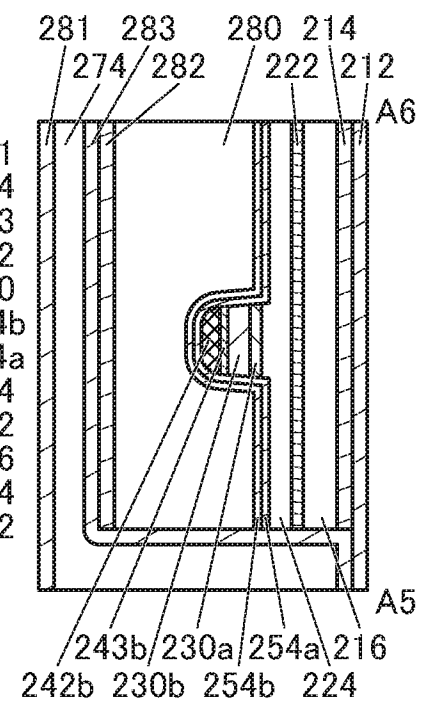


图13A

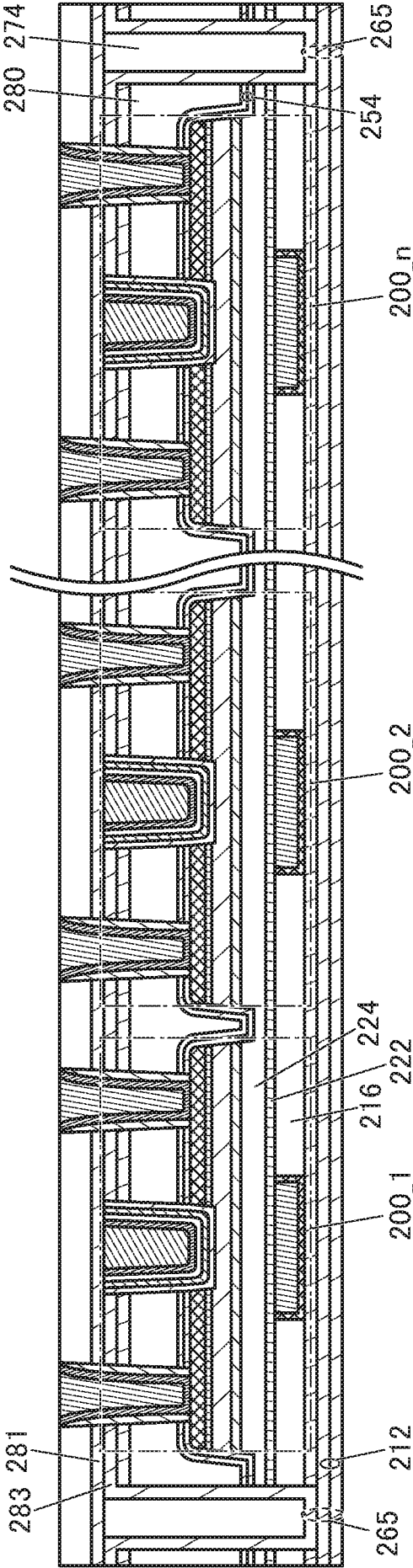


图13B

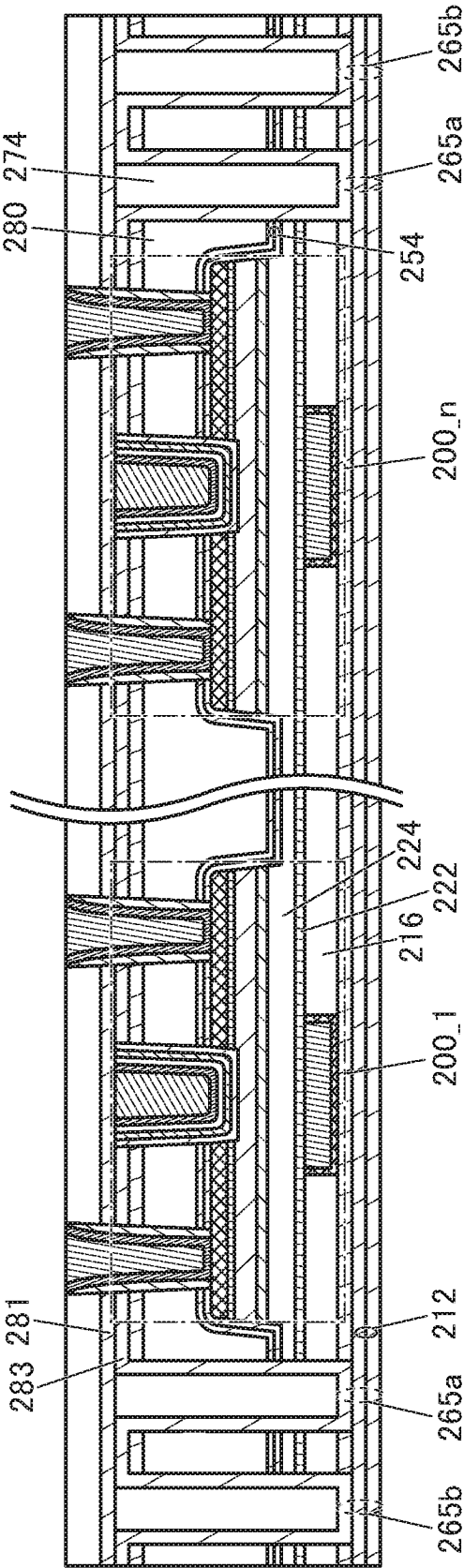


图 14

14/28

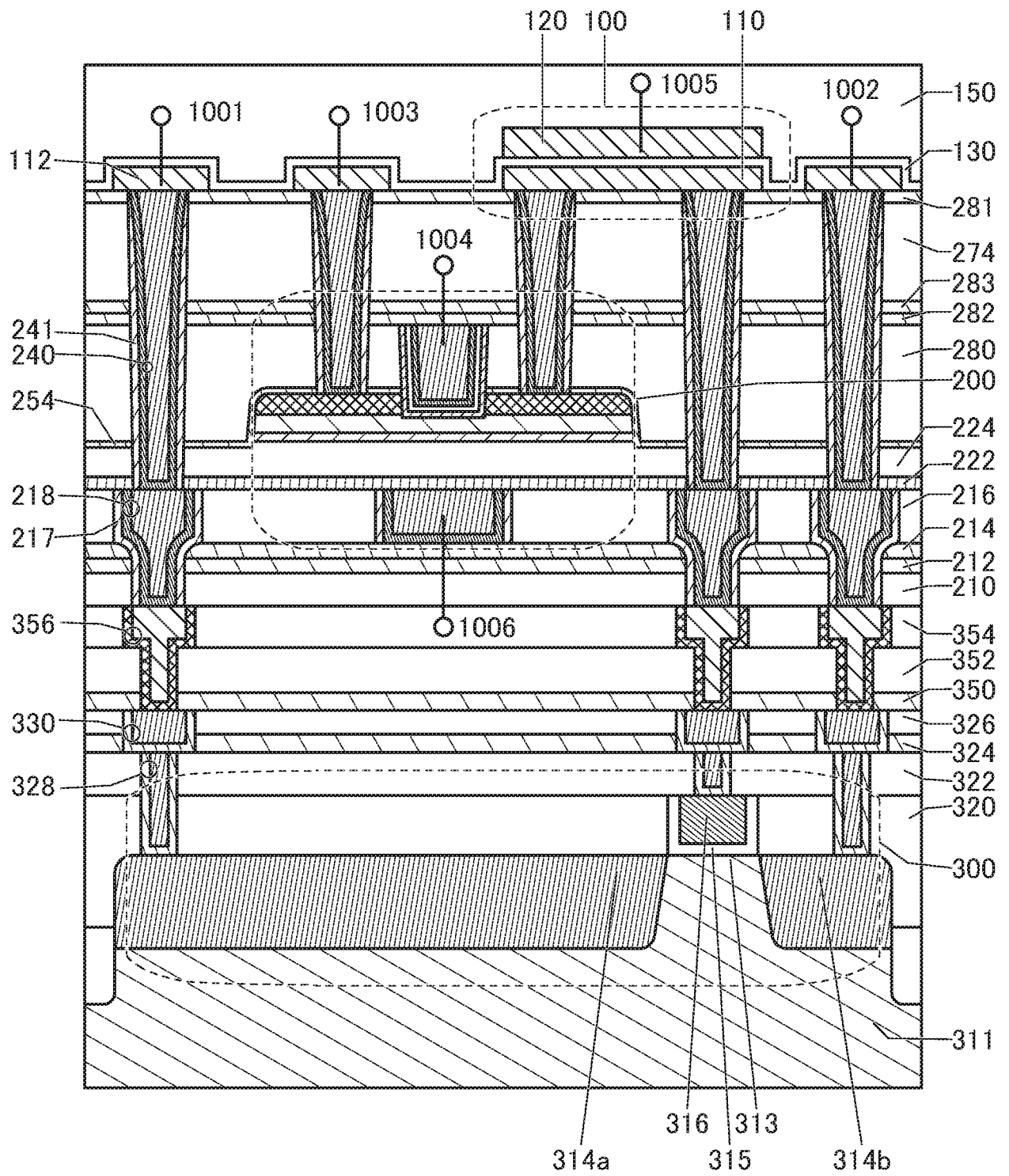
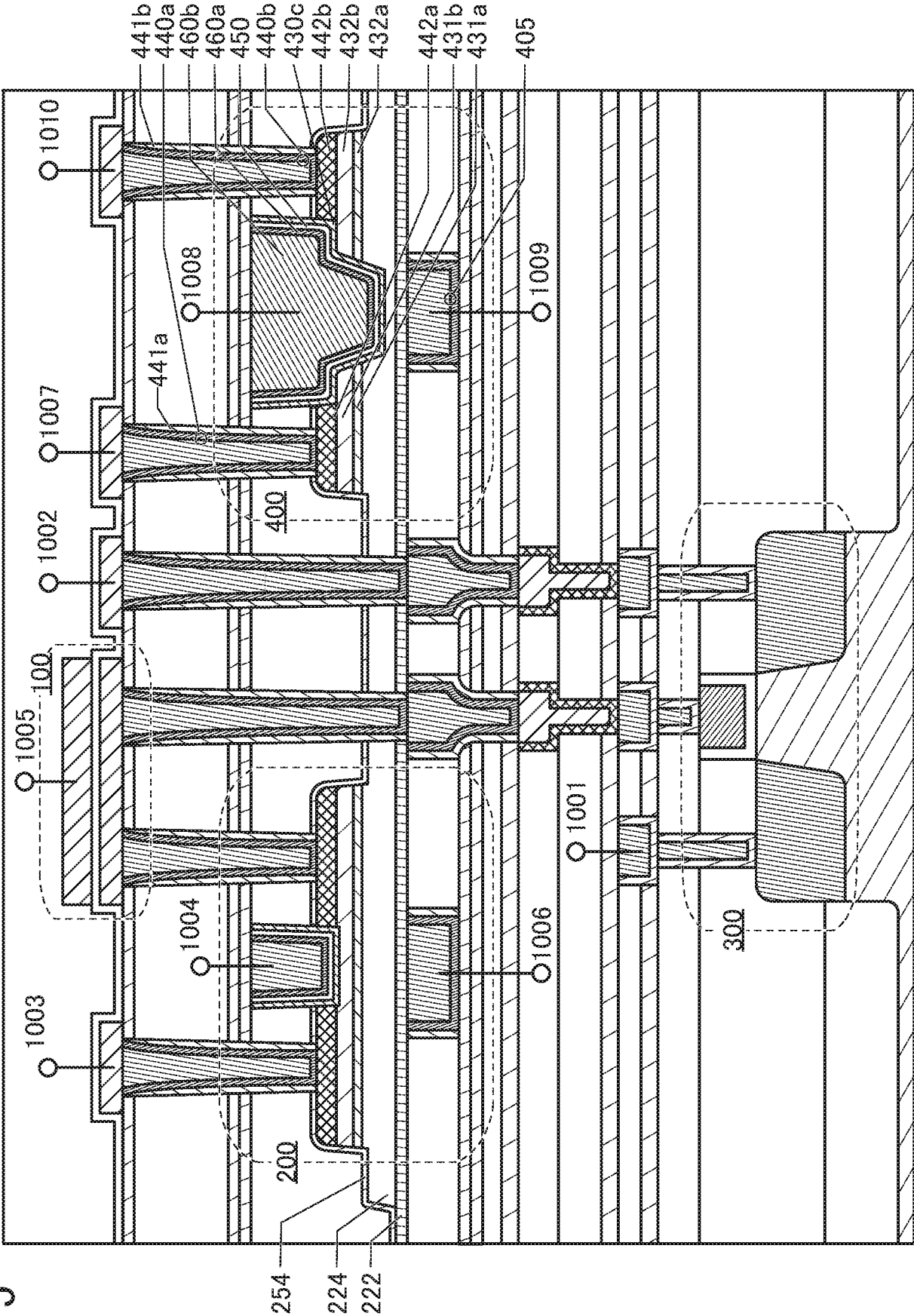


图15



16/28

図16A

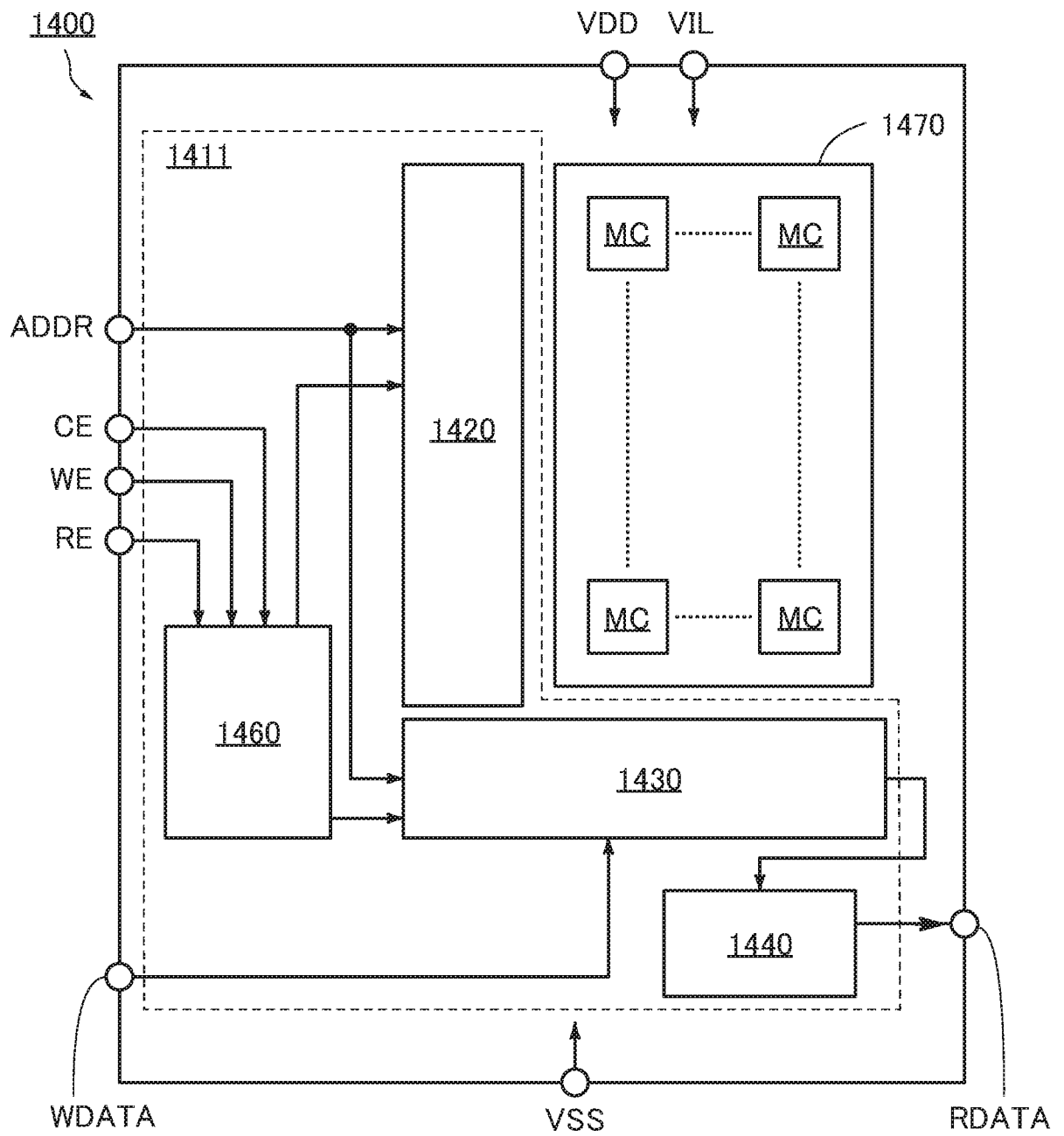
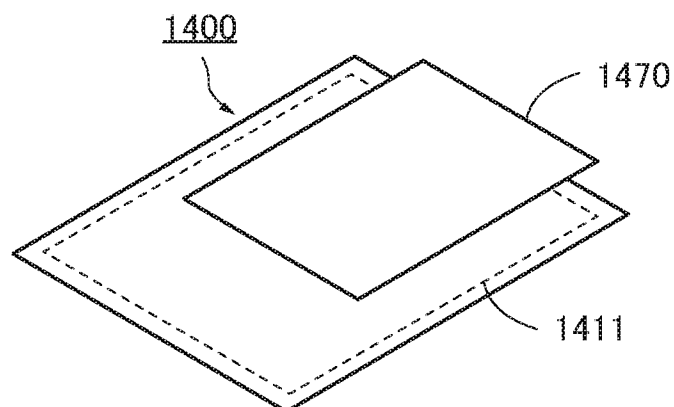


図16B



17/28

図17A

1471

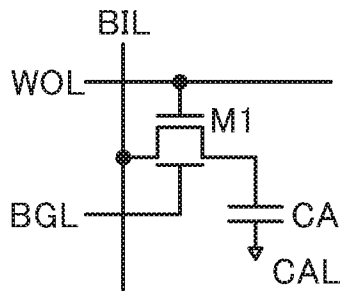


図17B

1472

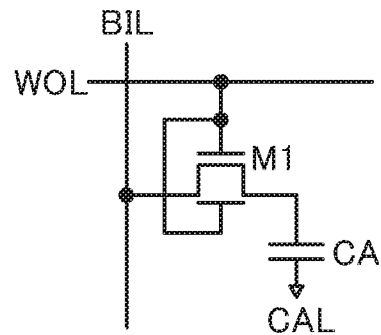


図17C

1473

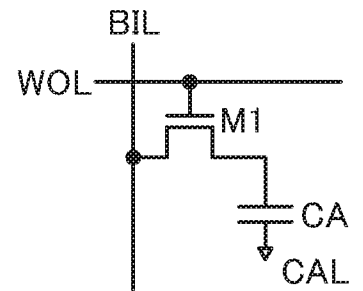


図17D

1474

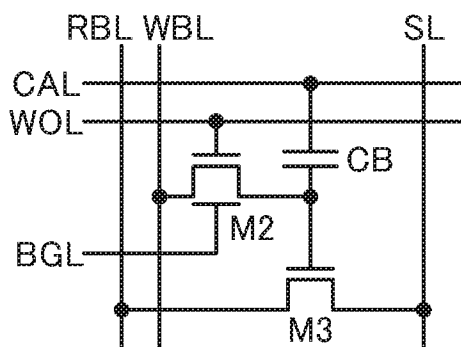


図17E

1475

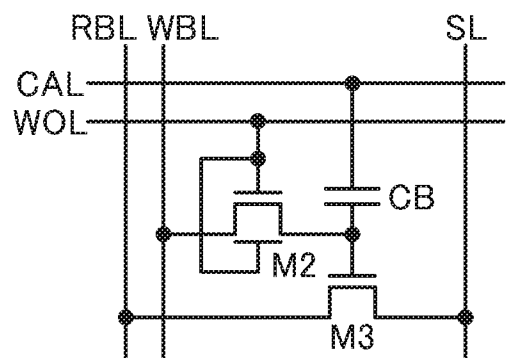


図17F

1476

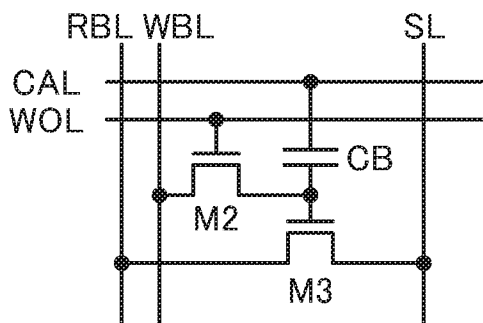


図17G

1477

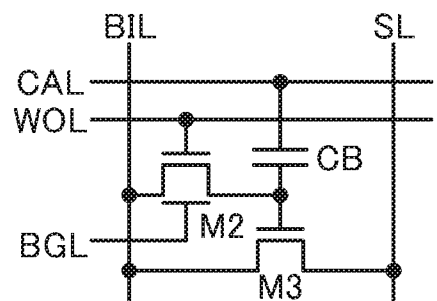
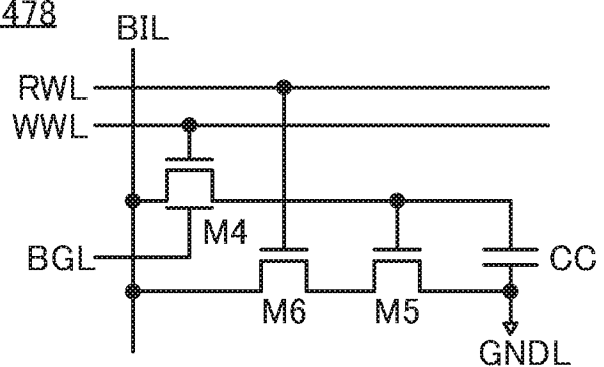


図17H

1478



18/28

図18A

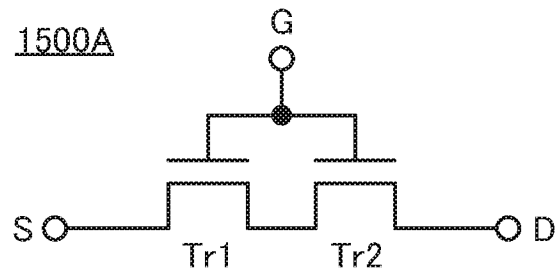
1500A

図18B

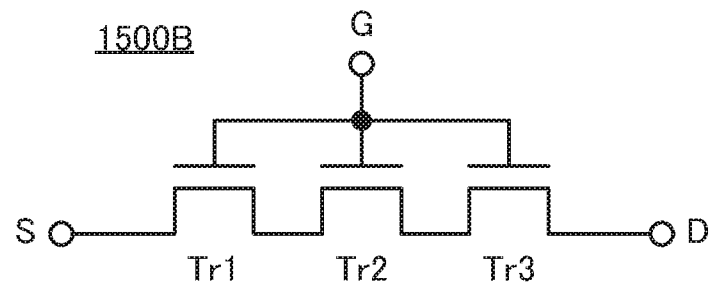
1500B

図18C

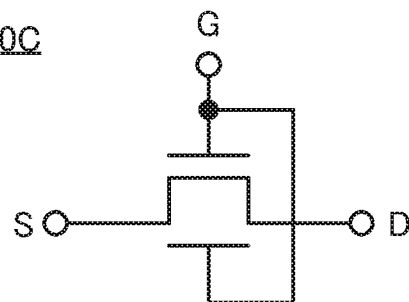
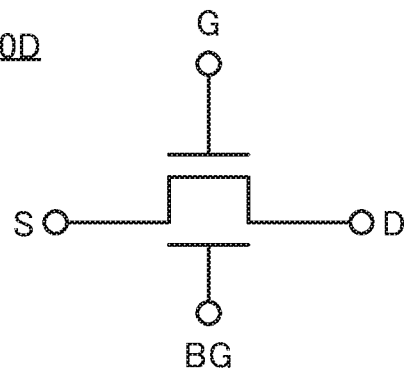
1500C

図18D

1500D

19/28

図19A

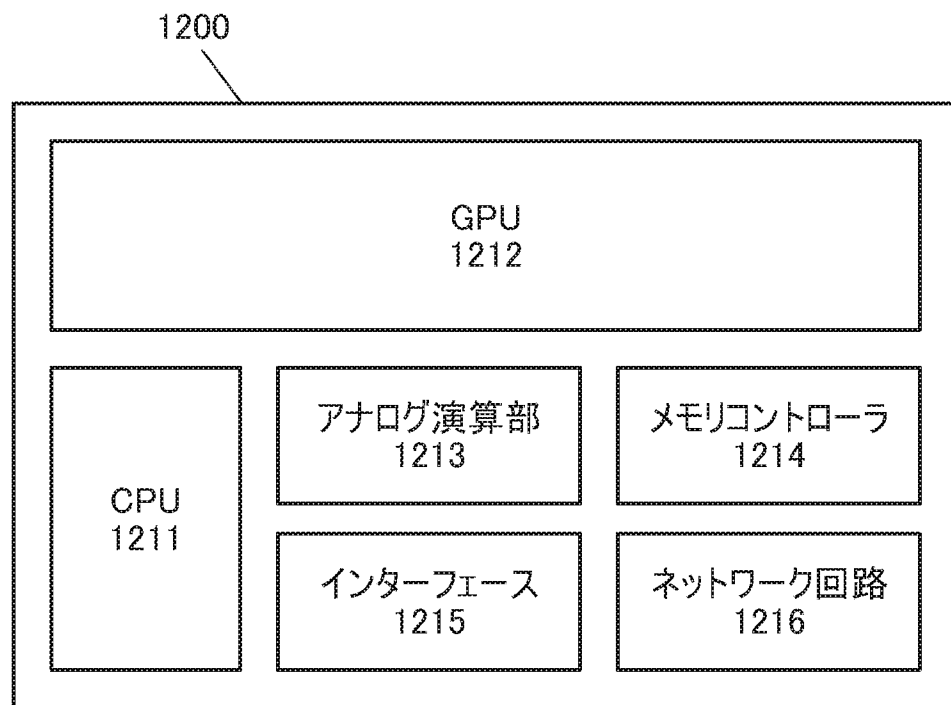
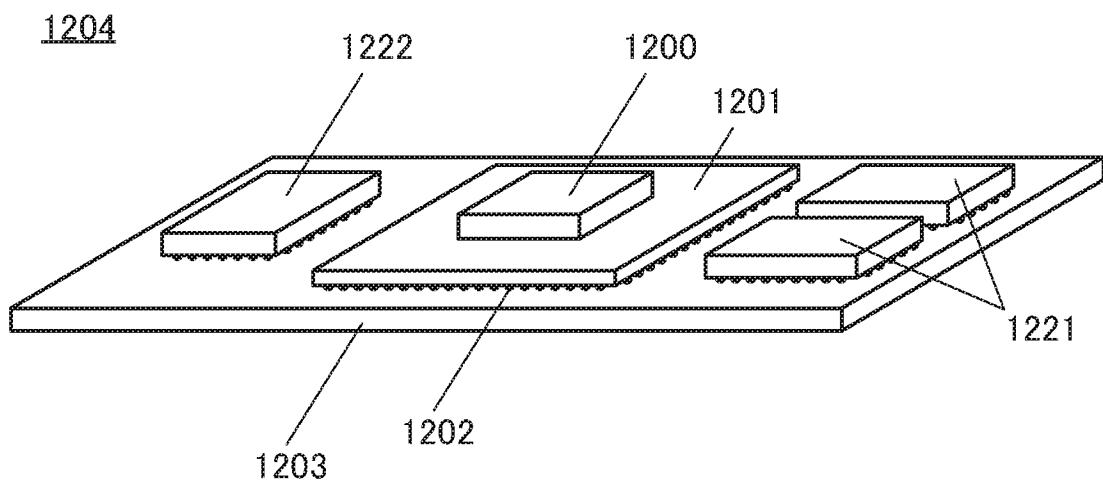


図19B



20/28

图20A

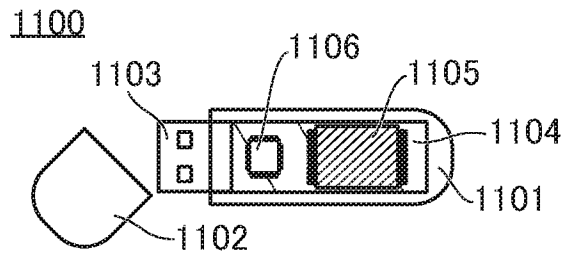


图20B

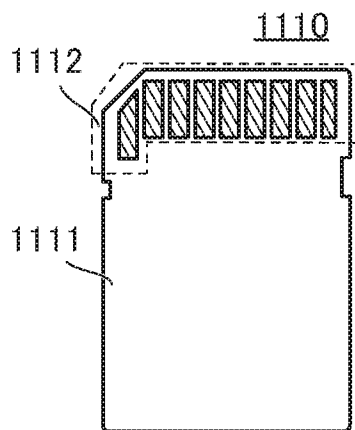


图20C

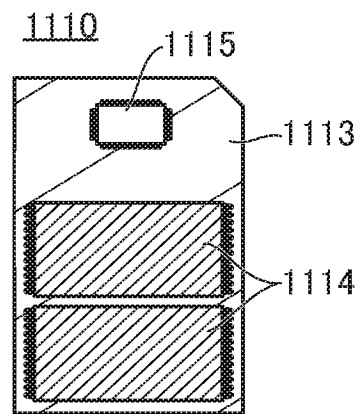


图20D

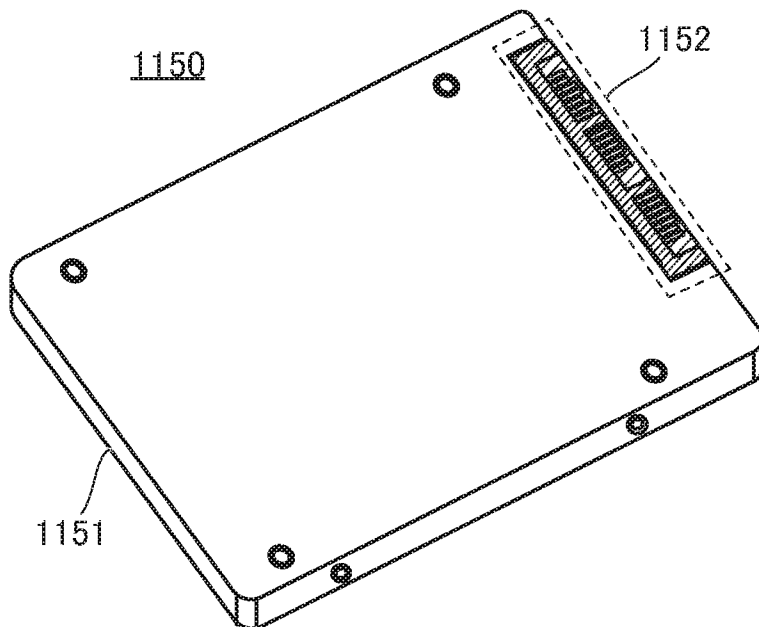
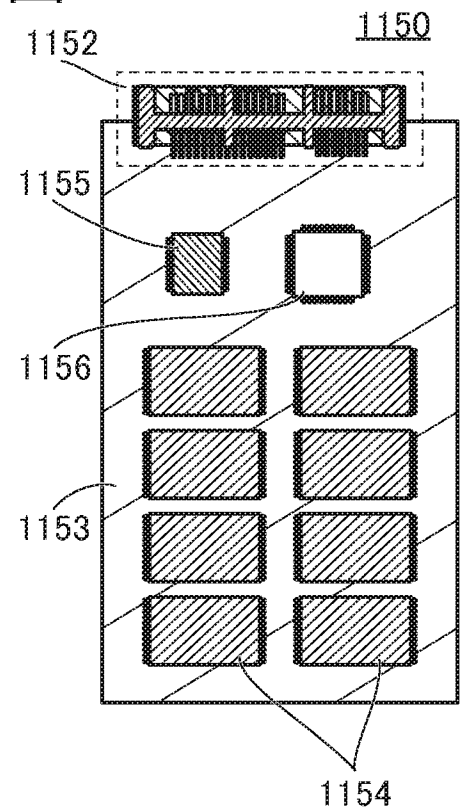


图20E



21/28

図21A

5100

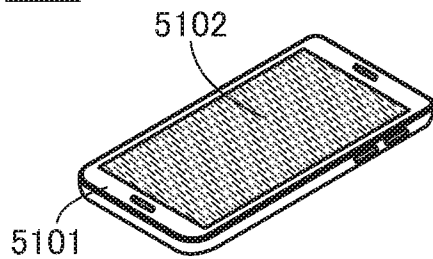


図21B

5200

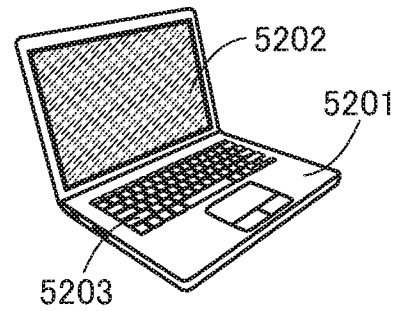


図21C

5300

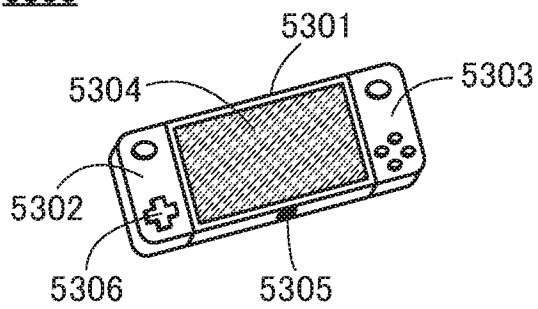


図21D

5400

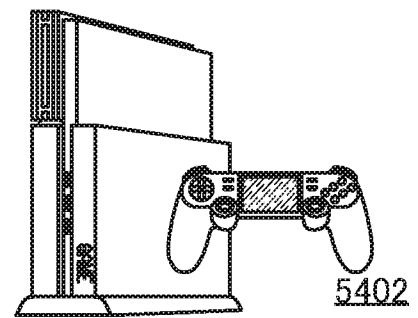


図21E

5500

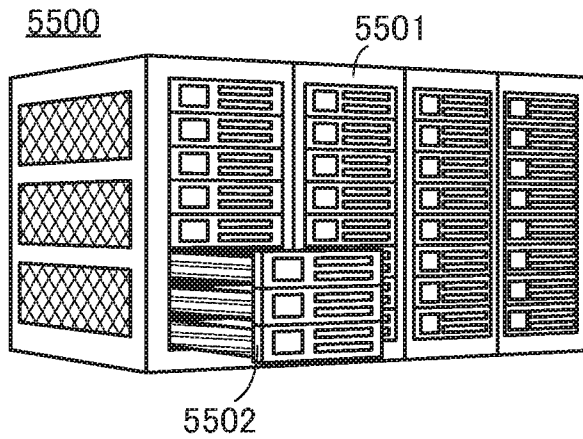


図21F

5502

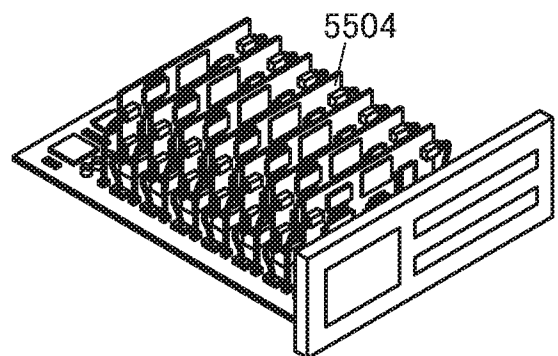


図21G

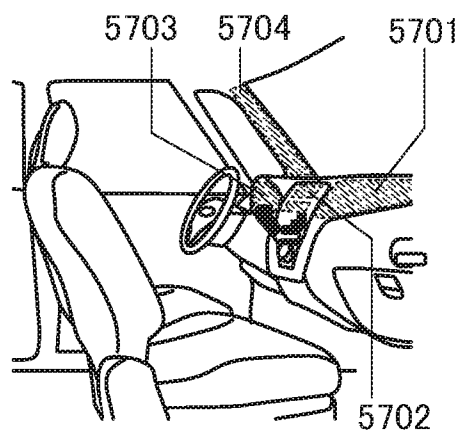
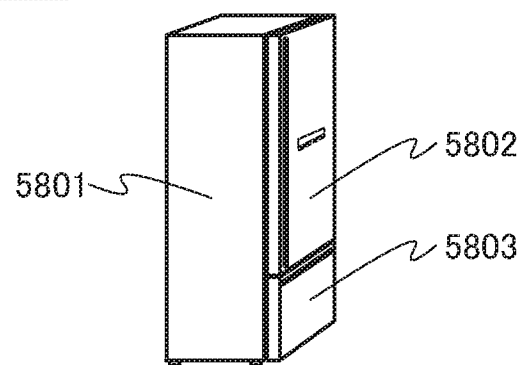


図21H

5800



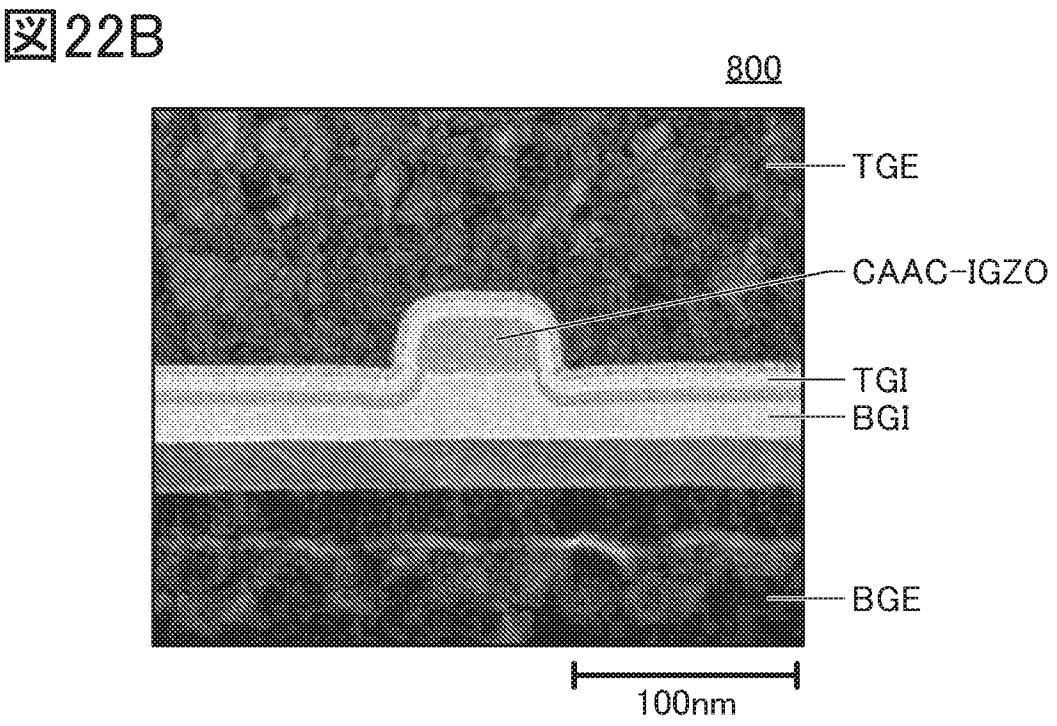
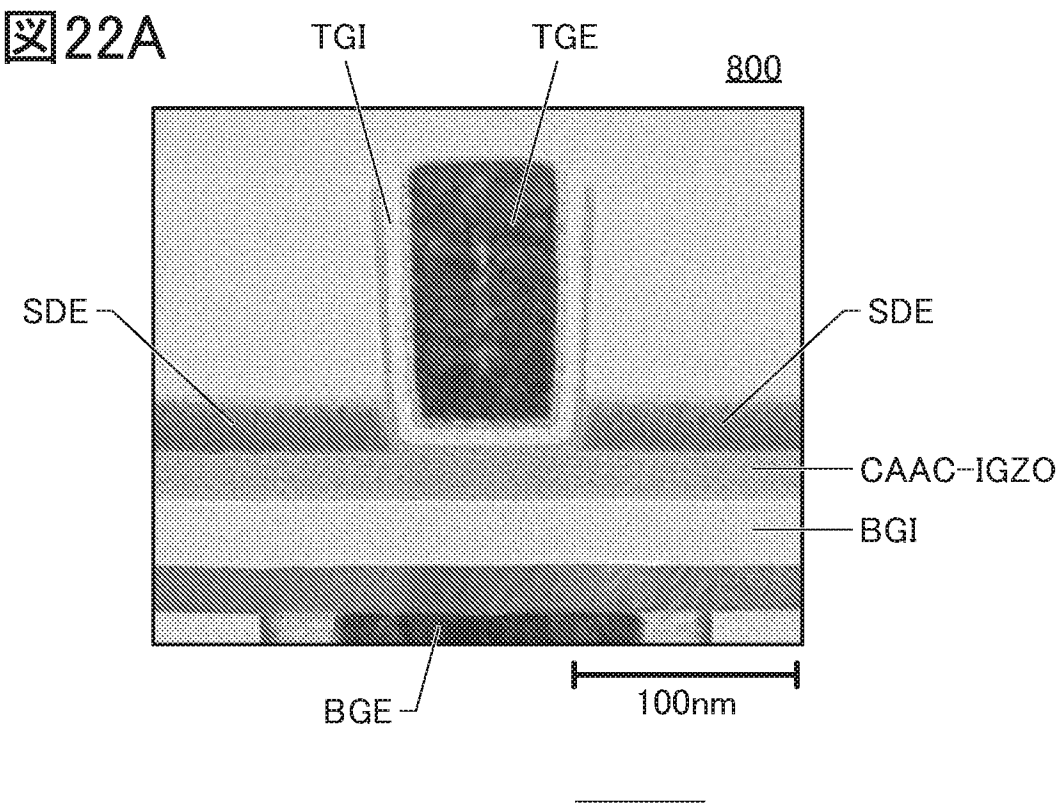


図23

23/28

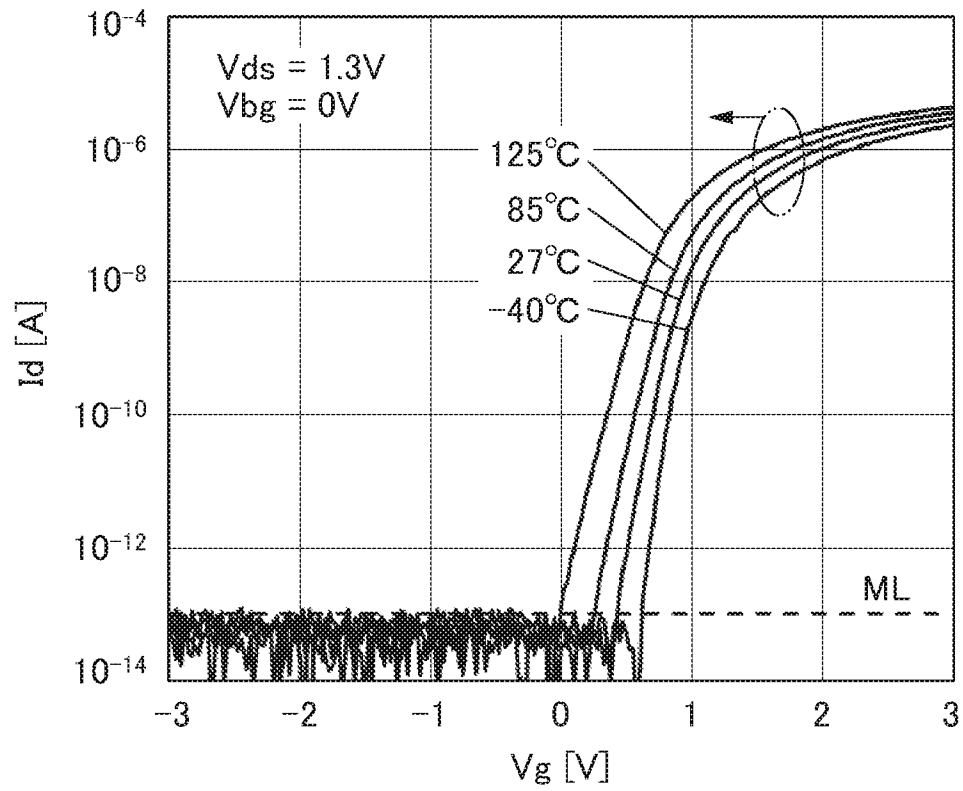


図24A

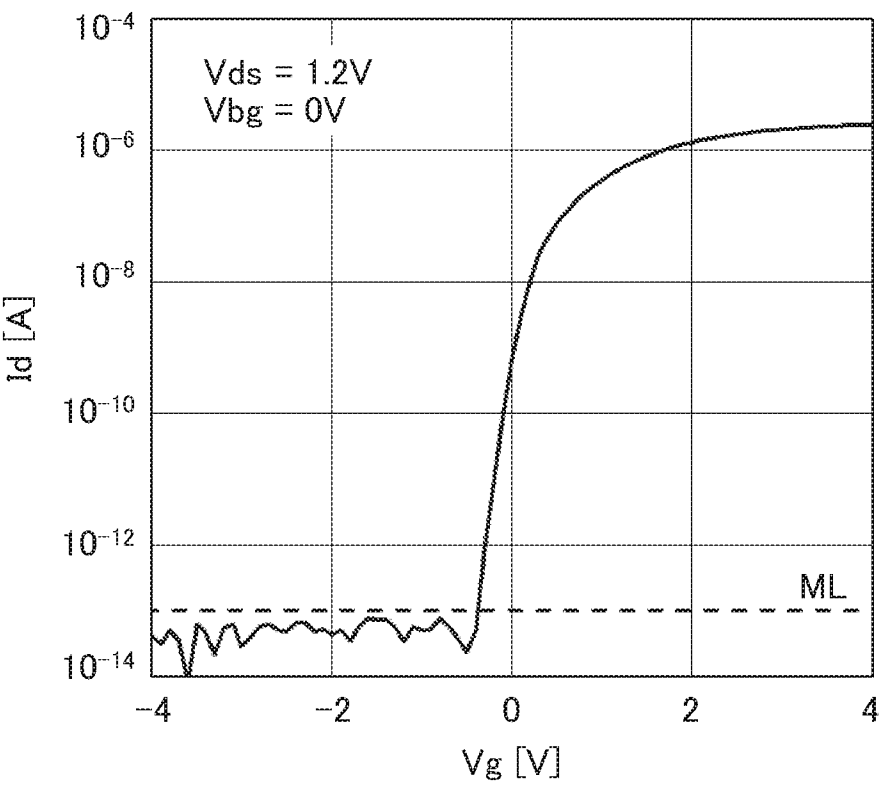
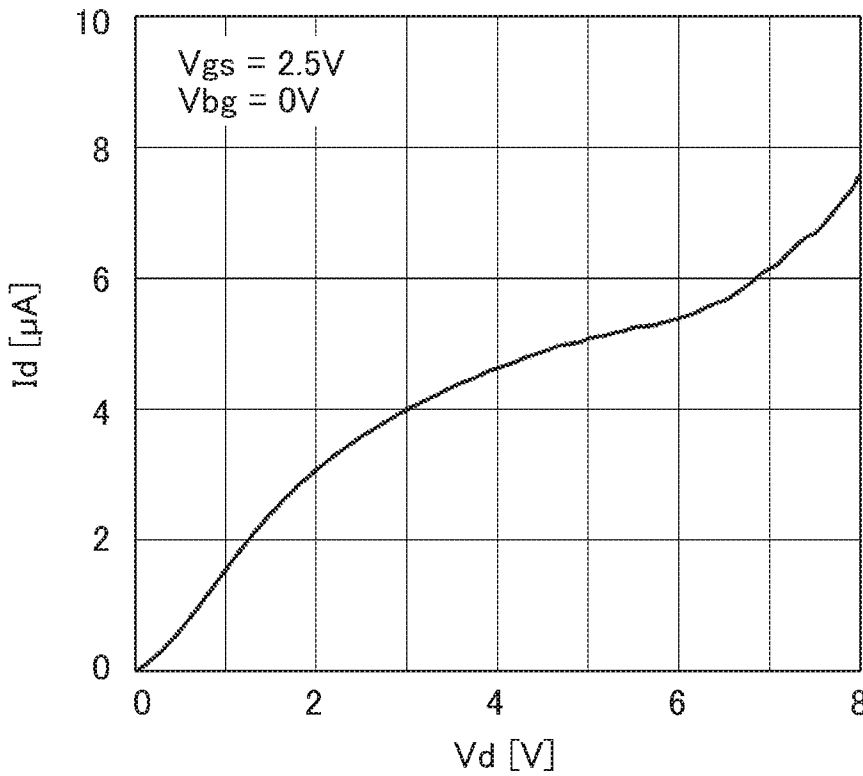


図24B



25/28

図25A

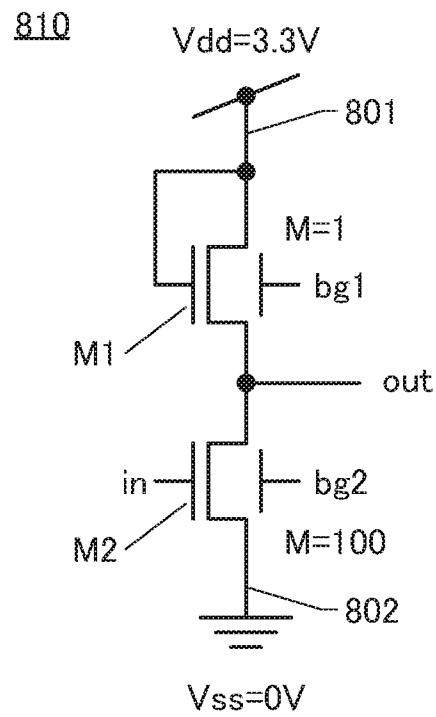
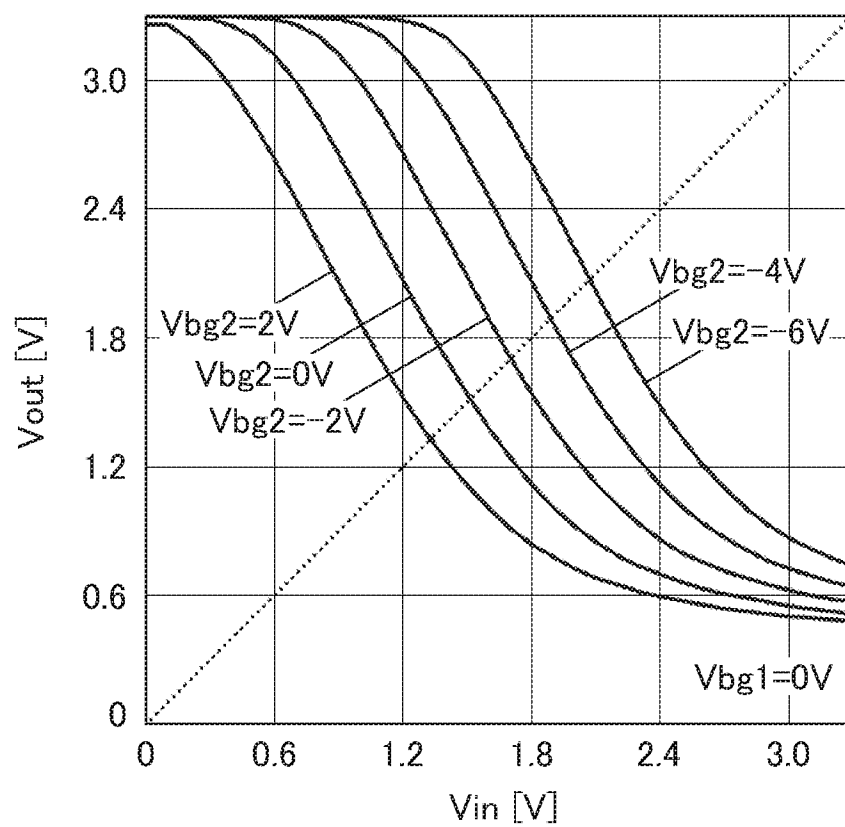


図25B



26/28

图26A

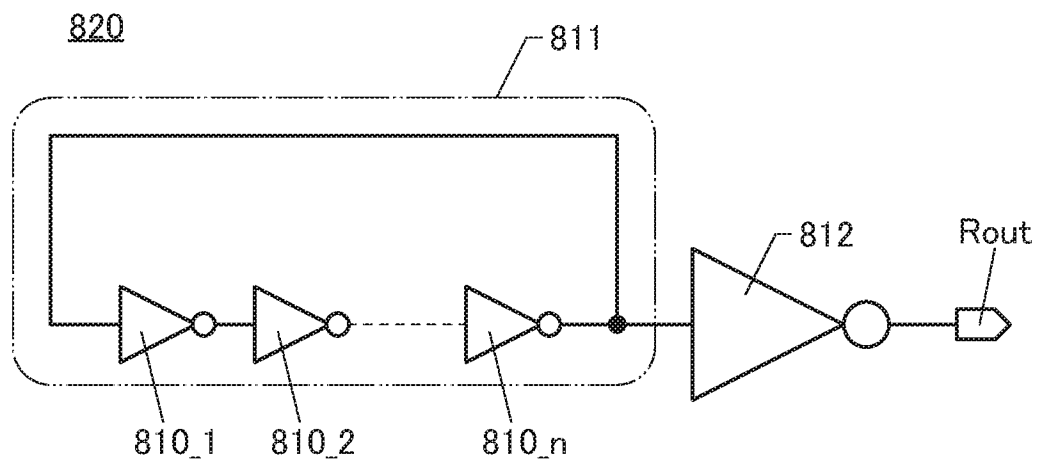


图26B

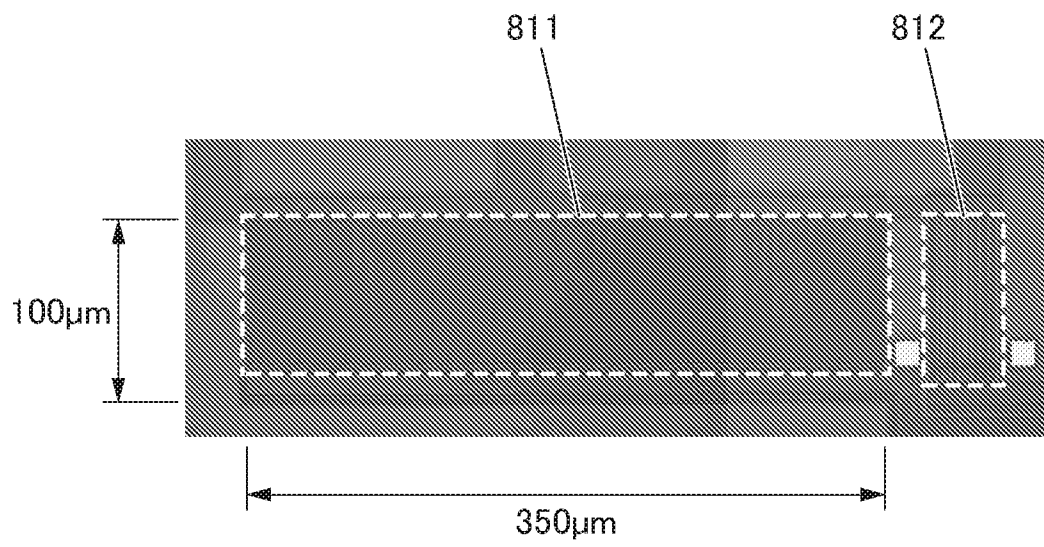


図27

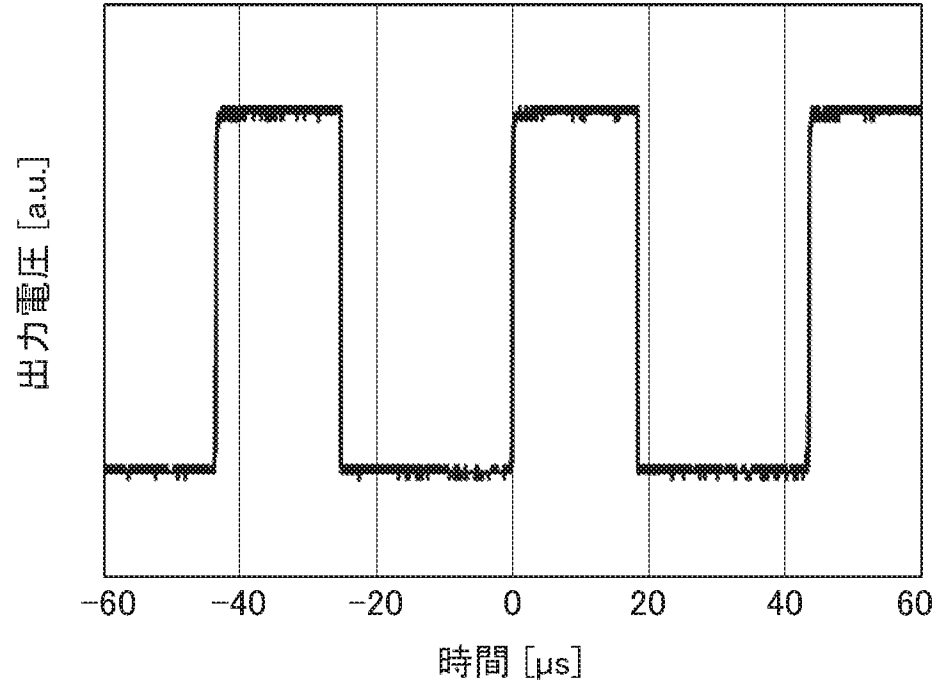
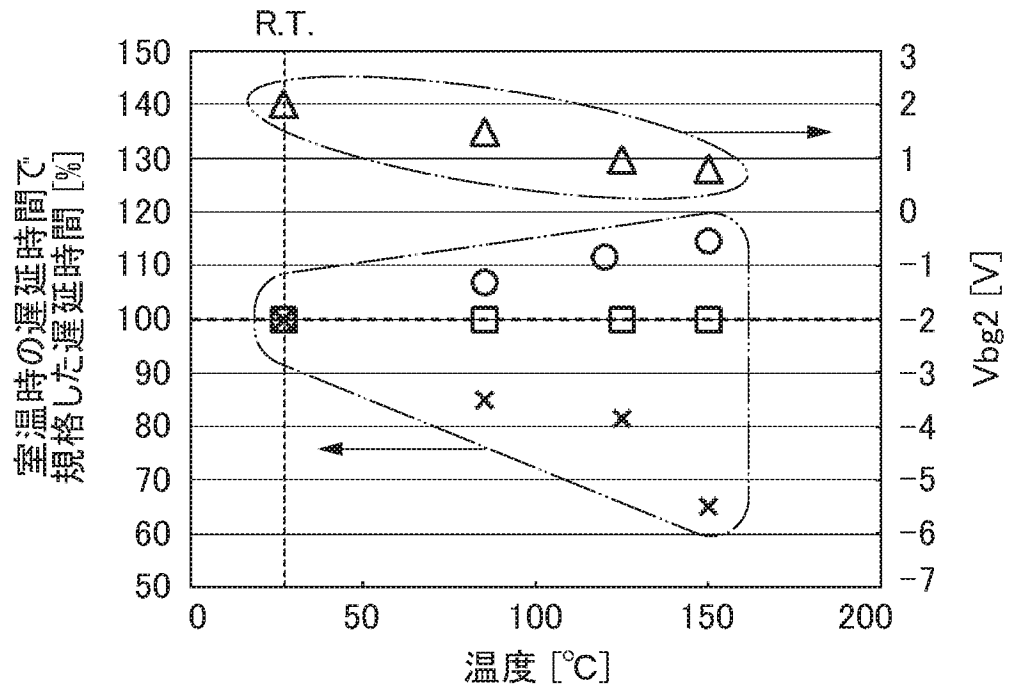


図28

28/28



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/053916

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8242(2006.01)i;
H01L 27/088(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i;
H03K 3/03(2006.01)i

FI: H01L29/78 614; H01L27/088 B; H01L27/088 331E; H01L27/088 E;
H01L27/108 321; H01L29/78 618B; H01L27/1156; H01L27/108 671Z;
H03K3/03; H01L29/78 617N; H01L27/088 J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/8234; H01L21/8242; H01L27/088; H01L27/108;
H01L27/1156; H03K3/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2018/0246160 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 30.08.2018 (2018-08-30) paragraphs [0033]-[0034], fig. 5, 6	1-5 6
Y A	JP 2015-79949 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23.04.2015 (2015-04-23) paragraphs [0023]-[0090], [0101], [0111], fig. 1, 2, 10B	1-5 6
A	JP 2016-32297 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07.03.2016 (2016-03-07)	1-6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 July 2020 (10.07.2020)

Date of mailing of the international search report
21 July 2020 (21.07.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/053916

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2018/0246160 A1	30 Aug. 2018	CN 108508340 A	
JP 2015-79949 A	23 Apr. 2015	US 2015/0077162 A1 paragraphs [0052]- [0119], [0130], [0140], fig. 1A-2D, 10B	
JP 2016-32297 A	07 Mar. 2016	KR 10-2015-0031206 A US 2016/0028347 A1 WO 2016/012893 A1 TW 201605165 A KR 10-2017-0035946 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/088(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i; H03K 3/03(2006.01)i FI: H01L29/78 614; H01L27/088 B; H01L27/088 331E; H01L27/088 E; H01L27/108 321; H01L29/78 618B; H01L27/1156; H01L27/108 671Z; H03K3/03; H01L29/78 617N; H01L27/088 J																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; H01L21/8234; H01L21/8242; H01L27/088; H01L27/108; H01L27/1156; H03K3/03 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2020年																			
日本国実用新案登録公報	1996-2020年																			
日本国登録実用新案公報	1994-2020年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 2018/0246160 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 30.08.2018 (2018-08-30) 段落0033-0034、図5, 6</td> <td>1-5</td> </tr> <tr> <td>A</td> <td></td> <td>6</td> </tr> <tr> <td>Y</td> <td>JP 2015-79949 A (株式会社半導体エネルギー研究所) 23.04.2015 (2015-04-23) 段落0023-0090, 0101, 0111、図1, 2, 10B</td> <td>1-5</td> </tr> <tr> <td>A</td> <td></td> <td>6</td> </tr> <tr> <td>A</td> <td>JP 2016-32297 A (株式会社半導体エネルギー研究所) 07.03.2016 (2016-03-07)</td> <td>1-6</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	US 2018/0246160 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 30.08.2018 (2018-08-30) 段落0033-0034、図5, 6	1-5	A		6	Y	JP 2015-79949 A (株式会社半導体エネルギー研究所) 23.04.2015 (2015-04-23) 段落0023-0090, 0101, 0111、図1, 2, 10B	1-5	A		6	A	JP 2016-32297 A (株式会社半導体エネルギー研究所) 07.03.2016 (2016-03-07)	1-6
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	US 2018/0246160 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 30.08.2018 (2018-08-30) 段落0033-0034、図5, 6	1-5																		
A		6																		
Y	JP 2015-79949 A (株式会社半導体エネルギー研究所) 23.04.2015 (2015-04-23) 段落0023-0090, 0101, 0111、図1, 2, 10B	1-5																		
A		6																		
A	JP 2016-32297 A (株式会社半導体エネルギー研究所) 07.03.2016 (2016-03-07)	1-6																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 10.07.2020		国際調査報告の発送日 21.07.2020																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/053916

引用文献			公表日	パテントファミリー文献			公表日
US	2018/0246160	A1	30.08.2018	CN	108508340	A	
JP	2015-79949	A	23.04.2015	US	2015/0077162	A1	
				段落0052-0119, 0130, 0140、図1A-2D, 10B			
				KR	10-2015-0031206	A	
JP	2016-32297	A	07.03.2016	US	2016/0028347	A1	
				WO	2016/012893	A1	
				TW	201605165	A	
				KR	10-2017-0035946	A	