



(12) 发明专利申请

(10) 申请公布号 CN 103839819 A

(43) 申请公布日 2014. 06. 04

(21) 申请号 201210488155. 5

(22) 申请日 2012. 11. 25

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路 3#

(72) 发明人 殷华湘 朱慧珑 钟汇才

(74) 专利代理机构 北京蓝智辉煌知识产权代理
事务所(普通合伙) 11345
代理人 陈红

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

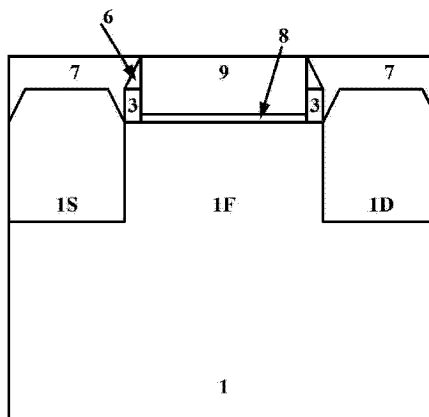
权利要求书1页 说明书5页 附图5页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明公开了一种半导体器件制造方法,包括:在衬底上形成沿第一方向延伸的多个鳍片;在鳍片顶部形成盖层;在鳍片和盖层上形成沿第二方向延伸的假栅极堆叠结构;在假栅极堆叠结构沿第一方向的两侧形成栅极侧墙,位于盖层上;去除假栅极堆叠结构,形成栅极沟槽;在栅极沟槽中形成栅极堆叠结构。依照本发明的半导体器件及其制造方法,在鳍片形成之后额外增添了较厚的盖层以避免在后续刻蚀过程中受到损伤,有效提高了器件的性能和可靠性。



1. 一种半导体器件制造方法,包括:
在衬底上形成沿第一方向延伸的多个鳍片;
在鳍片顶部形成盖层;
在鳍片和盖层上形成沿第二方向延伸的假栅极堆叠结构;
在假栅极堆叠结构沿第一方向的两侧形成栅极侧墙,位于盖层上;
去除假栅极堆叠结构,形成栅极沟槽;
在栅极沟槽中形成栅极堆叠结构。
2. 如权利要求 1 的方法,其中,在衬底上形成沿第一方向延伸的多个鳍片的步骤进一步包括:刻蚀衬底形成沿第一方向延伸的多个沟槽,沟槽之间的衬底剩余部分构成多个鳍片;在沟槽中填充绝缘材料构成浅沟槽隔离。
3. 如权利要求 1 的方法,其中,盖层包括氧化硅、氮化硅、氮氧化硅、非晶碳、类金刚石无定形碳(DLC)及其组合。
4. 如权利要求 1 的方法,其中,盖层厚度为 2 ~ 30nm。
5. 如权利要求 1 的方法,其中,形成假栅极堆叠结构的步骤进一步包括:
在鳍片和盖层上形成假栅极绝缘层和假栅极层;
平坦化假栅极层;
图案化假栅极层和假栅极绝缘层,直至暴露盖层,形成沿第二方向延伸的假栅极堆叠结构。
6. 如权利要求 1 的方法,其中,形成栅极侧墙的同时,还减薄了盖层。
7. 如权利要求 1 的方法,其中,形成栅极侧墙之后,进一步包括:
以栅极侧墙为掩模,刻蚀鳍片,形成源漏沟槽;
在源漏沟槽中外延生长形成抬升源漏区。
8. 如权利要求 1 的方法,其中,形成栅极沟槽步骤中,去除假栅极堆叠结构之后进一步包括完全或者部分去除盖层。
9. 如权利要求 8 的方法,其中,去除盖层之后进一步包括在栅极沟槽中形成界面层。
10. 一种半导体器件,包括:衬底上沿第一方向延伸的多个鳍片,沿第二方向延伸并且跨越了每个鳍片的栅极,位于栅极两侧的鳍片上的源漏区以及栅极侧墙,其中,栅极侧墙与鳍片之间还具有盖层。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法,特别是涉及一种能避免硅鳍片刻蚀损伤的三维多栅 FinFET 及其制造方法。

背景技术

[0002] 在当前的亚 20nm 技术中,三维多栅器件 (FinFET 或 Tri-gate) 是主要的器件结构,这种结构增强了栅极控制能力、抑制了漏电与短沟道效应。

[0003] 例如,双栅 SOI 结构的 MOSFET 与传统的单栅体 Si 或者 SOI MOSFET 相比,能够抑制短沟道效应 (SCE) 以及漏致感应势垒降低 (DIBL) 效应,具有更低的结电容,能够实现沟道轻掺杂,可以通过设置金属栅极的功函数来调节阈值电压,能够得到约 2 倍的驱动电流,降低了对于有效栅氧厚度 (EOT) 的要求。而三栅器件与双栅器件相比,栅极包围了沟道区顶面以及两个侧面,栅极控制能力更强。进一步地,全环绕纳米线多栅器件更具有优势。

[0004] 现有的 FinFET 结构以及制造方法通常包括:在体 Si 或者 SOI 衬底中刻蚀形成多个平行的沿第一方向延伸的鳍片和沟槽;在沟槽中填充绝缘材料形成浅沟槽隔离 (STI);在鳍片顶部以及侧壁沉积通常为氧化硅的较薄(例如仅 1~2nm)假栅极绝缘层,在假栅极绝缘层上沉积通常为多晶硅、非晶硅的假栅极层;刻蚀假栅极层和假栅极绝缘层,形成沿第二方向延伸的假栅极堆叠,其中第二方向优选地垂直于第一方向;在假栅极堆叠的沿第一方向的两侧沉积并刻蚀形成栅极侧墙;刻蚀栅极侧墙的沿第一方向的两侧的鳍片形成源漏沟槽,并在源漏沟槽中外延形成源漏区;在晶片上沉积层间介质层 (ILD);刻蚀去除假栅极堆叠,在 ILD 中留下栅极沟槽;在栅极沟槽中沉积高 k 材料的栅极绝缘层以及金属/金属合金/金属氮化物的栅极导电层。

[0005] 值得注意的是,在上述三维多栅 FinFET 中,由于鳍片顶部无较厚的 SiO₂ 或其它绝缘层保护,在随后的刻蚀工艺中,包括假栅条刻蚀、侧墙刻蚀等工艺中,由于需要大量的过刻步骤以消除硅 Fin 两侧寄生的假栅或侧墙,这些工艺将在硅 Fin 顶部产生刻蚀损伤,超薄的假栅绝缘层无法对超量的过刻工艺进行刻蚀选择保护。这些损伤将影响器件沟道区的性能,降低器件的整体性能和可靠性。

发明内容

[0006] 由上所述,本发明的目的在于克服上述技术困难,提出一种新的 FinFET 结构及其制造方法,能有效避免鳍片顶部在刻蚀过程中受损伤,提高了器件的性能和可靠性。

[0007] 为此,本发明提供了一种半导体器件制造方法,包括:在衬底上形成沿第一方向延伸的多个鳍片;在鳍片顶部形成盖层;在鳍片和盖层上形成沿第二方向延伸的假栅极堆叠结构;在假栅极堆叠结构沿第一方向的两侧形成栅极侧墙,位于盖层上;去除假栅极堆叠结构,形成栅极沟槽;在栅极沟槽中形成栅极堆叠结构。

[0008] 其中,在衬底上形成沿第一方向延伸的多个鳍片的步骤进一步包括:刻蚀衬底形成沿第一方向延伸的多个沟槽,沟槽之间的衬底剩余部分构成多个鳍片;在沟槽中填充绝

缘材料构成浅沟槽隔离。

[0009] 其中,盖层包括氧化硅、氮化硅、氮氧化硅、非晶碳、类金刚石无定形碳(DLC)及其组合。

[0010] 其中,盖层厚度为2~30nm。

[0011] 其中,形成假栅极堆叠结构的步骤进一步包括:在鳍片和盖层上形成假栅极绝缘层和假栅极层;平坦化假栅极层;图案化假栅极层和假栅极绝缘层,直至暴露盖层,形成沿第二方向延伸的假栅极堆叠结构。

[0012] 其中,形成栅极侧墙的同时,还减薄了盖层。

[0013] 其中,形成栅极侧墙之后,进一步包括:以栅极侧墙为掩模,刻蚀鳍片,形成源漏沟槽;在源漏沟槽中外延生长形成抬升源漏区。

[0014] 其中,形成栅极沟槽步骤中,去除假栅极堆叠结构之后进一步包括完全或者部分去除盖层。

[0015] 其中,去除盖层之后进一步包括在栅极沟槽中形成界面层。

[0016] 本发明还提供了一种半导体器件,包括:衬底上沿第一方向延伸的多个鳍片,沿第二方向延伸并且跨越了每个鳍片的栅极,位于栅极两侧的鳍片上的源漏区以及栅极侧墙,其中,栅极侧墙与鳍片之间还具有盖层。

[0017] 依照本发明的半导体器件及其制造方法,在鳍片形成之后额外增添了较厚的盖层以避免在后续刻蚀过程中受到损伤,有效提高了器件的性能和可靠性。

附图说明

[0018] 以下参照附图来详细说明本发明的技术方案,其中:

[0019] 图1A和图1B为依照本发明的FinFET制造方法步骤的剖面示意图;

[0020] 图2A和图2B为依照本发明的FinFET制造方法步骤的剖面示意图;

[0021] 图3A和图3B为依照本发明的FinFET制造方法步骤的剖面示意图;

[0022] 图4A和图4B为依照本发明的FinFET制造方法步骤的剖面示意图;

[0023] 图5A和图5B为依照本发明的FinFET制造方法步骤的剖面示意图;

[0024] 图6A和图6B为依照本发明的FinFET制造方法步骤的剖面示意图;

[0025] 图7A和图7B为依照本发明的FinFET制造方法步骤的剖面示意图;

[0026] 图8A和图8B为依照本发明的FinFET制造方法步骤的剖面示意图;以及

[0027] 图9A和图9B为依照本发明的FinFET制造方法步骤的剖面示意图。

具体实施方式

[0028] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果,公开了有效避免鳍片顶部在刻蚀过程中受损伤、提高了器件的性能和可靠性的三维多栅FinFET及其制造方法。需要指出的是,类似的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

[0029] 值得注意的是,以下某图A是沿垂直于沟道方向(沿第二方向)的剖视图,某图B是沿平行于沟道方向(沿第一方向)的剖视图。

[0030] 参照图 1A 以及图 1B, 形成沿第一方向延伸的多个鳍片结构, 其中第一方向为未来器件沟道区延伸方向。提供衬底 1, 衬底 1 依照器件用途需要而合理选择, 可包括单晶硅 (Si)、单晶锗 (Ge)、应变硅 (Strained Si)、锗硅 (SiGe), 或是化合物半导体材料, 例如氮化镓 (GaN)、砷化镓 (GaAs)、磷化铟 (InP)、锑化铟 (InSb), 以及碳基半导体例如石墨烯、SiC、碳纳管等等。出于与 CMOS 工艺兼容的考虑, 衬底 1 优选地为体 Si。光刻 / 刻蚀衬底 1, 在衬底 1 中形成多个沿第一方向平行分布的沟槽 1G 以及沟槽 1G 之间剩余的衬底 1 材料所构成的鳍片 1F。沟槽 1G 的深宽比优选地大于 5 : 1。在鳍片 1F 之间的沟槽 1G 中通过 PECVD、HDPCVD、RTO (快速热氧化) 等工艺沉积填充材质例如为氧化硅、氮氧化硅的绝缘隔离介质层, 从而构成了浅沟槽隔离 (STI) 2。此外, 在鳍片 1F 的顶部通过 LPCVD、PECVD、HDPCVD、RTO、MBE、ALD 等方法形成材质例如为氧化硅、氮化硅、氮氧化硅、非晶碳、类金刚石无定形碳 (DLC) 等材质的盖层 3, 用于在后续刻蚀过程中保护鳍片 1F 的顶部。盖层 3 可以与 STI2 采用同样的材质而同时形成, 也可以在形成 STI2 之后或者之前采用不同的材质而单独形成。在本发明一个实施例中, 盖层 3 与 STI2 均为氧化硅, 同时形成。盖层 3 的厚度要大于现有技术的假栅极绝缘层 (稍后的层 4), 盖层 3 的厚度例如为 2 ~ 30nm 并优选 5 ~ 15nm。

[0031] 参照图 2A 以及图 2B, 在晶片衬底上沉积假栅极绝缘层 4 和假栅极层 5。通过 LPCVD、PECVD、HDPCVD、RTO、MBE、ALD、MOCVD、蒸发、溅射等常规方法, 依次在衬底 1 上沉积假栅极绝缘层 4 和假栅极层 5, 使得假栅极绝缘层 4 覆盖了 STI2 的顶部、鳍片 1F 上盖层 3 的顶部、鳍片 1F 的侧壁, 假栅极层 5 覆盖假栅极绝缘层 4 并在盖层 3 上具有相应的突起。假栅极绝缘层 4 厚度例如仅 1 ~ 5nm 并优选 1 ~ 3nm, 其材质例如是氧化硅。假栅极层 5 材质例如是多晶硅、非晶硅、非晶锗、非晶碳、SiGe、Si : C 及其组合, 其厚度例如为 20 ~ 500nm。此外, 以上各层的厚度不必按照图示的比例, 而是根据具体的器件尺寸以及电学性能需求而合理设定

[0032] 参照图 3A 以及图 3B, 平坦化假栅极层 5。采用化学机械抛光 (CMP) 或者回刻 (etch-back) 技术, 平坦化假栅极层 5, 消除盖层 3 顶部的突起。

[0033] 参照图 4A 以及图 4B, 图案化假栅极层 5 和假栅极绝缘层 4, 形成假栅极堆叠。可以在假栅极层 5 上涂覆光刻胶形成软掩模、或者沉积并刻蚀形成氮化硅等材质的硬掩模 (均未示出), 以软 / 硬掩模为掩模, 刻蚀假栅极层 5 和假栅极绝缘层 4, 形成沿第二方向延伸的假栅极堆叠 5/4。其中, 刻蚀可以是湿法刻蚀, 例如采用 TMAH 针对硅材质的假栅极层 5、稀释的缓释刻蚀剂 (dBOE) 或者稀释氢氟酸 (dHF) 针对氧化硅材质的假栅极绝缘层 4; 刻蚀也可以是干法刻蚀, 例如采用等离子体刻蚀、反应离子刻蚀 (RIE), 刻蚀气体可以是碳氟基气体、氯基气体, 并且可以增加氧气等氧化性气体以及惰性气体以调节刻蚀速率。刻蚀停止在盖层 3 上, 盖层 3 的顶部基本不受或者仅受少量刻蚀 (过刻蚀比例小于 5%, 也即盖层 3 厚度损失小于 5%)。由于盖层 3 的保护, 鳍片 1F 的顶部在此过程中并未受到刻蚀剂的影响, 确保了性能稳定。

[0034] 参照图 5A 以及图 5B, 在假栅极堆叠 5/4 沿第一方向的两侧形成栅极侧墙 6。在假栅极堆叠以及盖层 3 上, 通过 LPCVD、PECVD、HDPCVD、MOCVD、MBE、ALD 等方法沉积氮化硅、非晶碳、DLC 等材料及其组合, 并采用湿法或者干法刻蚀, 形成栅极侧墙 6。在本发明一个实施例中, 刻蚀方法是 RIE。值得注意的是, 由于盖层 3 在图 4 所示步骤中已经受了第一次刻

蚀,而在图 5 所示步骤中再次经受形成栅极侧墙 6 的第二次刻蚀,在栅极侧墙 6 下方以外区域的盖层 3 的厚度可以略微减少,例如仅为原始厚度的 $2/3 \sim 1/4$,但是仍保留了 $1/4$ 以上的厚度,以便继续保护鳍片 1F 顶部。而栅极侧墙 6 下方区域的盖层 3 由于受到栅极侧墙 6 的保护,在第二次刻蚀过程中保持相对完整,也即其厚度基本等于原始厚度,例如 $2 \sim 30\text{nm}$ 并优选 $5 \sim 15\text{nm}$ 。由此,如图 5B 所示,盖层 3 在沿第一方向的剖面上显示为中间厚、两侧薄的倒 T 型结构。

[0035] 参照图 6A 以及图 6B,以栅极侧墙 6 为掩模,刻蚀鳍片 1F 形成源漏沟槽,并在源漏沟槽中外延生长形成抬升的源漏区 1S 与 1D。在本发明一个实施例中,采用各向异性的刻蚀方法沿栅极侧墙 6 的两侧向下刻蚀完全去除栅极侧墙 6 下方区域之外的盖层 3 以及继续刻蚀下方的鳍片 1F,直至抵达鳍片 1F 与衬底 1 之间的界面,也即 STI2 的底部,形成具有垂直侧壁的源漏区凹槽(未示出)。在本发明的其他实施例中,可以继续采用各向同性的刻蚀方法横向刻蚀源漏区凹槽的垂直侧壁,在鳍片 1F 的顶部的侧面以及下方形成朝向沟道区凹进的源漏区凹槽,优选地互相穿通从而使得鳍片 1F 的顶部部分地或者完全与衬底 1 分离,从而提供良好绝缘隔离。横向凹进的源漏区凹槽的截面形状依照需要可以是 Σ 形(多段折线构成)、梯形、倒梯形、三角形、D 形(曲面的一半,曲面例如为圆球面、椭圆球面、双曲面、马鞍面等等)、C 形(曲面的大部分,超过曲面的一半,其中曲面例如为圆球面、椭圆球面、双曲面、马鞍面等等)、矩形等。在上述形成的垂直或者具有凹进部分的源漏沟槽中,通过 UHV CVD、MOCVD、ALD、MBE、常压外延等外延生长工艺,在上述源漏凹槽中外延生长了嵌入式的源漏区 1S 和 1D,源漏区 1S/1D 之间(沿第一方向)的鳍片 1F 的顶部构成器件的沟道区。对于 PMOS 而言,源漏区 1S/1D 可以是 SiGe、SiSn、GeSn、Si 等及其组合,从而向沟道区施加压应力,提高空穴迁移率;而对于 NMOS 而言,源漏区 1S/1D 可以是 Si : C、Si : H、SiGe : C、Si 等及其组合,从而向沟道区施加张应力,提高电子迁移率。其中,如图 6B 所示,源漏区 1S/1D 顶部高于鳍片 1F 的沟道区(因此构成提升源漏,可以有效降低接触电阻)并且低于假栅极层 5 的顶部,这种配置仅出于示意目的,因此顶部高度差可以任意设定。优选地,在外延生长源漏区的同时可以进行原位掺杂,以改变源漏区导电类型和浓度。此外,可以在外延生长之后进行源漏离子注入。掺杂方法为外延之后的离子注入、多角度离子注入,等离子体掺杂,分子层或者原子层沉积掺杂。掺杂深度可以是包覆源漏鳍片的表面掺杂,也可以是体掺杂。依照 MOSFET 类型而调整源漏区的导电类型,例如对于 NMOS 而言掺杂磷 P、砷 As、锑 Sb 等,对于 PMOS 而言掺杂硼 B、铝 Al、镓 Ga、铟 In 等。随后可以退火以激活上述各种掺杂剂。优选地,在源漏区顶部形成金属硅化物以降低源漏接触电阻。

[0036] 参照图 7A 和图 7B,在晶片衬底上形成层间介质层(ILD)7。ILD7 的材质例如是氧化硅、氮氧化硅或低 k 材料,低 k 材料包括但不限于有机低 k 材料(例如含芳基或者多元环的有机聚合物)、无机低 k 材料(例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG)、多孔低 k 材料(例如二硅三氧烷(SSQ)基多孔低 k 材料、多孔二氧化硅、多孔 SiOCH、掺 C 二氧化硅、掺 F 多孔无定形碳、多孔金刚石、多孔有机聚合物),形成方法包括旋涂、喷涂、丝网印刷、CVD 沉积等方法。

[0037] 参照图 8A 和图 8B,采用刻蚀工艺去除假栅极堆叠 5/4,在 ILD 7 中留下栅极沟槽 7G。其中,刻蚀可以是湿法刻蚀,例如采用 TMAH 针对硅材质的假栅极层 5、稀释的缓释刻蚀剂(dBOE)或者稀释氢氟酸(dHF)针对氧化硅材质的假栅极绝缘层 4;刻蚀也可以是干法刻

蚀,例如采用等离子体刻蚀、反应离子刻蚀(RIE),刻蚀气体可以是碳氟基气体、氯基气体,并且可以增加氧气等氧化性气体以及惰性气体以调节刻蚀速率。刻蚀假栅极层5时,停止在假栅极绝缘层4上。刻蚀假栅极绝缘层4时,停止在盖层3上。之后,进一步向下刻蚀未被栅极侧墙6覆盖的盖层3,直至暴露鳍片1F。依照盖层3的材质,刻蚀可以是dBOE、dHF的湿法腐蚀,也可以是RIE等干法刻蚀。此时,假栅极绝缘层4下方的较厚的盖层3剩余的厚度足够保护鳍片1F顶部不受过刻蚀损伤,可以通过控制刻蚀时间来选择刻蚀终点。优选地,可以不用完全刻蚀去除盖层3,而是在鳍片1F栅极沟槽底部保留极薄(例如1~3nm)的氧化硅的盖层3部分(未示出)以便减小鳍片1F顶部沟道区与高k材料的栅极绝缘层(稍后的层8)之间的界面态,从而增强器件可靠性。或者,也可以在完全去除盖层3之后,采用化学氧化方法(例如在含有10ppm臭氧的去离子水中浸泡20s)以生成极薄的界面层。

[0038] 参照图9A和图9B,在栅极沟槽中形成栅极堆叠。在栅极沟槽中依次沉积高k材料的栅极绝缘层8以及金属/金属合金/金属氮化物材料的栅极导电层9,构成栅极堆叠结构。之后,可以采用现有工艺完成器件制造,例如包括: CMP平坦化栅极堆叠结构直至暴露ILD7;在ILD7中刻蚀源漏接触孔(未示出)直达源漏区1S/1D,在源漏接触孔中沉积金属氮化物的阻挡层以及金属材料的导电层,形成源漏接触塞(未示出)。

[0039] 最后形成的器件结构的立体图如图9A和9B所示,包括:衬底上沿第一方向延伸的多个鳍片,沿第二方向延伸(与第一方向相交并且优选地垂直)并且跨越了每个鳍片的栅极,位于栅极两侧的鳍片上的源漏区以及栅极侧墙,其中,栅极侧墙与鳍片之间还具有盖层。上述这些结构的材料和几何形状已在方法描述中详述,因此在此不再赘述。

[0040] 依照本发明的半导体器件及其制造方法,在鳍片形成之后额外增添了较厚的盖层以避免在后续刻蚀过程中受到损伤,有效提高了器件的性能和可靠性。

[0041] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

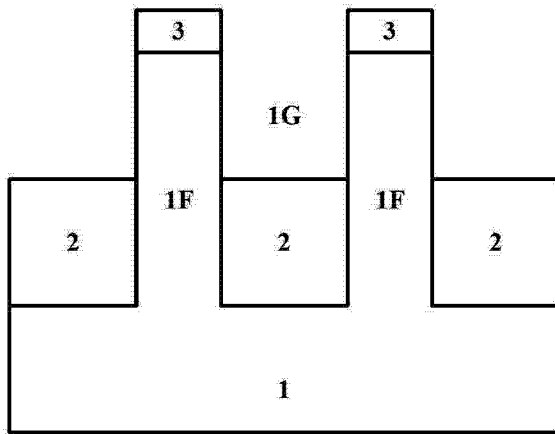


图 1A

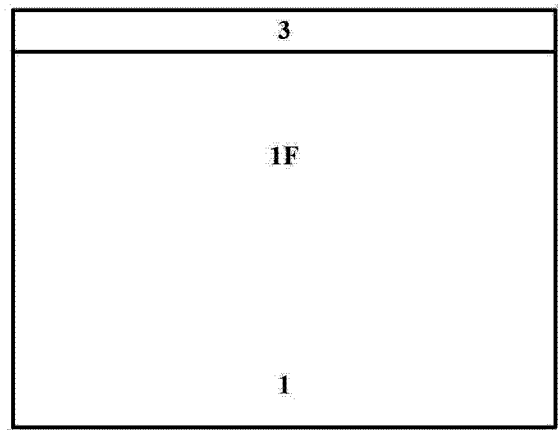


图 1B

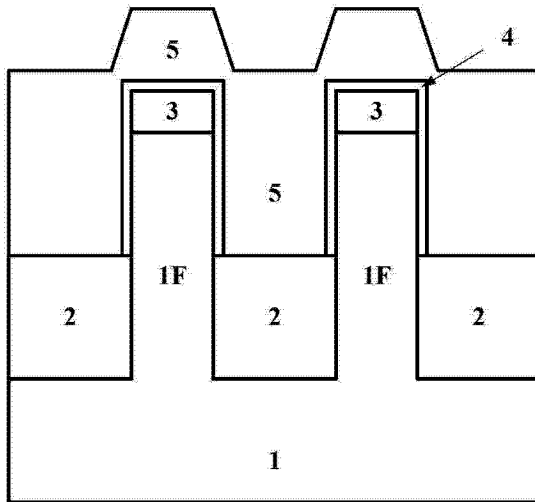


图 2A

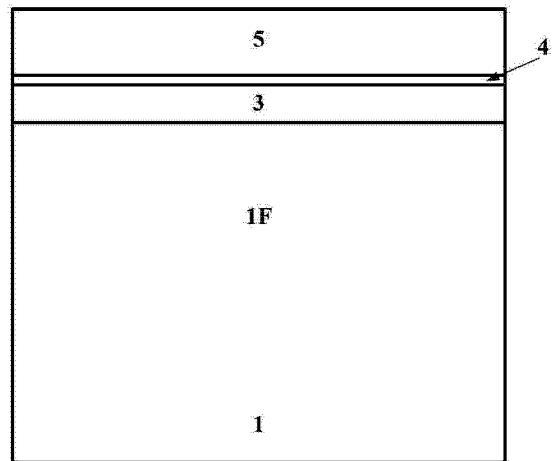


图 2B

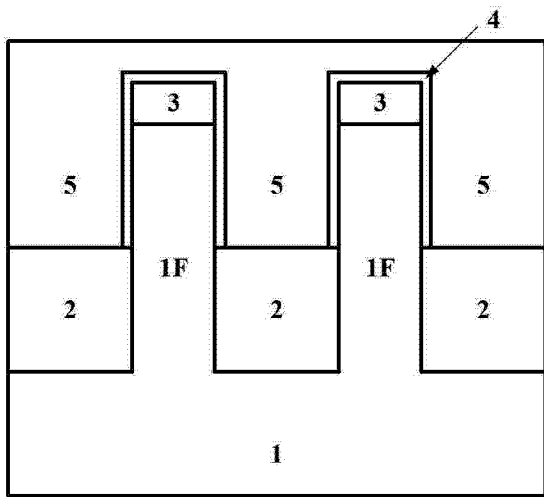


图 3A

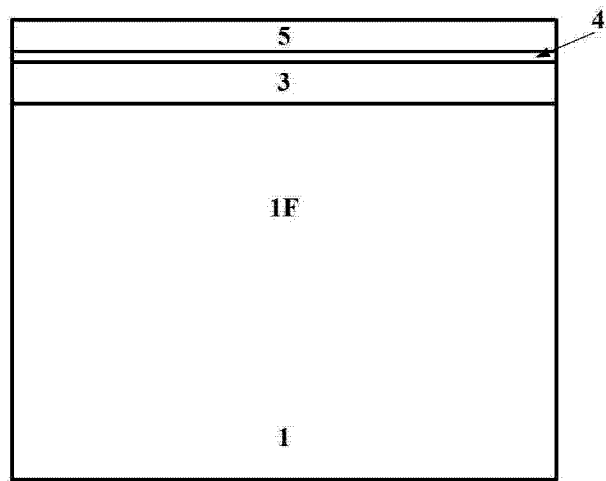


图 3B

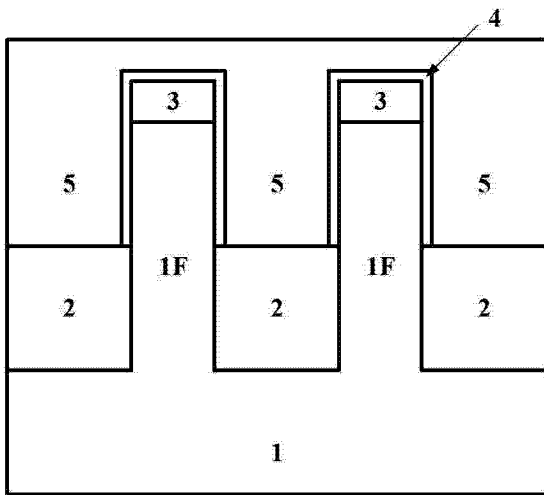


图 4A

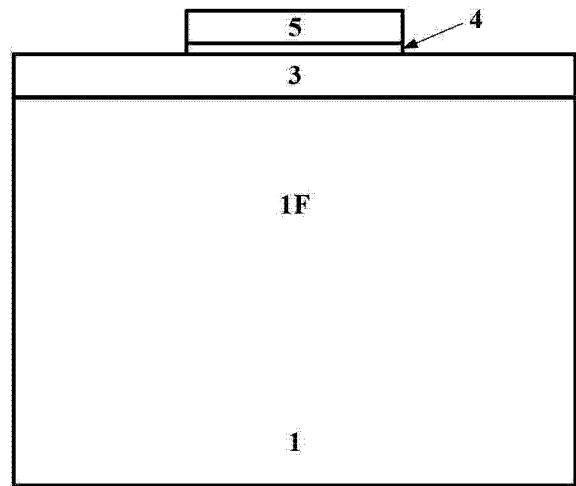


图 4B

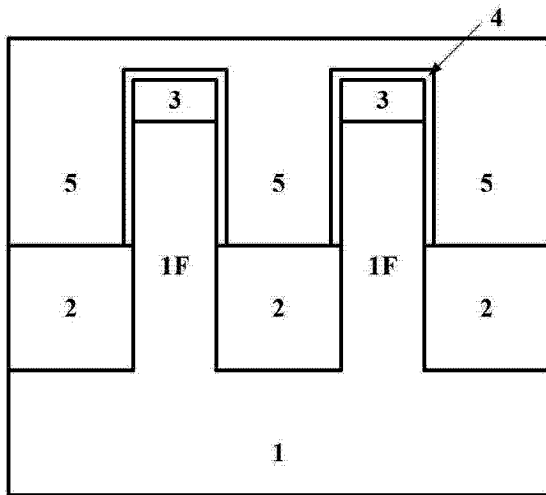


图 5A

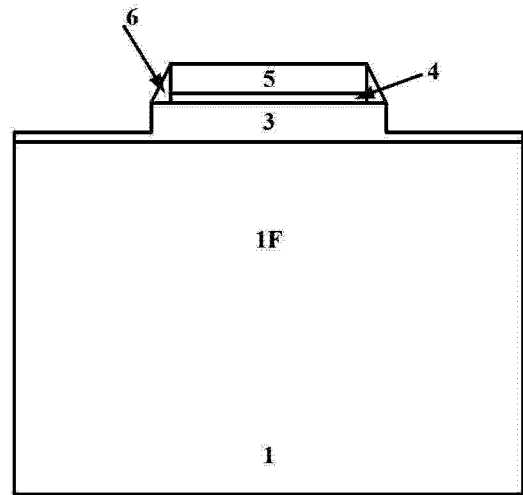


图 5B

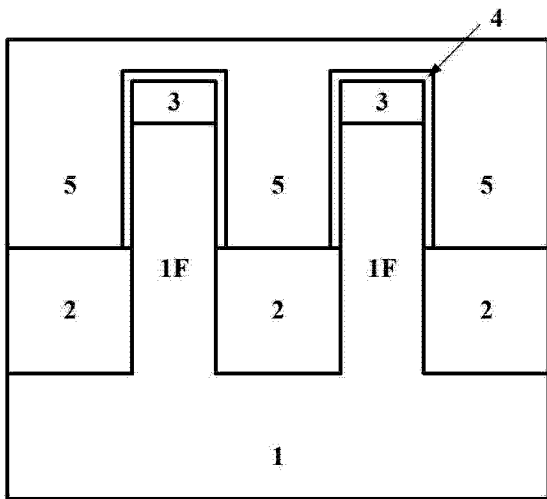


图 6A

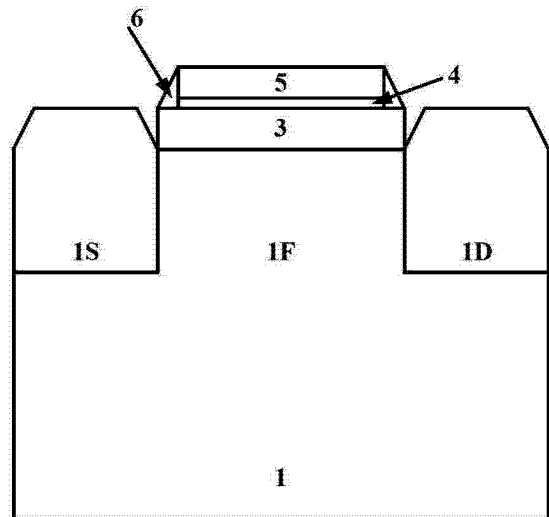


图 6B

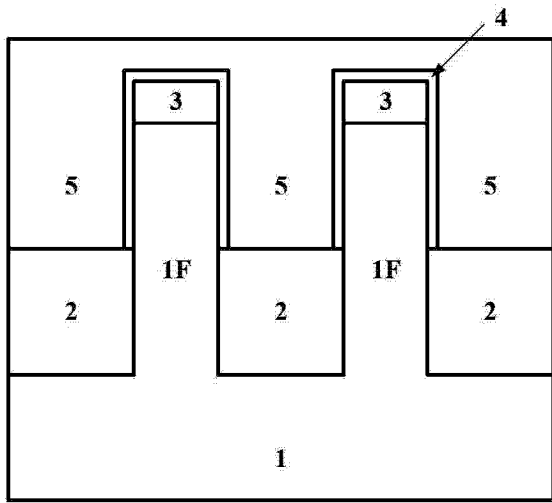


图 7A

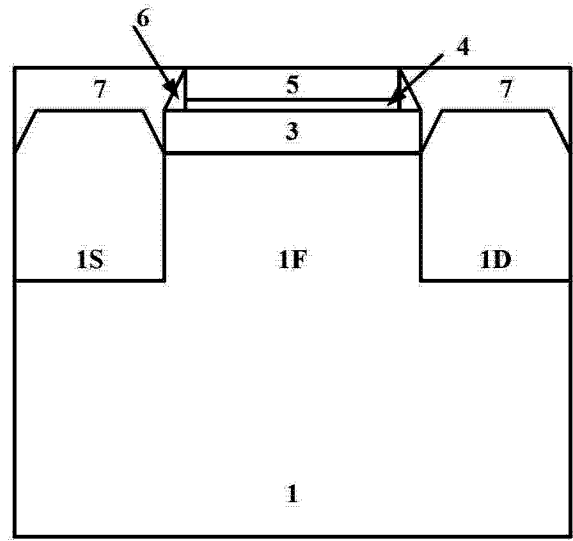


图 7B

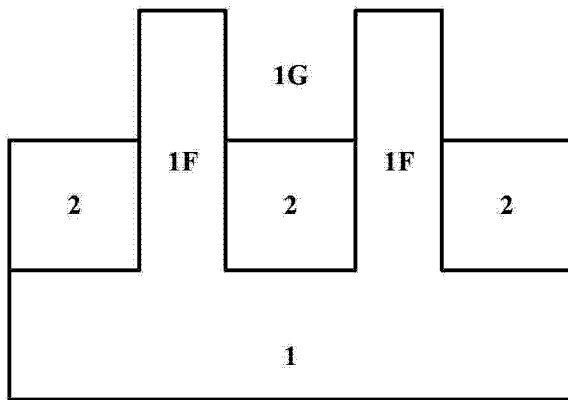


图 8A

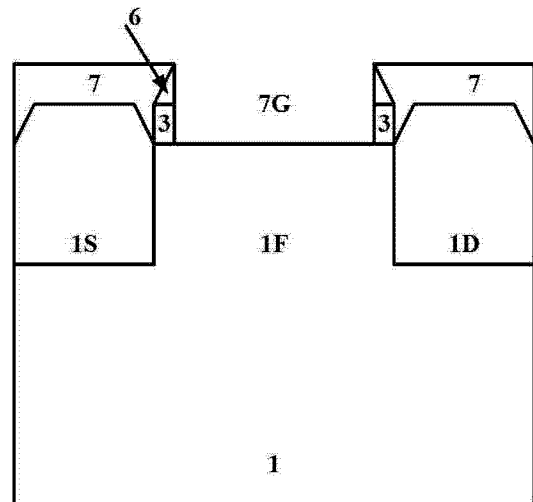


图 8B

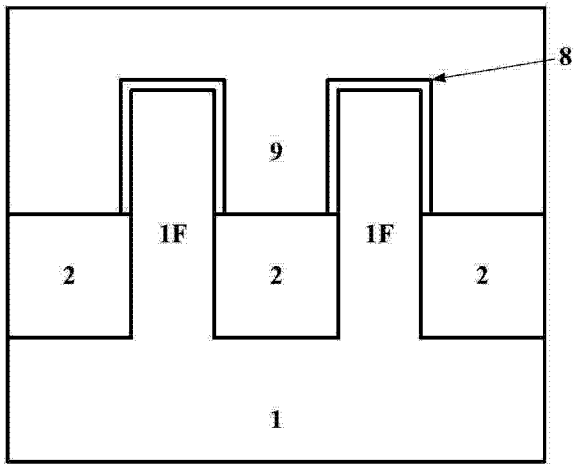


图 9A

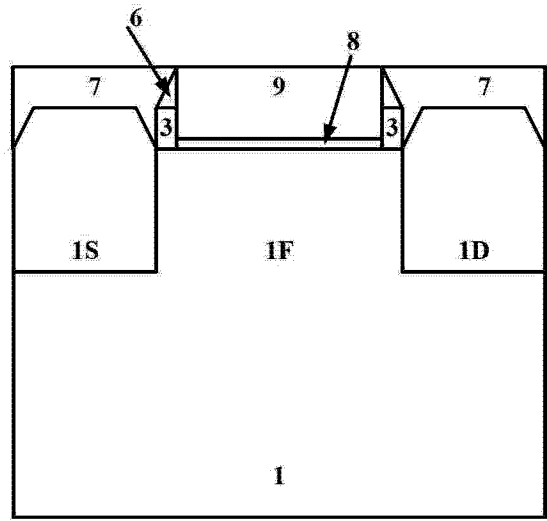


图 9B