

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 柯尼利斯 赫曼諾斯 凡 伯克

CORNELIS HERMANUS VAN BERKEL

2. 派崔克 彼德 伊利莎白 謬偉森

PATRICK PETER ELIZABETH MEUWISSEN

住居所地址：(中文/英文)

1. 荷蘭愛因和文市普羅何斯蘭路 6 號

PROF. HOLSTLAAN 6, 5656 AA EINDHOVEN, THE
NETHERLANDS

2. 荷蘭愛因和文市普羅何斯蘭路 6 號

PROF. HOLSTLAAN 6, 5656 AA EINDHOVEN, THE
NETHERLANDS

國 籍：(中文/英文)

1.2. 荷蘭 THE NETHERLANDS

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 歐洲專利機構； 2002 年 05 月 24 日； 02077034.3

2. 歐洲專利機構； 2002 年 09 月 04 日； 02078618.2

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 歐洲專利機構； 2002 年 05 月 24 日； 02077034.3

2. 歐洲專利機構； 2002 年 09 月 04 日； 02078618.2

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明關於一種處理系統。

【先前技術】

第三代無線通信標準如UMTS-FDD，UMTS-TDD，IS2000與TD-SCDMA以非常高的頻率作業。此等第三代移動式通信標準的數據機(收發機)如UMTS需要的數位信號處理功率比GSM多大約100倍。為了能夠處理不同的標準，以及能夠有彈性適用於此等新標準，希望實行一收發機，以使用可程式之架構之此等標準。一種改善效率的已知方法，其儲存多種資料元件於一記憶體之一列，並一次對一個以上之資料元件作業。例如，此等系統已知的SIMD(單指令，多種資料)或MIMD(多種指令，多種資料)。一向量處理器是一SIMD處理器之範例。通常，一具有一埠之廣泛記憶體能夠讀與寫存取該記憶體之至少一系列之單元。於該範例中，該記憶體之列寬度能儲存一向量，一次可讀或寫一或更多的向量。對於存取比一向量小的單元沒有特別的規定。為了一記憶體之最佳使用，也希望能夠以一種有效率的方法存取比具有一記憶體列之全寬度小的資料元件。通常，此一小單元能被儲存於該記憶體之一列，其中該列有部分未被使用，而增加存儲成本。此外，此等小單元以一種連鎖的形式被儲存於一系列，其中需要讀或寫一整列，而且需要擷取更多的處理指令與週期，或插入一期望的較小單元，形成該整體記憶體列。上述會降低該效率。此等問題會變得

更嚴重，其中該記憶體的寬度顯然超出該較小單元的尺寸。例如，為了語音識別，此等儲存一語音特性向量之組件的資料元件通常是8至16位元寬。就電話通訊而言，該等編碼/調變資料元件往往是8位元(或2*8位元複合值)。但不需要增加該尺寸。為了較新的電話通訊系統或增強語音識別效率，希望能改善該處理速度。因此使用較廣泛的記憶體以增加該處理速度，但不需要特別的方法，即能增加需要儲存資料的記憶體量，或甚至減速如上面所描述之某些形式的記憶體存取。

【發明內容】

本發明之一目的係提供一種處理器架構，其能夠提供一種對廣泛記憶體之快速記憶體存取，也用以較小的資料元件。

為達成該目的，一處理系統具有一處理器與一實體記憶體，該實體記憶體具有一用以存取該記憶體中之資料之單尺寸記憶體埠，該處理器被配置以對至少一第一資料尺寸與一較小之第二資料尺寸之資料作業；該第一資料尺寸等於或小於該記憶體埠的尺寸；該處理系統包括該第一資料尺寸之至少一資料暫存器連接至該記憶體埠；而該第二資料尺寸之至少一資料埠連接至該資料暫存器，及賦能存取該第二資料尺寸之此等資料元件的該處理器。

此方式中使用具有一字大小之慣用記憶體。上述使該記憶體的成本保持下降。通常，該記憶體字的尺寸與該處理器的最大字的尺寸相匹配。為了存取較小的資料元件，使

用一中間暫存器。一額外的埠被增加，以賦能存取該暫存器中較小的資料元件。該中間暫存器的使用是非常顯而易見。對該處理器核心與該程式員而言，看起來就像該記憶體具有不同尺寸的埠。於此方式中，小資料元件能被快速存取，不需要更多的指令附加，例如，為了存取為該大資料元件的部分小資料元件，大資料元件之選擇和/或移位。

如描述於所屬之申請專利範圍第2項，該記憶體埠尺寸至少為該第二資料尺寸的兩倍。於此方式中，該暫存器能儲存至少兩個小資料元件。尤其，於該等小資料元件被連續存取的案例中，該實體記憶體之一存取，能夠快速存取至少兩連續之小資料元件。上述會降低浪費在存取該實體記憶體的時間。

如描述於所屬之申請專利範圍第3項，為了一讀資料埠，使用一多工器，根據一讀取位址的控制從該資料暫存器選擇與擷取該第二資料尺寸之一資料元件。例如，該讀取位址最重要的部分能被用於核對該資料元件是否已經存在該暫存器(但如果未使用該部分，從該實體記憶體重新取得)，而該最不重要的部分能被用於選擇該暫存器中的資料元件。

如描述於所屬之申請專利範圍第4項，為了一寫資料埠，使用一解多工器，根據一寫入位址之控制，在該資料暫存器之一可選擇的位置插入該第二資料尺寸之一資料元件。該選擇的執行與所描述的讀取埠類似。

如描述於所屬之申請專利範圍第5項，該處理系統包括連

接至該處理器之該第二資料尺寸之複數個資料埠，而且為了該等資料埠之每一個，一相關的個別資料暫存器連接至個別之資料埠與該實體記憶體之一埠。例如，如果一調準處理兩連續之資料流，該等資料流之每一個可使用該等暫存器之一與此等資料埠。每一資料流接著能存取至少兩連續之資料元件，但僅使用其中之一存取該實體記憶體。

如描述於所屬之申請專利範圍第6項，為了因該等暫存器包含該資料之一"複本"於該記憶體和/或一個以上之暫存器所引發之可能一致的衝突，而執行一檢查。該系統維持更新的資料於該暫存器，因此一小資料元件之更新通常不會對該實體記憶體發生一寫作業。此外，也能直接從該暫存器讀取該更新的小資料元件，更進一步節省記憶體存取次數。對此些資料埠(因此該相關的暫存器允許寫存取)而言，該處理器儲存於一更一致的暫存器，該資料的資訊被儲存於該暫存器。該資料被用於檢查讀取的資料是否(從該實體記憶體或該等暫存器之一)正在存取已被改變的資料(但可能尚未更新該等實體記憶體或暫存器)。該識別資訊最好是一用以存取該實體記憶體中之一字的實體位址，其中該字的寬度與該記憶體埠一樣。此方式中，容易檢查直接存取該實體記憶體是否可能與儲存於該等暫存器中的資料衝突。

如描述於所屬之申請專利範圍第8項，該協調檢查器包括一衝突解決器，為回應一可能一致的衝突，而取得此等修正步驟。在此方式中，當設計該程式時已取得該方法以接

替該程式員。取得此等修正步驟之一方法，如描述於所屬之申請專利範圍第9項，將該資料暫存器標示為讀存取無效，為回應該資料暫存器之一讀存取，導致從該記憶體重新載入該資料暫存器之內容。

此外，如描述於所屬之申請專利範圍第10項，該協調檢查器包括一協調暫存器，其用以每一個別的資料暫存器，該資料暫存器儲存識別儲存於該個別之資料暫存器之資料的資訊；以及配置該修正器，根據該識別資訊儲存相同之資料，為回應寫存取該等資料暫存器之一和/或寫存取該實體記憶體，因此將寫至該資料暫存器或該記憶體之內容複製至所有其餘的資料暫存器和/或該記憶體之一位置。於該實施例中，根據該協調暫存器應儲存同一資料，將更新之資料複製至所有的暫存器。如果允許直接存取該實體記憶體，上述包括複製該資料至該實體記憶體。為了該等大資料元件，最好也經由一中間暫存器發生直接存取該實體記憶體，於寫至一暫存器之案例中，不會自動迫使一寫存取該記憶體。

如描述於所屬之申請專利範圍第11項，至少該等資料暫存器之一(下面的"讀暫存器")被連接至一讀資料埠，以及至少該等資料暫存器之一(下面的"寫暫存器")被連接至一寫入資料埠；而且該處理器包括一旁通，其可選擇從該寫暫存器提供資料給該讀資料埠；該協調檢查器包括一用以每一個別資料暫存器之協調暫存器，以儲存識別儲存於該相關資料暫存器之資料的資訊；配置該衝突解決器，因回應

寫資料進入啟動該旁通路徑之寫暫存器，以連續讀存取該讀暫存器，以取得此等修正步驟，如果該讀暫存器根據該識別資訊儲存同一資料元件。因使用一旁通，一具有同一內容之寫暫存器被更新時，一讀暫存器就不需要被重新載入。接著卻直接從該更新寫暫存器讀取該資訊。在此方式中，對該實體記憶體的存取保持最低水準。於存取寫暫存器期間有時會發生一延遲。

該實體記憶體最好以高成本效益的單埠SRAM為基礎。為了獲得一高成本效益的廣泛實體記憶體，因此以一記憶體字儲存許多小資料元件，最好使用由複數個平行配置的RAM儲存體所形成之實體記憶體。該記憶體最好被嵌於該處理器。

該描述之架構被用於一純量/向量處理器是有利的，其中該向量區段根據該第一資料尺寸之向量作業，而該純量區段根據該第二資料尺寸之純量作業，其中該第一資料寬度是該第二資料寬度的兩倍。於此一配置中，同一記憶體能被用於儲存該等向量與純量。也使該配置容易在該向量元件上執行純量作業。

【實施方式】

為最佳化信號處理，於一處理器中最好使用該位址產生單元(AGU)與記憶體單元。此一處理器可以是一DSP或任何其他適合的處理器/微控制器。其餘之描述希望將該等單元使用於一高功率純量/向量處理器。此一處理器可被單獨使用或與另一處理器結合。圖1顯示一使用該純量/向量處理

器之最佳組態。於該組態中，三個主要組件係由匯流排110連接。連接此三個組件之匯流排110可以是任何適合的匯流排，例如一AMBA高速匯流排(AHB)。該等主要組件是：

包括此等功能單元與一區域資料記憶體(參考圖1中之向量記憶體)之可程式化的純量/向量處理器120；

一包括限制的晶載程式或資料記憶體之微控制器或DSP子系統130；

一介面區塊140。

該純量/向量處理器120主要被用於正規的"重/功率"處理，尤其是內部迴路處理。該純量/向量處理器包括向量處理的功能。就其本身而論，為了執行該碼之可向量化部分，其提供大尺度的平行性。所有信號處理的絕大部分將由該純量/向量處理器之向量部分執行。以一陣列，例如，32個完全相同之處理元件執行同一指令，其提供大規模的平行性。結合一32-字廣泛記憶體介面，以低成本及一般的功率消耗量，導致前所未有的可程式化的效率水準。然而，當許多演算法不足以表示該正確形式之資料平行性時，通常完全利用該平行性是不可行的。根據Amdahl的定律，在該代碼之直接可向量化部分向量化之後，大部分的時間花在該剩餘的代碼。該剩餘的代碼可被分成四種：

有關指令的位址(例如，增加一指標到一循環緩衝器，使用模數定址)

正規的向量作業(即，向量作業對應於該向量處理器的主迴路)

循環

非正規的向量作業

該等用以此等種類之每一種的代碼部分，高度依賴該演算法的執行。例如，該Golay關聯器(用於P-SCH搜尋)需要許多有關此等指令的位址，但不是其他演算法的案例，例如Rake。根據本發明能夠藉由使用該AGU/記憶體單元，以最佳化此等有關指令與循環之位址的效率。藉由一處理器中緊湊的積分純量與向量處理，以最佳化該正規純量作業掃描之作業。由該等創作者已揭露的所有與3G數據機相關之演算法之研究，不正規純量作業部分非常受到限制。該屬性使該純量/向量處理器120與該微控制器或DSP 130之間的任務分開，其中該微控制器或DSP 130執行該等非正規的任務，並同時控制該純量/向量處理器。於該最佳組態中，該純量/向量處理器120作為一可程式化的共處理器(於該其餘部分也稱為CVP，共向量處理器)。該純量/向量處理器120與該微控制器130之間的介面處理通信(例如通過分享的記憶體)與同步化(例如通過分享的記憶體與狀態信號)。該介面最好是記憶體映對。

該介面區塊140使該等處理器與該系統的其餘部分互相作用。於該最佳實施例中，該純量/向量處理器被使用作為一2G/3G移動式網路之軟體數據機(資料收發器)。關於此一軟體數據機的功能，該介面區塊140包括作為一前端與一主要任務之專用硬體，以根據該微控制器130的控制，傳遞控制與資料字給該向量處理器，例如DMA。接著由該純量/

向量處理器處理該向量記憶體中的資料。

對該匯流排110而言，該純量/向量處理器處120可以是一從屬裝置，而該微控制器130與該介面區塊140(可包括一DMA單元)可作為一主裝置。所有具有該CVP之通信，其程式，資料或控制最好是記憶體映對。該記憶體可以是一晶片外的DRAM，而該DRAM也可被該純量/向量處理器使用作為一(無)插入的記憶體。

於該描述中，主要使用的該用語"位址計算單元"或ACU。就該描述的用途而言可視為與"位址產生單元"或AGU一樣。該描述集中於使用此類單元來計算資料位址。熟悉此項技藝之人士也能夠將同一功能用於計算指令位址("迴路控制")。

圖2顯示根據本發明之處理器的主結構。該處理器包括一管線向量處理區段210。為了支援該向量區段的作業，該純量/向量處理器包括一配置與該向量區段平行作業之純量處理區段220。該純量處理區段最好也是管線。為了支援該向量區段之之作業，至少該向量區段之一功能單元也提供該純量區段對應部分的功能。例如，一移位功能單元之向量區段可用作移位一向量，其中由(或傳遞)該移位功能單元之純量區段提供一純量組件。就其本身而言，該移位功能單元轉換該向量與該純量區段。因此，至少若干功能單元不是只有一向量區段，並且同時有一純量區段，其中該向量區段與該純量區段因能交換純量資料而互相合作。一功能單元之向量區段提供該原始處理功率，其中該對應的純

量區段(即，同一功能單元的純量區段)藉由提供和/或消耗純量資料，以支援該向量區段的作業。經由一向量管線提供該等向量區段之向量資料。

於圖2之最佳實施例中，該純量/向量處理器包括下列七個專門的功能單元。

指令分配單元(IDU 250)。該IDU包含該程式記憶體252，以讀取連續的VLIW指令，並且將每一指令的7段分配給7個功能單元。最好包含一支援不超過三個零負擔循環之巢套階的迴路單元。於該最佳實施例中，沒支援分支、跳越或中斷。由該限制描述符載入該初始程式計數器，下面將更加詳細描述。

向量記憶體單元(VMU 260)。該VMU包含該向量記憶體(未顯示於圖2)。於每一指令期間，該VMU能夠傳送該向量記憶體之一列或一向量，或者接收一列放入該向量記憶體。同一指令可規定另外一純量傳送作業和/或一接收作業。該VMU是唯一連接到外界之功能單元，即連接到該外部匯流排110。

該碼產生單元(CGU 262)。以有限的欄位算術特殊化該CGU。例如，該CGU可被用於產生CDMA碼晶片的向量與相關功能，例如頻道碼與CRC。

ALU-MAC單元(AMU 264)。以正整數與定點算術特殊化該AMU。其支援向量間之作業，其中以多向量元件的方式執行算術。於一最佳實施例中，該AMU也提供若干內部向量作業，其中以單一向量內之該等元件執行算術。

ShuFfle單元(SFU 266)。該SFU能夠根據一特定之混洗圖樣，重新配置一向量之此等元件。

左移單元(SLU 268)。該SLU能由一單元移位該向量之此等元件，例如向左一字、一雙字或一四元字。所產生之純量被提供給自己的純量區段。根據SLU向量作業之類型發出，該消耗的純量不是零，就是取自自己的純量區段。

右移單元(SRU 270)。該SRU與該SLU相似，但向右移位。此外該SRU有能力合併該AMU內部向量作業之連續結果。

下表顯示所有的FU有一功能向量區段210，但有些沒有一控制區段230或純量區段220。

功能單元	控制	純量	向量
指令分配單元	定序，循環		指令分配
向量記憶體單元	位址計算	純量輸入/輸出	向量輸入/輸出
碼產生單元			碼向量產生
ALU-MAC單元	索引	廣播	向量間：ALU，MAC，mul，...
		分段	內部向量：加，最大值
混洗單元			向量混洗
左移單元		純量輸入/輸出	向量移位
右移單元		純量輸入/輸出	向量移位

根據本發明之純量/向量處理器以兩種主要的方式應用指令階的平行性：

向量處理，其中一單指令根據(純量)資料之此等向量作業。該方法也是已知的單指令流，多資料流或SIMD。

多功能單元之平行處理，各自根據此等向量作業。上述可視為一VLIW指令階平行性的形式(受限制的)，

注意此兩種形式之指令階平行性是獨立的，而且它們的影響是累積的。

FU間通信

該功能單元(FU)以平行方式作業。每一FU能夠接收與傳送向量資料。許多FU也能接收與傳送純量資料。

功能單元	原始	vmu	cgu	amu	sfu	slu	sru
目標	#輸入						
vmu	1	!	!	!	!	!	!
cgu	1	!		!	!	!	!
amu	2	!	!	!	!	!	!
sfu	1	!	!	!	!	!	!
slu	1	!		!	!	!	!
sru	1	!		!	!	!	!

所有的功能單元以平行方式作業。根據接受之指令段，所有的功能單元輸入、處理與輸出資料，包括向量資料與其中可應用之純量資料。在此等FU之間的通信完全在該等純量區段或該等向量區段中(FU間通信)。即，由一管線連接除了該IDU之外的所有FU的該等向量區段。於一最佳實施例中，該管線可配置在指令基礎上。為此目的，最好由

一互連的網路互連該等FU，在管線中使每一向量區段於各週期從其餘向量區段中任何之一接收一向量。該特效率夠建立該等FU(除了該IDU之外)的所有管線。於每一時鐘週期，該等功能單元中之六個能幫助該向量路徑以平行方式輸出一向量，並將其傳送給其他單元。它們也能夠從另一單元接收一向量。該網路幾乎完全被連接。只有此等沒有意義的鏈結被省略。該AMU同時接收兩向量。如圖2中所顯示的，該網路最好由每一連接到一網路路徑作為信號源(由一圓點表示)的FU所形成。並且被連接到所有其他的路徑作為一信號接收點(由一三角形表示)。該FU之VLIW指令區段指示將由那個路徑消耗一向量。於此方式中，根據一指令基礎配置該管線。各路徑能傳輸一完整的向量，例如，使用256平行線。同樣地，該等FU至少有些純量區段由一個別的管線連接。最好也根據指令基礎配置該管線。該等FU純量區段中之互連網路就某種意義來說是不完全的，即不能由至少一FU的純量區段傳送或接收純量。因此，較少描述管線的定序。該等純量與向量管線可被獨立配置。例如，以該相關之VLIW區段指示由該功能單元讀取該純量管線與該向量管線。

沒有描述該等不同功能單元之控制區段間的連接。此等區段從該IDU接收該VLIW指令之一段，更新自己所屬的狀態，並控制各自的純量與向量區段。

內部-FU通信

於一FU內，此等區段(內部-FU通信)間有緊密的交互作

用。該交互作用為該FU作業的整體部分。範例是該SLU與SRU，其中所產生和/或所消耗的純量被提供給/取自對應該FU的純量區段部分。

通常於單週期執行此等指令。只有在拖延週期擠滿該向量記憶體與顯露自己時會發生例外。

資料寬度

於一最佳實施例中，該純量/向量處理支援數種資料寬度與資料類型，如圖3所顯示。記憶體定址的基本單位是一字，也稱為一單字。字寬最好能夠是一單字(W)，雙字(DW，或 $2W=16$ 位元)，或四元字(QW或 $4W=32$ 位元)。一字的尺寸是 $W=8$ 位元。此等純量最好出於三種尺寸：(單)字，雙字與四元字。一具有 P_Q 四元字之固定尺寸的向量。最好由下列三種格式之一建構：

P_Q 尺寸四元字的元件，

$P_D=2P_Q$ 尺寸雙字的元件

$P_S=2P_D=4P_Q$ 尺寸(單)字的元件。

該向量元件的索引範圍是 $[0...4P_Q-1]$ 。因此，此等雙字有此等偶數索引，而此等四元字的索引是四的倍數。圖3提供此等資料尺寸的概觀。該架構完全可由 P_Q 繪製，並被定義為任何向量尺寸 $P_Q \geq 1$ 。然而，對於大部分情況，最好選擇 P_Q 為2的次方。於該最佳實施例中， P_Q 是8，意味著32字之資料路徑寬度與記憶體寬度。

指令

一CVP指令不是一控制指令，就是一VLIW指令。例如，

此等控制指令可以是零負擔的迴路初始化。沒有分支、跳越或副常式。一VLIW指令被分成一些段，其中每一資料段規定最好由該對應之功能單元執行該(等)作業。該段進一步被細分成該向量區段與該純量區段的一部分(如有呈現)。該段也包括此兩部分在網路部分被用於接收資料(該向量區段之一或更多的向量，或該純量區段之一或更多的純量)之資訊。

該純量/向量處理器的狀態

該CVP的狀態是自己之此等功能單元的結合狀態。於該最佳實施例中，其包括：

該向量記憶體(該VMU部分)；

該程式記憶體(該IDU部分)；

此等向量暫存器(所有的功能單元)；

此等純量暫存器(大部分的功能單元)；

此等包括該等程式計數器與位址偏移暫存器之控制暫存器。

除了程式員可見到的該等暫存器外，一CVP的現實通常包括更多管線與高速存取的暫存器(向量，純量與控制)。不是部分的CVP指令集架構。

該等(向量，純量與控制)暫存器中之若干也就是所謂的組態暫存器。一組態暫存器的內容只能夠從該向量記憶體載入；沒有其他的方法可改變自己的值。一組態暫存器支援該等功能單元之組態，而且通常定義一函數參數。藉由儲存此等"半固定"函數參數於組態暫存器，以大大減少該指

令寬度與記憶體的流量。

該 CVP 狀態之該等組件的簡介呈現於下表。

FU	控制路徑				純量路徑				向量路徑			
	資料		組態		資料		組態		資料		組態	
vmu	偏移量	5	位址	8					資料記憶體	2048		
cgu					計算器	3	代碼	3	狀態	6	遮罩	2
											多項式	2
amu				1	接收	1	段尺寸	1	暫存器檔案	16		
sfu									暫存器	1	混洗圖樣	4
slu					接收	1			暫存器檔案	2		
sru					接收	1			暫存器檔案	2		
idu	pc	1	迴路 cu	2					程式記憶體	2048		

程式員可見的所有暫存器能夠由該向量記憶體載入。所有的暫存器除了該等組態暫存器，能夠被儲存於該向量記憶體。為了定量目的而儲存該等 CVP 暫存器，並且在最後一次將它們復原，該 CVP 能繼續一特別的任務，猶如無法同時執行其他的分配工作。此等儲存與復原作業是可選擇的，可以是部分，但必須被明確地程式設計。

該記憶體單元

圖 4 顯示該記憶體單元 (VMU 400) 的方塊圖，於其中使用根據本發明之記憶體配置。於下面所描述之最佳實施例中，該記憶體單元被用於與具有能儲存一完整向量之廣泛實體記憶體結合的向量處理器。應明白同一觀念也可應用於此等純量處理器，例如慣用的 DSP。該 VMU 包含並控制

該向量記憶體410，其提供一廣泛資料頻寬給該等其他的功能單元。該實體向量記憶體410最好以單埠SRAM為基礎。由於此等寬度為 $P_s * W$ 的嵌入SRAM通常是不能用的，因此平行配置一或更多廣泛隨機存取記憶體(RAM)之儲存體以形成該實體記憶體。該純量資料最好被儲存在儲存該向量資料之同一記憶體。於此一系統中，此等純量能與相對的此等向量混合。為了該記憶體的成本效益與最佳存取時間，該記憶體最好只允許此等全向量列的讀與寫。就其本身而言，邏輯上該實體記憶體由一向量尺寸的所有列組成。為支援此等純量的讀與寫，使用更多的硬體(一系列中的純量區段之列快取記憶體430與支援440)以一純量方式存取該向量廣泛實體記憶體。

圖5提供更詳細的配置。顯示該實體記憶體500具有一全寬度的埠505(於該範例中，具有一向量寬度)。於該圖中僅顯示一讀取埠。熟悉此項技藝之人士能輕易地決定類似的寫出資料配置。該配置包括至少一與該實體記憶體埠505相同寬度的暫存器。顯示四個暫存器510，512，514與516。所有的暫存器是選擇性連接至該讀取埠505以接收資料。於該圖中，一暫存器514用於讀取此等較小的資料元件，於此範例中：一純量。此等較小資料元件中最好至少有兩個適合該暫存器。與一讀取埠525相關的資料暫存器514耦合至一處理單元(或更多一般的：資料槽)。一多工器520最好耦合至該暫存器514，以從該暫存器選擇該相關的純量資料。由該暫存器中的純量數量控制該多工器，如同由該位址之

最不重要的位元規定(例如，使用一具有32個8-位元字的256位元向量)。此等多工器是眾所周知的，因此不進一步描述。該暫存器被連接至用以接收該資料(全寬度)之實體記憶體的讀取埠505。一般而言，可以是此等Nr純量讀取埠各自連接至一向量寬暫存器。上述能分割此等暫存器或甚至同一暫存器。該等暫存器是圖4之快取記憶體的部分。該等多工器是該純量區段塊440的部分。但未以類似的方式顯示，可以是存在該快取記憶體430中的Nw純量寫埠與Nw向量寬暫存器。對於每一純量寫埠，該快取記憶體430中之對應暫存器連接至Nw輸入之一向量寬解多工器，以選擇那一快取記憶體列被寫回該實體記憶體。當一VMU指令需要多種快取記憶體列被寫回時，連續執行上述，以拖延所有其他功能單元直到所有的寫入被完成。對此等不同寫埠的存取，雖然使用同一指令，但不允許存取該實體記憶體的同一列。假設以連續純量存取空間方位(例如此等連續純量屬於一處理迴路，後續被連續儲存於該實體記憶體410)，載入/儲存此等暫存器之實體記憶體410的存取頻率顯然低於此等暫存器之純量存取頻率。

於該最佳實施例中，在該記憶體中，不需要以此等向量範圍調準一向量。因此，由此等Ps字組成之向量可具有一任意的記憶體位址。一記憶體列具有同一尺寸，但其開始位址由多種Ps所定義。(對於列的存取，忽略該位址最不重要的位元 $2^{\log Ps}$)。由於允許任意調準此等向量(通常調準該最小的字範圍)，因此能更恰當地利用該記憶體與較少的空

位。將此等方法視為可使該純量/向量處理器讀/寫此等個別向量，而該向量可被儲存於該實體記憶體之兩連續列。為了此目的，一調準單元被用於向量傳送作業。該調準單元被顯示於圖4的區塊440。於圖5更詳細描述。該調準單元530連接至兩列快取記憶體510與512(即，兩個向量廣泛暫存器)，包含由該需要的向量跨越的兩列。當存取此等連續向量時，僅從該實體記憶體取得一新列，而另一列仍然存在於此等列快取記憶體之一。形成該需要之向量的兩列快取記憶體與由此等多工器530所構成之一網路相結合，接著儲存於一向量廣泛管線暫存器。該管線暫存器經由一向量讀取埠535接收該資料。由於該管線暫存器，該值能在該VMU廣播匯流排上傳輸。

圖5也顯示進一步的向量廣泛暫存器516，及能夠直接從該記憶體讀取一列的相關向量廣泛讀取埠540，其中該暫存器作為一快取記憶體。

最好由該程式員隱藏圍繞該記憶體的快取。儘管此等快速記憶體的使用盡力趕上具有單埠SRAM的多埠向量記憶體，該程式員另外能採用一協調向量記憶體。因為每一暫存器能包含該實體記憶體中之同一資料的可能複本，接著自動維護協調性代替防護該協調性的程式員。為了此目的，對衝突的位址執行檢查，即，使一暫存器的寫發生在一列位址，其中同一列也被儲存於該等其餘暫存器之一。由於每一暫存器的儲存有此一檢查就夠了，所以該列之列位址儲存於該暫存器。如果偵測到一可能的衝突，可採取

一種修正方法。例如，以同一列對一暫存器發生寫入作業，一讀暫存器就被標示為無效。除非再次從該實體記憶體讀取該暫存器(在該寫暫存器首次被寫回該記憶體之後)，否則不會進一步使用該暫存器。此外，對該寫暫存器發生一寫入之後，使用同一列將一寫暫存器的內容複製到所有的讀暫存器。第三種可能性是在讀取與寫入埠之間分享暫存器。後面的方法需要更多的向量廣泛多工器，會增加成本，但提供高效率的優點。事實上，一頻道被建立，其中一連接至一讀取埠之讀暫存器被旁通，但實際上通過該讀取埠從一寫暫存器讀取資料。所有此等修正方法發生在使用的功能，共同稱為"協調檢查器"。為了決定使用儲存可能資料之一複製形式(具有可能的一致性問題)的協調暫存器，儲存該內容之儲存資訊的資料暫存器與該協調暫存器相關聯。該協調暫存器最好將該資料儲存於該對應資料暫存器之實體位址。此等向量讀取也能採取相同的協調檢查與方法，其中該向量被(部分)儲存於與一寫入埠相關的暫存器，以代替僅對此等純量存取。最好於單時鐘週期中，由該實體記憶體510之一單存取執行該實體記憶體之一列的讀取與寫入。

於一單VMU指令中，該向量記憶體單元能支援最多四個同時發生的"子作業"：

傳送一向量，或傳送一系列，或接受一系列從/至VM位置；

從一VM位置傳送一純量；

接受一純量給一VM位置；

修改一位址計算單元之狀態/輸出。

```

VMC_cmd = vopc, aid_v, ainc_v, sopc, aid_s, ainc_s, size,
          srcv, aid_r, ainc_r, aopc, aid_a, imm_addr)
vopc     = NOP|SENDL|SENDV|RCVL_CGU|RCVL_
          AMU|RCVL_SFU|RCVL_SLU|RCVL_SRU
Aid_v    = {0,...,7}
Ainc_v   = NOP|INC
sopc     = NOP|SEND
aid_s    = {0,...,7}
ainc_s   = NOP|INC
size     = WORD|DWORD|QWORD
srcv     = NONE|VMU|AMU|SLU|SRU
aid_r    = {0,...,7}
ainc_r   = NOP|INC
aopc     = NOP|IMM|LDBASE|LDOFFS|LDINCR
          |LDBOUND
aid_a    = {0,...,7}
imm_addr = {0.0,...,524288.31}|{-262144.0,...,
          262143.31}

```

該VMU指令可取得一些變化的時鐘週期，依子作業數量與位址順序的協調性而定。

該VMU輸入/輸出為：

輸入	說明
Cmd	VMU命令
rcv_amu	AMU向量接收匯流排
rcv_cgu	CGU向量接收匯流排
rcv_sfu	SFU向量接收匯流排
rcv_slu	SLU向量接收匯流排
rcv_sru	SRU向量接收匯流排
s_rcv_amu	AMU純量接收匯流排
s_rcv_slu	SLU純量接收匯流排
s_rcv_sru	SRU純量接收匯流排

輸出	說明
Snd	VMU向量結果
s_snd	VMU純量結果

此外有兩純量埠(一傳送，一接收)被連接至該外部匯流排。同步存取此等具有CVP指令之記憶體是該微控制器130的任務。

該VMU向量區段包括該實體向量記憶體510：

名稱	說明
mem[4096][32]	Vector memory: 32字各自之4096列

注意，此等向量子作業不能存取該純量記憶體。因此，忽略此等向量子作業最重要的位址位元。該VMU之向量區段支援七個子作業，解碼加入該指令的VOPC欄位：向量傳送 (SENDV)，列傳送 (SENDL)，及五列接收子作業

(RCVL_CGU, RCVL_AMU, RCVL_SFU, RCVL_SLU, RCVL_SRU)。該接收源之功能單元被明確解碼加入該對應列接收子作業。由一對應的位址計算單元規定每一子作業之讀取位址或寫入位址。所有的向量子作業分享該AINC_V欄位。其將被傳遞給該ACU解碼加入該AID_V欄位。該AINC_V欄位規定該受影響的位址計算單元是否執行一後增加作業。

防護	轉變
vopc=NOP	無
vopc=SENDL	snd=mem.line[acu[aid_v].out]
vopc=SENDV	snd=mem.vector[acu[aid_v].out]
vopc=RCVL_CGU	mem.line[acu[aid_v].out]=rcv_cgu
vopc=RCVL_AMU	mem.line[acu[aid_v].out]=rcv_amu
vopc=RCVL_SFU	mem.line[acu[aid_v].out]=rcv_sfu
vopc=RCVL_SLU	mem.line[acu[aid_v].out]=rcv_slu
vopc=RCVL_SRU	mem.line[acu[aid_v].out]=rcv_sru

注意，該等作業被選派作為傳送〈或接收〉動作，但不作為涉及一目的(或來源)的載入(或儲存)動作。稍後由其餘功能單元中的此等作業規定。一系列傳送的功能等同一具有同一位址的向量傳送，此等列傳送子作業通常被用於組配此等功能單元，或用於復原各種暫存器中之任務狀態。由於採用一特別模式之列傳送，通過快取記憶體的有效使用，最佳化此等連續向量傳送("向量流")的存取時間。

該VMU的純量子作業被解碼加入該指令的SOPC欄位。只

支援一子作業：純量傳送(SEND)。由該AID_S欄位規定的位址計算單元規定該讀取位址。該指令的AINC_S欄位規定該位址計算單元是否執行一後增加作業。該純量子作業之運算域尺寸(WORD, DWORD或QWORD)由該指令的SIZE欄位決定。

防護	轉變
sopc=NOP	無
sopc =SEND && size =WORD	S_snd=mem.word[acu[aid_s].out]
sopc=SEND && size =DWORD	S_snd=mem.dword[acu[aid_s].out]
sopc=SEND && size =QWORD	S_snd=mem.qword[acu[aid_s].out]

該VMU之純量接收子作業被解碼加入該指令的SRCV欄位。如果其值是無，則沒有純量接收被執行。除此之外，該指令的SRCV欄位可決定使用那個功能單元作為該純量接收源。由該AID_R欄位規定的該位址計算單元規定該讀取位址。該指令的AINC_R欄位規定該位址計算單元是否執行一後增加作業。該純量子作業之運算域尺寸(WORD, DWORD或QWORD)由該原始純量的尺寸決定。

防護	轉變
srcv=NONE	無
srcv=VMU	mem.scalar[acu[aid_r].out]=s_rcv_vmu
srcv=AMU	mem.scalar[acu[aid_r].out]=s_rcv_amu
srcv=SLU	mem.scalar[acu[aid_r].out]=s_rcv_slu
srcv=SRU	mem.scalar[acu[aid_r].out]=s_rcv_sru

該傳送與接收子作業能被組合成一純量移動作業，從一

VM作業至另一VM作業。由一對應的位址計算單元規定每一存取位址。

該VMU控制區段550主要是一組位址計算單元或(ACU)或位址產生單元(AGU)，以支援定址模式，如慣用之DSP中的位址計算單元或位址產生單元。此一單元執行每指令之一或更多位址計算，不需使用該處理器的主要資料路徑。例如，一純量之位址在每一純量讀存取之後能被後增加。上述允許根據資料，平行發生位址計算與算術作業，以改善該處理器的效率。根據該組定址模式的支援，此一ACU需要存取一些暫存器。例如，

與定址相關，即，定址有關一所謂的基址，需要一基底暫存器base

有關該基底暫存器的偏移儲存於一偏移暫存器offs

由一值前/後增量該偏移量儲存於一增量暫存器incr

有關一位址的模數定址儲存於一界限暫存器bound

由該組定址模式，支援下面的作業。採用一偏移暫存器offs。每一記憶體在位址base+offs存取(讀取或寫入)之後，根據 $offs := (offs + incr)$ 的模數bound更新暫存器offs。因此，改變offs頻繁(在每一存取之後)，而且頻繁改變儲存於base，incr與bound的值。通常，在一程式迴路之前，初始化後面的三個暫存器。於此不詳細描述該ACU的作業。

請注意上面所提到的實施例是用於說明，而不是用於限制本發明，而熟悉此項技藝之人士能夠設計許多替代實施例，但不違背該附加申請專利範圍的領域。於該申請專利

範圍中，所有置於圓括號間的參考符號不應被解釋為限制該申請專利範圍。該等字"包括"與"包含"不排除列於該申請專利範圍外的其他元件或步驟。

【圖式簡單說明】

由上面所描述之該等相關實施例瞭解並說明本發明之此等與其他觀點。

該等圖示之簡略描述，該等圖示中：

圖1顯示一最佳之組態，在其中使用根據該本發明之純量/向量處理器；

圖2顯示根據該本發明之純量/向量處理器的主要結構；

圖3顯示支援的資料寬度與資料類型；

圖4顯示該向量記憶體單元之方塊圖；及

圖5說明使用的此等中間暫存器與兩埠的尺寸。

【圖式代表符號說明】

110	匯流排
120	純量/向量處理器
130	DSP或微控制器
140	rf控制器/介面
210	管線向量處理區段
220	純量處理區段
230	控制區段
250	指令分配單元
252	程式記憶體
260	向量記憶體單元

262	碼產生單元
264	ALU-MAC單元
266	ShuFfle單元
268	左移單元
270	右移單元
W	字
DW	雙字
QW	四元字
410	實體記憶體
430	列快取記憶體
440	向量調準+純量區段
500	實體記憶體
505, 525	讀取埠
510	暫存器
512	暫存器
514	暫存器
516	暫存器
520	多工器
440	純量區段塊
530	調準單元
535, 540	讀取埠

伍、中文發明摘要：

一種處理系統包括一處理器與一實體記憶體500，該實體記憶體具有一用以存取該記憶體中之資料的單尺寸記憶體埠505。該處理器被配置以對至少一第一資料尺寸與一較小之第二資料尺寸之資料作業。該第一資料尺寸等於或小於該記憶體埠的尺寸。該處理系統包括被連接至該記憶體埠505的該第一資料尺寸之至少一資料暫存器，及被連接至該資料暫存器514的該第二資料尺寸之至少一資料埠525與賦能存取該第二資料尺寸之此等資料元件之該處理器。

陸、英文發明摘要：

A processing system includes a processor and a physical memory 500 with a single-size memory port 505 for accessing data in the memory. The processor is arranged to operate on data of at least a first data size and a smaller second data size. The first data size is equal to or smaller than the size of memory port. The processing system including at least one data register 514 of the first data size connected to the memory port 505, and at least one data port 525 of the second data size connected to the data register 525 and the processor for enabling access to data elements of the second size.

拾壹、圖式：

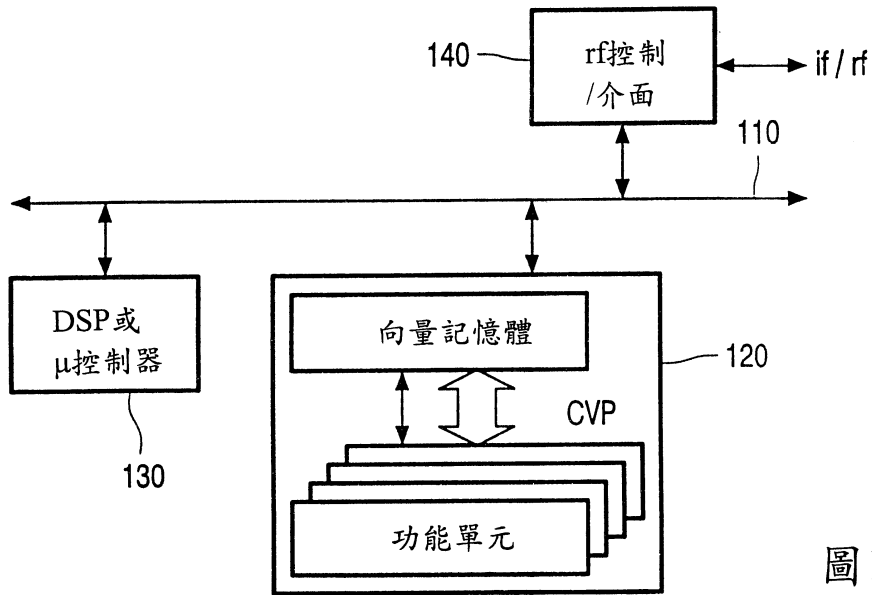


圖 1

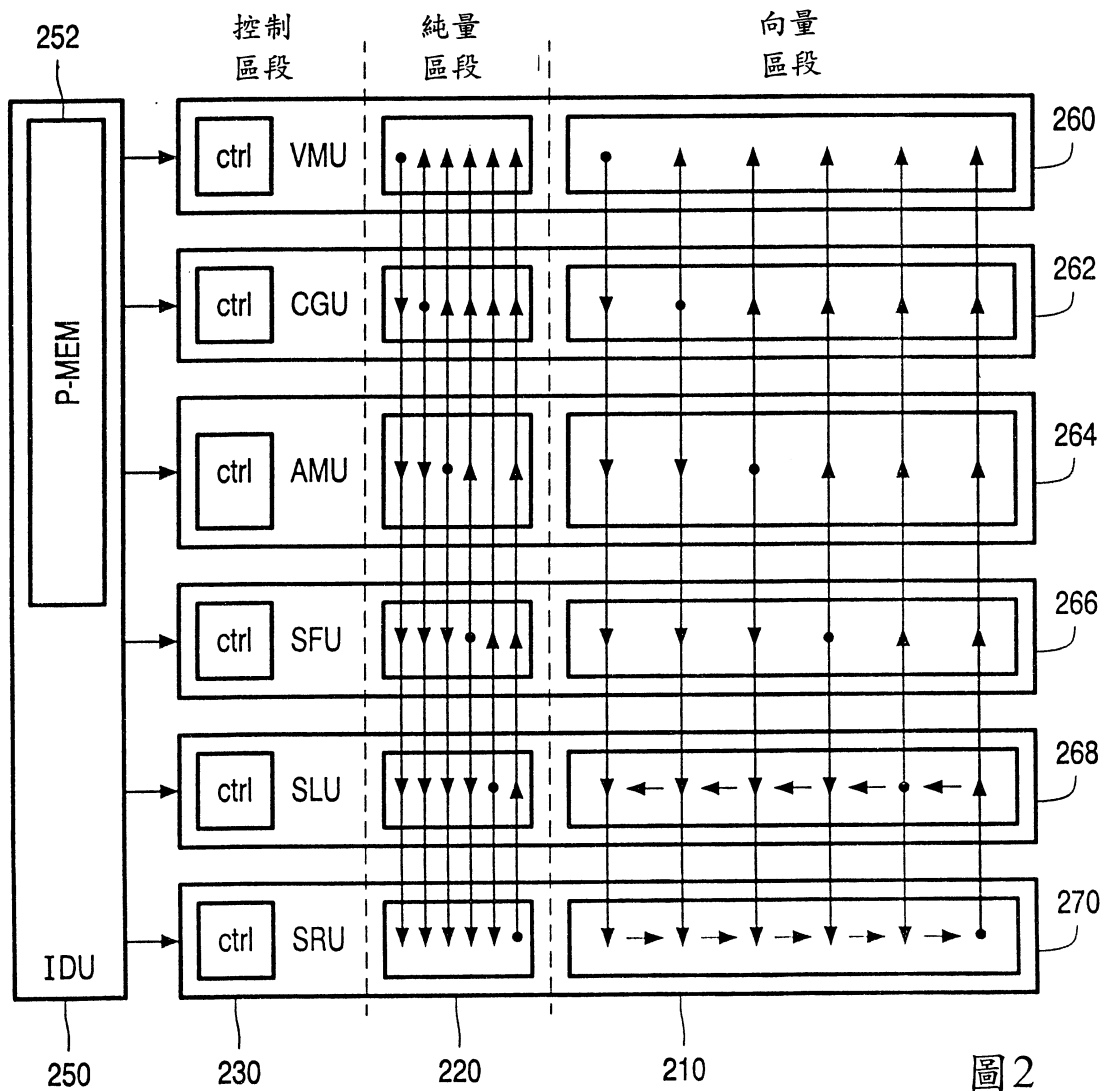


圖 2

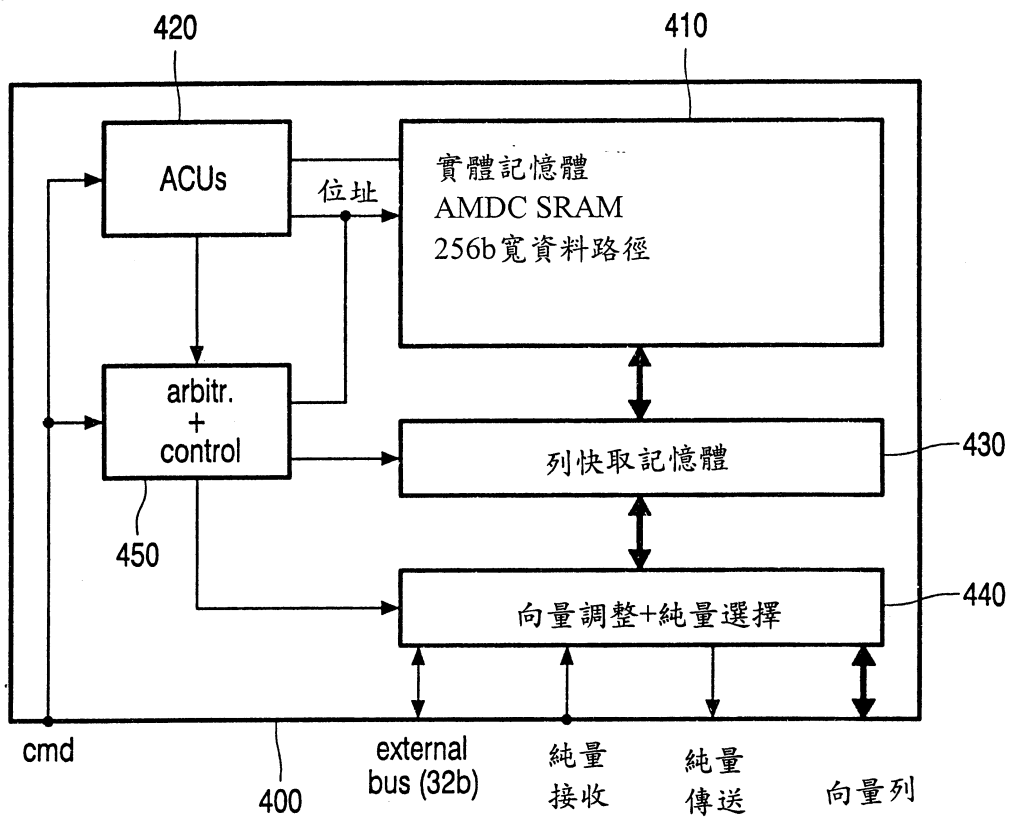


圖4

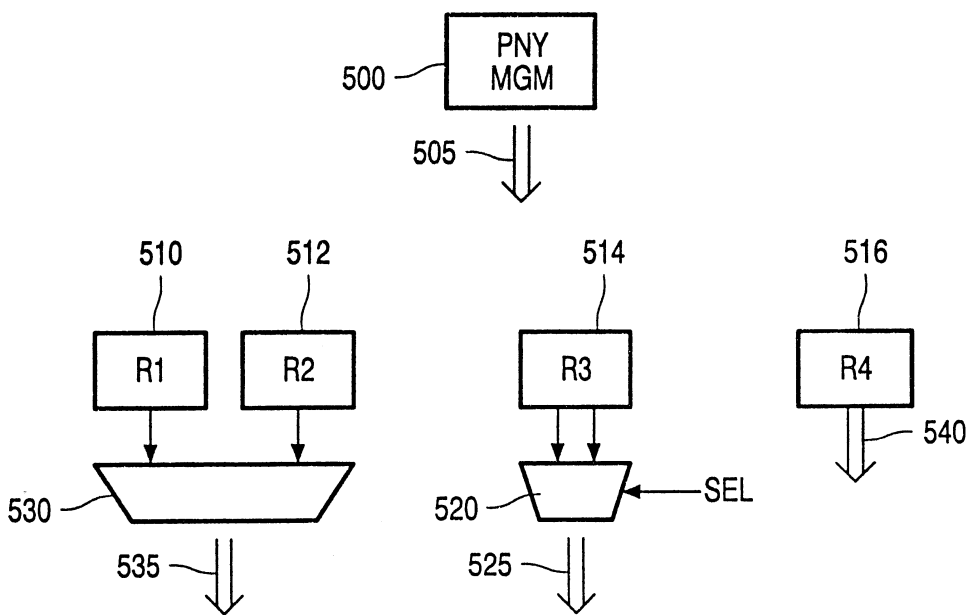


圖5

柒、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件代表符號簡單說明：

210	管線向量處理區段
220	純量處理區段
230	控制區段
250	指令分配單元
252	程式記憶體
260	向量記憶體單元
262	碼產生單元
264	ALU-MAC單元
266	ShuFfle單元
268	左移單元
270	右移單元

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92113718

※ 申請日期：92.5.21

※ I P C 分類：G06F 12/00, 13/16

壹、發明名稱：(中文/英文)

一種用以存取一記憶體中之資料的處理系統

A PROCESSING SYSTEM FOR ACCESSING DATA IN A MEMORY

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

恩智浦股份有限公司 / NXP B.V.

代表人：(中文/英文)

佩尼斯 漢斯 / PENNING, HANS

住居所或營業所地址：(中文/英文)

荷蘭愛因和文市高科技園區 60 號

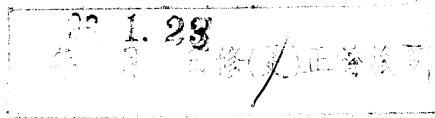
High Tech Campus 60, 5656 AG Eindhoven, The Netherlands

國 籍：(中文/英文)

荷蘭 / The Netherlands

拾、申請專利範圍

1. 一種用以存取一記憶體中的資料之處理系統，其包含一處理器與一實體記憶體，該實體記憶體具有一存取該記憶體之資料之單一尺寸記憶體埠；配置該處理器對至少一第一資料尺寸與一較小的第二資料尺寸之資料作業；該第一資料尺寸等於或小於該記憶體埠尺寸；該處理系統包括該第一資料尺寸之至少一暫存器連接至該記憶體埠；以及該第二資料尺寸之至少一資料埠連接至該資料暫存器與賦能存取該第二資料尺寸之此等資料元件之該處理器。
2. 如申請專利範圍第1項之處理系統，其中記憶體埠尺寸至少是該第二資料尺寸的兩倍。
3. 如申請專利範圍第2項之處理系統，其中該資料埠是一讀取埠，而且該處理系統包括一多工器，以根據一讀取位址的控制，從該資料暫存器選擇與擷取該第二資料尺寸之一資料元件。
4. 如申請專利範圍第2項之處理系統，其中該資料埠是一寫入埠，而且該處理系統包括一解多工器，以根據一寫入位址的控制，將該第二資料尺寸之一資料元件插於該資料暫存器之可選擇位置。
5. 如申請專利範圍第1或2項之處理系統，其中該處理系統包括該第二資料尺寸之複數個資料埠連接至該處理器，而且為了該等資料埠之每一個，一相關的個別資料暫存器連接至該個別的資料埠與該實體記憶體之一埠。



6. 如申請專利範圍第1項之處理系統，其中該資料埠是一寫入埠，而且該處理系統包括一協調檢查器，為了該資料暫存器，包括一相關的協調暫存器，以儲存識別儲存於該資料暫存器之資料的資訊；該協調檢查器可作業，藉由比較一存取該記憶體之讀取位址與儲存於該協調暫存器的識別資訊，以檢查準備從該記憶體讀取的資料是否與儲存於該資料暫存器之資料相符。
7. 如申請專利範圍第6項之處理系統，其中該識別資訊包括一存取該實體記憶體之一字的實體位址，其中該字的寬度與該記憶體埠相同。
8. 如申請專利範圍第6項之處理系統，其中該協調檢查器包括一衝突解決器，為回應一可能一致的衝突，取得此等修正步驟。
9. 如申請專利範圍第8項之處理系統，其中該衝突解決器被配置，以藉由標記該資料暫存器為讀存取無效，而取得此等修正步驟，為回應該資料暫存器之一讀存取，導致從該記憶體重新載入該資料暫存器之內容。
10. 如申請專利範圍第8項之處理系統，該協調檢查器包括一協調暫存器，用以每一個別之資料暫存器，該資料暫存器儲存識別儲存於該個別之資料暫存器之資料的資訊；配置該衝突解決器以回應寫存取該等資料暫存器之一和/或寫存取該實體記憶體，藉由將寫至該資料暫存器或該記憶體之內容複製至所有其餘的資料暫存器和/或該記憶體之一位置，根據該識別資訊儲存相同的資料。

11. 如申請專利範圍第8項之處理系統，其中至少該等資料暫存器之一(下面的"讀暫存器")被連接至一讀資料埠，及至少該等資料暫存器之一(下面的"寫暫存器")被連接至一寫入資料埠；而且該處理器包括一旁通，用以可選擇從該寫暫存器提供資料給該讀資料埠；該協調檢查器包括一用以每一個別資料暫存器之協調暫存器，以儲存識別儲存於該相關資料暫存器之資料的資訊；該衝突解決器被配置，藉由回應寫資料進入啟動該旁通路徑之該寫暫存器，以連續讀存取該讀暫存器，以取得此等修正步驟，如果該讀暫存器根據該識別資訊應儲存同一資料元件。
12. 如申請專利範圍第1項之處理系統，其中該實體記憶體以一單埠SRAM為基礎。
13. 如申請專利範圍第11項之處理系統，其中該實體記憶體以複數個平行方式配置的RAM形成。
14. 如申請專利範圍第1項之處理系統，其中該處理器被配置，根據該第一資料尺寸之向量與該第二資料尺寸之純量作業，其中該第一資料寬度至少是該第二資料寬度的兩倍。
15. 如申請專利範圍第1項之處理系統，其中該記憶體被嵌於該處理器。