

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 17 年 9 月 2 日 (2005.9.2)

【公開番号】特開 2002-215118 (P2002-215118A)

【公開日】平成 14 年 7 月 31 日 (2002.7.31)

【出願番号】特願 2001-296176 (P2001-296176)

【国際特許分類第 7 版】

G 0 9 G 3/36

G 0 2 F 1/133

G 0 2 F 1/1368

G 0 9 G 3/20

G 1 1 C 19/00

H 0 3 K 5/15

H 0 3 K 23/54

【F I】

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 2 F 1/1368

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 2 3 H

G 1 1 C 19/00 J

H 0 3 K 23/54 B

H 0 3 K 5/15 P

【手続補正書】

【提出日】平成 17 年 3 月 7 日 (2005.3.7)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とする M I S T F T から構成され、

第 1 の M I S T F T の第 1 の端子は入力パルスに接続され、第 1 の M I S T F T のゲート端子は第 1 の同期パルスに接続されて、入力部を形成し、

第 1 の M I S T F T の第 2 の端子は、第 2 の M I S T F T のゲート端子及び第 4 の M I S T F T の第 1 の端子に接続し、かつ第 1 の容量素子の第 1 の端子と接続し、

第 1 の容量の第 2 の端子は固定電圧に接続しており、第 2 の M I S T F T の第 1 の端子は第 1 の同期パルスと逆相をなす第 2 の同期パルスに接続し、

第 2 の M I S T F T の第 2 の端子は、第 3 の M I S T F T の第 1 の端子及びゲート端子に接続しており、かつ第 2 の容量の第 1 の端子と接続し、

第 2 の容量の第 2 の端子は、第 1 の M I S T F T の第 2 の端子、第 2 の M I S F E T のゲート端子及び第 4 の M I S T F T の第 1 の端子に接続しており、

第 3 の M I S T F T の第 2 の端子は、第 5 の M I S T F T のゲート端子及び第 7 の M I S T F T の第 1 の端子に接続し、かつ第 3 の容量素子の第 1 の端子と接続するとともに第 1 の出力端子を形成し、

第 3 の容量の第 2 の端子は固定電圧に接続しており、第 5 の M I S T F T の第 1 の端子

は第 1 の同期パルスに接続し、

第 5 の M I S T F T の第 2 の端子は、第 6 の M I S T F T の第 1 の端子及びゲート端子及び第 4 の M I S T F T のゲート端子に接続しており、かつ第 4 の容量の第 1 の端子と接続するとともに第 2 の出力端子を形成し、

第 4 の容量の第 2 の端子は第 3 の M I S T F T の第 2 の端子、第 5 の M I S T F T のゲート端子及び第 7 の M I S T F T の第 1 の端子に接続しており、

第 4 の M I S T F T の第 2 の端子及び第 7 の M I S T F T の第 2 の端子は固定電源に接続しており、

第 7 の M I S T F T のゲート端子には前記第 4 の M I S T F T のゲート端子に入力されるパルスに相当するパルスでクロック分シフトされるパルスが入力されることを特徴とする表示装置。

【請求項 2】

第 2 から第 7 までの M I S T F T と第 1 から第 4 までの容量から構成される基本回路が n 個多段に接続され、

第 i 番目の基本回路の第 2 の M I S T F T に対応する M I S T F T のゲート端子には、第 $(i - 1)$ 番目の基本回路の第 6 の M I S T F T に対応する M I S T F T の第 2 の端子に接続され、

第 i 番目の基本回路の第 7 の M I S T F T に対応する M I S T F T のゲート端子には、第 $(i + 1)$ 番目の第 2 の M I S T F T に対応する M I S T F T の第 2 の端子に接続され、

第 n 番目の基本回路の第 7 の M I S T F T に対応する M I S T F T のゲート端子には次段の基本回路の第 4 の M I S T F T のゲート端子に入力されるパルスに相当するパルスでクロック分シフトされるパルスが入力されることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

第 1 番目の基本回路に第二の M I S T F T が、第 2 番目以降に各基本回路に第一の M I S T F T および第二の M I S T F T が組み込まれ、

第一の M I S T F T は、そのゲート端子が入力パルスの入力端子に接続され、第 1 の端子が第 2 の M I S T F T に対応する M I S T F T のゲート端子に接続され、第 2 の端子が第 1、第 2 の同期パルスの電圧のうち M I S T F T のソース電圧となる電圧に等しいか、または少なくとも第 4 の M I S T F T のしきい値電圧以上に第 1、第 2 の同期パルスのソース電圧となる電圧と異なることのない固定電源または接地電位に接続され、

第二の M I S T F T は、そのゲート端子が入力パルスの入力端子に接続され、第 1 の端子が第 5 の M I S T F T あるいはこの第 5 の M I S T F T に対応する M I S T F T のゲート端子に接続され、第 2 の端子が第 1、第 2 の同期パルスの電圧のうち M I S T F T のソース電圧となる電圧に等しいか、または少なくとも第 4 の M I S T F T のしきい値電圧以上に第 1、第 2 の同期パルスのソース電圧となる電圧と異なることのない固定電源または接地電位に接続されていることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とする M I S T F T から構成され、

第 1 の M I S T F T の第 1 の端子及びゲート端子は入力パルスに接続されて、入力部を形成し、

第 1 の M I S T F T の第 2 の端子は、第 2 の M I S T F T のゲート端子及び第 4 の M I S T F T の第 1 の端子に接続し、かつ第 1 の容量素子の第 1 の端子と接続し、

第 1 の容量の第 2 の端子は固定電圧に接続しており、第 2 の M I S T F T の第 1 の端子は第 1 の同期パルスと逆相をなす第 2 の同期パルスに接続し、

第 2 の M I S T F T の第 2 の端子は、第 3 の M I S T F T の第 1 の端子及びゲート端子に接続しており、

かつ第 2 の容量の第 1 の端子と接続し、第 2 の容量の第 2 の端子は、第 1 の M I S T F

Tの第2の端子、第2のMISTFTのゲート端子及び第4のMISTFTの第1の端子に接続しており、

第3のMISTFTの第2の端子は、第5のMISTFTのゲート端子及び第7のMISTFTの第1の端子に接続し、かつ第3の容量素子の第1の端子と接続するとともに第1の出力端子を形成し、

第3の容量の第2の端子は固定電圧に接続しており、第5のMISTFTの第1の端子は第1の同期パルスに接続し、

第5のMISTFTの第2の端子は、第6のMISTFTの第1の端子及びゲート端子及び第4のMISTFTのゲート端子に接続しており、かつ第4の容量の第1の端子と接続するとともに第2の出力端子を形成し、

第4の容量の第2の端子は第3のMISTFTの第2の端子、第5のMISTFTのゲート端子及び第7のMISTFTの第1の端子に接続しており、

第4のMISTFTの第2の端子及び第7のMISTFTの第2の端子は固定電源に接続しており、

第7のMISTFTのゲート端子には前記第4のMISTFTのゲート端子に入力されるパルスに相当するパルスでクロック分シフトされるパルスが入力されることを特徴とする表示装置。

【請求項5】

第2から第7までのMISTFTと第1から第4までの容量から構成される基本回路がn個多段に接続され、

第i番目の基本回路の第2のMISTFTに対応するMISTFTのゲート端子には、第(i-1)番目の基本回路の第6のMISTFTに対応するMISTFTの第2の端子に接続され、

第i番目の基本回路の第7のMISTFTに対応するMISTFTのゲート端子には、第(i+1)番目の第2のMISTFTに対応するMISTFTの第2の端子に接続され、

第n番目の基本回路の第7のMISTFTに対応するMISTFTのゲート端子には次段の基本回路の第4のMISTFTのゲート端子に入力されるパルスに相当するパルスでクロック分シフトされるパルスが入力されることを特徴とする請求項4に記載の表示装置。

【請求項6】

第1番目の基本回路に第二のMISTFTが、第2番目以降に各基本回路に第一のMISTFTおよび第二のMISTFTが組み込まれ、

第一のMISTFTは、そのゲート端子が入力パルスの入力端子に接続され、第1の端子が第2のMISTFTに対応するMISTFTのゲート端子に接続され、第2の端子が第1、第2の同期パルスの電圧のうちMISTFTのソース電圧となる電圧に等しいか、または少なくとも第4のMISTFTのしきい値電圧以上に第1、第2の同期パルスのソース電圧となる電圧と異なることのない固定電源または接地電位に接続され、

第二のMISTFTは、そのゲート端子が入力パルスの入力端子に接続され、第1の端子が第5のMISTFTあるいはこの第5のMISTFTに対応するMISTFTのゲート端子に接続され、第2の端子が第1、第2の同期パルスの電圧のうちMISTFTのソース電圧となる電圧に等しいか、または少なくとも第4のMISTFTのしきい値電圧以上に第1、第2の同期パルスのソース電圧となる電圧と異なることのない固定電源または接地電位に接続されていることを特徴とする請求項5に記載の表示装置。

【請求項7】

基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とするMISTFTから構成され、

第1のMISTFTの第1の端子及びゲート端子は入力パルスに接続されて、入力部を形成し、

第1のMISTFTの第2の端子は、第2のMISTFTのゲート端子及び第4のMISTFT

S T F Tの第1の端子に接続し、かつ第1の容量を介して、固定電圧に接続しており、

第2のM I S T F Tの第1の端子は、第1の同期パルスと逆相をなす第2の同期パルスに接続し、

第2のM I S T F Tの第2の端子は、第3のM I S T F Tの第1の端子及びゲート端子に接続しており、かつ第2の容量を介して、第1のM I S T F Tの第2の端子、第2のM I S T F Tのゲート端子及び第4のM I S T F Tの第1の端子に接続しており、

第3のM I S T F Tの第2の端子は、第5のM I S T F Tのゲート端子及び第7のM I S T F Tの第1の端子に接続し、かつ第3の容量素子を介して、固定電圧に接続しており、

第5のM I S T F Tの第1の端子は第1の同期パルスに接続し、

第5のM I S T F Tの第1の端子は、第6のM I S T F Tの第1の端子及びゲート端子及び第4のM I S T F Tのゲート端子に接続しており、かつ第4の容量を介して、第3のM I S T F Tの第2の端子、第5のM I S T F Tのゲート端子及び第7のM I S T F Tの第1の端子に接続しており、

第4のM I S T F Tの第2の端子は固定電源に接続しており、

第7のM I S T F Tのゲート端子には前記第4のM I S T F Tのゲート端子に入力されるパルスに相当するパルスでークロック分シフトされるパルスが入力されることを特徴とする表示装置。

【請求項8】

第2から第11までのM I S T F Tと第1、第2の容量から構成される基本回路がn個多段に接続され、

第i番目の基本回路の第2のM I S T F Tに対応するM I S T F Tのゲート端子には、第(i - 1)番目基本回路の第10のM I S T F Tに対応するM I S T F Tの第2の端子に接続され、

第i番目の基本回路の第8のM I S T F Tに対応するM I S T F Tのゲート端子及び第7のM I S T F Tに対応するM I S T F Tの第1の端子に、第(i + 1)番目の基本回路の第6のM I S T F Tに対応するM I S T F Tの第2の端子に接続され、

第n番目の基本回路の第8のM I S T F Tに対応するM I S T F Tのゲート端子及び第7のM I S T F Tに対応するM I S T F Tの第1の端子には、前記第14のM I S T F Tのゲート端子に入力されるパルスに相当するパルスでークロック分シフトされるパルスが入力されることを特徴とする請求項7に記載の表示装置。

【請求項9】

基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とするM I S T F Tから構成され、

第1のM I S T F Tの第1の端子は入力パルスに接続され、

第1のM I S T F Tのゲート端子は、第1の同期パルスに接続されて、入力部を形成し、

第1のM I S T F Tの第2の端子は、第4のM I S T F Tのゲート端子及び第3のM I S T F Tの第1の端子に接続し、かつ第1の容量の第1の端子に接続し、

第1の容量の第2の端子は第4のM I S T F Tの第2の端子、第5のM I S T F Tの第1の端子及びゲート端子及び第6のM I S T F Tの第1の端子及びゲート端子と接続し、かつ第7のM I S T F Tのゲート端子と接続しており、

第2のM I S T F Tのゲート端子は入力パルスに接続され、第2のM I S T F Tの第1の端子は、第11のM I S T F Tの第2の端子及び第3のM I S T F Tのゲート端子に接続し、

第2のM I S T F Tの第2の端子および第7のM I S T F Tの第2の端子は、固定電源に接続しており、

第3のM I S T F Tの第2の端子は、固定電源に接続しており、

第4のM I S T F Tの第1の端子は、第2の同期パルスに接続し、

第5のM I S T F Tの第2の端子は第9のM I S T F Tのゲート端子及び第8のM I S

T F T の第 1 の端子に接続し、かつ、第 2 の容量の第 1 の端子に接続し、

第 2 の容量の第 2 の端子は、第 9 の M I S T F T の第 2 の端子及び第 10 の M I S T F T の第 1 の端子及びゲート端子及び第 11 の M I S T F T の第 1 の端子及びゲート端子に接続し、

第 7 の M I S T F T の第 1 の端子は第 8 の M I S T F T のゲート端子に接続し、

第 8 の M I S T F T の第 2 の端子は、固定電源に接続しており、

第 9 の M I S T F T の第 1 の端子は第 1 の同期パルスに接続し、

第 8 の M I S T F T のゲート端子には前記第 3 の M I S T F T のゲート端子に入力されるパルスに相当するパルスでクロック分シフトされるパルスが入力されることを特徴とする表示装置。

【請求項 10】

第 2、3、4、5、7、8、9、10 の各 M I S T F T と、第 1 および第 2 の容量から構成される基本回路が n 個多段に接続され、

第 i 番目の基本回路の第 10 の M I S T F T に対応する M I S T F T の第 2 の端子が第 ($i - 1$) 番目の基本回路の第 4 の M I S T F T に対応する M I S T F T のゲート端子に接続され、

第 i 番目の基本回路の第 7 の M I S T F T に対応する M I S T F T の第 2 の端子、第 3 の M I S T F T に対応する M I S T F T のゲート端子が第 ($i + 1$) 番目の基本回路の第 1 の容量に対応する容量に第 6 の M I S T F T を介して接続され、

該第 6 の M I S T F T の第 2 の端子は M I S T F T の第 2 の端子、第 3 の M I S T F T に対応する M I S T F T のゲート端子に接続され、第 1 の端子及びゲート端子は前記容量に接続されていることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

第 2 番目からの各基本回路において、第 1 の端子及びゲート端子が入力パルスに接続された第一の M I S T F T の第 2 の端子が第 11 の M I S T F T に対応する M I S T F T の第 2 の端子に接続され、

第 3 番目からの各基本回路において、第 1 の端子及びゲート端子が入力パルスに接続された第二の M I S T F T の第 2 の端子が、該基本回路の前段の基本回路の第 8 の M I S T F T に対応する M I S T F T のゲート端子に接続され、かつ、第 1 の容量に対応する容量の第 2 の端子に M I S T F T を介して接続され、

該 M I S T F T の第 2 の端子は第二の M I S T F T の第 2 の端子に接続され、第 1 の端子及びゲート端子は前記容量に接続されていることを特徴とする請求項 10 に記載の表示装置。

【請求項 12】

基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とする M I S T F T から構成され、

第 1 の M I S T F T の第 1 の端子及びゲート端子は入力パルスに接続されて、入力部を形成し、

第 1 の M I S T F T の第 2 の端子は、第 4 の M I S T F T のゲート端子及び第 3 の M I S T F T の第 1 の端子に接続し、かつ第 1 の容量の第 1 の端子に接続し、

第 1 の容量の第 2 の端子は第 4 の M I S T F T の第 2 の端子、第 5 の M I S T F T の第 1 の端子及びゲート端子及び第 6 の M I S T F T の第 1 の端子及びゲート端子と接続し、かつ第 7 の M I S T F T のゲート端子と接続しており、

第 2 の M I S T F T のゲート端子は入力パルスに接続され、

第 2 の M I S T F T の第 1 の端子は、第 11 の M I S T F T の第 2 の端子及び第 3 の M I S T F T のゲート端子に接続し、

第 2 の M I S T F T の第 2 の端子および第 7 の M I S T F T の第 2 の端子は、固定電源に接続しており、

第 3 の M I S T F T の第 2 の端子は、固定電源に接続しており、

第 4 の M I S T F T の第 1 の端子は、第 2 の同期パルスに接続し、

第 5 の M I S T F T の第 2 の端子は第 9 の M I S T F T のゲート端子及び第 8 の M I S T F T の第 1 の端子に接続し、かつ、第 2 の容量の第 1 の端子に接続し、

第 2 の容量の第 2 の端子は、第 9 の M I S T F T の第 2 の端子及び第 10 の M I S T F T の第 1 の端子及びゲート端子及び第 11 の M I S T F T の第 1 の端子及びゲート端子に接続し、

第 7 の M I S T F T の第 1 の端子は第 8 の M I S T F T のゲート端子に接続し、

第 8 の M I S T F T の第 2 の端子は、固定電源に接続しており、

第 9 の M I S T F T の第 1 の端子は第 1 の同期パルスに接続し、

第 8 の M I S T F T のゲート端子には前記第 3 の M I S T F T のゲート端子に入力されるパルスに相当するパルスでクロック分シフトされるパルスが入力されることを特徴とする表示装置。

【請求項 13】

第 2、3、4、5、7、8、9、10 の各 M I S T F T と、第 1 および第 2 の容量から構成される基本回路が n 個多段に接続され、

第 i 番目の基本回路の第 10 の M I S T F T に対応する M I S T F T の第 2 の端子が第 (i - 1) 番目の基本回路の第 4 の M I S T F T に対応する M I S T F T のゲート端子に接続され、

第 i 番目の基本回路の第 7 の M I S T F T に対応する M I S T F T の第 2 の端子、第 3 の M I S T F T に対応する M I S T F T のゲート端子が第 (i + 1) 番目の基本回路の第 1 の容量に対応する容量に第 6 の M I S T F T を介して接続され、

該第 6 の M I S T F T の第 2 の端子は M I S T F T の第 2 の端子、第 3 の M I S T F T に対応する M I S T F T のゲート端子に接続され、第 1 の端子及びゲート端子は前記容量に接続されていることを特徴とする請求項 12 に記載の表示装置。

【請求項 14】

第 2 番目からの各基本回路において、第 1 の端子及びゲート端子が入力パルスに接続された第一の M I S T F T の第 2 の端子が第 11 の M I S T F T に対応する M I S T F T の第 2 の端子に接続され、

第 3 番目からの各基本回路において、第 1 の端子及びゲート端子が入力パルスに接続された第二の M I S T F T の第 2 の端子が、該基本回路の前段の基本回路の第 8 の M I S T F T に対応する M I S T F T のゲート端子に接続され、かつ、第 1 の容量に対応する容量の第 2 の端子に M I S T F T を介して接続され、

該 M I S T F T の第 2 の端子は第二の M I S T F T の第 2 の端子に接続され、第 1 の端子及びゲート端子は前記容量に接続されていることを特徴とする請求項 13 に記載の表示装置。

【請求項 15】

基板面にシフトレジスタを含む表示駆動回路を備え、

前記シフトレジスタは、半導体層を有するトランジスタから構成されているとともに、

前記トランジスタはゲート端子と第 1 の端子と第 2 の端子を有し、

前記第 1 の端子には同期パルスが入力し、

前記ゲート端子の電圧は、ブートストラップ効果により前記ゲート端子がフローティング状態の場合に、前記同期パルスがロウレベルからハイレベルに変化することに従い上昇し、

前記トランジスタをオン状態とする信号の入力により、前記ゲート端子のブートストラップ効率を向上させることを特徴とする表示装置。

【請求項 16】

基板面にシフトレジスタを含む表示駆動回路を備え、

前記シフトレジスタは、半導体層を有するトランジスタから構成されているとともに、

前記トランジスタはゲート端子と第 1 の端子と第 2 の端子を有し、

前記第 1 の端子には同期パルスが入力し、

前記ゲート端子の電圧は、ブートストラップ容量により前記ゲート端子がフローティン

グ状態の場合に、前記同期パルスがロウレベルからハイレベルに変化することに従い上昇し、

前記トランジスタをオン状態とする信号の入力により、前記ゲート端子に接続されたブートストラップ容量が増加することを特徴とする表示装置。

【請求項 17】

基板面にシフトレジスタを含む表示駆動回路を備え、

前記シフトレジスタは、半導体層を有する第 1 のトランジスタと第 2 のトランジスタから構成されているとともに、

前記第 1 のトランジスタはゲート端子と第 1 の端子と第 2 の端子を有し、

前記第 1 のトランジスタの第 1 の端子には同期パルスが入力し、

前記第 1 のトランジスタのゲート端子の電圧は、前記ゲート端子がフローティング状態の場合に、前記同期パルスがロウレベルからハイレベルに変化することに従い上昇し、

前記第 2 のトランジスタはオン状態で前記第 1 のトランジスタのゲート端子と電圧線とを接続し、

前記第 1 のトランジスタをオン状態とする信号の入力により、前記第 2 のトランジスタはオフ状態となることを特徴とする表示装置。

【手続補正 2】

【補正対象書類名】図面

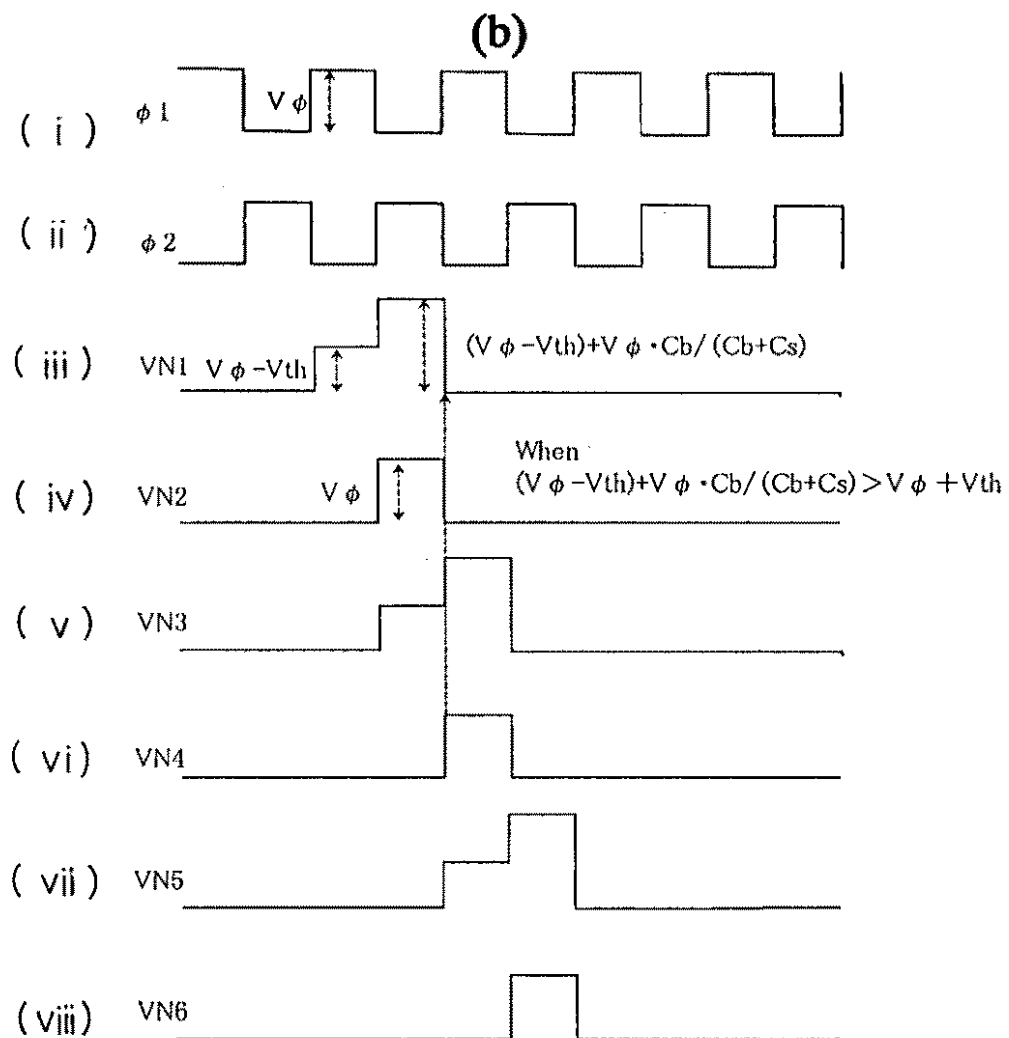
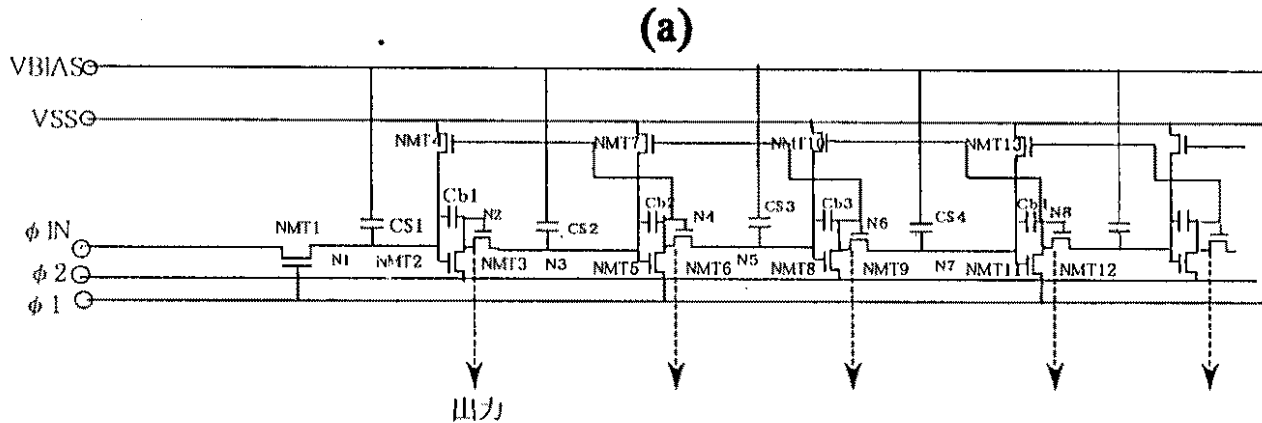
【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

【 図 1 】

図 1



【 手続補正 3 】

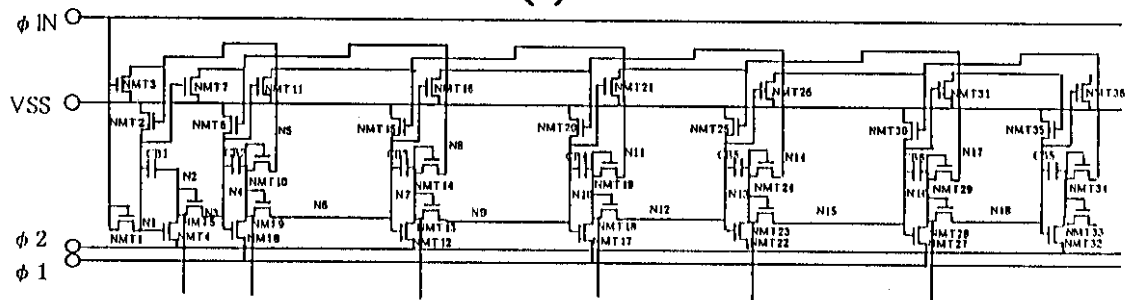
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 6

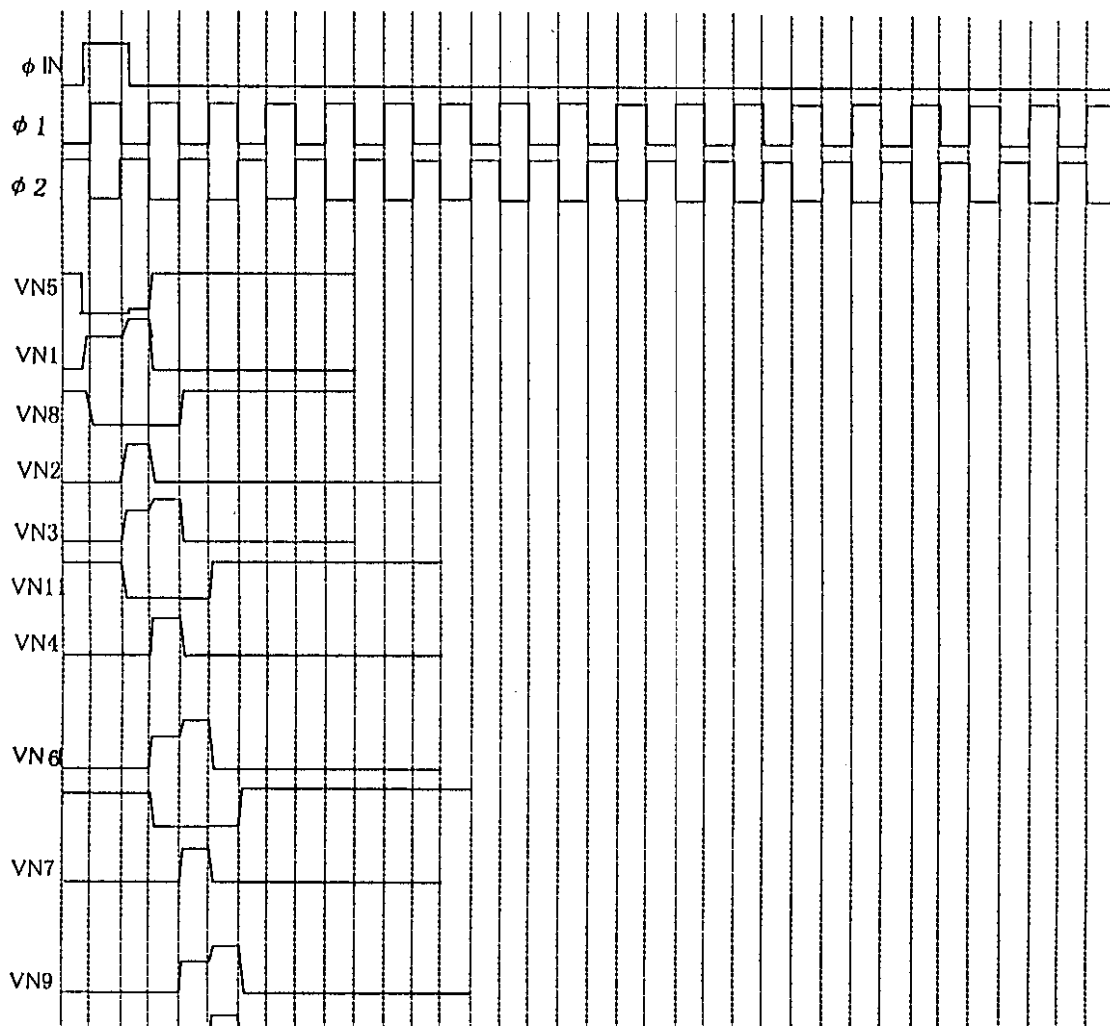
【 補正方法 】 変更

【 補正の内容 】

【 図 6 】

図 6
(a)

(b)



【 手続補正 4 】

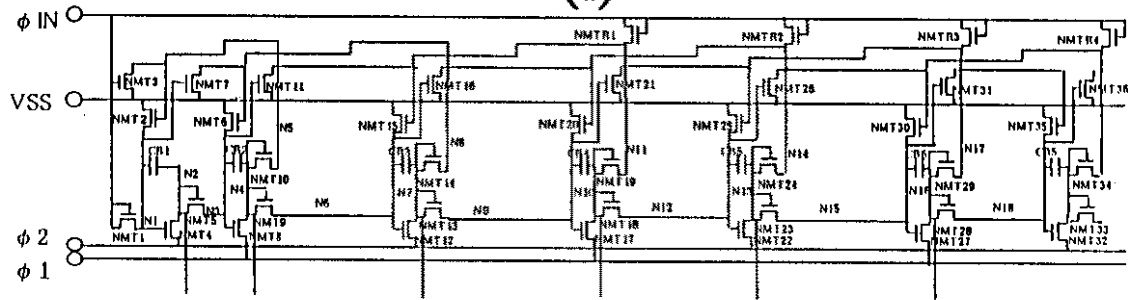
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 7

【 補正方法 】 変更

【 補正の内容 】

【 図 7 】

図 7
(a)

(b)

