(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4654671号
(P4654671)

(45)発行日　平成23年3月23日(2011.3.23)　(24)登録日　平成23年1月7日(2011.1.7)

(51)Int.Cl.		F I		
G11C 16/06	(2006.01)	G11C	17/00	634C
G11C 16/04	(2006.01)	G11C	17/00	622E
H01L 27/115	(2006.01)	G11C	17/00	634B
H01L 21/8247	(2006.01)	H01L	27/10	434
H01L 29/792	(2006.01)	H01L	29/78	371

請求項の数 9　(全 16 頁)　最終頁に続く

(21)出願番号　特願2004-344575 (P2004-344575)
(22)出願日　平成16年11月29日 (2004.11.29)
(65)公開番号　特開2006-155750 (P2006-155750A)
(43)公開日　平成18年6月15日 (2006.6.15)
審査請求日　平成19年6月5日 (2007.6.5)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　西原　利幸
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　外山　毅

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
ビット線と、
上記ビット線に接続された少なくとも一つのメモリユニットと、を有し、
上記メモリユニットは、
複数のメモリセルが直列に接続されたセルストリングと、
ソース、ドレインの一端が第１の定電圧ソースに接続された増幅駆動回路としての増幅用電界効果トランジスタと、
ソース、ドレインの一端が上記セルストリングの一端に接続された第１の選択トランジスタと、
ソース、ドレインの一端が第２の定電圧ソースに接続され、他端が上記セルストリングの他端に接続された第２の選択トランジスタと、
ソース、ドレインの一端が上記増幅用電界効果トランジスタのソース、ドレインの一端に接続され、他端が上記第１の選択トランジスタのソース、ドレインの他端に接続された第３の選択トランジスタと、を含み、
上記各メモリセルは異なるしきい値に従って異なるデータを記憶する電界効果トランジスタにより形成され、
上記第１の選択トランジスタのソース、ドレインの他端と上記第３の選択トランジスタのソース、ドレインの他端とが上記ビット線に接続され、
上記セルストリングの一端が上記増幅用電界効果トランジスタのゲート電極に接続さ

れ、上記増幅用電界効果トランジスタは上記セルストリングの貫通電流を反映して上記第３の選択トランジスタを介して上記ビット線を駆動する
半導体記憶装置。
【請求項２】
データ読み出しの際は、上記ビット線、上記第１の選択トランジスタを介して上記増幅用電界効果トランジスタのゲートを一定電位にチャージし、上記第１の選択トランジスタをオフ、上記第２の選択トランジスタをオンさせて上記セルストリングを介した貫通電流により上記ゲート電位を変化させる
請求項１記載の半導体記憶装置。
【請求項３】
上記セルストリングは、シリコン基板上に形成された上記増幅駆動回路の上層に積層されている
請求項１または２記載の半導体記憶装置。
【請求項４】
上記セルストリングのメモリセルを形成する電界効果トランジスタは、上記増幅駆動回路上に絶縁膜を介して堆積された半導体層に形成された溝の、側壁に形成されている
請求項１または２記載の半導体記憶装置。
【請求項５】
ビット線と、
上記ビット線に接続された少なくとも一つのメモリユニットと、を有し、
上記メモリユニットは、
複数のメモリセルが直列に接続された複数のセルストリングと、
ソース、ドレインの一端が第１の定電圧ソースに接続された増幅駆動回路としての増幅用電界効果トランジスタと、
ソース、ドレインの一端が上記複数のセルストリングの一端側に選択的に接続される第１の選択トランジスタと、
ソース、ドレインの一端が第２の定電圧ソースに接続され、他端が上記各セルストリングの他端に接続された複数の第２の選択トランジスタと、
ソース、ドレインの一端が上記増幅用電界効果トランジスタのソース、ドレインの一端に接続され、他端が上記第１の選択トランジスタのソース、ドレインの他端に接続された第３の選択トランジスタと、
上記第１の選択トランジスタのソース、ドレインの一端と、上記各セルストリングの一端との間に接続され、上記第１の選択トランジスタの一端と各セルストリングの一端を選択的に接続するための複数の接続分離用トランジスタと、を含み、
上記各メモリセルは異なるしきい値に従って異なるデータを記憶する電界効果トランジスタにより形成され、
上記第１の選択トランジスタのソース、ドレインの他端と上記第３の選択トランジスタのソース、ドレインの他端とが上記ビット線に接続され、
上記第１の選択トランジスタの一端が上記増幅用電界効果トランジスタのゲート電極に接続され、上記増幅用電界効果トランジスタは、上記接続分離用トランジスタで上記第１の選択トランジスタの一端と選択的に接続される上記セルストリングの貫通電流を反映して上記第３の選択トランジスタを介して上記ビット線を駆動する
半導体記憶装置。
【請求項６】
データ読み出しの際は、上記ビット線、上記第１の選択トランジスタを介して上記増幅用電界効果トランジスタのゲートを一定電位にチャージし、上記第１の選択トランジスタをオフ、上記第２の選択トランジスタをオンさせて選択された上記セルストリングを介した貫通電流により上記ゲートの電位を変化させる
請求項５記載の半導体記憶装置。
【請求項７】

上記複数の各セルストリングを形成する複数のメモリセルのゲート電極は、複数のセルストリング間でそれぞれ短絡しており、独立した駆動回路に接続されている
請求項５または６記載の半導体記憶装置。
【請求項８】
上記セルストリングは、シリコン基板上に形成された上記増幅駆動回路の上層に、少なくとも２層にわたって積層されている
請求項５から７のいずれか一に記載の半導体記憶装置。
【請求項９】
上記セルストリングのメモリセルを形成する電界効果トランジスタは、上記増幅駆動回路上に絶縁膜を介して堆積された半導体層に形成された溝の、側壁に形成されている
請求項５から７のいずれか一に記載の半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体記憶装置に関するものであり、特にフラッシュメモリやマスクＲＯＭ等、メモリセルを構成する電界効果トランジスタ（ＦＥＴ：Field Effect Transistor）のしきい値の違いでデータを記憶する半導体記憶装置に関するものである。
【背景技術】
【０００２】
近年、デジタルスチルカメラやモバイルコンピュータ機器の記憶媒体として、フラッシュメモリが注目されている。
【０００３】
フラッシュメモリは、トンネリングやホットエレクトロン加速を用いて、電子にゲート絶縁膜を通過させ、それらを浮遊ゲートやトラップ層に注入し、セルトランジスタのしきい値を変化させることでデータを記憶させる半導体メモリである。
このようなフラッシュメモリは、積層ゲート構造やＭＮＯＳ構造等を用いたトランジスタ１つのみでメモリセルを構成できるため、安価かつ大容量のメモリを実現できる。
その代表例として、ＮＡＮＤ型フラッシュメモリが挙げられる。
【０００４】
図１は、ＮＡＮＤ型フラッシュメモリの内部構成例を示す図である。
図１のＮＡＮＤ型フラッシュメモリは、複数(図１の例で４)のメモリユニット１－１から１－４がアレイ状(図１の例では２×２のマトリクスアレイ状)に配置されている。各メモリユニット１－１から１－４は、ビット線ＢＬ１，ＢＬ２に接続されている。そして、ビット線ＢＬ１，ＢＬ２はセンスアンプ（ＳＡ）２－１，２－２に接続されている。
【０００５】
メモリユニット１－１は、図１に示すように、選択トランジスタ１１および１２に挟まれて、たとえば１６個のメモリセルトランジスタＣ０～Ｃ１５を直列接続したセルストリングＳＴＲＧ１が配置された構成となっている。選択トランジスタ１１，１２のゲート電極は選択線ＳＬ１、ＳＬ２に接続され、メモリセルトランジスタＣ０～Ｃ１５のゲート電極がワード線ＷＬ０～ＷＬ１５に接続されている。他のメモリユニット１－２～１－４の構成も同様である。
【０００６】
各メモリセルは積層ゲート構造を持ち、浮遊ゲートへの電荷蓄積量に従ってデータを記憶する。すなわち、セルに書き込みが行われ、浮遊ゲートに多くの電子が注入されると、トランジスタのしきい値が上昇する。
この際たとえばメモリセルトランジスタＣ０は、ゲートが０Ｖの際にオン状態であったものがオフ状態に変わる。したがって、メモリセルトランジスタＣ０の読み出し時には、メモリセルトランジスタＣ１～Ｃ１５のゲートを電源電圧Ｖｃｃとしてそれらを強制的にＯＮさせ、メモリセルトランジスタＣ０のみのゲートを０Ｖとして、セルストリングＳＴＲＧ1の貫通電流を見れば良い。

【０００７】
通常上記判定は、たとえばビット線ＢＬ１をＶｃｃにチャージし、選択されたメモリユニット１－１を介してその電荷が放電されるか否かを検出することで実施される。実際には、セルアレイ内にはこのようなメモリユニットが縦横に複数敷き詰められている。
【０００８】
このようにメモリセルをＦＥＴで構成し、それを直列接続したセルストリングを基本にメモリユニットを構成し、それをマトリクス状に配置した半導体メモリのアレイ構成は、フラッシュメモリのみならずマスクＲＯＭにも採用されている。
マスクＲＯＭでは上述のような積層ゲート構造を使用せず、製造工程中にチャンネル領域に不純物を打ち込むことで各トランジスタのしきい値を変え、プログラミングを行う。
【０００９】
このようなアレイ構成はセル毎にビット線へのコンタクト領域を設ける必要がないので、特に大容量で安価な記憶装置の媒体に適している。
【発明の開示】
【発明が解決しようとする課題】
【００１０】
上述のようなセルストリングを用いた場合、多数のメモリセルを直列接続するほど配置の効率は向上し、チップ内のセル占有効率が高くなる。
しかし、その分各セルストリングの電流駆動能力が低下し、そのためにチャージされたビット線の電荷の引き抜きに時間がかかり、読み出し速度が遅くなるという不利益があった。
【００１１】
また、将来の大容量化に向けて、より高密度にセルを配置しようとした場合、有力な選択肢としてＴＦＴ（Thin Film Transistor）によるトランジスタの積層が考えられる。
しかし、一般にシリコン基板を用いずポリシリコン等で積層させたトランジスタの能力は、通常のトランジスタに比較して極度に低い。したがって、それをさらにストリング状に直列接続させることは、読み出し速度を極度に悪化させることとなり、実用に適さないという不利益があった。
【００１２】
本発明の目的は、読み出し速度の向上を図れる半導体記憶装置を提供することにある。
【課題を解決するための手段】
【００１３】
上記目的を達成するため、本発明の第１の観点の半導体記憶装置は、ビット線と、上記ビット線に接続された少なくとも一つのメモリユニットと、を有し、上記メモリユニットは、複数のメモリセルが直列に接続されたセルストリングと、ソース、ドレインの一端が第１の定電圧ソースに接続された増幅駆動回路としての増幅用電界効果トランジスタと、ソース、ドレインの一端が上記セルストリングの一端に接続された第１の選択トランジスタと、ソース、ドレインの一端が第２の定電圧ソースに接続され、他端が上記セルストリングの他端に接続された第２の選択トランジスタと、ソース、ドレインの一端が上記増幅用電界効果トランジスタのソース、ドレインの一端に接続され、他端が上記第１の選択トランジスタのソース、ドレインの他端に接続された第３の選択トランジスタと、を含み、上記各メモリセルは異なるしきい値に従って異なるデータを記憶する電界効果トランジスタにより形成され、上記第１の選択トランジスタのソース、ドレインの他端と上記第３の選択トランジスタのソース、ドレインの他端とが上記ビット線に接続され、上記セルストリングの一端が上記増幅用電界効果トランジスタのゲート電極に接続され、上記増幅用電界効果トランジスタは上記セルストリングの貫通電流を反映して上記第３の選択トランジスタを介して上記ビット線を駆動する。
【００１５】
好適には、上記メモリのデータ読み出しの際は、上記ビット線を介して上記駆動用電界効果トランジスタのゲートを一定電位にチャージし、上記セルストリングを介した貫通電

流により上記ゲート電位を変化させる。

【００１６】

好適には、上記セルストリングは、シリコン基板上に形成された上記増幅駆動回路の上層に積層されている。

【００１７】

好適には、上記セルストリングのメモリセルを形成する電界効果トランジスタは、上記増幅駆動回路上に絶縁膜を介して堆積された半導体層に形成された溝の、側壁に形成されている。

【００１８】

本発明の第２の観点の半導体記憶装置は、ビット線と、上記ビット線に接続された少なくとも一つのメモリユニットと、を有し、上記メモリユニットは、複数のメモリセルが直列に接続された複数のセルストリングと、ソース、ドレインの一端が第１の定電圧ソースに接続された増幅駆動回路としての増幅用電界効果トランジスタと、ソース、ドレインの一端が上記複数のセルストリングの一端側に選択的に接続される第１の選択トランジスタと、ソース、ドレインの一端が第２の定電圧ソースに接続され、他端が上記各セルストリングの他端に接続された複数の第２の選択トランジスタと、ソース、ドレインの一端が上記増幅用電界効果トランジスタのソース、ドレインの一端に接続され、他端が上記第１の選択トランジスタのソース、ドレインの他端に接続された第３の選択トランジスタと、上記第１の選択トランジスタのソース、ドレインの一端と、上記各セルストリングの一端との間に接続され、上記第１の選択トランジスタの一端と各セルストリングの一端を選択的に接続するための複数の接続分離用トランジスタと、を含み、上記各メモリセルは異なるしきい値に従って異なるデータを記憶する電界効果トランジスタにより形成され、上記第１の選択トランジスタのソース、ドレインの他端と上記第３の選択トランジスタのソース、ドレインの他端とが上記ビット線に接続され、上記第１の選択トランジスタの一端が上記増幅用電界効果トランジスタのゲート電極に接続され、上記増幅用電界効果トランジスタは、上記接続分離用トランジスタで上記第１の選択トランジスタの一端と選択的に接続される上記セルストリングの貫通電流を反映して上記第３の選択トランジスタを介して上記ビット線を駆動する。

【００２０】

好適には、上記複数の各セルストリングを形成する複数のメモリセルのゲート電極は、複数のセルストリング間でそれぞれ短絡しており、独立した駆動回路に接続されている。

【００２１】

好適には、上記セルストリングは、シリコン基板上に形成された上記増幅駆動回路の上層に、少なくとも２層にわたって積層されている。

【００２２】

本発明によれば、上述のようなセルストリングに増幅回路を組み合わせ、それらを含んで構成されたメモリユニットを単位とし、それをアレイ状に配置することでメモリアレイを構成する。

そして、メモリのデータ読み出しの際は、まず、ビット線を介して駆動用電界効果トランジスタのゲートを一定電位にチャージする。次に、セルストリングを介した貫通電流により上記ゲート電位を変化させる。

また、たとえばセルストリングをＴＦＴで形成し、それを増幅回路上に積層することで、高速アクセスを保証しつつ、増幅回路の占有面積に伴うオーバーヘッドを消滅させる。または複数のセルストリングで一つの増幅回路を共有することで、高速アクセスを保証しつつ、上記オーバーヘッドを低減させる。

さらに回路構成に加え、複数のセルストリングをＴＦＴで形成し、それを互いに積層することで、集積度を劇的に向上させつつ、高速アクセスが行われる。

【発明の効果】

【００２３】

本発明によれば、メモリセルトランジスタを直列接続した高集積なセルストリング構造

を有しつつ、高速読み出しにも適した半導体メモリを実現できる。
さらに、セルトランジスタにＴＦＴ等を利用した積層構造の採用により、集積度を劇的に向上させることが可能である。
【発明を実施するための最良の形態】
【００２４】
以下、本発明の実施形態を図面に関連付けて説明する。
【００２５】
図２は、本発明に係る増幅型半導体記憶装置の第１の実施形態を示す回路図である。また、図３は図２の回路構成に対応するデバイス構造の断面図である。
【００２６】
本発明の第１の実施形態の増幅型半導体記憶装置１００は、ＮＡＮＤ型フラッシュメモリを基本構成要素として有し、少なくとも一つの(図２の例では１つのみを示している)メモリユニット１１０がアレイ状(図２の例では１×１のマトリクスアレイ状)に配置されている。メモリユニット１１０は、ビット線ＢＬ１１に接続されている。そして、ビット線ＢＬ１１はセンスアンプ（ＳＡ）１２０に接続されている。
ビット線ＢＬ１１にはメモリユニット１１０と同様のメモリユニットを複数（Ｎ個）接続できる。さらに複数のビット線（Ｍ本）が並行して配置されることで、メモリユニットはマトリクスアレイ状（Ｎ×Ｍ）に配置される。
【００２７】
メモリユニット１１０は、図２に示すように、積層型メモリセルトランジスタＣ１０～Ｃ１１５よりなるセルストリング１１１、選択トランジスタ１１２，１１３，１１４に加え、増幅トランジスタ１１５を含んで構成されている。
セルストリング１１１は、ノードＮＤ１１とＮＤ１２との間に、たとえば１６個のメモリセルトランジスタＣ１０～Ｃ１１５を直列に接続されて構成されている。
セルストリング１１１の一端がノードＮＤ１１に接続され、他端がノードＮＤ１２に接続されている。
【００２８】
メモリセルトランジスタＣ１０～Ｃ１１５は、図３に示すように、シリコン基板２００に形成されたソース・ドレイン領域２０１（Ｓ／Ｄ）間のチャネル形成領域上にゲート絶縁膜２０２を介して浮遊ゲート（ＦＧ）２０３が形成され、浮遊ゲート２０３上に層間絶縁膜２０４を介してワード線に接続される制御ゲート（ＣＧ）２０５が形成された、積層構造を有する。
【００２９】
選択トランジスタ１１２のソースがノードＮＤ１１に接続され、ドレインがノードＮＤ１３に接続されている。選択トランジスタ１１３のドレインがノードＮＤ１２に接続され、ソースが接地電位ＧＮＤ（第２の定電圧ソース）に接続されている選択トランジスタ１１４のドレインがノードＮＤ１１に接続され、ソースがノードＮＤ１４に接続されている。
増幅トランジスタ１１５のドレインがノードＮＤ１４に接続され、ソースが接地電位（第１の定電圧ソース）に接続されている。
そして、選択トランジスタ１１２のドレインと選択トランジスタ１１４のドレインとの接続点により形成されるノードＮＤ１３がビット線ＢＬ１１に接続されている。
【００３０】
選択トランジスタ１１２～１１４、および増幅トランジスタ１１５は、図３に示すように、シリコン基板２００に形成されたソース・ドレイン領域２０１間のチャネル形成領域上にゲート絶縁膜２０２を介して制御ゲート２０６が形成された、ＦＥＴ（電界効果トランジスタ）により形成されている。
【００３１】
セルストリング１１１の各メモリセルトランジスタＣ１０～Ｃ１１５のゲート電極がワード線ＷＬ１０～ＷＬ１１５に接続されている（あるいはメモリセルトランジスタの制御

ゲート２０５がワード線として形成される）。
選択トランジスタ１１２，１１３，１１４のゲート電極がそれぞれ選択線ＳＬ１１，ＳＬ１２，ＳＬ１３に接続されている（あるいは選択トランジスタの制御ゲート２０６が選択線として形成される）。
【００３２】
そして、増幅トランジスタ１１５のゲートはセルストリング１１１の一端(ノードＮＤ１１)に接続されている。
ノードＮＤ１１を構成するソース・ドレイン領域２０１と増幅トランジスタ１１５のゲート電極２０６が層間絶縁膜２０７に形成されたコンタクトホール等を介してアルミニウム等の配線２０８により接続される。
【００３３】
このような構成を有する増幅型半導体記憶装置１００において、読み出し時のセルストリング１１１における電流貫通の有無は、一旦増幅トランジスタ１１５のゲート電位に反映され、ビット線ＢＬ１１は増幅トランジスタ１１５によって駆動される。
セルストリング１１１が引き抜く電荷量は増幅トランジスタ１１５のゲート電荷のみで良いので、駆動能力が小さくても極めて高速に処理できる。
一方、増幅トランジスタ１１１の実効ゲート長はセルストリング１１１の１／１０またはそれ以下にでき、遥かに高い駆動能力を持たせることができるので、容易にビット線を駆動できる。
したがって、セルストリング１１１に多くのセルトランジスタを接続しても、読み出し速度が劣化することは無く、たとえばメモリ上のプログラム直接実行に必要なランダムアクセスも高速に行うことができる。
【００３４】
図４（Ａ）～（Ｇ）は、第１の実施形態の増幅型半導体記憶装置の具体的なアクセス手順の一例を説明するためのタイミングチャートである。
図４（Ａ）は選択線ＳＬ２の電位を、図４（Ｂ）は選択線ＳＬ１の電位を、図４（Ｃ）は選択線ＳＬ３の電位を、図４（Ｄ）はビット線ＢＬ１１の電位を、図４（Ｅ）はワード線ＷＬ１０の電位を、図４（Ｆ）はワード線ＷＬ１１の電位を、図４（Ｇ）はノードＮＤ１１の電位をそれぞれ示している。
なお、ここでは電子が注入され、書き込まれた状態（しきい値が高い）を”０”、消去された状態（しきい値が低い）を”１”と定義する。
【００３５】
書き込みの手順は、たとえば消去状態からメモリセルトランジスタＣ１０のセルへ選択的に書き込みを行う場合、以下のように実施する。
【００３６】
１．書き込みのための選択トランジスタ１１２を選択するための選択線ＳＬ１１をＶｃｃに上昇させる。ビット線ＢＬ１１については”０”を書き込みたい場合（選択状態）は０Ｖ、書き込みたくない場合（非選択状態）はＶｃｃにチャージする。
【００３７】
２．次にセルストリング１１１内のメモリセルトランジスタＣ１０～Ｃ１１５に接続されたワード線ＷＬ１０、ＷＬ１１を含む全制御ゲートを７Ｖに上昇させる。このとき、メモリユニット１１１内の増幅トランジスタ１１５のゲートを含むノードＮＤ１１は、ビット線ＢＬ１１がＶｃｃ（非選択状態）では浮遊状態となり、制御ゲートとのカップリングを受けて７Ｖ近辺まで上昇する。一方，ビット線ＢＬ１１が０Ｖ（選択状態）の場合は、０Ｖがそのまま伝達される。
【００３８】
３．さらに、ワード線ＷＬ１０のみを１５Ｖ程度に上昇させる。これにより、書き込みたいビット線ＢＬ１１に接続された対応セルのチャネルと制御ゲート（ＷＬ１０）の間には１５Ｖがフルに印加される。その結果、チャネルから浮遊ゲートに電子がＦＮトンネリングにより注入されて、“０”が書き込まれる。

【００３９】
４．ワード線ＷＬ１０、ＷＬ１１を順次０Ｖに戻して、書き込みの選択線ＳＬ１１を０Ｖに戻して選択トランジスタ１１２をオフさせ（閉じ）、書き込みを終了する。
【００４０】
一方、メモリセルトランジスタＣ１０からのデータ読み出しは、以下のようにビット線ＢＬ１１をチャージする際に同時に増幅トランジスタ１１５のゲート（ノードＮＤ１１１）をチャージすることで、スムーズかつ高速に実施できる。
【００４１】
１．書き込み用の選択線ＳＬ１１と非選択セルの制御ゲート（ワード線ＷＬ１１等）をＶｃｃとして、ビット線ＢＬ１１をＶｃｃにチャージする。これによってノードＮＤ１１もビット線ＢＬ１１介してＶｃｃにチャージされる。
【００４２】
２．書き込み用の選択線ＳＬ１１を０Ｖに戻して選択トランジスタ１１２をオフさせ（閉じて）、ビット線ＢＬ１１とノードＮＤ１１を切り離す。
【００４３】
３．セルストリング１１１側の読み出し用の選択線ＳＬ１３をＶｃｃとして選択トランジスタ１１３をオンさせて（開いて）、セルストリング１１１の他端をグランドに接続する。これにより、メモリセルトランジスタＣ１０の状態が“１”（消去状態）の場合はセルストリング１１１に貫通電流が流れ、ノードＮＤ１１は速やかに０Ｖに放電される。一方、メモリセルトランジスＣ１０が“０”（書き込み状態）の場合はノードＮＤ１１の電位はＶｃｃのまま保持される。これに伴って、増幅トランジスタ１１５は前者ではオフ状態、後者ではオン状態となる。
【００４４】
４．読み出し用の選択線ＳＬ１２をＶｃｃとして選択トランジスタ１１４をオンさせて（開いて）、増幅トランジスタ１１５でビット線ＢＬ１１を放電する。これに伴って、メモリセルトランジスタＣ１０の状態が”０”の場合のみビット線ＢＬ１１は０Ｖに放電される。このビット線ＢＬ１１の電位をセンスアンプ１２０もしくはラッチで受けて、データ判定を行う。
【００４５】
また、消去は従来通り、たとえば基板２００を１０Ｖにし、各制御ゲートに－１０Ｖを印加して、電子を浮遊ゲートから基板に引き抜くことで、ユニット一括で実行する。
【００４６】
ところで、図３のように平面状に各トランジスタを並べた場合、本発明でトランジスタが追加された分、ユニットの占有面積が増加し、チップ面積が増加してしまう。
そこで、図５に示すような第２のデバイス構造を採用し、セルストリング部分１１１ａをポリシリコンＴＦＴで形成し増幅トランジスタ１１５ａ上に積層させることも可能である。
【００４７】
本構造では増幅トランジスタ１１５ａ、書き込み用選択トランジスタ１１２ａ、読みだし用選択トランジスタ１１３ａ，１１４ａはシリコン基板２００上に形成され、セルストリング１１１ａはその上層に形成されている。
これにより、メモリユニットの占有面積はほぼセルストリング１１１ａのみで決定され、従来以上に高集積化が可能になる。
【００４８】
一般に、ポリシリコンＴＦＴによるトランジスタは、通常のシリコン上に形成したトランジスタより移動度が低く、駆動能力は１／３～１／１０程度しかない。
しかし、本実施形態ではセルストリング１１１ａが駆動する余分な電荷は増幅トランジスタ１１５ａの電荷のみなので、その引き抜きは瞬時に行われ、駆動能力の低下は殆ど問題にならない。
一方、大容量のビット線を駆動する増幅トランジスタ１１５ａおよび読みだし用選択ト

ランジスタ１１４ａはシリコン基板２００上に形成されており、十分な駆動能力を持つ。
したがって、本発明とＴＦＴによるセルトランジスタとの組み合わせは、高速アクセスと集積度を両立させる上で、極めて有効である。

【００４９】

なお、セルストリングにＴＦＴを用いた図５の構造のデバイスでは、電気的消去はできない。したがって、ＯＴＰやＥＰＲＯＭの代替として、プログラム格納等に使用するのが適している。
ＴＦＴの基板に固定電位を与える経路を作り込めば、電気的消去も可能になる。

【００５０】

また、セルトランジスタに関しては、記憶データの違いを異なるしきい値に反映させる仕組みさえあれば良いので、多くのバリエーションが考えられる。図６（Ａ），（Ｂ）のトランジスタはその一例である。

【００５１】

１） 順次堆積された絶縁層３００、ポリシリコン層３０１および絶縁層３０２には一括加工で溝が形成され、その表面はシリコン酸化膜とシリコン窒化膜の複合膜３０３で覆われている。このような複合膜３０３はシリコン窒化膜とシリコン酸化膜の界面に電荷を蓄積する性格があり、それをゲート絶縁膜に代替させることでトランジスタのしきい値を変え、メモリ効果を持たせることが可能である。

【００５２】

２） その上に制御ゲート電極３０４，３０５を被せることで、ポリシリコン層３０１の溝の側壁部にセルトランジスタが形成される。

【００５３】

このようなトランジスタは、ポリシリコン層を制御ゲートが２方向から挟む形になり、チャンネル電界の制御性が高まることが知られている。
これによって特に短いゲート長への対応が容易となるので、本発明を用いたメモリユニットの微細化にはより適した構造である。

【００５４】

また、ここまで電気的プログラミングが可能なメモリについて例を述べたが、その他通常のマスクＲＯＭと同様に、製造工程中にチャンネル部に選択的に不純物を打ち込むことによってしきい値を変え、プログラミングを行っても良い。そのようなメモリでは積層ゲート構造や上記複合膜は必要なく、単純なＭＯＳＦＥＴをメモリセルとして使用できる。

【００５５】

図７は、本発明に係る増幅型半導体記憶装置の第２の実施形態を示す回路図である。

【００５６】

本第２の実施形態では、第１の実施形態と同様に増幅トランジスタ１１５、読み出し用選択トランジスタ１１４、および書き込み用選択トランジスタ１１２が設置されているが、それらは二つのセルストリング１１１ａ，１１１ｂによって共有されている。
セルストリング１１１ａは、トランジスタ（ＦＥＴ）１１６，１１３ａ、セルストリング１１１ｂは、トランジスタ１１７，１１３ｂにより互いから分離されており、読み出しおよび書き込み時はトランジスタ１１６または１１７によっていずれかのセルストリングが択一的にアクセスされる。
なお、トランジスタ１１３，１１３ｂは、第１の実施形態（図２）のトランジスタ１１３に相当するトランジスタであり、そのゲートはひとつの選択線ＳＬ１３で同時に制御されて良いが、書き込み時に互いのストリング間を分離するため、ストリング毎に個別のトランジスタが設置されている。
また、トランジスタ１１６のゲートは選択線ＳＬ１４に接続され、トランジスタ１１７のゲートは選択線ＳＬ１５に接続されている。
上記トランジスタ群とセルストリング１１１ａ、１１１ｂを含んで構成されるメモリユニット１１０Ａはビット線ＢＬ１１に接続されている。さらにビット線ＢＬ１１には１１０Ａと同様のメモリユニットを複数（Ｎ個）接続できる。さらに複数のビット線（Ｍ本）

が並行して配置されることで、メモリユニットはマトリクスアレイ状（Ｎ×Ｍ）に配置される。

【００５７】

読み出しおよび書き込みの動作は、ストリング選択トランジスタ１１６，１１７のいずれか一方がオンし、他方がオフする以外は（図４のタイミングチャートに示される）第１の実施形態と同様である。

互いのストリング間でセルトランジスタがワード線ＷＬ１０、ＷＬ１１等を共有しているが、たとえばセルストリング１１１ａの書き込み時は、非選択ストリング１１１ｂ側のトランジスタ１１７（１１３ｂ）はオフされる。

したがって、セルストリング１１１ｂは浮遊状態となり、その挙動は非書き込みのビット線上のセルストリングと同様になるので、誤書き込みは生じない。また同様の構成で、４つさらに８つとより多くのセルストリングを接続することも可能である。

【００５８】

本第２実施形態の構成では、一つのセルストリング、たとえば１１１ｂの追加に伴い、二つの選択、分離用トランジスタ１１７，１１３ｂの追加が必要だが、各セルストリングは三つのトランジスタ１１２，１１４，１１５を互いに共有するので、ストリングを追加するほど１ストリングあたりのトランジスタ数は減少していく。したがって、全てのトランジスタを平面状に並べても面積効率は向上する。

しかし、各セルストリングにＴＦＴを用い、それらを互いに積層させれば、セルあたりの占有面積はさらに劇的に減少する。

【００５９】

図８は、第２の実施形態に係る増幅型半導体記憶装置においてセルストリングにＴＦＴを用いたデバイス構造の例を示す図である。

【００６０】

セルストリング１１１ａおよび１１１ｂはＴＦＴで形成され、互いに積層されている。一方増幅トランジスタ１１５、読みだし用選択トランジスタ１１４、および書き込み用選択トランジスタ１１２はともにシリコン基板２００ａ上に形成されている。

【００６１】

ここで増幅トランジスタ１１５と読みだし用選択トランジスタ１１４は大容量のビット線を駆動するので、高い電流駆動能力が必要であり、シリコン基板２００ａ上に形成するのが望ましい。

一方、その他のトランジスタはビット線を駆動しないので、シリコン基板２００ａ上に形成しても、ＴＦＴとして上層に形成しても良い。ここでは余分なコンタクト領域を省き、レイアウトを単純化して最も高い集積度を得るため、セルストリングの選択、分離を行う１１６，１１７，１１３ａ，１１３ｂはそれぞれ対応するセルストリングと同じポリシリコン層にＴＦＴで形成している。

【００６２】

ところで、図８のような構造でセルストリングを積層させた場合、各ＴＦＴ層毎にゲート電極やゲート絶縁膜、ソースドレイン等を形成する必要があり、製造工程が増加する。ここに、前述の側壁トランジスタを使用すれば、複数層に渡るセルトランジスタを一括して製造することができ、製造工程は大幅に低減できる。

【００６３】

図９（Ａ），（Ｂ）、図１０（Ａ），（Ｂ）、および図１１にその製造工程例を示す。

【００６４】

１）図９（Ａ）に示すように、図８と同様のトランジスタやビット線を作り込んだ基板上に、層間絶縁膜４００を介して第１ポリシリコン層４０１、絶縁層４０２、第２ポリシリコン層４０３を順次堆積する。なお、ポリシリコン層４０２，４０３には、所定の領域４０４，４０５にリン等のＮ型不純物を導入しておく。

【００６５】

２）図９（Ｂ）に示すように、各層４００，４０１，４０２，４０３を貫通させる形で

、基板回路の所定箇所へコンタクト孔を一括形成し、リンをドープしたポリシリコンを埋め込んでコンタクトプラグ４０６，４０７を形成する。さらに絶縁層４０８を堆積する。

【００６６】

３）図１０（Ａ）に示すように、各層４０１，４０２，４０３，４０８に対して一括で、メモリユニット毎の分離を行うための溝を形成する。溝は図面の奥行き方向にも、隣接メモリユニットを分離する形で形成されている。溝の側壁にはポリシリコン層４０１，４０３が露出する。

【００６７】

４）図１０（Ｂ）に示すように、電荷蓄積層としてシリコン酸化膜とシリコン窒化膜の複合膜４０９を形成し、全面を被服する。さらに４１０等のゲート電極を形成する。これによって溝の側壁に露出していたポリシリコン層４０１，４０３表面と各ゲート電極の交差部分に、メモリセルとなる側壁トランジスタが形成される。

【００６８】

５）図１１に示すように、さらにゲート電極をマスクとして、斜めイオン注入等でポリシリコン層４０１，４０２にリン等のＮ型不純物を導入する。

【００６９】

このような工程を経ることで、下層のポリシリコン層４０１には選択、分離用トランジスタ１１６，１１３ａとセルストリング１１１ａが、上層のポリシリコン層４０２には選択、分離用トランジスタ１１７，１１３ｂとセルストリング１１１ｂが、全て一括で形成される。

【００７０】

なお、本構成では分離、選択トランジスタにセルトランジスタと全く同じ構造を使用している。これは消去状態のセルトランジスタを分離、選択用として使用するものであるが、セルトランジスタと同じしきい値の場合、ゲートが０Ｖではオンしてしまう場合がある。

このようなケースに対しては、これらのトランジスタのゲートを負バイアスにしてオフさせるのが有効である。

【００７１】

図１２は、図１１のデバイス構造における側壁トランジスタの鳥瞰図を示している。

【００７２】

溝の側壁に露出していたポリシリコン層４０１，４０３の表面がシリコン酸化膜とシリコン窒化膜の複合膜４０９で覆われており、それらとたとえばゲート電極４１０の交差部分に、メモリセルとなる側壁トランジスタが各々形成される。

２層のＴＦＴの製造は膜加工、ゲート絶縁膜（電荷蓄積膜）やゲート電極形成、ソース／ドレイン不純物導入ともに全て一括で行われている。

これらは、ＴＦＴ層が４層や８層となっても全て一括で製造できる。各ＴＦＴ層追加に必要な追加工程は膜の堆積と一回の部分的な不純物導入のみであり、それだけでメモリの容量を２倍、４倍、８倍と増加していくことが可能である。

【図面の簡単な説明】

【００７３】

【図１】ＮＡＮＤ型フラッシュメモリの内部構成例を示す図である。

【図２】本発明に係る増幅型半導体記憶装置の第１の実施形態を示す回路図である。

【図３】図２の回路構成に対応するデバイス構造の断面図である。

【図４】図４（Ａ）～（Ｇ）は、第１の実施形態の増幅型半導体記憶装置の具体的なアクセス手順の一例を説明するためのタイミングチャートである。

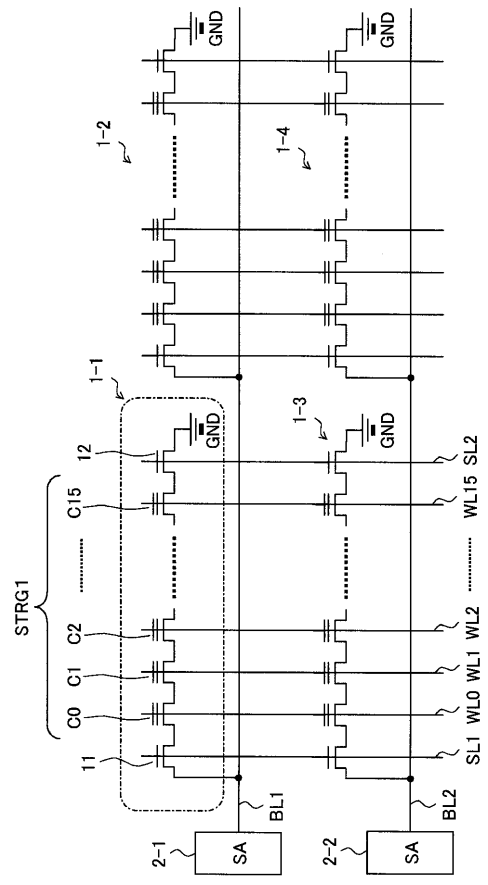
【図５】第１の実施形態に係る増幅型半導体記憶装置においてセルストリングにＴＦＴを用いたデバイス構造の例を示す図である。

【図６】第１の実施形態に係る増幅型半導体記憶装置においてセルストリングにＴＦＴを用いたデバイス構造の他例を示す図である。

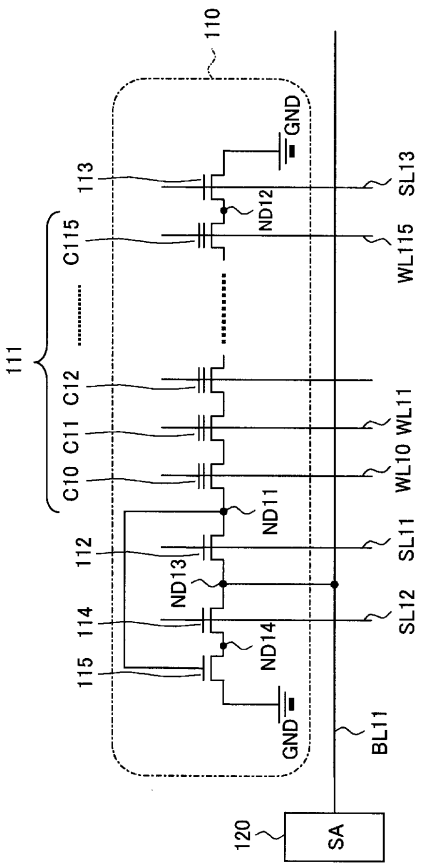
【図７】本発明に係る増幅型半導体記憶装置の第２の実施形態を示す回路図である。

【図８】第２の実施形態に係る増幅型半導体記憶装置においてセルストリングにＴＦＴを用いたデバイス構造の例を示す図である。
【図９】第２の実施形態に係る増幅型半導体記憶装置においてセルストリングにＴＦＴを用いたデバイスの製造方法の一例を説明するための図である。
【図１０】第２の実施形態に係る増幅型半導体記憶装置においてセルストリングにＴＦＴを用いたデバイスの製造方法の一例を説明するための図である。
【図１１】第２の実施形態に係る増幅型半導体記憶装置においてセルストリングにＴＦＴを用いたデバイスの製造方法の一例を説明するための図である。
【図１２】図１１のデバイス構造における側壁トランジスタの鳥瞰図である。
【符号の説明】
【００７４】
１００，１００Ａ…増幅型半導体記憶装置、１１０，１００Ａ…セルユニット、１１１，１１１ａ，１１１ｂ…セルストリング、１１２…書き込み用選択トランジスタ、１１３，１１３ａ，１１３ｂ…選択・分離用トランジスタ、１１４…読み出し用選択トランジスタ、１１５…増幅トランジスタ、１１６…選択・分離用トランジスタ、１１７…選択・分離用トランジスタ、ＢＬ１１…ビット線、ＷＬ１０～ＷＬ１１５…ワード線、ＳＬ１１～ＳＬ１５、ＳＬ１３ａ…選択線。

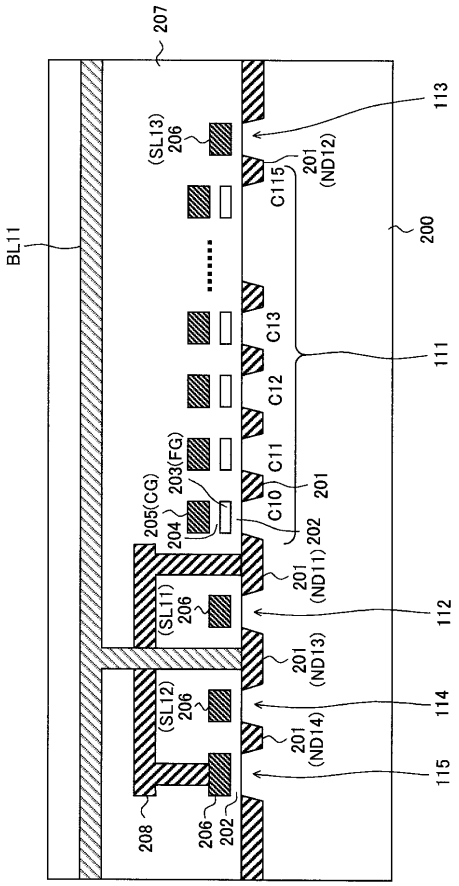
【図１】



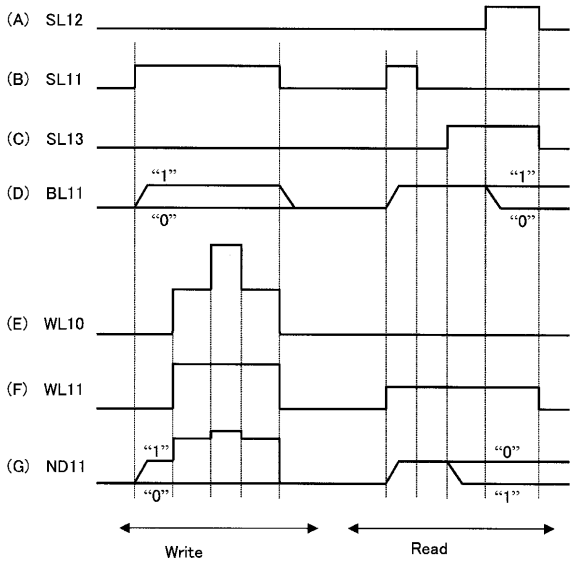
【図２】



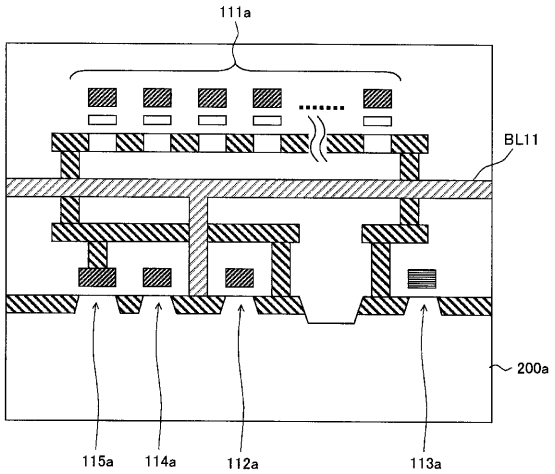
【図３】


207
(SL13)
206
113
201
(ND12)
C115
200
BL11
C13
C12
C11
C10
111
203(FG)
205(CG)
204
201
202
201
(ND11)
(SL11)
206
112
201
(ND13)
(SL12)
206
114
201
(ND14)
115
208
206
202

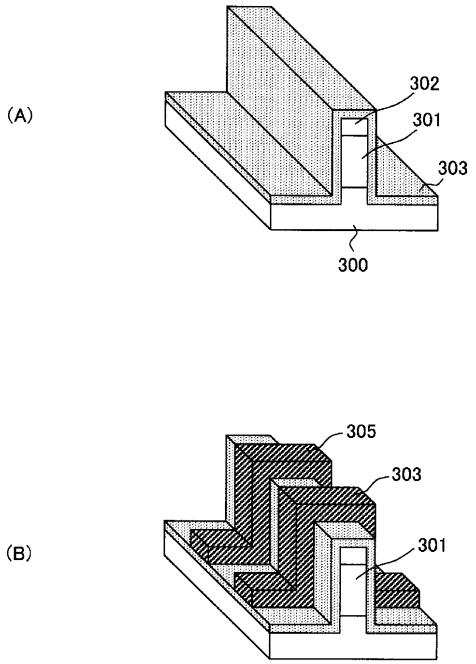
【図４】


(A) SL12
(B) SL11
(C) SL13
(D) BL11
"1"
"0"
"1"
"0"
(E) WL10
(F) WL11
(G) ND11
"1"
"0"
"0"
"1"
Write
Read

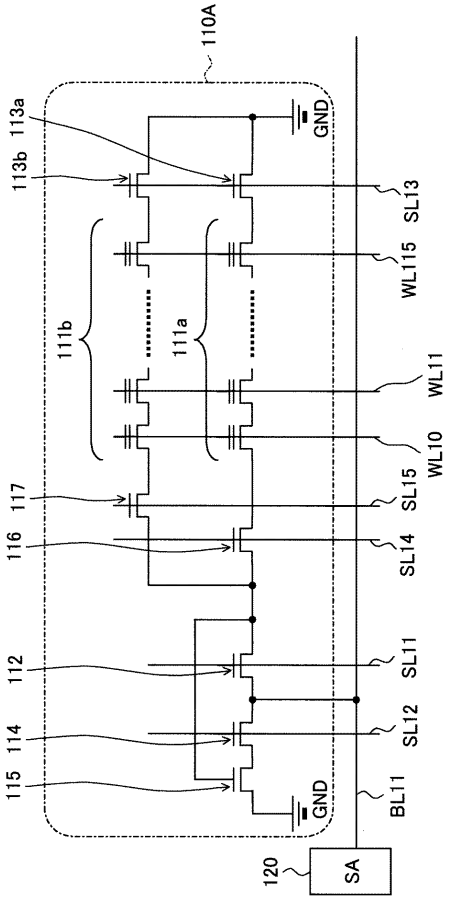
【図５】


111a
BL11
200a
115a
114a
112a
113a

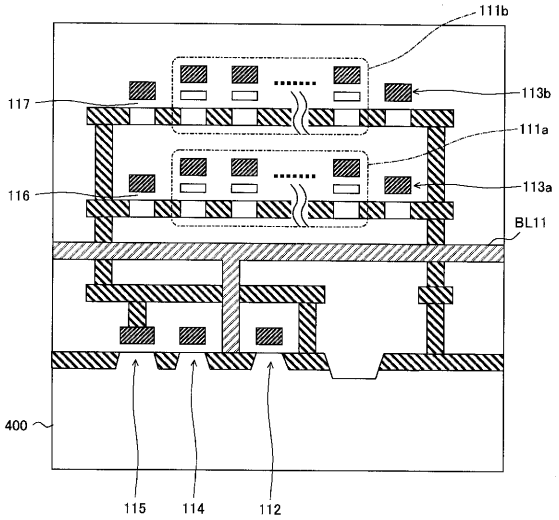
【図６】


(A)
302
301
303
300
(B)
305
303
301

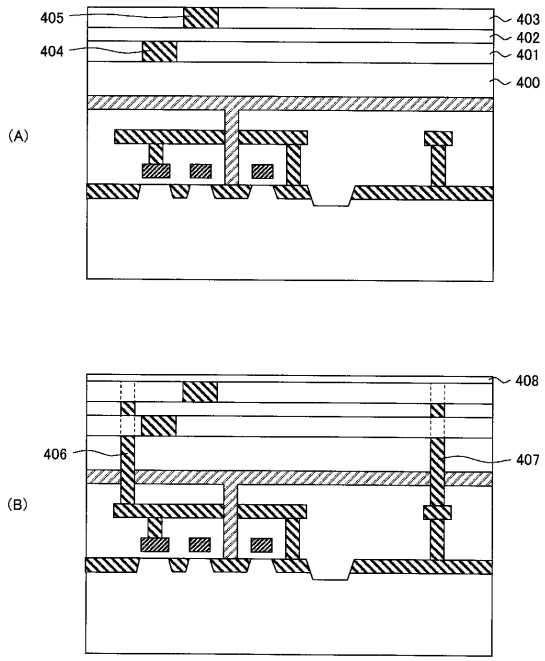
【図７】


110A
113a
113b
GND
SL13
WL115
111b
111a
WL11
WL10
117
SL15
116
SL14
112
SL11
114
SL12
115
GND
BL11
120
SA

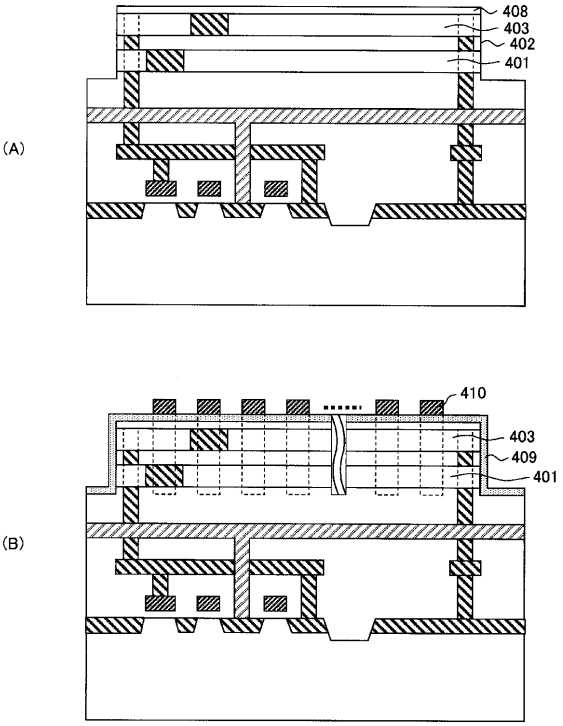
【図８】


111b
113b
117
111a
116
113a
BL11
400
115
114
112

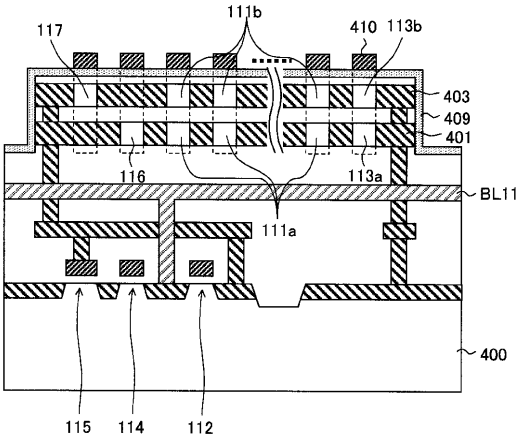
【図９】


405
403
404
402
401
400
(A)
408
406
407
(B)

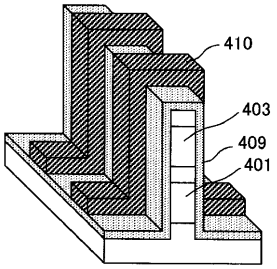
【図１０】


408
403
402
401
(A)
410
403
409
401
(B)

【図１１】


111b
117
410
113b
403
409
401
116
113a
BL11
111a
400
115
114
112

【図１２】


410
403
409
401

フロントページの続き

(51)Int.Cl. ＦＩ
Ｈ０１Ｌ 29/788 (2006.01)

(56)参考文献 特開平０９－１８０４７４（ＪＰ，Ａ）
特開平０７－３０２４９９（ＪＰ，Ａ）
特開２００３－１４１８８２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ １６／００ － １６／３４