

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4830371号  
(P4830371)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl. F I  
 H O 1 L 27/10 (2006.01) H O 1 L 27/10 4 6 1  
 G 1 1 C 11/41 (2006.01) H O 1 L 27/10 3 7 1  
 G 1 1 C 11/34 3 4 5

請求項の数 17 (全 36 頁)

(21) 出願番号	特願2005-193035 (P2005-193035)	(73) 特許権者	000002369
(22) 出願日	平成17年6月30日(2005.6.30)		セイコーエプソン株式会社
(65) 公開番号	特開2007-12939 (P2007-12939A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成19年1月18日(2007.1.18)	(74) 代理人	100090479
審査請求日	平成20年1月25日(2008.1.25)		弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(74) 代理人	100101649
			弁理士 伊奈 達也
		(74) 代理人	100104710
			弁理士 竹腰 昇

最終頁に続く

(54) 【発明の名称】 集積回路装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線及び複数のデータ線を有する表示パネルの表示領域の一辺と平行な長辺を有する矩形に形成され、前記表示パネルに表示される少なくとも1画面分のデータを格納する表示メモリを含む集積回路装置であって、

前記表示メモリは、その各々が複数のワード線と、複数のビット線と、複数のメモリセルと、ワード線制御回路と、をそれぞれ含む複数のRAMブロックを含み、

前記複数のRAMブロックの各々は、前記複数のビット線の延びる第1の方向に沿って配置され、

前記複数のメモリセルの各々は、短辺及び長辺を有し、

前記複数のビット線は前記複数のメモリセルの前記長辺の延びる方向に沿って形成され、

前記複数のワード線は前記複数のメモリセルの前記短辺の延びる方向に沿って形成され、

前記ワード線制御回路は、前記表示パネルを水平走査駆動する一水平走査期間において、前記複数のワード線からワード線をN(Nは2以上の整数)回選択することを特徴とする集積回路装置。

【請求項2】

請求項1において、

前記複数のRAMブロックの各々は、一回のワード線の選択によってM(Mは2以上の

整数) ビットのデータを出力するセンスアンプ回路を含み、

前記複数のRAMブロックの各々には、前記複数のワード線の延びる第2の方向に沿って少なくとも $M \times L$  ( $L$ は2以上の整数) 個のメモリセルが配列され、

前記センスアンプ回路には、一回のワード線の選択によって $M \times L$ ビットのデータが供給されることを特徴とする集積回路装置。

【請求項3】

請求項2において、

前記センスアンプ回路は、センスアンプ用選択信号に基づいて、前記 $M \times L$ ビットのデータのうちの $M$ ビットのデータを検出して出力することを特徴とする集積回路装置。

【請求項4】

請求項1乃至3のいずれかにおいて、

前記ワード線制御回路は、

前記一水平走査期間において選択される $N$ 本のワード線を互いに異なるように、選択制御し、

前記表示パネルを垂直走査駆動する一垂直走査期間において、前記複数のワード線のうちの同一のワード線を $L$ 回選択することを特徴とする集積回路装置。

【請求項5】

請求項1乃至3のいずれかにおいて、

前記ワード線制御回路は、前記一水平走査期間においてワード線が $N$ 回選択される際に、前記複数のワード線のうちの同一のワード線を $L$  ( $L < N$ ) 回選択することを特徴とする集積回路装置。

【請求項6】

請求項4又は5において、

前記表示パネルの前記複数の走査線の本数を $SCN$ 本とした場合、

前記複数のRAMブロックの各々には、前記第1の方向に沿って少なくとも $(N \times SCN / L)$  個のメモリセルが配列されていることを特徴とする集積回路装置。

【請求項7】

請求項2又は3において、

$M$ の値は、前記複数のデータ線の本数を $DLN$ 本、前記複数のデータ線に対応する各画素の階調ビット数を $G$ 、前記複数のRAMブロックのブロック数を $BNK$ と定義した場合に以下の式で与えられることを特徴とする半導体装置。

【数1】

$$M = \frac{DLN \times G}{BNK \times N}$$

【請求項8】

請求項1乃至7のいずれかにおいて、

前記一水平走査期間に前記表示メモリから読み出されたデータに基づいて、前記表示パネルに設けられた前記複数のデータ線を駆動するデータ線ドライバをさらに有する集積回路装置。

【請求項9】

請求項8において、

前記データ線ドライバは、前記複数のRAMブロックに対応した数の複数のデータ線ドライバブロックを含み、

前記複数のデータ線ドライバブロックは、前記第1の方向に沿って配置されていることを特徴とする集積回路装置。

【請求項10】

請求項9において、

前記複数のデータ線ドライバブロックは、前記複数のRAMブロックのいずれかと前記

10

20

30

40

50

第 1 の方向に隣接するように配置されていることを特徴とする集積回路装置。

【請求項 1 1】

請求項 9 又は 1 0 において、

前記複数のデータ線ドライバブロックの各々は、第 1 ~ 第 N の分割データ線ドライバを含み、

前記第 1 ~ 第 N の分割データ線ドライバには、第 1 ~ 第 N のラッチ信号が供給され、

前記第 1 ~ 第 N の分割データ線ドライバは、前記第 1 ~ 第 N のラッチ信号に基づいて、対応する RAM ブロックから入力されたデータをラッチすることを特徴とする集積回路装置。

【請求項 1 2】

請求項 9 乃至 1 1 のいずれかにおいて、

前記複数の RAM ブロックの端辺のうち、前記複数のデータ線ドライバブロックと隣接する辺と対向する辺は、前記複数の RAM ブロックのいずれかと隣接する辺であることを特徴とする集積回路装置。

【請求項 1 3】

請求項 1 乃至 1 2 のいずれかにおいて、

前記ワード線制御回路は、ワード線制御信号に基づいてワード線の選択を行い、

前記複数のデータ線を駆動する際には、前記複数の RAM ブロックの各々の前記ワード線制御回路に、同一の前記ワード線制御信号が供給されることを特徴とする集積回路装置。

【請求項 1 4】

請求項 9 乃至 1 3 のいずれかにおいて、

前記複数のデータ線ドライバブロックは、データ線制御信号に基づいてデータ線を駆動し、

前記複数のデータ線を前記データ線ドライバが駆動する際には、前記複数のデータ線ドライバブロックの各々に、同一の前記データ線制御信号が供給されることを特徴とする集積回路装置。

【請求項 1 5】

請求項 1 乃至 1 4 に記載の集積回路装置と、表示パネルと、を含むことを特徴とする電子機器。

【請求項 1 6】

請求項 1 5 において、

前記集積回路装置は、前記表示パネルを形成する基板に実装されていることを特徴とする電子機器。

【請求項 1 7】

請求項 1 6 において、

前記集積回路装置の前記複数のワード線が、前記表示パネルに設けられた前記複数のデータ線が延びる方向と平行になるように前記表示パネルを形成する基板に前記集積回路装置が実装されていることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、集積回路装置及び電子機器に関する。

【背景技術】

【0 0 0 2】

近年、電子機器の普及に伴い、電子機器に搭載される表示パネルの高解像度化の需要が増大している。それに伴い、表示パネルを駆動する駆動回路には高機能が要求される。しかしながら、高機能を搭載する駆動回路には、多種の回路が必要であり、表示パネルの高解像度化に比例して、その回路規模及び回路の複雑さが増大する傾向にある。従って、高機能を維持したまま又はさらなる高機能の搭載に伴う駆動回路のチップ面積の縮小化が難

10

20

30

40

50

しく、製造コスト削減を妨げる。

【0003】

また、小型電子機器においても、高解像度化された表示パネルが搭載され、その駆動回路に高機能が要求される。しかしながら、小型電子機器にはそのスペースの都合上、あまり回路規模を大きくすることができない。従って、チップ面積の縮小と高機能の搭載の両立が難しく、製造コストの削減又はさらなる高機能の搭載が困難である。

【特許文献1】特開2001-222276号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、回路の配置を柔軟に行え、効率の良いレイアウトが可能な集積回路装置及びそれを搭載する電子機器を提供することにある。

【課題を解決するための手段】

【0005】

本発明は、複数の走査線及び複数のデータ線を有する表示パネルに表示される少なくとも1画面分のデータを格納する表示メモリを含む集積回路装置であって、前記表示メモリは、その各々が複数のワード線と、複数のビット線と、複数のメモリセルと、ワード線制御回路と、をそれぞれ含む複数のRAMブロックを含み、前記複数のRAMブロックの各々は、前記複数のビット線の延びる第1の方向に沿って配置され、前記複数のメモリセルの各々は、短辺及び長辺を有し、前記複数のビット線は前記複数のメモリセルの前記長辺の延びる方向に沿って形成され、前記複数のワード線は前記複数のメモリセルの前記短辺の延びる方向に沿って形成されている集積回路装置に関する。

【0006】

これにより、ワード線が形成される方向のRAMブロックのサイズが制限される場合にもワード線に共通接続されるメモリセルの数を増やすことができる。即ち、効率の良いレイアウトが可能となり、コスト削減の効果を奏する。また、ワード線に共通接続されるメモリセルの数を増やせるため、ビット線に共通接続するメモリセルの数を減らすことができる。このため、RAMブロックを柔軟にレイアウト設計でき、集積回路装置に対して効率のよいレイアウトが可能となる。

【0007】

また、本発明では、前記複数のRAMブロックの各々は、一回のワード線の選択によってM(Mは2以上の整数)ビットのデータを出力するセンスアンプ回路を含み、前記複数のRAMブロックの各々には、前記複数のワード線の延びる第2の方向に沿って少なくともM×L(Lは2以上の整数)個のメモリセルが配列され、前記センスアンプ回路には、一回のワード線の選択によってM×Lビットのデータが供給されてもよい。

【0008】

これにより、ワード線に共通接続されているM×L個のメモリセルを複数回に分けて読み出すことで、第1の方向に配列されるメモリセルの数を減らすことができる。このため、RAMブロックの第1の方向のサイズを短くすることができる。

【0009】

また、本発明では、前記センスアンプ回路は、センスアンプ用選択信号に基づいて、前記M×LビットのデータのうちのMビットのデータを検出して出力するようにしてもよい。

【0010】

これにより、センスアンプ回路は、M×LビットのデータからMビットのデータを選択して出力することができる。

【0011】

また、本発明では、前記ワード線制御回路は、前記表示パネルを水平走査駆動する一水平走査期間において、前記複数のワード線からワード線をN(Nは2以上の整数)回選択

10

20

30

40

50

するようにしてもよい。

【0012】

これにより、一水平走査期間に必要なデータをN回に分けて読み出すことができる。即ち、第2の方向に沿って配列されているメモリセルの数を減らすことができ、RAMブロックのレイアウトを柔軟に設計でき、集積回路装置に対して効率の良いレイアウトが可能となる。

【0013】

また、本発明では、前記ワード線制御回路は、前記一水平走査期間において選択されるN本のワード線を互いに異なるように、選択制御し、前記表示パネルを垂直走査駆動する一垂直走査期間において、前記複数のワード線のうちの同一のワード線をL回選択するようにしてもよい。

10

【0014】

これにより、第2の方向に沿って配列されたM×L個のメモリセルからデータを読み出すことができる。

【0015】

また、本発明では、前記ワード線制御回路は、前記一水平走査期間においてワード線がN回選択される際に、前記複数のワード線のうちの同一のワード線をL(L<N)回選択するようにしてもよい。

【0016】

これにより、第2の方向に沿って配列されたM×L個のメモリセルからデータを読み出すことができるほか、L<Nの場合には一水平走査期間において他のワード線の選択を行うこともできる。

20

【0017】

また、本発明では、前記表示パネルの前記複数の走査線の本数をSCN本とした場合、前記複数のRAMブロックの各々には、前記第1の方向に沿って少なくとも(N×SCN/L)個のメモリセルが配列されてもよい。

【0018】

これにより、第2の方向に沿って配列されたメモリセルの個数M×Lを調整することで、第1の方向に沿って配列されるメモリセルの数を設定できる。即ち、RAMブロックの第1の方向の長さを調整することができる。

30

【0019】

また、本発明では、Mの値は、前記複数のデータ線の本数をDLN本、前記複数のデータ線に対応する各画素の階調ビット数をG、前記複数のRAMブロックのブロック数をBNKと定義した場合に以下の式で与えられることができる。

【0020】

【数2】

$$M = \frac{DLN \times G}{BNK \times N}$$

40

【0021】

これにより、Mの値に基づいてRAMブロックのレイアウトを決定することができる。また、スペースの都合上、Mの値が制限されてしまう場合には、上記の式から逆算してRAMブロックのブロック数BNKを決定することができる。

【0022】

また、本発明では、前記一水平走査期間に前記表示メモリから読み出されたデータに基づいて、前記表示パネルに設けられた前記複数のデータ線を駆動するデータ線ドライバをさらに有してもよい。

【0023】

これにより、表示パネルに設けられたデータ線を駆動することができる。

50

## 【0024】

また、本発明では、前記データ線ドライバは、前記複数のRAMブロックに対応した数の複数のデータ線ドライバブロックを含み、前記複数のデータ線ドライバブロックは、前記第1の方向に沿って配置されてもよい。

## 【0025】

これにより、表示パネルに設けられたデータ線をRAMブロックに格納されているデータに基づいて駆動することができる。また、第1の方向に沿ってデータ線ドライバブロックとRAMブロックが配置されることで、集積回路装置に対して効率の良いレイアウトが可能となる。

## 【0026】

また、本発明では、前記複数のデータ線ドライバブロックは、前記複数のRAMブロックのいずれかと前記第1の方向に隣接するように配置されてもよい。

## 【0027】

これにより、データ線ドライバブロックはRAMブロックから効率よくデータを受け取ることができる。

## 【0028】

また、本発明では、前記複数のデータ線ドライバブロックの各々は、第1～第Nの分割データ線ドライバを含み、前記第1～第Nの分割データ線ドライバには、第1～第Nのラッチ信号が供給され、前記第1～第Nの分割データ線ドライバは、前記第1～第Nのラッチ信号に基づいて、対応するRAMブロックから入力されたデータをラッチするようにしてもよい。

## 【0029】

これにより、ワード線の選択に応じて第1～第Nのラッチ信号を制御することができるので、データ線の駆動に必要なデータを第1～第Nの分割データ線ドライバにラッチさせることができる。また、データ線ドライバブロックを分割して複数の分割データ線ドライバで構成することで、データ線ドライバブロックの第2の方向のサイズを柔軟に設定することができる。即ち、集積回路装置に対してデータ線ドライバブロックを効率よくレイアウトすることができる。

## 【0030】

また、本発明では、前記複数のRAMブロックの端辺のうち、前記複数のデータ線ドライバブロックと隣接する辺と対向する辺は、前記複数のRAMブロックのいずれかと隣接する辺であってもよい。

## 【0031】

本発明によれば、RAMブロックとRAMブロックが隣接するように配置することができる。この場合、RAMブロックに必要な回路の一部を共用するように設計することができる。RAMブロックの第1の方向のサイズを短くすることができる。即ち、集積回路装置に対して効率よくレイアウトができ、製造コストの削減が可能となる。

## 【0032】

また、本発明では、前記ワード線制御回路は、ワード線制御信号に基づいてワード線の選択を行い、前記複数のデータ線を駆動する際には、前記複数のRAMブロックの各々の前記ワード線制御回路に、同一の前記ワード線制御信号が供給されてもよい。

## 【0033】

これにより、複数のRAMブロックを均一に読み出し制御できるため、表示メモリとしてデータ線ドライバに画像データを供給することができる。

## 【0034】

また、本発明では、前記複数のデータ線ドライバブロックは、データ線制御信号に基づいてデータ線を駆動し、前記複数のデータ線を前記データ線ドライバが駆動する際には、前記複数のデータ線ドライバブロックの各々に、同一の前記データ線制御信号が供給されてもよい。

## 【0035】

10

20

30

40

50

これにより、複数のデータ線ドライバブロックを均一に制御できるため、各RAMブロックから供給されるデータに基づいて表示パネルのデータ線を駆動することができる。

【0036】

また、本発明は、上記記載の集積回路装置と、表示パネルと、を含む電子機器に関する。

【0037】

また、本発明では、前記集積回路装置は、前記表示パネルを形成する基板に実装されてもよい。

【0038】

また、本発明では、前記集積回路装置の前記複数のワード線が、前記表示パネルに設けられた前記複数のデータ線が延びる方向と平行になるように前記表示パネルを形成する基板に前記集積回路装置が実装されてもよい。

10

【0039】

これにより、ワード線がデータ線に垂直に形成される場合に比べて、本発明に係る電子機器では、特別な回路を設けずにワード線を短くすることができる。例えば、本発明では、ホスト側から書き込み制御を行うときに、複数のRAMブロックのいずれかを選択して、選択されたRAMブロックのワード線を制御することができる。制御されるワード線の長さは、上述のように短く設定することができるので、本発明に係る電子機器は、ホスト側からの書き込み制御の際に消費電力の低減が可能となる。

【発明を実施するための最良の形態】

20

【0040】

以下、本発明の一実施形態について、図面を参照して説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。なお、以下の図において同符号のものは同様の意味を表す。

【0041】

#### 1. 表示ドライバ

図1(A)は、表示ドライバ20(広義には集積回路装置)が実装された表示パネル10を示す。本実施形態では、表示ドライバ20や、表示ドライバ20が実装された表示パネル10を小型電子機器(図示せず)に搭載することができる。小型電子機器には例えば携帯電話、PDA、表示パネルを有するデジタル音楽プレーヤー等がある。表示パネル10は例えばガラス基板上に複数の表示画素が形成される。その表示画素に対応して、Y方向に伸びる複数のデータ線(図示せず)及びX方向に伸びる走査線(図示せず)が表示パネル10に形成される。本実施形態の表示パネル10に形成される表示画素は液晶素子であるが、これに限定されず、EL(Electro-Luminescence)素子等の発光素子であってもよい。また、表示画素はトランジスタ等を伴うアクティブ型であっても、トランジスタ等を伴わないパッシブ型であっても良い。例えば、表示領域12にアクティブ型が適用された場合、液晶画素はアモルファスTFTであっても良いし、低温ポリシリコンTFTであっても良い。

30

【0042】

表示パネル10は、例えばX方向にPX個のピクセル、Y方向にPY個のピクセルの表示領域12を持つ。例えば、表示パネル10がQVGA表示に対応する場合は、 $PX = 240$ 、 $PY = 320$ となり、表示領域12は $240 \times 320$ ピクセルで示される。なお、表示パネル10のX方向のピクセル数PXとは、白黒表示の場合にはデータ線本数に一致する。ここではカラー表示の場合、R用サブピクセル、G用サブピクセル、B用サブピクセルの計3サブピクセルを合わせて1ピクセルが構成される。よって、カラー表示の場合、データ線の本数は $(3 \times PX)$ 本となっている。従って、カラー表示の場合、「データ線に対応する画素数」は「X方向のサブピクセルの数」を意味する。各サブピクセルは階調に応じてそのビット数が決定され、例えば3つのサブピクセルの階調値をGとすると、1ピクセルの階調値 = 3Gビットとなる。サブピクセルが64階調(6ビット)を表現す

40

50

る場合には、1ピクセルのデータ量は $6 \times 3 = 18$ ビットとなる。

【0043】

なお、ピクセル数 $PX$ 及び $PY$ は、例えば $PX > PY$ でも良いし、 $PX < PY$ でも良いし、 $PX = PY$ でも良い。

【0044】

表示ドライバ20のサイズは、 $X$ 方向の長さ $CX$ 、 $Y$ 方向の長さ $CY$ に設定される。そして、長さ $CX$ である表示ドライバ20の長辺 $IL$ は、表示領域12の表示ドライバ20側の一辺 $PL1$ と平行である。即ち、表示ドライバ20は、その長辺 $IL$ が表示領域12の一辺 $PL1$ と平行になるように表示パネル10に実装される。

【0045】

図1(B)は表示ドライバ20のサイズを示す図である。長さ $CY$ である表示ドライバ20の短辺 $IS$ と表示ドライバ20の長辺 $IL$ の比は、例えば1:10に設定される。つまり、表示ドライバ20は、その長辺 $IL$ に対して、その短辺 $IS$ が非常に短く設定される。このように細長い形状に形成することで、表示ドライバ20の $Y$ 方向のチップサイズを極限まで小さくすることができる。

【0046】

なお、前述の比1:10は一例であり、これに限定されない。例えば1:11でも良いし、1:9でもよい。

【0047】

なお、図1(A)では表示領域12の $X$ 方向の長さ $LX$ 及び $Y$ 方向の長さ $LY$ が示されているが、表示領域12の縦横のサイズ比は図1(A)に限定されない。表示領域12は、例えば長さ $LY$ が長さ $LX$ よりも短く設定されてもよい。

【0048】

また、図1(A)によると、表示領域12の $X$ 方向の長さ $LX$ は表示ドライバ20の $X$ 方向の長さ $CX$ と等しい。特に図1(A)に限定はされないが、このように長さ $LX$ 及び長さ $CX$ が等しく設定されるのが好ましい。その理由として、図2(A)を示す。

【0049】

図2(A)に示す表示ドライバ22は $X$ 方向の長さが $CX2$ に設定されている。この長さ $CX2$ は、表示領域12の一辺 $PL1$ の長さ $LX$ よりも短いため、図2(A)に示すように、表示ドライバ22と表示領域12とを接続する複数の配線を $Y$ 方向に平行に設けることができない。このため、表示領域12と表示ドライバ22との距離 $DY2$ を余分に設ける必要がある。これは表示パネル10のガラス基板のサイズを無駄に要するため、コスト削減を妨げる。そして、より小型の電子機器に表示パネル10を搭載する場合、表示領域12以外の部分が大きくなり、電子機器の小型化の妨げにもなる。

【0050】

これに対して、図2(B)に示すように本実施形態の表示ドライバ20は、その長辺 $IL$ の長さ $CX$ が表示領域12の一辺 $PL1$ の長さ $LX$ に一致するように形成されているため、表示ドライバ20と表示領域12との間の複数の配線を $Y$ 方向に平行に設けることができる。これにより、表示ドライバ20と表示領域12との距離 $DY$ を図2(A)の場合に比べて短くすることができる。さらに、表示ドライバ20の $Y$ 方向の長さ $IS$ が短いので、表示パネル10のガラス基板の $Y$ 方向のサイズが小さくなり、電子機器の小型化に寄与できる。

【0051】

なお、本実施形態では、表示ドライバ20の長辺 $IL$ の長さ $CX$ が、表示領域12の一辺 $PL1$ の長さ $LX$ に一致するように形成されるが、これに限定されない。

【0052】

上述のように、表示ドライバ20の長辺 $IL$ を表示領域12の一辺 $PL1$ の長さ $LX$ に合わせ、短辺 $IS$ を短くすることで、チップサイズの縮小を達成しながら、距離 $DY$ の短縮も可能となる。このため、表示ドライバ20の製造コスト及び表示パネル10の製造コストの削減が可能となる。

10

20

30

40

50



## 【 0 0 5 3 】

図 3 ( A ) 及び図 3 ( B ) は、本実施形態の表示ドライバ 2 0 のレイアウトの構成例を示す図である。図 3 ( A ) に示すように、表示ドライバ 2 0 には、X 方向に沿ってデータ線ドライバ 1 0 0 ( 広義にはデータ線ドライバブロック )、R A M 2 0 0 ( 広義には R A M ブロック )、走査線ドライバ 3 0 0、G / A 回路 4 0 0 ( ゲートアレイ回路、広義には自動配線回路 )、階調電圧発生回路 5 0 0、電源回路 6 0 0 が配置されている。これらの回路は、表示ドライバ 2 0 のブロック幅 I C Y に収まるように配置されている。そして、これらの回路を挟むように出力 P A D 7 0 0 及び入出力 P A D 8 0 0 が表示ドライバ 2 0 に設けられている。出力 P A D 7 0 0 及び入出力 P A D 8 0 0 は、X 方向に沿って形成され、出力 P A D 7 0 0 は表示領域 1 2 側に設けられている。なお、入出力 P A D 8 0 0 には、例えばホスト ( 例えば M P U、B B E ( Base-Band-Engine )、M G E、C P U 等 ) による制御情報を供給するための信号線や電源供給線等が接続される。

10

## 【 0 0 5 4 】

なお、表示パネル 1 0 の複数のデータ線は複数のブロック ( 例えば 4 つ ) に分割され、一つのデータ線ドライバ 1 0 0 は、1 ブロック分のデータ線を駆動する。

## 【 0 0 5 5 】

このようにブロック幅 I C Y を設け、それに収まるように各回路を配置することによって、ユーザーのニーズに柔軟に対応できる。具体的には、駆動対象となる表示パネル 1 0 の X 方向のピクセル数 P X が変わると、画素を駆動するデータ線の数も変わるため、それに合わせてデータ線ドライバ 1 0 0 及び R A M 2 0 0 を設計する必要がある。また、低温ポリシリコン ( L T P S ) T F T パネル用表示ドライバでは、走査ドライバ 3 0 0 をガラス基板に形成できるため、走査線ドライバ 3 0 0 を表示ドライバ 2 0 に内蔵させない場合もある。

20

## 【 0 0 5 6 】

本実施形態では、データ線ドライバ 1 0 0 や R A M 2 0 0 だけを変更したり、走査線ドライバ 3 0 0 をはずしたりするだけで、表示ドライバ 2 0 を設計することが可能となる。このため、元となるレイアウトを生かすことができ、最初から設計し直す手間が省くことができるので、設計コストの削減が可能となる。

## 【 0 0 5 7 】

また、図 3 ( A ) では、2 つの R A M 2 0 0 が隣接するように配置されている。これにより、R A M 2 0 0 に用いられる一部の回路を共用することが可能となり、R A M 2 0 0 の面積を縮小することができる。詳しい作用効果については後述する。また、本実施形態では図 3 ( A ) の表示ドライバ 2 0 に限定されない。例えば、図 3 ( B ) に示す表示ドライバ 2 4 のようにデータ線ドライバ 1 0 0 と R A M 2 0 0 が隣接し、2 つの R A M 2 0 0 が隣接しないように配置されても良い。

30

## 【 0 0 5 8 】

また、図 3 ( A ) 及び図 3 ( B ) では、一例としてデータ線ドライバ 1 0 0 及び R A M 2 0 0 が各 4 つ設けられている。これは、表示ドライバ 2 0 に対して、データ線ドライバ 1 0 0 及び R A M 2 0 0 を 4 つ ( 4 B A N K ) 設けることで、1 水平走査期間 ( 例えば 1 H 期間とも呼ぶ ) に駆動されるデータ線の本数を 4 分割することができる。例えば、ピクセル数 P X が 2 4 0 である場合、R 用サブピクセル、G 用サブピクセル、B 用サブピクセルを考慮すると 1 H 期間に例えば 7 2 0 本のデータ線を駆動する必要がある。本実施形態では、この数の 4 分の 1 である 1 8 0 本のデータ線を各データ線ドライバ 1 0 0 が駆動すればよい。B A N K 数を増やすことで、各データ線ドライバ 1 0 0 が駆動するデータ線の本数を減らすこともできる。なお、B A N K 数とは、表示ドライバ 2 0 内に設けられた R A M 2 0 0 の数と定義する。また、各 R A M 2 0 0 を合わせた合計の記憶領域を表示メモリの記憶領域と定義し、表示メモリは少なくとも表示パネル 1 0 の 1 画面分の画像を表示するためのデータを格納することができる。

40

## 【 0 0 5 9 】

図 4 は、表示ドライバ 2 0 が実装された表示パネル 1 0 の一部を拡大する図である。表

50

示領域12は複数の配線DQLによって表示ドライバ20の出力PAD700と接続されている。この配線はガラス基板に設けられた配線であっても良いし、フレキシブル基板等にて形成され、出力PAD700と表示領域12とを接続する配線であっても良い。

【0060】

RAM200はそのY方向の長さがRYに設定されている。本実施形態では、この長さRYは、図3(A)のブロック幅ICYと同じに設定されているが、これに限定されない。例えば、長さRYはブロック幅ICY以下に設定されても良い。

【0061】

長さRYに設定されるRAM200には、複数のワード線WLと、複数のワード線WLを制御するワード線制御回路240が設けられている。また、RAM200には、複数のビット線BL、複数のメモリセルMC及びそれらを制御する制御回路(図示せず)が設けられている。RAM200のビット線BLはX方向に平行になるように設けられている。即ち、ビット線BLは表示領域12の一边PL1に平行になるように設けられている。また、RAM200のワード線WLはY方向に平行になるように設けられている。即ち、ワード線WLは複数の配線DQLと平行になるように設けられている。

【0062】

RAM200のメモリセルMCはワード線WLの制御により読み出しが行われ、その読み出されたデータがデータ線ドライバ100に供給される。即ち、ワード線WLが選択されると、Y方向に沿って配列された複数のメモリセルMCに格納されているデータがデータ線ドライバ100に供給されることになる。

【0063】

図5は、図3(A)のA-A断面を示す断面図である。A-A断面はRAM200のメモリセルMCが配列されている領域の断面である。RAM200の形成される領域には、例えば5層の金属配線層が設けられている。図5では、例えば第1金属配線層ALA、その上層の第2金属配線層ALB、さらに上層の第3金属配線層ALC、第4金属配線層ALD、第5金属配線層ALEが示されている。第5金属配線層ALEには、例えば階調電圧発生回路500から階調電圧が供給される階調電圧用配線292が形成されている。また、第5金属配線層ALEには、電源回路600から供給される電圧や、外部から入出力PAD800を経由して供給される電圧等を供給するための電源用配線294が形成されている。本実施形態のRAM200は例えば第5金属配線層ALEを使用せずに形成できる。このため、前述のように第5金属配線層ALEに様々な配線を形成することができる。

【0064】

また、第4金属配線層ALDにはシールド層290が形成されている。これにより、RAM200のメモリセルMCの上層の第5金属配線層ALEに様々な配線が形成されても、RAM200のメモリセルMCに与える影響を緩和することができる。なお、ワード線制御回路240等のRAM200の制御回路が形成されている領域の第4金属配線層ALDには、これらの回路の制御用の信号配線が形成されても良い。

【0065】

第3金属配線層ALCに形成されている配線296は、例えばビット線BLや電圧VSS用配線に用いられる。また、第2金属配線層ALBに形成されている配線298は、例えばワード線WLや電圧VDD用配線として用いることができる。また、第1金属配線層ALAに形成されている配線299は、RAM200の半導体層に形成されている各ノードとの接続に用いることができる。

【0066】

なお、上述の構成を変更して、第3金属配線層ALCにワード線用の配線を形成し、第2金属配線層ALBにビット線用の配線を形成するようにしても良い。

【0067】

以上のようにRAM200の第5金属配線層ALEに様々な配線を形成することができるので、図3(A)や図3(B)に示すように多種の回路ブロックをX方向に沿って配列

10

20

30

40

50

することができる。

#### 【0068】

##### 2. データ線ドライバ

##### 2.1. データ線ドライバの構成

図6(A)は、データ線ドライバ100を示す図である。データ線ドライバ100は出力回路104、DAC120及びラッチ回路130を含む。DAC120はラッチ回路130にラッチされているデータに基づいて階調電圧を出力回路104に供給する。ラッチ回路130には、例えばRAM200から供給されたデータが格納される。例えば階調度がGビットに設定されている場合には、各ラッチ回路130にはGビットのデータが格納される。階調電圧は、階調度に応じて複数種類生成され、階調電圧発生回路500からデータ線ドライバ100に供給される。例えば、データ線ドライバ100に供給された複数の階調電圧は各DAC120に供給される。各DAC120はラッチ回路130にラッチされているGビットのデータに基づいて、階調電圧発生回路500から供給された複数種類の階調電圧から対応する階調電圧を選択し、出力回路104に出力する。

10

#### 【0069】

出力回路104は、例えばオペアンプ(広義には演算増幅器)で構成されるが、これに限定されない。図6(B)に示すように出力回路104の代わりに出力回路102をデータ線ドライバ100に設けても良い。この場合、階調電圧発生回路500には複数のオペアンプが設けられている。

#### 【0070】

図7はデータ線ドライバ100に設けられている複数のデータ線駆動セル110を示す図である。各データ線ドライバ100は複数のデータ線を駆動し、データ線駆動セル110は複数のデータ線のうちの1本を駆動する。例えば、データ線駆動セル110は、一ピクセルを構成するR用サブピクセル、G用サブピクセル及びB用サブピクセルのいずれか一つを駆動する。即ち、X方向のピクセル数PXが240の場合には、表示ドライバ20には、合計 $240 \times 3 = 720$ 個のデータ線駆動セル110が設けられていることになる。そして、この場合には各データ線ドライバ100には、例えば4BANK構成である場合、180個のデータ線駆動セル110が設けられている。

20

#### 【0071】

データ線駆動セル110は、例えば出力回路140、DAC120及びラッチ回路130を含むが、これに限定されない。例えば、出力回路140は外部に設けられても良い。なお、出力回路140は、図6(A)の出力回路104でも良いし、図6(B)の出力回路102でもよい。

30

#### 【0072】

例えば、R用サブピクセル、G用サブピクセル及びB用サブピクセルのそれぞれの階調度を示す階調データがGビットに設定されている場合、RAM200からは、データ線駆動セル110にGビットのデータが供給される。ラッチ回路130は、Gビットのデータをラッチする。DAC120はラッチ回路130の出力に基づいて階調電圧を出力回路140を介して出力する。これにより、表示パネル10に設けられているデータ線を駆動することができる。

40

#### 【0073】

##### 2.2. 一水平走査期間内の複数回読み出し

図8に本実施形態に係る比較例の表示ドライバ24を示す。この表示ドライバ24は、表示ドライバ24の一辺DLLが表示パネル10の表示領域12側の一辺PL1と対向するように実装される。表示ドライバ24には、Y方向の長さよりもX方向の長さの方が長く設定されているRAM205及びデータ線ドライバ105が設けられている。RAM205及びデータ線ドライバ105のX方向の長さは、表示パネル10のピクセル数PXが増加するに従って、長くなる。RAM205には複数のワード線WL及びビット線BLが設けられている。RAM205のワード線WLはX方向に沿って延在形成され、ビット線BLはY方向に沿って延在形成されている。即ち、ワード線WLはビット線BLよりも非

50

常に長く形成される。また、ビット線BLはY方向に沿って延在形成されているため、表示パネル10のデータ線と平行であり、表示パネル10の一辺PL1と直交する。

【0074】

この表示ドライバ24は1H期間に1回だけワード線WLを選択する。そして、ワード線WLの選択によってRAM205から出力されるデータをデータ線ドライバ105がラッチし、複数のデータ線を駆動する。表示ドライバ24では、図8に示すようにワード線WLがビット線BLに比べて非常に長いため、データ線ドライバ100及びRAM205の形状がX方向に長くなり、表示ドライバ24に他の回路を配置するスペースを確保するのが難しい。そのため、表示ドライバ24のチップ面積の縮小を妨げる。また、その確保等に関する設計時間も無駄に要してしまうため、設計コスト削減を妨げる。

10

【0075】

図8のRAM205は例えば図9(A)に示すようにレイアウトされる。図9(A)によると、RAM205は2分割され、そのうちの一つのX方向の長さは例えば「12」であるのに対し、Y方向の長さは「2」である。従って、RAM205の面積を「48」と示すことができる。これらの長さの値は、RAM205の大きさを示す上での比率の一例を示すものであり、実際の大きさを限定するものではない。なお、図9(A)～図9(D)の符号241～244はワード線制御回路を示し、符号206～209はセンスアンプを示す。

【0076】

これに対して、本実施形態では、RAM205を複数に分割し90度回転した状態でレイアウトすることができる。例えば、図9(B)に示すようにRAM205を4分割して90度回転した状態にレイアウトすることができる。4分割されたうちの一つであるRAM205-1は、センスアンプ207とワード線制御回路242を含む。また、RAM205-1のY方向の長さが「6」であり、X方向の長さが「2」である。よって、RAM205-1の面積は「12」となり、4ブロックの合計面積が「48」となる。しかしながら、表示ドライバ20のY方向の長さCYを短くしたいため、図9(B)の状態では都合が悪い。

20

【0077】

そこで、本実施形態では、図9(C)に示すように1H期間に複数回読み出しを行うことでRAM200のY方向の長さRYを短くすることができる。例えば、図9(C)では、1H期間に2回読み出しを行う場合を示す。この場合、1H期間にワード線WLを2回選択するため、例えばY方向に配列されたメモリセルMCの数を半分にすることができる。これにより、図9(C)に示すようにRAM200のY方向の長さを「3」とすることができる。その代わりに、RAM200のX方向の長さは「4」となる。即ち、RAM200の合計の面積が「48」となり、図9(A)のRAM205とメモリセルMCが配列されている領域の面積が等しくなる。そして、これらのRAM200を図3(A)や図3(B)に示すように自由に配置することができるため、非常に柔軟にレイアウトが可能となり、効率的なレイアウトができる。

30

【0078】

なお、図9(D)は、3回読み出しを行った場合の一例を示す。この場合、図9(B)のRAM205-1のY方向の長さ「6」を3分の1にすることができる。即ち、表示ドライバ20のY方向の長さCYをより短くしたい場合には、1H期間の読み出し回数を調整することで実現可能となる。

40

【0079】

上述のように本実施形態では、ブロック化されたRAM200を表示ドライバ20に設けることができる。本実施形態では、例えば4BANKのRAM200を表示ドライバ20に設けることができる。この場合、各RAM200に対応するデータ線ドライバ100-1～100-4は図10に示すように対応するデータ線DLを駆動する。

【0080】

具体的には、データ線ドライバ100-1はデータ線群DLS1を駆動し、データ線D

50

ライバ100-2はデータ線群DLS2を駆動し、データ線ドライバ100-3はデータ線群DLS3を駆動し、データ線ドライバ100-4はデータ線群DLS4を駆動する。なお、各データ線群DLS1~DLS4は、表示パネル10の表示領域12に設けられた複数のデータ線DLを例えば4ブロックに分割したうちの1ブロックである。このように4BANKのRAM200に対応して、4つのデータ線ドライバ100-1~100-4を設け、それぞれに対応するデータ線を駆動させることで、表示パネル10の複数のデータ線を駆動することができる。

#### 【0081】

##### 2.3. データ線ドライバの分割構造

本実施形態では、図4のRAM200の長さRYを短くするために、一水平走査期間でのN回読み出し、例えば2回読み出しを前提として、データ線ドライバ100が、図11(A)に示すように第1のデータ線ドライバ100A(広義には第1の分割データ線ドライバ)及び第2のデータ線ドライバ100B(広義には第2の分割データ線ドライバ)と、N(2)分割されている。図11(A)に示すMは、1回のワード線選択によってRAM200から読み出されるデータのビット数である。

#### 【0082】

例えば、ピクセル数PXが240であり、ピクセルの階調度が18ビットであり、RAM200のBANK数が4BANKである場合、1H期間では、各RAM200から $240 \times 18 \div 4 = 1080$ ビットのデータがRAM200から出力されなければならない。

#### 【0083】

しかしながら、表示ドライバ100のチップ面積縮小のためには、RAM200の長さRYを短くしたい。そこで、図11(A)に示すように例えばデータ線ドライバ100A及び100BをX方向に分割する。そうすることで、Mを $1080 \div 2 = 540$ に設定することができ、RAM200の長さRYをおよそ半分にすることができる。

#### 【0084】

なお、データ線ドライバ100Aは表示パネル10のデータ線のうちの一部のデータ線を駆動する。また、データ線ドライバ100Bは、表示パネル10のデータ線のうち、データ線ドライバ100Aが駆動するデータ線以外のデータ線の一部を駆動する。このように、各データ線ドライバ100A, 100Bは表示パネル10のデータ線をシェアして駆動する。

#### 【0085】

具体的には、図11(B)に示すように1H期間に例えばワード線WL1及びWL2を選択する。即ち、1H期間に2回ワード線を選択する。そして、A1のタイミングでラッチ信号SLAを立ち下げる。このラッチ信号SLAは例えばデータ線ドライバ100Aに供給される。そして、データ線ドライバ100Aはラッチ信号SLAの例えば立ち下がりエッジに応じてRAM200から供給されるMビットのデータをラッチする。

#### 【0086】

また、A2のタイミングでラッチ信号SLBを立ち下げる。このラッチ信号SLBは例えばデータ線ドライバ100Bに供給される。そして、データ線ドライバ100Bはラッチ信号SLBの例えば立ち下がりエッジに応じてRAM200から供給されるMビットのデータをラッチする。

#### 【0087】

さらに具体的には、図12に示すようにワード線WL1の選択によってM個のメモリセル群MCS1に格納されているデータがセンスアンプ回路210を介してデータ線ドライバ100A及び100Bに供給される。しかしながら、ワード線WL1の選択に対応してラッチ信号SLAが立ち下がるため、M個のメモリセル群MCS1に格納されているデータはデータ線ドライバ100Aにラッチされる。

#### 【0088】

そして、ワード線WL2の選択によってM個のメモリセル群MCS2に格納されているデータがセンスアンプ回路210を介してデータ線ドライバ100A及び100Bに供給

10

20

30

40

50

されるが、ワード線WL2の選択に対応してラッチ信号SLBが立ち下がる。このため、M個のメモリセル群MCS2に格納されているデータはデータ線ドライバ100Bにラッチされる。

【0089】

このようにすると、Mを例えば540ビットに設定した場合、1H期間で2回読み出しを行うため、各データ線ドライバ100A、100Bには、M=540ビットのデータがラッチされることになる。即ち、合計1080ビットのデータがデータ線ドライバ100にラッチされることになり、前述の例で必要である1H期間に1080ビットを達成できる。そして、1H期間に必要なデータ量をラッチすることができ、且つ、RAM200の長さRYをおよそ半分に短くすることができる。これにより、表示ドライバ20のブロック幅ICYを短くすることができるので、表示ドライバ20の製造コスト削減が可能となる。

10

【0090】

なお、図11(A)及び図11(B)では、一例として1H期間に2回の読み出しを行う例が図示されているが、これに限定されない。例えば、1H期間に4回読み出しを行うこともできるし、それ以上に設定することもできる。例えば4回読み出しの場合には、データ線ドライバ100を4段に分割することができ、さらにRAM200の長さRYを短くすることができる。この場合、前述を例に取れば、M=270に設定することができ、4段に分割されたデータ線ドライバのそれぞれに270ビットのデータがラッチされる。つまり、RAM200の長さRYをおよそ4分の1にしなが、1H期間に必要な1080

20

【0091】

また、図11(B)のA3及びA4に示すように、データ線イネーブル信号等(図示せず)による制御に基づいてデータ線ドライバ100A及び100Bの出力を立ち上げても良いし、A1及びA2に示すタイミングで、各データ線ドライバ100A、100Bがラッチした後にそのままデータ線に出力するようにしても良い。また、各データ線ドライバ100A、100Bにもう一段ラッチ回路を設けて、A1及びA2でラッチしたデータに基づく電圧を次の1H期間に出力するようにしても良い。こうすれば、1H期間に読み出しを行う回数を、画質劣化の心配なしに増やすことができる。

【0092】

なお、ピクセル数PYが320(表示パネル10の走査線が320本)であり、1秒間に60フレームの表示画行われる場合、1H期間は図11(B)に示すように約52μsecである。求め方としては、1sec÷60フレーム÷320=52μsecである。これに対して、ワード線の選択は図11(B)に示すようにおよそ40nsecで行われる。つまり、1H期間に対して十分に短い期間に複数回のワード線選択(RAM200からのデータ読み出し)が行われるため、表示パネル10に対する画質の劣化に問題は生じない。

30

【0093】

また、Mの値は、次式で得ることができる。なお、BNKは、BANK数を示し、Nは1H期間に行われる読み出し回数を示し、Gは階調ビット数を示す。また、ピクセル数PX×3とは、表示パネル10のデータ線に対応する画素数(又は表示パネル10のデータ線の本数DLN)を意味する。

40

【0094】

【数3】

$$M = \frac{PX \times 3 \times G}{BNK \times N}$$

【0095】

なお、本実施形態ではセンスアンプ回路210はラッチ機能を有するが、これに限定さ

50

れない。例えばセンスアンプ回路 210 はラッチ機能を有さないものであっても良い。

【0096】

#### 2.4. データ線ドライバの細分割

図13は、1ピクセルを構成する各サブピクセルのうち、一例としてR用サブピクセルについてRAM200とデータ線ドライバ100の関係を説明するための図である。

【0097】

例えば各サブピクセルの階調のGビットが64階調である6ビットに設定された場合、R用サブピクセルのデータ線駆動セル110A-R及び110B-Rには、6ビットのデータがRAM200から供給される。6ビットのデータを供給するために、RAM200のセンスアンプ回路210に含まれる複数のセンスアンプ211のうち例えば6つのセンスアンプ211が各データ線駆動セル110に対応する。

10

【0098】

例えば、データ線駆動セル110A-RのY方向の長さSCYは、6つのセンスアンプ211のY方向の長さSAYに納める必要がある。同様に各データ線駆動セル110のY方向の長さは6つのセンスアンプ211の長さSAYに納める必要がある。長さSCYを6つのセンスアンプ211の長さSAYに納めることができない場合には、データ線ドライバ100のY方向の長さが、RAM200の長さRYよりも大きくなってしまい、レイアウト的に効率の悪い状態になってしまう。

【0099】

RAM200はプロセス的に微細化が進み、センスアンプ211のサイズも小さい。一方、図7に示すように、データ線駆動セル110には複数の回路が設けられている。特に、DAC120やラッチ回路130は回路サイズが大きくなり、小さく設計することが難しい。さらに、DAC120やラッチ回路130は入力されるビット数が増えると大きくなる。つまり、長さSCYを6つのセンスアンプ211のトータル長さSAYに納めることが困難である場合がある。

20

【0100】

これに対して、本実施形態では、1H内読み出し回数Nで分割されたデータ線ドライバ100A、100Bをさらにk(kは2以上の整数)分割し、X方向にスタックすることができる。図14は、1H期間にN=2回読み出しを行うように設定されたRAM200において、データ線ドライバ100A及び100Bがそれぞれk=2分割されてスタックされた構成例を示す。なお、図14では、2回読み出しに設定されたRAM200についての構成例であり、これに限定されない。例えばN=4回読み出しに設定されている場合には、データ線ドライバはX方向において $4 \times 2 = 8$ 段に分割される。

30

【0101】

図13の各データ線ドライバ100A、100Bは、図14に示すように、それぞれが、データ線ドライバ100A1及び100A2、データ線ドライバ100B1及び100B2に分割されている。そして、データ線駆動セル110A1-R等はそのY方向の長さがSCY2に設定されている。長さSCY2は、図14によるとセンスアンプ211がG×2個配列された場合のY方向の長さSAY2に収まるように設定されている。つまり、各データ線駆動セル110を形成する際に、図13に比べてY方向に許容される長さが拡大され、レイアウト的に効率の良い設計が可能である。

40

【0102】

次に図14における構成の動作を説明する。例えばワード線WL1が選択されると、各センスアンプブロック210-1、210-2、210-3、210-4等を介して計Mビットのデータがデータ線ドライバ100A1、100A2、100B1、100B2の少なくともいずれかに供給される。このとき、例えば、センスアンプブロック210-1から出力されるGビットのデータは、例えばデータ線駆動セル110A1-R及び110B1-Rに供給される。そして、センスアンプブロック210-2から出力されるGビットのデータは、例えばデータ線駆動セル110A2-R及び110B2-Rに供給される。

。

50

## 【 0 1 0 3 】

このとき、図 1 1 ( B ) に示すタイミングチャートと同様に、ワード線 W L 1 が選択されたときに対応してラッチ信号 S L A ( 広義には第 1 のラッチ信号 ) が立ち下がる。そして、このラッチ信号 S L A はデータ線駆動セル 1 1 0 A 1 - R を含むデータ線ドライバ 1 0 0 A 1 及びデータ線駆動セル 1 1 0 A 2 - R を含むデータ線ドライバ 1 0 0 A 2 に供給される。従って、ワード線 W L 1 の選択によってセンスアンプブロック 2 1 0 - 1 から出力される G ビットのデータ ( メモリセル群 M C S 1 1 に格納されているデータ ) はデータ線駆動セル 1 1 0 A 1 - R にラッチされる。同様に、ワード線 W L 1 の選択によってセンスアンプブロック 2 1 0 - 2 から出力される G ビットのデータ ( メモリセル群 M C S 1 2 に格納されているデータ ) はデータ線駆動セル 1 1 0 A 2 - R にラッチされる。

10

## 【 0 1 0 4 】

センスアンプブロック 2 1 0 - 3、2 1 0 - 4 についても上記と同様であり、データ線駆動セル 1 1 0 A 1 - G にはメモリセル群 M C S 1 3 に格納されているデータがラッチされ、データ線駆動セル 1 1 0 A 2 - G にはメモリセル群 M C S 1 4 に格納されているデータがラッチされる。

## 【 0 1 0 5 】

また、ワード線 W L 2 が選択される場合は、ワード線 W L 2 の選択に対応してラッチ信号 S L B が ( 広義には第 N のラッチ信号 ) 立ち下がる。そして、このラッチ信号 S L B はデータ線駆動セル 1 1 0 B 1 - R を含むデータ線ドライバ 1 0 0 B 1 及びデータ線駆動セル 1 1 0 B 2 - R を含むデータ線ドライバ 1 0 0 B 2 に供給される。従って、ワード線 W L 2 の選択によってセンスアンプブロック 2 1 0 - 1 から出力される G ビットのデータ ( メモリセル群 M C S 2 1 に格納されているデータ ) はデータ線駆動セル 1 1 0 B 1 - R にラッチされる。同様に、ワード線 W L 2 の選択によってセンスアンプブロック 2 1 0 - 2 から出力される G ビットのデータ ( メモリセル群 M C S 2 2 に格納されているデータ ) はデータ線駆動セル 1 1 0 B 2 - R にラッチされる。

20

## 【 0 1 0 6 】

ワード線 W L 2 の選択においても、センスアンプブロック 2 1 0 - 3、2 1 0 - 4 については上記と同様であり、データ線駆動セル 1 1 0 B 1 - G にはメモリセル群 M C S 2 3 に格納されているデータがラッチされ、データ線駆動セル 1 1 0 B 2 - G にはメモリセル群 M C S 2 4 に格納されているデータがラッチされる。

30

## 【 0 1 0 7 】

このようにデータ線ドライバ 1 0 0 A、1 0 0 B が分割された場合において、R A M 2 0 0 に格納されるデータを図 1 5 ( B ) に示す。図 1 5 ( B ) に示すように R A M 2 0 0 には、Y 方向に沿って R 用サブピクセルデータ、R 用サブピクセルデータ、G 用サブピクセルデータ、G 用サブピクセルデータ、B 用サブピクセルデータ、B 用サブピクセルデータ・・・という順番でデータが格納される。一方、図 1 3 のような構成の場合には、図 1 5 ( A ) に示すように R A M 2 0 0 には、Y 方向に沿って R 用サブピクセルデータ、G 用サブピクセルデータ、B 用サブピクセルデータ、R 用サブピクセルデータ・・・という順番でデータが格納される。

## 【 0 1 0 8 】

なお、図 1 3 では長さ S A Y は 6 つのセンスアンプ 2 1 1 に示されているが、これに限定されない。例えば、階調度が 8 ビットの場合には長さ S A Y は 8 つのセンスアンプ 2 1 1 の長さに相当する。

40

## 【 0 1 0 9 】

また、図 1 4 では一例として各データ線ドライバ 1 0 0 A、1 0 0 B をそれぞれ  $k = 2$  分割する構成が示されているが、これに限定されない。例えば 3 分割でも良いし、4 分割でも良い。そして、例えばデータ線ドライバ 1 0 0 A を 3 分割した場合、3 分割されたものに同じラッチ信号 S L A を供給するようにすればよい。また、1 H 読み出し回数と等しい分割数  $k$  の変形例として、 $k = 3$  分割した場合には、それぞれを R 用サブピクセルデータ、G 用サブピクセルデータ、B 用サブピクセルデータのドライバとすることができる。

50



その構成を図16に示す。図16では、3つに分割されたデータ線ドライバ101A1、101A2、101A3が示されている。データ線ドライバ101A1は、データ線駆動セル111A1を含み、データ線ドライバ101A2は、データ線駆動セル111A2を含み、データ線ドライバ101A3は、データ線駆動セル111A3を含む。

#### 【0110】

そして、ワード線WL1の選択に対応してラッチ信号SLAが立ち下がる。前述と同様にラッチ信号SLAは、各データ線ドライバ101A1、101A2、101A3に供給される。

#### 【0111】

このようにすると、ワード線WL1の選択によって、メモリセル群MCS11に格納されているデータが例えばR用サブピクセルデータとしてデータ線駆動セル111A1に格納される。同様にメモリセル群MCS12に格納されているデータが例えばG用サブピクセルデータとしてデータ線駆動セル111A2に格納され、メモリセル群MCS13に格納されているデータが例えばB用サブピクセルデータとしてデータ線駆動セル111A3に格納される。

10

#### 【0112】

従って、図15(A)のようにRAM200に書き込まれるデータをY方向でR用サブピクセルデータ、G用サブピクセルデータ、B用サブピクセルデータという順番に配列することができる。この場合も、各データ線ドライバ101A1、101A2、101A3をさらにk分割することができる。

20

#### 【0113】

### 3. RAM

#### 3.1. メモリセルの構成

各メモリセルMCは例えばSRAM(Static-Random-Access-Memory)で構成することができる。図17(A)にメモリセルMCの回路の一例を示す。また、図17(B)にメモリセルMCのレイアウトの一例を示す。

#### 【0114】

図17(B)に示すように、メモリセルMCはメインワード線MWLとサブワード線SWLを含み、これらは方向DR1(広義には、メモリセルの短辺の延びる方向)に沿って延在形成されている。また、メモリセルMCはビット線BL及びビット線/BLを含み、これらは、方向DR2(広義には、メモリセルの長辺の延びる方向)に沿って延在形成されている。本実施形態では、メモリセルMCは例えば5層の金属配線を用いて形成される。そして、ビット線BL、/BLは例えば第3層の金属配線層に形成され、その下層の第2層の金属配線層にメインワード線MWLが形成される。サブワード線SWLは例えばポリシリコン等の導電体で形成される。

30

#### 【0115】

メモリセルMCのサイズにおいて、ビット線BL、/BLに沿った長さMCX(広義にはメモリセルの長辺)は、メインワード線MWL又はサブワード線SWLに沿った長さMCY(広義にはメモリセルの短辺)に比べて十分に長い。本実施形態では、このようなレイアウトのメモリセルMCをRAM200に用いることができるが、これに限定されない。例えば、メモリセルMCは、長さMCXよりも長さMCYが長く設定されてもよい。

40

#### 【0116】

なお、本実施形態では、メインワード線MWL及びサブワード線SWLが所定の複数の箇所電気的に接続されている。これにより、サブワード線SWLを金属配線であるメインワード線MWLを用いて低抵抗化することができる。また、本実施形態では、メインワード線MWL及びサブワード線SWLを1本のワード線WLとみなすことができる。

#### 【0117】

### 3.2. センスアンプの共用

図18(A)に示すようにセンスアンプ211のY方向の長さSAY3は、メモリセルMCの長さMCYよりも十分に大きい。このため、ワード線WLを選択する際に、一つの

50

センスアンプ 2 1 1 に対して一つのメモリセル M C を対応させるレイアウトは、効率が悪い。

【 0 1 1 8 】

これに対して、本実施形態では、このようなメモリセル M C であっても効率的にレイアウト配置可能にすることができる。図 1 8 ( B ) に示すように、ワード線 W L の選択において、一つのセンスアンプ 2 1 1 に対して複数 ( 例えば 2 つ ) のメモリセル M C を対応させる。これにより、センスアンプ 2 1 1 の長さ S A Y 3 とメモリセル M C の長さ M C Y の差を問題とせず、効率的にメモリセル M C を R A M 2 0 0 に配列することができる。

【 0 1 1 9 】

図 1 8 ( B ) によると、選択型センスアンプ S S A は、センスアンプ 2 1 1 と、スイッチ回路 2 2 0 と、スイッチ回路 2 3 0 を含む。選択型センスアンプ S S A には、ビット線対 B L、 / B L が例えば 2 組接続されている。

【 0 1 2 0 】

スイッチ回路 2 2 0 は、選択信号 C O L A ( 広義にはセンスアンプ用選択信号 ) に基づいて、一方の組のビット線対 B L、 / B L をセンスアンプ 2 1 1 に接続する。同様にスイッチ回路 2 3 0 は、選択信号 C O L B に基づいて、他方の組のビット線対 B L、 / B L をセンスアンプ 2 1 1 に接続する。なお、選択信号 C O L A、 C O L B は、例えばその信号レベルが排他的に制御される。具体的には、選択信号 C O L A がスイッチ回路 2 2 0 をアクティブに設定する信号に設定された場合には、選択信号 C O L B はスイッチ回路 2 3 0 をノンアクティブに設定する信号に設定される。即ち、選択型センスアンプ S S A は例えば 2 組のビット線対 B L、 / B L によって供給される 2 ビット ( 広義には N ビット又は L ビット ) のデータのうちのいずれか 1 ビットのデータを選択して対応するデータを出力する。

【 0 1 2 1 】

図 1 9 に選択型センスアンプ S S A が設けられた R A M 2 0 0 を示す。図 1 9 では、一例として、1 H 期間に 2 回 ( 広義には N 回 ) 読み出しを行う場合であり、例えば階調度の G ビットが 6 ビットである場合の構成が示されている。このような場合、R A M 2 0 0 には、図 2 0 に示すように M 個の選択型センスアンプ S S A が設けられる。従って、1 回のワード線 W L の選択によってデータ線ドライバ 1 0 0 に供給されるデータは計 M ビットである。これに対して、図 2 0 の R A M 2 0 0 にはメモリセル M C が Y 方向において M × 2 ( 広義には M × L ) 個配列されている。そして、X 方向では、ピクセル数 P Y と同じ個数のメモリセル M C が配列されている。例えば図 1 3 に示すような場合であって、1 H 期間に 2 回読み出しが行われる場合には、R A M 2 0 0 の X 方向に配列されるメモリセル M C の数は、ピクセル数 P Y × 読み出し回数 ( 2 回 ) である。これに対して、図 2 0 の R A M 2 0 0 では、選択型センスアンプ S S A に 2 組のビット線対 B L、 / B L が接続されているため、R A M 2 0 0 の X 方向に配列されるメモリセル M C の数はピクセル数 P Y と同じ個数でよい。

【 0 1 2 2 】

図 2 0 では、1 H 期間の読み出し回数 N が 2 であり、Y 方向に配列されているメモリセル M C の数が M × 2 個であるが、これに限定されない。例えば、R A M 2 0 0 には、Y 方向に M × L 個のメモリセルが配列されても良い。この場合、R A M 2 0 0 の X 方向に配列されるメモリセル M C の数は、表示パネル 1 0 の走査線の本数を S C N 本とすると、1 H 期間の読み出し回数 N × 走査線の本数 S C N / L で求めることができる。このような構成の場合、センスアンプ回路 2 1 0 には、M × L ビットのデータが 1 回のワード線 W L の選択により供給される。そして、センスアンプ回路 2 1 0 は M × L ビットのデータのうちの M ビットのデータをデータ線ドライバ 1 0 0 に出力する。

【 0 1 2 3 】

これにより、メモリセル M C の長さ M C X が長さ M C Y より長い場合であっても、R A M 2 0 0 の X 方向のサイズが大きくなるようにすることができる。

【 0 1 2 4 】

10

20

30

40

50

### 3.3.動作

次に図19に示すRAM200の動作を説明する。本実施形態では、1H期間にワード線の選択をN回行うことができる。そして、そのバリエーションはいくつかあり、N回の選択のうちL(L=N)回を同一のワード線に対して行う方法と、N回の選択を異なるN本のワード線に割り当てる方法が挙げられる。

#### 【0125】

まずその一つの方法である前者の一例としてN=Lである場合を図21(A)、図21(B)のタイミングチャートを用いて説明する。

#### 【0126】

図21(A)のB1に示すタイミングで選択信号COLAがアクティブに設定され、B2に示すタイミングでワード線WL1が選択される。このとき、選択信号COLAがアクティブであるため、選択型センスアンプSSAはA側のメモリセルMC、つまりメモリセルMC-1Aのデータを検出して出力する。そして、B3のタイミングでラッチ信号SLAが立ち下がると、データ線駆動セル110A-Rは、メモリセルMC-1Aに格納されているデータをラッチする。

10

#### 【0127】

また、B4のタイミングで選択信号COLBがアクティブに設定され、B5に示すタイミングでワード線WL1が選択される。このとき、選択信号COLBがアクティブであるため、選択型センスアンプSSAはB側のメモリセルMC、つまりメモリセルMC-1Bのデータを検出して出力する。そして、B6のタイミングでラッチ信号SLBが立ち下がると、データ線駆動セル110B-Rは、メモリセルMC-1Bに格納されているデータをラッチする。なお、図21(A)では、2回読み出しのうち、2回ともワード線WL1が選択される。

20

#### 【0128】

これにより、1H期間の2回読み出しによるデータ線ドライバ100のデータラッチが完了する。

#### 【0129】

また、図21(B)には、ワード線WL2が選択される場合のタイミングチャートが示されている。動作は上記と同様であり、その結果、ワード線WL2がB7やB8に示すように選択される場合には、メモリセルMC-2Aのデータがデータ線駆動セル110A-Rにラッチされ、メモリセルMC-2Bのデータがデータ線駆動セル110B-Rにラッチされる。

30

#### 【0130】

これにより、図21(A)の1H期間とは異なる1H期間での2回読み出しによるデータ線ドライバ100のデータラッチが完了する。

#### 【0131】

このような読み出し方法に対して、RAM200の各メモリセルMCには、図22に示すようにデータが格納される。例えば、データRA-1~RA-6はデータ線駆動セル110A-Rに供給するためのR画素の6ビットのデータであり、データRB-1~RB-6はデータ線駆動セル110B-Rに供給するためのR画素の6ビットのデータである。

40

#### 【0132】

図22に示すように、例えばワード線WL1に対応するメモリセルMCには、Y方向に沿って、データRA-1(データ線ドライバ100Aがラッチするためのデータ)、RB-1(データ線ドライバ100Bがラッチするためのデータ)、RA-2(データ線ドライバ100Aがラッチするためのデータ)、RB-2(データ線ドライバ100Bがラッチするためのデータ)、RA-3(データ線ドライバ100Aがラッチするためのデータ)、RB-3(データ線ドライバ100Bがラッチするためのデータ)・・・という順番で格納される。即ち、RAM200には、Y方向に沿って(データ線ドライバ100Aがラッチするためのデータ)と(データ線ドライバ100Bがラッチするためのデータ)が交互に格納される。

50

## 【 0 1 3 3 】

なお、図 2 1 ( A )、図 2 1 ( B ) に示す読み出し方法は、1 H 期間に 2 回読み出しを行うが、1 H 期間に同一のワード線 W L が選択される。

## 【 0 1 3 4 】

上記には、1 回のワード線の選択において選択されるメモリセル M C のうち、各選択型センスアンプ S S A は 2 個のメモリセル M C からデータを受ける内容が開示されているが、これに限定されない。例えば、1 回のワード線の選択において選択されるメモリセル M C のうち、各選択型センスアンプ S S A が N 個のメモリセル M C から N ビットのデータを受けるような構成でも良い。その場合には、選択型センスアンプ S S A は、同一のワード線の 1 回目の選択の際には、第 1 ~ 第 N のメモリセル M C の N 個のメモリセル M C のうち、第 1 のメモリセル M C から受ける 1 ビットのデータを選択する。また、選択型センスアンプ S S A は K ( 1 < K < N ) 回目のワード線の選択の際には、第 K のメモリセル M C から受ける 1 ビットのデータを選択する。

10

## 【 0 1 3 5 】

図 1 8 ( A ) 及び図 1 8 ( B ) の変形例として  $L < N$  である場合は、1 H 期間に L 回選択される同一のワード線 W L を  $( N / L )$  本選択し、1 H 期間に R A M 2 0 0 よりデータが読み出される回数が  $( N / L \times L = N )$  回とすることができる。例えば、 $N = 4$ 、 $L = 2$  とすると、図 1 8 ( A ) 及び図 1 8 ( B ) に示す 4 回のワード線選択が同一水平走査期間 1 H 内に実施される。すなわち、1 H 期間内にワード線 W L 1 を 2 回、ワード線 W L 2 を 2 回選択することで、 $N = 4$  回読出しする方法である。

20

## 【 0 1 3 6 】

また、 $L < L$  である場合には、1 H 期間に同一のワード線を L 回選択し、残りの回数である  $( N - L )$  回を異なるワード線の選択に割り当てる方法でも良い。例えば、 $N = 4$ 、 $L = 2$  とした場合、1 H 期間に同一のワード線を 2 回選択し、異なる 2 本ワード線を 1 回ずつ選択するようにしてもよい。また、 $N = 6$ 、 $L = 2$  とした場合に、1 H 期間に異なる 2 本のワード線を 2 回ずつ選択し、さらに異なる 2 本のワード線をそれぞれ 1 回ずつ選択して計 6 回の選択を行うようにしても良い。

## 【 0 1 3 7 】

次に後者の制御方法を図 2 3 ( A ) 及び図 2 3 ( B ) を用いて説明する。この場合、1 H 期間に 2 本 ( N 本 ) の異なるワード線が選択される。また、一垂直走査期間において同一のワード線が 2 回 ( L 回 ) 選択される。

30

## 【 0 1 3 8 】

図 2 3 ( A ) の C 1 に示すタイミングで選択信号 C O L A がアクティブに設定され、C 2 に示すタイミングでワード線 W L 1 が選択される。これにより図 1 9 のメモリセル M C - 1 A 及び M C - 1 B が選択される。このとき、選択信号 C O L A がアクティブであるため、選択型センスアンプ S S A は A 側のメモリセル M C ( 広義には第 1 のメモリセル )、つまりメモリセル M C - 1 A のデータを検出して出力する。そして、C 3 のタイミングでラッチ信号 S L A が立ち下がると、データ線駆動セル 1 1 0 A - R は、メモリセル M C - 1 A に格納されているデータをラッチする。

## 【 0 1 3 9 】

また、C 4 に示すタイミングでワード線 W L 2 が選択され、メモリセル M C - 2 A 及び M C - 2 B が選択される。このとき、選択信号 C O L A はアクティブであるため、選択型センスアンプ S S A は A 側のメモリセル M C、つまりメモリセル M C - 2 A のデータを検出して出力する。そして、C 5 のタイミングでラッチ信号 S L B が立ち下がると、データ線駆動セル 1 1 0 B - R は、メモリセル M C - 2 A に格納されているデータをラッチする。

40

## 【 0 1 4 0 】

これにより、1 H 期間の 2 回読み出しによるデータ線ドライバ 1 0 0 のデータラッチが完了する。

## 【 0 1 4 1 】

50

また、図23(A)で示される1H期間とは異なる1H期間での読み出しを図23(B)を用いて説明する。図23(B)のC6に示すタイミングで選択信号COLBがアクティブに設定され、C7に示すタイミングでワード線WL1が選択される。これにより図19のメモリセルMC-1A及びMC-1Bが選択される。このとき、選択信号COLBがアクティブであるため、選択型センスアンプSSAはB側のメモリセルMC(広義には第1~第Nのメモリセルのうちの第1のメモリセルと異なるメモリセル)、つまりメモリセルMC-1Bのデータを検出して出力する。そして、C8のタイミングでラッチ信号SLAが立ち下がると、データ線駆動セル110A-Rは、メモリセルMC-1Bに格納されているデータをラッチする。

【0142】

10

また、C9に示すタイミングでワード線WL2が選択され、メモリセルMC-2A及びMC-2Bが選択される。このとき、選択信号COLBはアクティブであるため、選択型センスアンプSSAはB側のメモリセルMC、つまりメモリセルMC-2Bのデータを検出して出力する。そして、C10のタイミングでラッチ信号SLBが立ち下がると、データ線駆動セル110B-Rは、メモリセルMC-2Bに格納されているデータをラッチする。

【0143】

これにより、図23(A)の1H期間とは異なる1H期間での2回読み出しによるデータ線ドライバ100のデータラッチが完了する。

【0144】

20

このような読み出し方法に対して、RAM200の各メモリセルMCには、図24に示すようにデータが格納される。例えば、データRA-1A~RA-6A及びデータRA-1B~RA-6Bはデータ線駆動セル110A-Rに供給するためのR用サブピクセルのための6ビットのデータである。データRA-1A~RA-6Aは図23(A)に示す1H期間におけるR用サブピクセルデータであり、データRA-1B~RA-6Bは図23(B)に示す1H期間におけるR用サブピクセルデータである。

【0145】

また、データRB-1A~RB-6A及びデータRB-1B~RB-6Bはデータ線駆動セル110B-Rに供給するためのR用サブピクセルのための6ビットのデータである。データRB-1A~RB-6Aは図23(A)に示す1H期間におけるR用サブピクセルデータであり、データRB-1B~RB-6Bは図23(B)に示す1H期間におけるR用サブピクセルデータである。

30

【0146】

図24に示すように、RAM200には、X方向に沿ってデータRA-1A(データ線ドライバ100Aがラッチするためのデータ)、RB-1A(データ線ドライバ100Bがラッチするためのデータ)という順番に各メモリセルMCに格納される。

【0147】

また、RAM200には、Y方向に沿って、データRA-1A(図23(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)、データRA-1B(図23(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)、データRA-2A(図23(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)、データRA-2B(図23(A)の1H期間にデータ線ドライバ100Aがラッチするためのデータ)・・・という順番で格納される。即ち、RAM200には、Y方向に沿って、ある1H期間にデータ線ドライバ100Aにラッチされるデータと、その1H期間とは異なる他の1H期間にデータ線ドライバ100Aにラッチされるデータとが、交互に格納される。

40

【0148】

なお図23(A)、図23(B)に示す読み出し方法は、1H期間に2回読み出しを行うが、1H期間に異なるワード線WLが選択される。そして、1垂直期間(つまり、1フレーム期間)に同一のワード線が2回選択される。これは、選択型センスアンプSSAが

50

2組のビット線対BL、/BLを接続するからである。従って、選択型センスアンプSSAに3組又はそれ以上のビット線BL、/BLが接続される場合には、1垂直期間に同一のワード線が3回又はそれ以上の回数だけ選択されることになる。

【0149】

なお、本実施形態では、上述されたワード線WLの制御は、例えば図4のワード線制御回路240によって制御される。

【0150】

#### 3.4.ワード線制御回路の配置

本実施形態では、RAM200のY方向に沿って配列されたメモリセルの数が $M \times 2$ 個である場合、図25に示すようにローデコーダ(広義にはワード線制御回路)242をY方向において、およそ真ん中に設けることができる。

10

【0151】

図25に示すように、RAM200A及び200Bの各々には、Y方向に沿ってそれぞれ、例えばM個のメモリセルMCが配列されている。そして、ローデコーダ242は、CPU/LCD制御回路250からの信号に基づいて、RAM200A及び200Bのワード線WLを制御する。CPU/LCD制御回路250は例えば外部のホストの制御に基づいて、ローデコーダ242、出力回路260A、260B、CPUライト/リード回路280A、280B、カラムデコーダ270A及び270Bを制御する。

【0152】

CPUライト/リード回路280A、280BはCPU/LCD制御回路250からの信号に基づいて、ホスト側からのデータをRAM200に書き込んだり、RAM200に格納されているデータを読み出して例えばホスト側に出力する制御を行ったりする。カラムデコーダ270A、270Bは、CPU/LCD制御回路250からの信号に基づいて、RAM200のビット線BL、/BLの選択制御を行う。

20

【0153】

また、各RAM200A及び200BのY方向に沿って配列されるメモリセルMCの数はMに限定されない。例えば、RAM200Aには、Y方向に沿って $M -$  (は任意の正の整数)個のメモリセルMCが配列され、RAM200BにはY方向に沿って $M +$  個のメモリセルMCが配列されても良い。またはその逆でも良い。

【0154】

なお、出力回路260A、260Bは、例えば複数の選択型センスアンプSSAを含み、例えばワード線WL1A、WL1Bの選択によって各RAM200A、200Bから出力されるデータの合計Mビットのデータをデータ線ドライバ100に出力する。

30

【0155】

本実施形態では、選択型センスアンプSSAに例えば2組のビット線対BL、/BLが接続される場合、図20に示すようにRAM200には、Y方向に沿って $M \times 2$ 個のメモリセルが配列されることになる。このような場合、1ワード線WLに接続されるメモリセルMCの数が $M \times 2$ 個となり、1ワード線WLに寄生する容量が増える。その結果、ワード線制御回路によるワード線選択に必要な消費電力が増大し、低消費電力化の妨げとなる。また、寄生容量に起因して、ワード線に選択電圧が供給された場合の電圧の立ち上がり遅延を生じ、各メモリセルMCの読み出しを安定させるために読み出し時間を長くする必要のある場合もある。これを回避する方法に、本来1本のワード線を複数本にブロック分割し、1本あたりに接続されるメモリセルMCを減らす方法が挙げられる。

40

【0156】

しかしながら、この方法では、メモリセルMCにメインワード線MWL及びサブワード線SWLを形成する必要がある。また、ワード線のブロック化によって、その制御も複雑になり、その制御回路も必要となる。即ち、設計コスト及び製造コストの削減の妨げとなる。

【0157】

これらに対して、本実施形態では、ローデコーダ242が図25に示すようにY方向の

50

およそ中央に設けられている。また、図17(B)及び図18(A)に示すようにメモリセルMCの長さMCYが長さMCXに比べて十分に短いので、ワード線のY方向の長さがあまり長くない。このような構成にすることで、ワード線WLをブロック化しなくても、低消費電力化が可能である。

【0158】

また、ローデコーダ242は、データ線ドライバ100にデータ出力する際には、RAM200A及び200Bのワード線WLを選択制御するが、ホスト側からのアクセスに対しては、RAM200A又は200Bのいずれが必要な方のワード線制御を行う。こうすることによって、さらに低消費電力化が可能となる。

【0159】

図26(A)及び図26(B)は、上記のような制御を説明するための図である。ローデコーダ242は、例えば複数の一致検出回路242-1を含む。またRAM200には、複数のAND回路(論理積回路)242-2及び242-3が設けられ、AND回路242-2には例えばCPU/LCD制御回路250から制御信号/R0が入力される。また、AND回路242-3には、例えばCPU/LCD制御回路250から制御信号R0が入力される。また、AND回路242-2及び242-3には一致検出回路242-1の出力が供給される。

【0160】

なお、AND回路242-2及び242-3は、ローデコーダ242に設けられても良いし、RAM200A、200B側に設けられても良い。

【0161】

例えばCPU/LCD制御回路250から指定されるワード線アドレスWADをローデコーダ242が受けると、いずれかの一致検出回路242-1において一致検出がされる。例えば一致検出回路242-1に入力される信号の論理積が論理“1”である場合、その一致検出回路242-1は一致を検出する。一致を検出した一致検出回路242-1は、ノードNDに例えば論理レベル“1”の信号を出力する。ノードNDに出力された論理レベル“1”の信号はAND回路242-2及び242-3に供給される。

【0162】

このとき、図26(B)に示すように、CPUアクセス時(広義にはホスト側からのアクセス時)には制御信号R0及び/R0は排他的な信号に設定される。具体的には、図26(B)に示すように、制御信号/R0がHレベル(又は論理レベル“1”)に設定され、制御信号R0がLレベル(又は論理レベル“0”)に設定される場合には、AND回路242-2は、論理レベル“1”の信号を出力する。これにより、RAM200A側のワード線WL1Aが選択される。AND回路242-3は、制御信号R0がLレベルに設定されているため、論理レベル“0”を出力する。そのため、RAM200B側のワード線WL1Bは選択されない。

【0163】

RAM200B側のワード線WL1Bを選択する場合には、図26(B)に示すように制御信号R0、/R0が、上記の逆のパターンに設定されればよい。

【0164】

なお、データ線ドライバ100に出力するLCD出力時には、制御信号R0、/R0がHレベル(例えば論理レベル“1”)に設定されるため、一致検出された一致検出回路242-1に対応するRAM200A側及び200B側のワード線が選択される。

【0165】

上記により、ローデコーダ242は、ホスト側からのアクセスに対して、RAM200A側又は200B側のいずれかのワード線を選択するため、消費電力の低減が可能である。

【0166】

3.5. カラムデコーダの配置

図3(A)のようにRAM200が配置された場合、図27に示すようにカラムデコー

10

20

30

40

50

ダ 272A を、RAM 200 - 1 側の RAM 200A - 1 と RAM 200 - 2 側の 200A - 2 に共用させ、カラムデコーダ 272B を、RAM 200 - 1 側の 200B - 1 と、RAM 200 - 2 側の 200B - 2 とに共用させて設計することができるので、重複する部品の省略などが可能となる。これにより、図 25 のカラムデコーダ 270A 及び 270B を X 方向に各二つ並べる場合よりも小さく、図 27 のカラムデコーダ 272A、272B の X 方向のサイズを設計することができる。

【0167】

また、CPU/LCD 制御回路 252 を RAM 200 - 1 側と RAM 200 - 2 側とで共用するように設計することができるので、重複する部品の省略が可能となる。これにより、図 25 の CPU/LCD 制御回路 250 を X 方向に二つ並べるよりも小さく、図 27

10

【0168】

上記により、図 27 の X 方向における RAM 200 - 1、200 - 2 間の幅 BD X を短く設計することができる。これにより、表示ドライバ 20 に効率よく RAM 200 を納めることができる。

【0169】

#### 4. 変形例

図 28 に本実施形態に係る変形例を示す。例えば図 11(A) では、データ線ドライバ 100A 及び 100B が X 方向に分割されている。そして、各データ線ドライバ 100A、100B にはそれぞれ、カラー表示の場合、R 用サブピクセルのデータ線駆動セル、G

20

【0170】

これに対して、図 28 の変形例では、データ線ドライバ 100 - R、100 - G、100 - B の 3 つが X 方向に分割されている。そして、データ線ドライバ 100 - R には、複数の R 用サブピクセルのデータ線駆動セル 110 - R1、110 - R2・・・が設けられ、データ線ドライバ 100 - G には、複数の G 用サブピクセルのデータ線駆動セル 110 - G1、110 - G2・・・が設けられている。同様にしてデータ線ドライバ 100 - B には、複数の B 用サブピクセルのデータ線駆動セル 110 - B1、110 - B2・・・が設けら

30

【0171】

そして、図 28 の変形例では、1H 期間に 3 回読み出しが行われる。例えば、ワード線 WL1 が選択されると、それに応じて、データ線ドライバ 100 - R が RAM 200 から出力されるデータをラッチする。これにより、例えばメモリセル群 MCS31 に格納されているデータがデータ線駆動セル 110 - R1 にラッチされる。

【0172】

また、ワード線 WL2 が選択されると、それに応じて、データ線ドライバ 100 - G が RAM 200 から出力されるデータをラッチする。これにより、例えばメモリセル群 MCS32 に格納されているデータがデータ線駆動セル 110 - G1 にラッチされる。

【0173】

また、ワード線 WL3 が選択されると、それに応じて、データ線ドライバ 100 - B が RAM 200 から出力されるデータをラッチする。これにより、例えばメモリセル群 MCS33 に格納されているデータがデータ線駆動セル 110 - B1 にラッチされる。

40

【0174】

メモリセル群 MCS34、MCS35、MCS36 についても上記と同様であり、それぞれが、図 28 に示すようにデータ線駆動セル 110 - R2、110 - G2、110 - B2 のいずれかに格納されている。

【0175】

図 29 は、この 3 回読み出しによる動作のタイミングチャートを示す図である。図 29 の D1 のタイミングでワード線 WL1 が選択され、D2 のタイミングでデータ線ドライバ

50



100 - RがRAM200からのデータをラッチする。これにより、上記のようにワード線WL1の選択により出力されるデータがデータ線ドライバ100 - Rにラッチされる。

【0176】

また、D3のタイミングでワード線WL2が選択され、D4のタイミングでデータ線ドライバ100 - GがRAM200からのデータをラッチする。これにより、上記のようにワード線WL2の選択により出力されるデータがデータ線ドライバ100 - Gにラッチされる。

【0177】

また、D5のタイミングでワード線WL3が選択され、D6のタイミングでデータ線ドライバ100 - BがRAM200からのデータをラッチする。これにより、上記のようにワード線WL3の選択により出力されるデータがデータ線ドライバ100 - Bにラッチされる。

10

【0178】

上記のように動作する場合、RAM200のメモリセルMCには、図30に示すようにデータが格納される。例えば、図30のデータR1 - 1は、R用サブピクセルが6ビットの階調度である場合のその1ビットのデータを示し、例えば1つのメモリセルMCに格納される。

【0179】

例えば図28のメモリセル群MCS31には、データR1 - 1 ~ R1 - 6が格納され、メモリセル群MCS32には、データG1 - 1 ~ G1 - 6が格納され、メモリセル群MCS33には、データB1 - 1 ~ B1 - 6が格納される。同様にして、メモリセル群MCS33 ~ MCS36には、図30に示すようにデータR2 - 1 ~ R2 - 6、G2 - 1 ~ G2 - 6、B2 - 1 ~ B2 - 6が格納される。

20

【0180】

例えば、メモリセル群MCS31 ~ MCS33に格納されるデータを1ピクセルのデータとみなすことができ、メモリセル群MCS34 ~ MSC36に格納されるデータに対応するデータ線とは異なるデータ線を駆動するためのデータである。従って、RAM200には、Y方向に沿って1ピクセル毎のデータを順に書き込むことができる。

【0181】

また、表示パネル10に設けられている複数のデータ線のうち、例えばR用サブピクセルに対応するデータ線を駆動し、次にG用サブピクセルに対応するデータ線を駆動し、そしてB用サブピクセルに対応するデータ線を駆動する。これにより、1H期間に3回読み出しを行った場合に各回の読み出しにおいて遅延が生じても、例えばR用サブピクセルに対応するデータ線が全て駆動されているので、遅延によって表示されない領域の面積が小さくなる。従って、ちらつき等の表示劣化を緩和することができる。

30

【0182】

##### 5. 本実施形態の効果

本実施形態では、図31(A)に示すように、表示ドライバ20に、RAM200がX方向に沿って配置されている。RAM200とRAM200の間には他の回路ブロックが配置されても良いし、RAM200同士が隣接するように配置されても良い。図31(B)は、図31(A)のRAM200を説明する図である。図31(B)に示すようにメモリセルMCは、その長辺がX方向に沿うように配置され、その短辺がY方向に沿うように配置されている。これにより、表示ドライバ20がX方向に長い場合に対しても効率よくメモリセルMCをRAM200に配列することができるため、効率のよいレイアウトが可能となる。

40

【0183】

また、RAM200は、一回のワード線の選択によって、Mビットのデータを出力する。このとき、センスアンプ回路210は、M×L個のメモリセルMCから計M×Lビットのデータを受け、そのうちのMビットのデータを出力する。少なくとも一垂直走査期間において同一のワード線をL回選択することで、Y方向に沿って配列されているM×L個の

50

メモリセルからデータを読み出すことができる。このようにすることで、1 H 期間に N 回のワード線の選択を行う場合に、RAM 200 の X 方向に配列されるメモリセル MC の数は、1 H 期間の読み出し回数 × 表示パネルの走査線の本数  $SCN/L$  で示すことができる。つまり、Y 方向に  $M \times L$  個のメモリセル MC を配列することで、RAM 200 の X 方向のサイズを短くすることができる。また、L の値を適宜に設定することで RAM 200 の X 方向のサイズを調整することができる。従って、RAM 200 を効率よくレイアウトすることができる。

**【0184】**

上述のように本実施形態では、1 H 期間に複数回の読み出しを RAM 200 に対して行う。そのため、上述されたように、1 ワード線あたりのメモリセル MC の数を少なくすることや、データ線ドライバ 100 の分割化が可能となる。例えば 1 H 期間の読み出し回数を調整することで 1 ワード線に対応するメモリセル MC の配列数を調整できるので、RAM 200 の X 方向の長さ  $R_X$  及び Y 方向の長さ  $R_Y$  を適宜に調整することができる。また、1 H 期間の読み出し回数を調整することでデータ線ドライバ 100 の分割数も変更できる。

10

**【0185】**

また、対象となる表示パネル 10 の表示領域 12 に設けられたデータ線の数に応じて、データ線ドライバ 100 及び RAM 200 のブロック数を変更したり、各データ線ドライバ 100 及び RAM 200 のレイアウトサイズを変更したりすることも容易になる。このため、表示ドライバ 20 に搭載される他の回路を考慮した設計が可能となり、表示ドライバ 20 の設計コストの削減が可能となる。例えば、対象となる表示パネル 10 に変更があり、データ線の数だけ変更された場合、データ線ドライバ 100 及び RAM 200 が主に変更の対象となる場合がある。この場合、本実施形態では、データ線ドライバ 100 及び RAM 200 のレイアウトサイズを柔軟に設計できるため、他の回路においては従来のライブラリを流用できる場合がある。従って、本実施形態では、限られたスペースを有効に利用することができ、表示ドライバ 20 の設計コストを削減できる。

20

**【0186】**

また、本実施形態では、1 H 期間に複数回読み出しを行うため、図 18 (A) に示すようにセンスアンプ SSA により、M ビットのデータが出力される RAM 200 に対して、Y 方向に  $M \times 2$  個のメモリセル MC を設けることができる。これにより、効率よくメモリセル MC を配列することができるので、チップ面積の縮小を可能とする。

30

**【0187】**

また、図 8 の比較例の表示ドライバ 24 では、ワード線 WL が非常に長いため、RAM 205 からのデータ読み出しの遅延によるバラツキが生じないようにするために、ある程度の電力を必要とする。また、ワード線 WL が非常に長いため、ワード線 WL 1 本あたりに接続されるメモリセルの数も増大し、ワード線 WL に寄生される容量が増大する。この寄生容量の増大に対しては、ワード線 WL を分割して制御することで対処可能であるが、そのための回路が別途必要となる。

**【0188】**

これに対して、本実施形態では、例えば図 11 (A) に示すようにワード線 WL 1、WL 2 等が Y 方向に沿って延在形成されており、その各々の長さが比較例のワード線 WL に比べて十分に短い。そのため、1 回のワード線 WL 1 の選択に要する電力は小さくなる。これにより、1 H 期間に複数回読み出しを行った場合にも消費電力の増大を防ぐことができる。

40

**【0189】**

また、図 3 (A) に示すように例えば、RAM 200 が 4 BANK 設けられている場合、RAM 200 では、図 11 (B) に示すようにワード線を選択する信号や、ラッチ信号 SLA、SLB の制御が行われる。これらの信号は、例えば 4 BANK のそれぞれの RAM 200 に共通に用いられるようにすることができる。

**【0190】**

50

具体的には、例えば図10に示すようにデータ線ドライバ100-1~100-4には、同じデータ線制御信号SLC(データ線ドライバ用制御信号)が供給され、RAM200-1~200-4には、同じワード線制御信号RAC(RAM用制御信号)が供給される。データ線制御信号SLCは例えば図11(B)に示されるラッチ信号SLA、SLBを含み、RAM用制御信号RACは例えば図11(B)に示されるワード線を選択する信号を含む。

【0191】

これにより、それぞれのBANKでRAM200のワード線が同じように選択され、データ線ドライバ100に供給されるラッチ信号SLA、SLB等が同じように立ち下がる。即ち、1H期間において、あるRAM200のワード線が選択されると同時に、他のRAM200のワード線も同時に選択される。このようにして、複数のデータ線ドライバ100は、複数のデータ線を正常に駆動することができる。

10

【0192】

なお、本実施形態では、表示ドライバ20内に設けられた複数のRAM200に対して例えば一表示画面分の画像データを格納させることができるが、これに限定されない。

【0193】

表示パネル10に対してk(kは2以上の整数)個の表示ドライバを設け、k個の表示ドライバの各々に、一表示画面分の画像データの(1/k)を格納させても良い。この場合、一表示画面のデータ線DLの総本数DLNとしたとき、k個の表示ドライバの各々が分担して駆動するデータ線本数は(DLN/k)本である。

20

【0194】

上記のように、本発明の実施例について詳細に説明したが、本発明の新規事項及び効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書または図面において、少なくとも一度、より広義又は同義な異なる用語と共に記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えることができる。

【図面の簡単な説明】

【0195】

【図1】図1(A)及び図1(B)は、本実施形態に係る集積回路装置を示す図である。

30

【図2】図2(A)は本実施形態に係る比較例の一部を示す図であり、図2(B)は本実施形態に係る集積回路装置の一部を示す図である。

【図3】図3(A)及び図3(B)は、本実施形態に係る集積回路装置の構成例を示す図である。

【図4】本実施形態に係る表示メモリの構成例である。

【図5】本実施形態に係る集積回路装置の断面図である。

【図6】図6(A)及び図6(B)は、データ線ドライバの構成例を示す図である。

【図7】本実施形態に係るデータ線駆動セルの構成例である。

【図8】本実施形態に係る比較例を示す図である。

【図9】図9(A)~図9(D)は、本実施形態のRAMブロックの効果を説明するための図である。

40

【図10】本実施形態に係るRAMブロックの各々の関係を示す図である。

【図11】図11(A)及び図11(B)は、RAMブロックのデータ読み出しを説明するための図である。

【図12】本実施形態に係る分割データ線ドライバのデータラッチを説明する図である。

【図13】本実施形態に係るデータ線駆動セルとセンスアンプの関係を示す図である。

【図14】本実施形態に係る分割データ線ドライバの他の構成例である。

【図15】図15(A)及び図15(B)は、RAMブロックに格納されるデータの配列を説明する図である。

【図16】本実施形態に係る分割データ線ドライバの他の構成例である。

50

【図17】図17(A)及び図17(B)は、本実施形態に係るメモリセルの構成を示す図である。

【図18】図18(A)は本実施形態に係るセンスアンプとメモリセルの関係を示す図であり、図18(B)は本実施形態に係る選択型センスアンプSSAを示す図である。

【図19】本実施形態に係る分割データ線ドライバと選択型センスアンプを示す図である。

【図20】本実施形態に係るメモリセルの配列例である。

【図21】図21(A)及び図21(B)は本実施形態に係る集積回路装置の動作を示すタイミングチャートである。

【図22】本実施形態に係るRAMブロックに格納されるデータの他の配列例である。

10

【図23】図23(A)及び図23(B)は本実施形態に係る集積回路装置の他の動作を示すタイミングチャートである。

【図24】本実施形態に係るRAMブロックに格納されるデータの他の配列例である。

【図25】本実施形態のRAMブロックの構成例である。

【図26】図26(A)及び図26(B)は本実施形態に係るワード線制御回路を説明するための図である。

【図27】本実施形態のRAMブロックの他の構成例である。

【図28】本実施形態に係る変形例を示す図である。

【図29】本実施形態に係る変形例の動作を説明するためのタイミングチャートである。

【図30】本実施形態に係る変形例のRAMブロックに格納されるデータの配列例である。

20

【図31】図31(A)及び図31(B)は本実施形態に係るRAMブロックを説明するための図である。

【符号の説明】

【0196】

10 表示パネル、20 表示ドライバ(集積回路装置)、

100 データ線ドライバブロック、

100A、100A1、100A2、100-R 第1の分割データ線ドライバ、

100-G 第2の分割データ線ドライバ、

100B、100B1、100B2、100-B 第Nの分割データ線ドライバ、

30

200 RAMブロック、210 センスアンプ回路、

240、242 ワード線制御回路、BL ビット線、DL データ線、

MC メモリセル、R0、/R0 センスアンプ用選択信号、

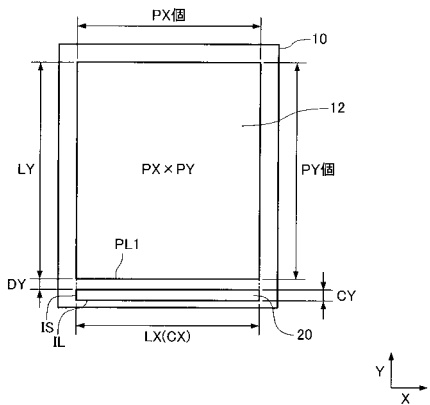
SLA、SL1 第1のラッチ信号、SL2 第2のラッチ信号、

SLB、SLC 第Nのラッチ信号、SLC データ線制御信号、

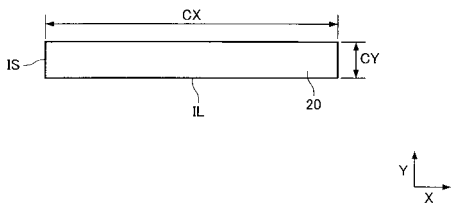
RAC ワード線制御信号、WL ワード線

【図 1】

(A)

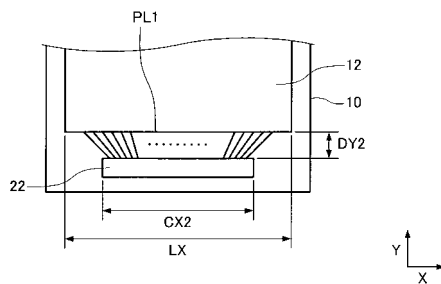


(B)

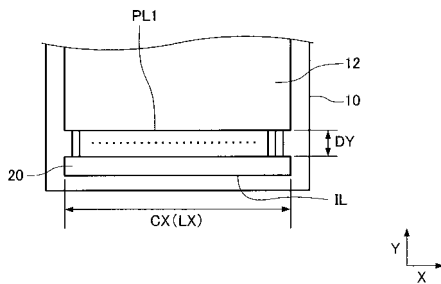


【図 2】

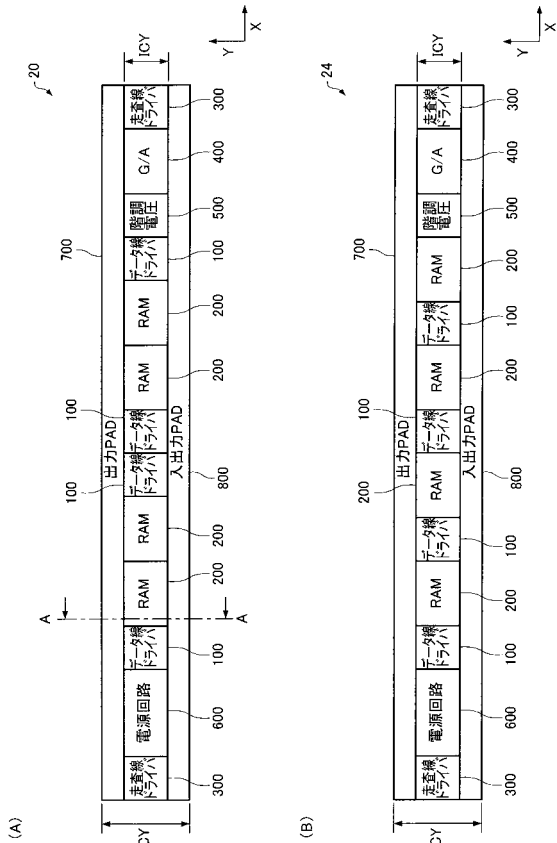
(A)



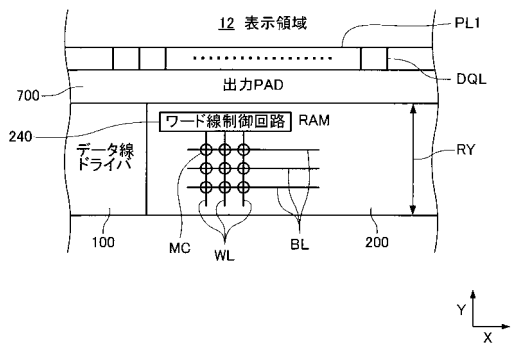
(B)



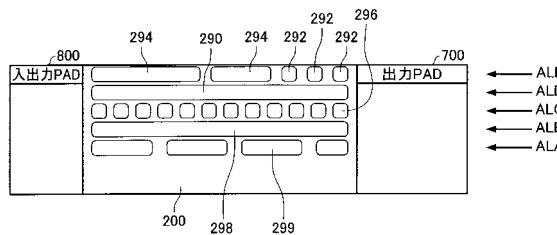
【図 3】



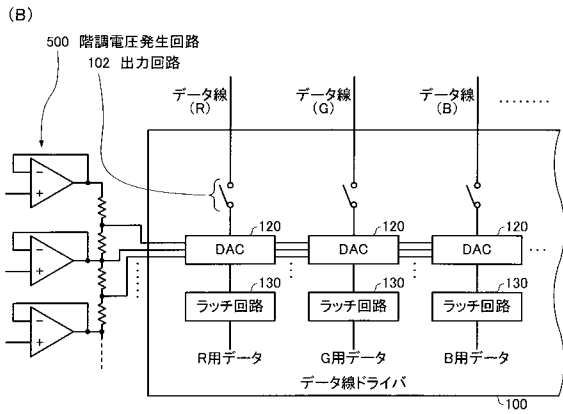
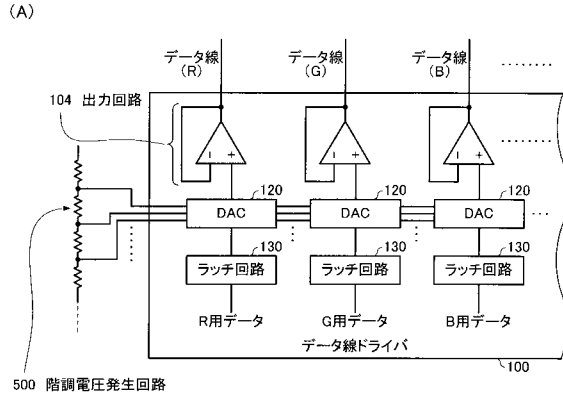
【図 4】



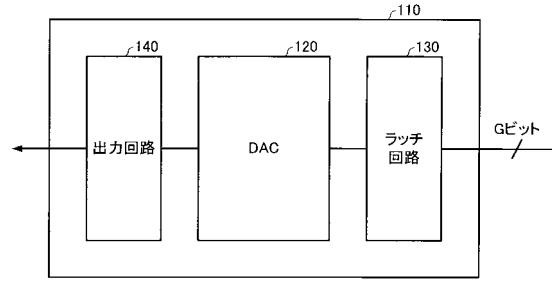
【図 5】



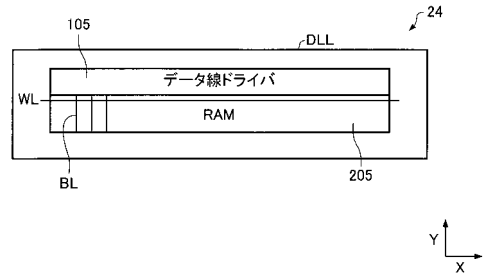
【図6】



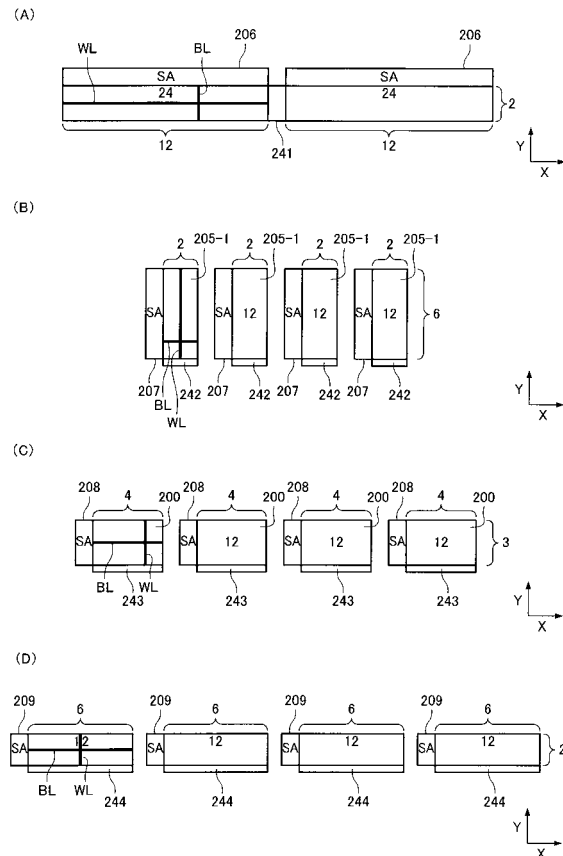
【図7】



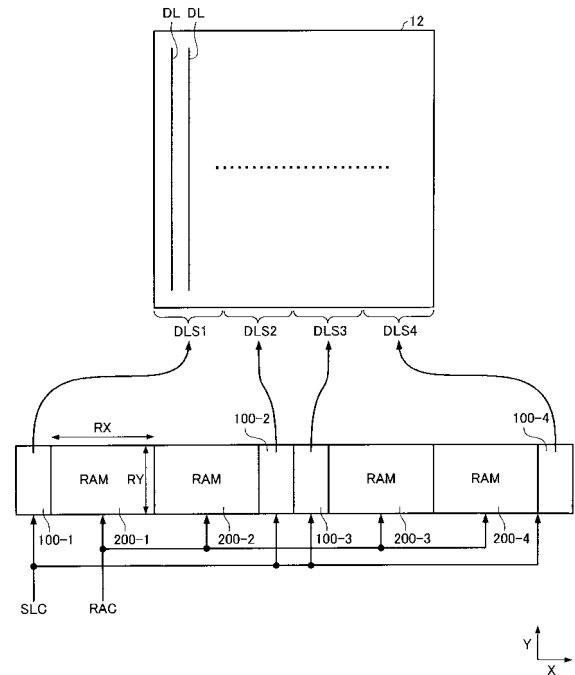
【図8】



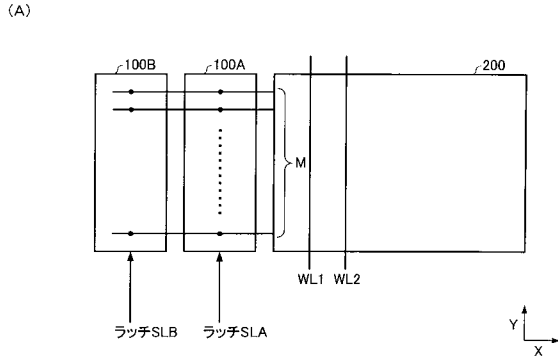
【図9】



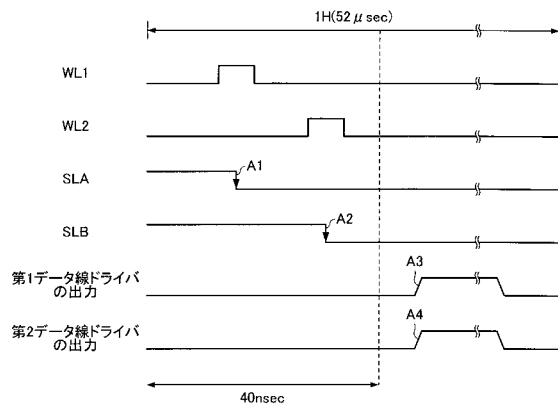
【図10】



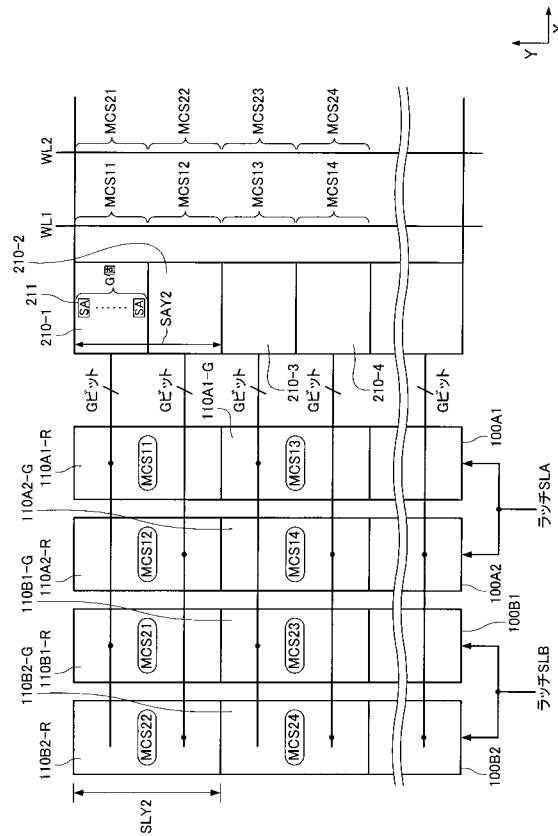
【図 1 1】



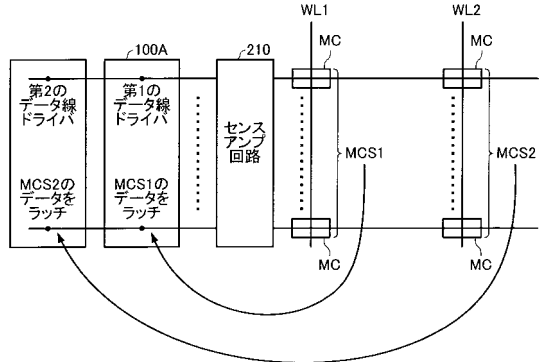
(B)



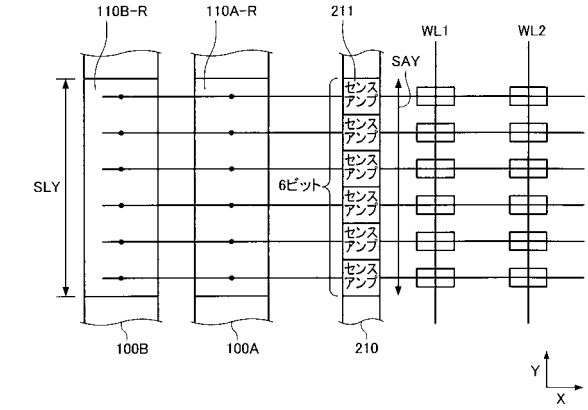
【図 1 4】



【図 1 2】

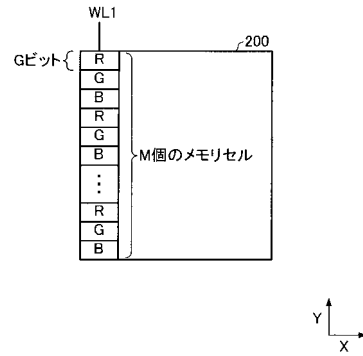


【図 1 3】

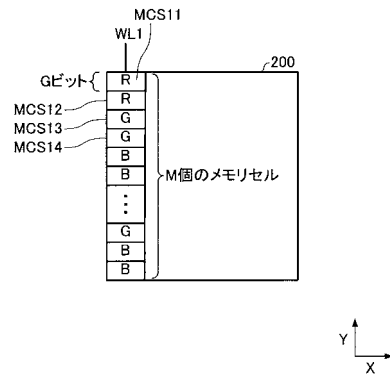


【図 1 5】

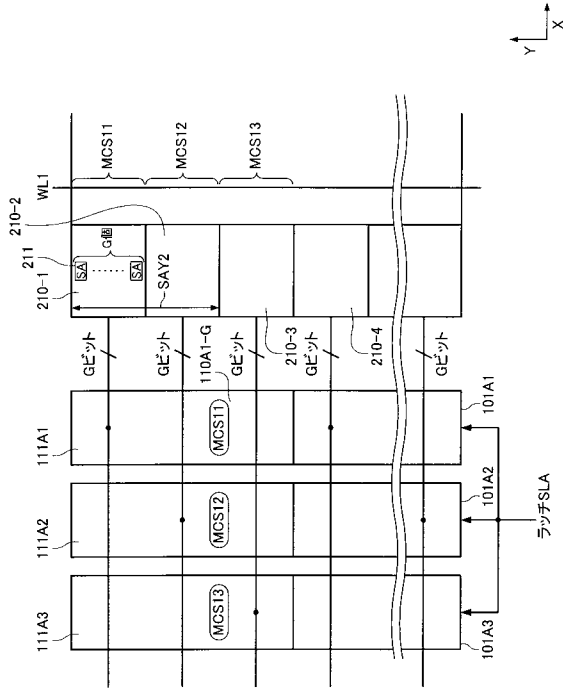
(A)



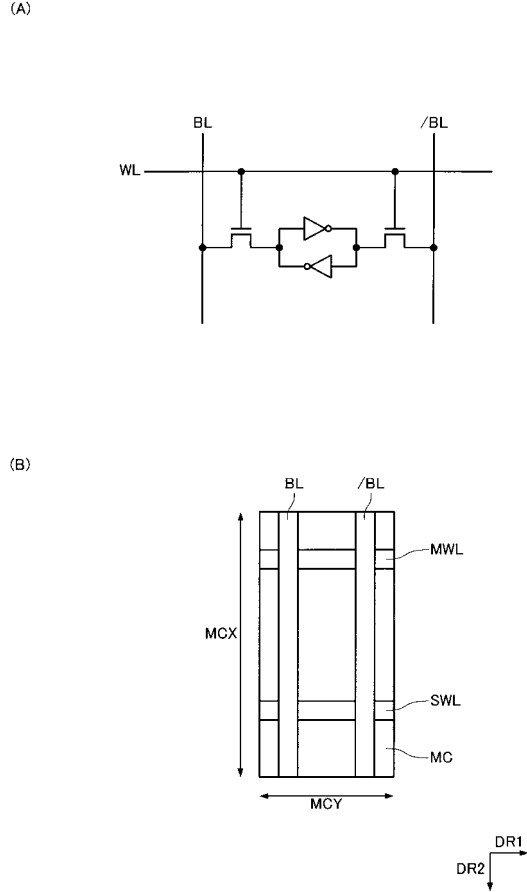
(B)



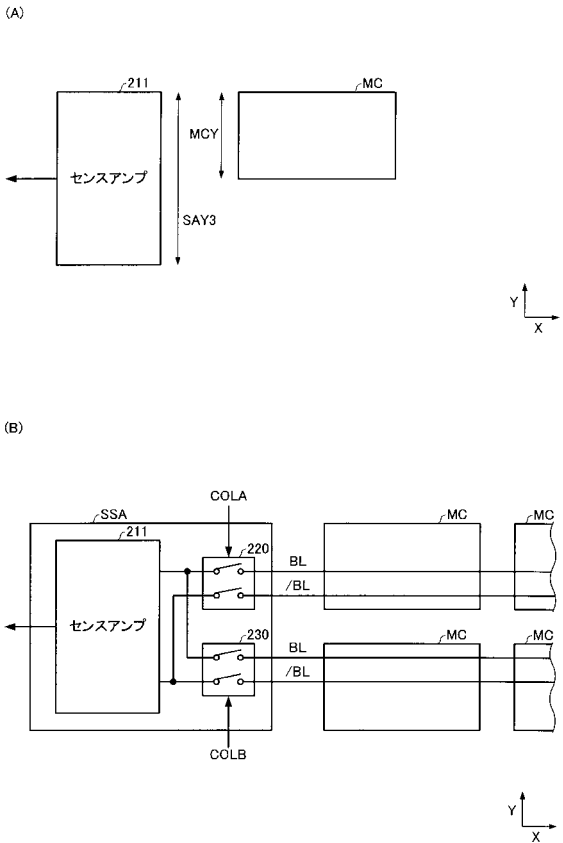
【図16】



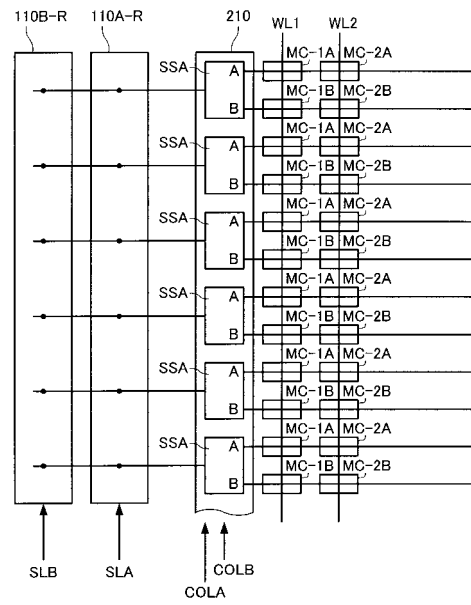
【図17】



【図18】

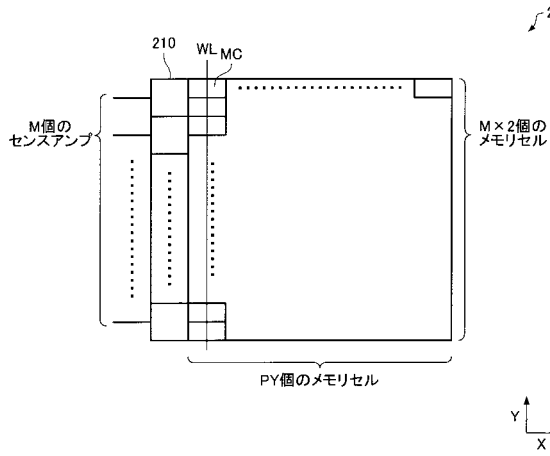


【図19】

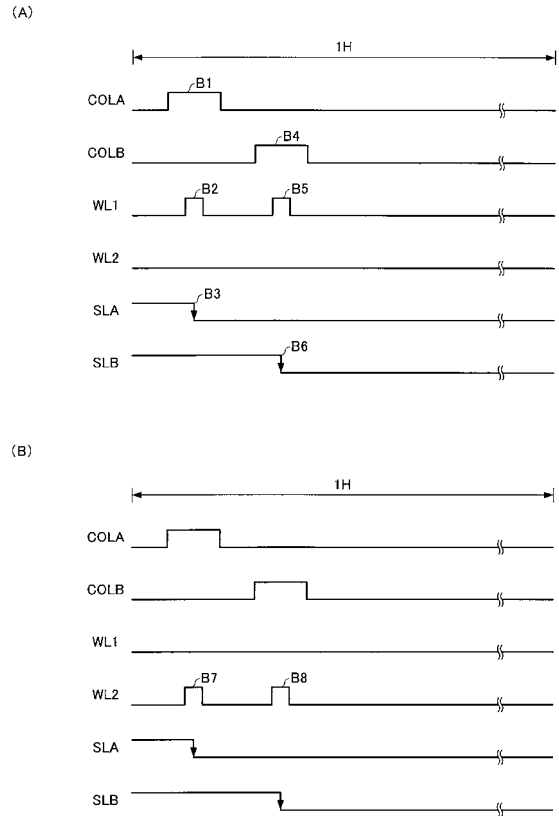




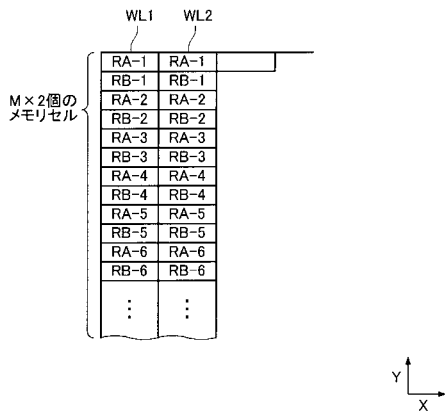
【図20】



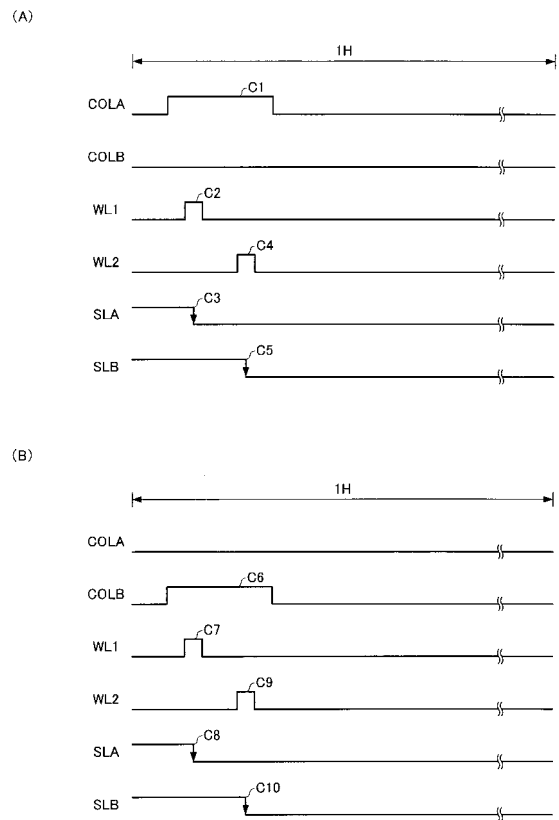
【図21】



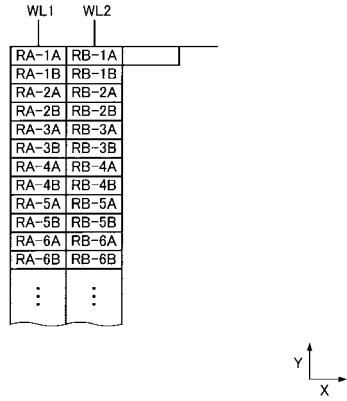
【図22】



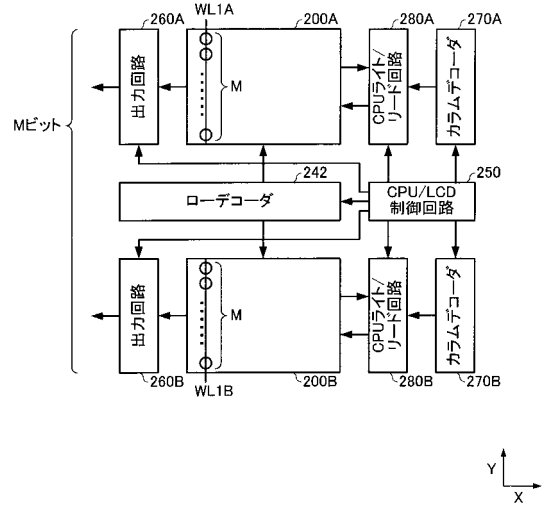
【図23】



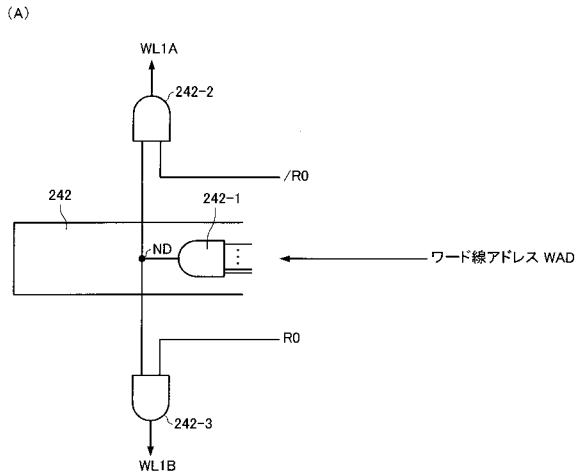
【図24】



【図25】



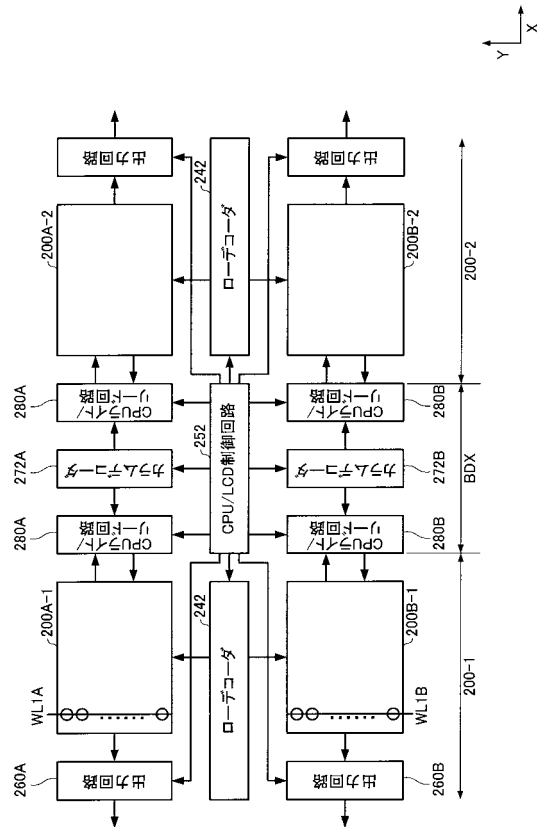
【図26】



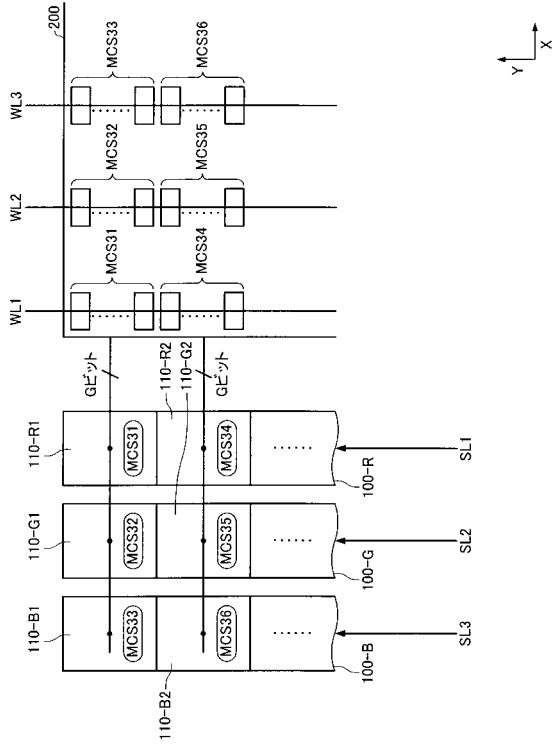
(B)

CPUアクセス時	R0≠/R0	A側	R0=L, /R0=H
		B側	R0=H, /R0=L
LCD出力時	R0=/R0=H		

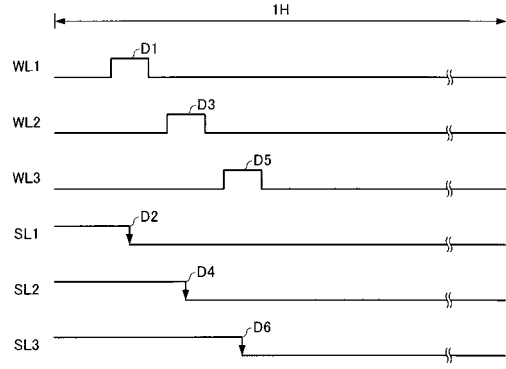
【図27】



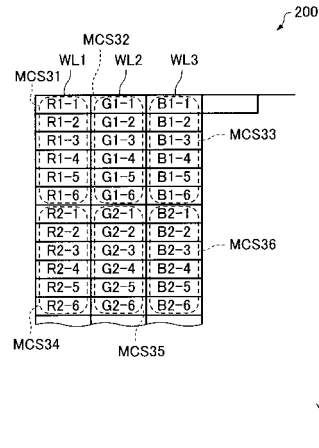
【図 28】



【図 29】

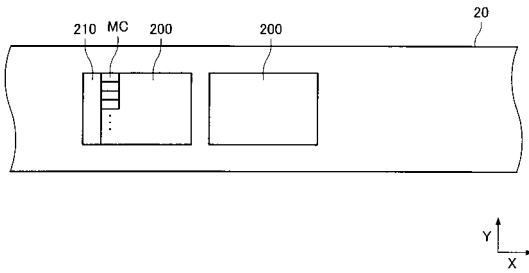


【図 30】

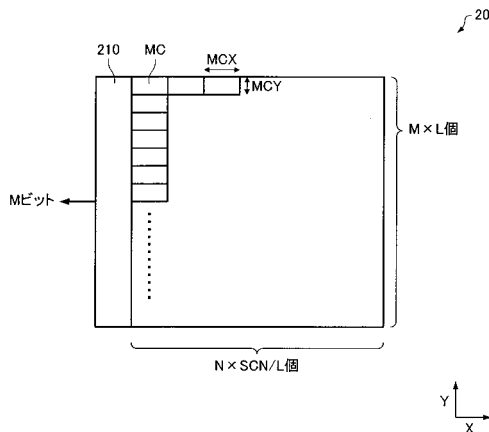


【図 31】

(A)



(B)



## フロントページの続き

- (72)発明者 小平 覚  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 井富 登  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 河口 秀次  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 熊谷 敬  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 唐澤 純一  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 伊藤 悟  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 井原 純

- (56)参考文献 特開2003-022063(JP,A)  
特開2002-287688(JP,A)  
特開2002-237526(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 27/11  
H01L 21/8244  
G09G 3/20  
G09G 3/18