

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成18年4月20日(2006.4.20)

【公表番号】特表2005-527022(P2005-527022A)

【公表日】平成17年9月8日(2005.9.8)

【年通号数】公開・登録公報2005-035

【出願番号】特願2003-577105(P2003-577105)

【国際特許分類】

**G 0 6 F 1/00 (2006.01)**

【F I】

G 0 6 F 1/00 3 4 0

【手続補正書】

【提出日】平成18年3月3日(2006.3.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デュアルピンモードがイネーブルの場合に、第1の信号を出力する第1のインターフェース節点と、外部信号を受信する第2のインターフェース節点とを有する双方向インターフェースと、

前記第1の信号をアサートして、前記双方向インターフェースで内部の高温を示す出力ロジックと、

前記双方向インターフェースに結合された抑圧ロジックと  
を有するプロセッサであって、

前記第1の信号によって前記内部の高温が示される場合、又は前記双方向インターフェースで外部信号が受信される場合に、前記抑圧ロジックは前記プロセッサの動作を抑圧するプロセッサ。

【請求項2】

デュアルピンモードがイネーブルの場合に、第1の信号を出力する第1のインターフェース節点と、外部信号を受信する第2のインターフェース節点とを有する双方向インターフェースと、内部信号又は外部信号に応じて、前記第1のプロセッサを抑圧する抑圧ロジックとを有する第1のプロセッサと、

前記外部信号をアサートするシステムロジックと  
を有するシステム。

【請求項3】

デュアルピンモードがイネーブルの場合に、第1の信号を出力する第1のインターフェース節点と、外部信号を受信する第2のインターフェース節点とを有する双方向インターフェースで、内部で測定された高温を示す第1の信号を駆動し、

前記第1の信号が駆動された場合、又は前記双方向インターフェースで外部信号が受信された場合に、動作を抑圧することを有する方法。

【請求項4】

デュアルピンモードがイネーブルの場合に、第1の信号を出力する第1のインターフェース節点と、外部信号を受信する第2のインターフェース節点とを有する双方向インターフェースを通じて、第1のプロセッサの内部で測定された高温を示し、

前記第1のプロセッサの内部で測定された高温に応じた抑圧と、第2のプロセッサの抑

圧とを同期させることを有する方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

以下の説明は、プロセッサの温度制御インターフェースのための技術について述べる。以下の説明において、本発明のより十分な理解を提供するため、ロジックの実現や、クロックや、信号の名前や、システム要素の形式及び相互関係や、ロジックの分割／統合の選択のような、多数の特定の詳細が示される。しかし、前記の特定の詳細を用いずに、本発明が実行され得ることが、当業者によってわかるだろう。そのほかに、本発明を不明確にしないために、制御構造や、ゲートレベルの回路は詳細に示されていない。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

一実施例において、プロセッサの温度状態のシステム監視とシステム制御との双方を可能にする双方向のプロセッサ・ホット (PROC HOT #) インタフェースが提供される。このような双方向インターフェースは、例えば、限られた量の制御及び監視性能が、追加のピンを用いて釣り合うデスクトップ及びモバイルのシステムにおいて有用である場合がある。他の実施例において、2つのピンのPROC HOT #と強制プロセッサ・ホット (FORCE PH #) インタフェースとにより、システムが抑圧の仕組みのアサーションを監視し、制御することを可能にする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

“プロセッサ”は、ある実施例においては、単一の集積回路として形成され得る。他の実施例においては、複数の集積回路が一緒にプロセッサを形成し得る。更に他の実施例においては、ハードウェアとソフトウェアルーチン（例えば、バイナリ変換ルーチン）が一緒にプロセッサを構成し得る。多くの異なる形式の集積回路や、他の電子部品が、前記の温度制御技術の使用から恩恵を受け得る。例えば、プロセッサ100は、多目的プロセッサ（例えば、マイクロプロセッサ）である場合があり、又は、特定目的プロセッサ又は装置である場合がある。例えば、システムで用いられるデジタル信号プロセッサや、グラフィックプロセッサや、ネットワークプロセッサや、システムで使用され得るその他の形式の特定目的の部品は、認識可能な制御可能な抑圧のシステムから恩恵を受け得る。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

図1は双方向のプロセッサ・ホット (processor hot) インタフェース (PROC HOT # インタフェース節点117) を有するプロセッサ100の一実施例を示したものである。インターフェースは、他の構成要素へのインターフェースになる少なくとも

1つのインターフェース節点を提供し得るピン、ポール、他の形式のコネクタ、又はそれらのセットである場合がある。プロセッサ100は、プロセッサ自体の温度を監視する温度監視ロジック110を含む。多様な周知の又は利用可能な温度監視技術が使用され得る。例えば、温度を監視する内蔵式の回路が使用され得る。その他、外部センサ又は電力消費推定技術（例えば、活動計測装置／監視装置、電流監視装置等）が使用され得る。温度監視装置110は、過熱信号のための信号線112を介して、インターフェース節点117を駆動する出力ドライバ115と結合される。過熱信号はまた、マルチブレクサ130を通して抑圧ロジック120に経路をとる。マルチブレクサはヒューズ140により制御され、図示される実施例において、ヒューズ140は片方向と双方向の動作モードのいずれかを選択する。

#### 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

図1の実施例において、システムロジック150は、プロセッサ100とインターフェース接続し、ドライバ155を介してPROCHOT#信号を駆動し得る、又は入力バッファ160を介してPROCHOT#信号を受信し得る。システムロジックは、いつ全システムが容認できない温度レベルに達したかを判断するいくつかの温度センサをそれ自身に含み、それに従って、PROCHOT#信号を駆動し得る。

#### 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

図1のシステムの一実施例の動作が図2に示される。ブロック200において、異なる動作モードが分離される。ある実施例においては、半導体ヒューズが飛び、動作モードが選択され得る。機器構成レジスタ等のよう~~な~~他の選択技術もまた、動作モードを選択するために用いられ得る。出力のみのモードでは、ヒューズ140によって、マルチブレクサ130が抑圧ロジック120への入力として過熱を選択することもたらす。したがって、PROCHOT#信号の外部状態は判断されず、ブロック205に示される通り、PROCHOT#の効果的な出力のみ行う。

#### 【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

双方向のシングルピンモードにおいて、システムロジック150とプロセッサ100とが、抑圧を制御するためにPROCHOT#を駆動し得る。ブロック215と225に示される通り、プロセッサ100が、その温度を監視し、PROCHOT#インターフェースを監視する。温度が選択された基準を超えない場合は、ブロック220に示す通り、プロセッサは温度を監視し続ける。同様に、PROCHOT#信号がアサートされていない場合は、ブロック230に示す通り、プロセッサは100インターフェースを監視し続ける。PROCHOT#信号がアサートされる場合、又は温度が選択された基準を超える場合のいずれかの場合に、ブロック240に示す通り、抑圧ロジック120によってプロセッサの動作が抑圧される。

#### 【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

第3のモードにおいて、ブロック210に示す通り、双方向のデュアルピンPROCHOT#の実現が用いられ得る。図3と4が、デュアルピンの実現を用いる一実施例の更なる詳細を提供する。デュアルピンの実現は、プロセッサの内部の温度計測装置の監視と、抑圧命令のアサーションとの双方を可能にし得る。シングルピンにおいて、抑圧命令をアサートすることは、プロセッサの同じピンのアサーションをマスクする。図3の実施例において、説明目的で2つのプロセッサが示されるが、追加のプロセッサも加えられ得る。プロセッサ300とプロセッサ350との双方は、FORCEPH#とPROCHOT#ピンを有する。信号線364と362はそれぞれ、システムロジックによって駆動されたFORCEPH#信号をプロセッサ300及び350に結合し、信号線302及び352はそれぞれ、プロセッサ300及び350によって駆動されたPROCHOT#信号をシステムロジックに運ぶ。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

プロセッサ300は、いつプロセッサ300が過熱になったか（ある実施例においては、いつ過電力が消費されたか）を検出する監視装置310を含む。それぞれの番号が付されたブロックは、ラッチのような遅延要素を表す。監視装置310から過熱信号を受信し、信号線302でPROCHOT#信号を駆動するように、ドライバ305が結合される。マルチブレクサ330への第1の経路は、遅延ブロック313-1と遅延ブロック313-2を通して、マルチブレクサ330の“w”入力に過熱信号を取り込む。マルチブレクサ330への第2の経路は、遅延ブロック313-1を通して、出力ドライバ305を通過し（その結果、信号線302で何らかの外部アサート信号を取得する）、反転ドライバ307を通して、遅延ブロック314-2と314-3を通して、マルチブレクサ330の“b”入力に過熱信号を取り込む。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

マルチブレクサへの第3の経路は、信号線302（PROCHOT#）からと信号線364からの双方の入力を含み、システムロジック360によって駆動される。信号線364は、いつ動作を抑圧するかを判断するために外部検討材料が用いられることが可能にする強制プロセッサ・ホット（FORCEPH#）信号線である場合がある。一実施例においては、双方のプロセッサが同時に自分を抑圧していないなくても、システムが同時に（すなわち、外部バスクロックの同じクロック周期の間に）複数のプロセッサの抑圧を開始することを望み得る。この実施例においては、抑圧ロジック320への過熱信号の遅延を、システムロジックの経路を通じた予期された遅延に一致させることが望ましい。例えば、図3の実施例において、過熱信号は、遅延ブロック313-1と出力ドライバ305を通して、遅延ブロック316-2と組み合わせロジック363と遅延ブロック316-3を通して、システムロジック370に入り、遅延ブロック316-4と組み合わせロジック371と遅延ロジック316-5を通して、システムロジック360に戻り、遅延ブロック

316-6と組み合わせロジック367と遅延ブロック316-7を通して、第2のプロセッサ350に入る。第2のプロセッサがプロセッサ300で示したものと同じロジックを有すると仮定すると、経路は、入力バッファ309と、2つの遅延ブロック316-8及び316-9と、ORゲート311と、マルチブレクサ330の“f”入力とに対応する要素を通して続く。

#### 【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

#### 【0016】

同様に、プロセッサ300の内部の過熱信号の経路は、9つの遅延ブロックとORゲート311を含む。デュアルピンモードにおいて、内部で、過熱信号は、遅延ブロック313-1及び313-2を通して、遅延ブロック315-1から315-9を通して、ORゲート311に通ずる。システムロジック360及び370が信号線364でFORCEPH#をアサートする場合、又は抑圧が実行されることを監視装置310が示す場合に、ORゲートは、抑圧が実行される指示をマルチブレクサ330に与える。システムロジックの構成要素360及び370は、ローカル(360)又はグローバル(370)の特定用途向け集積回路(ASSIC)であり得る。しかし、ロジックの何らか又は全てが分離しているか統合しているかどうかは、開示された技術に重要なことではない。ロジックは、プロセッサ自体に、又はバスブリッジのような他のシステム要素に、又はASICやそれと同様のものに含まれ得る。さらに、多様な遅延の絶対数又は長さは重要ではない。しかし、遅延の一一致を提供することは、ある実施例において望ましい。

#### 【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

#### 【0017】

図3の実施例において、マルチブレクサへの2つの制御入力(fuseB1DirPr0cHotEnとfuseMPdecode)がどちらのモードが選択されたかを制御する。マルチプロセッサ(デュアルピン)のPROC HOT#/FORCEPH#の実現が望ましいことをヒューズfuseMPdecodeが示すと、マルチブレクサへの経路“f”が選択される。双方向モードのみが望ましいことをヒューズfuseB1DirPr0cHotEnが示すと、マルチブレクサへの入力“b”が選択される。双方向モードとマルチプロセッサ(デュアルピン)のモードの双方ともが望ましくないことをヒューズが示すと、出力のみのモードが使用され、マルチブレクサへの経路“w”が選択される。

#### 【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

#### 【0019】

何らかの内部遅延に加えて、システムロジックを通じた経路における遅延と合致させるように設計された第1のプロセッサ内の遅延のため、ブロック430と435に示す通り、プロセッサは同期して抑圧を始める。あるシステムにおいては、このような抑圧の同期を、一定の率のプロセッサの動作と保持させ、それによって進行と温度/電力の関係とをおおよそ等しくすることが望ましい。したがって、プロセッサが別の方法で抑圧状態に入らない場合でも、プロセッサは強制的に抑圧状態になり得る。