(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 112383257 A
(43)申请公布日 2021.02.19

(21)申请号 202011313287.5

(22)申请日 2020.11.20

(71)申请人 深圳市海浦蒙特科技有限公司
地址 518055 广东省深圳市南山区西丽大勘王京坑工业区28栋3楼302

(72)发明人 马佳倚 熊志伟 张宁

(74)专利代理机构 深圳鼎合诚知识产权代理有限公司 44281
代理人 彭家恩

(51)Int.Cl.
H02P 23/14(2006.01)
H02P 21/18(2016.01)
H02P 6/17(2016.01)
G05B 19/042(2006.01)

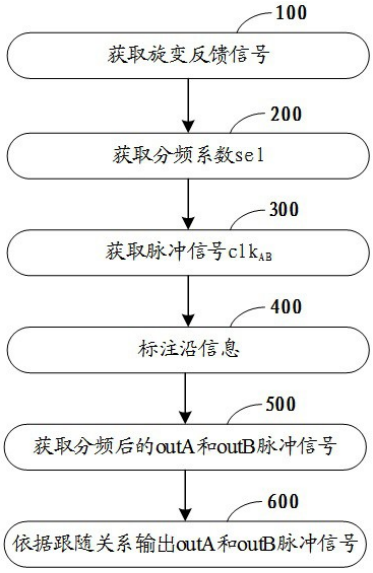
权利要求书3页 说明书8页 附图3页

(54)发明名称

基于AD2S1210旋变解码芯片的旋变反馈信号分频方法和系统

(57)摘要

一种基于AD2S1210旋变解码芯片的旋变反馈信号分频方法，包括：首先获取AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号和NM相脉冲信号；再获取分频系数sel，并依据分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$。然后将A相脉冲信号和B相脉冲信号取异或获取脉冲信号clk_{AB}，以依据周期值$half_{cnt}$和周期值$reset_{cnt}$对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息，并依据脉冲信号clk_{AB}和沿信息获取分频后的outA脉冲信号和outB脉冲信号。由于通过对脉冲信号clk_{AB}上升沿或下降沿标注沿信息方式进行分频，实现对AD2S1210旋变解码输出的正交脉冲信号进行任意整数分频处理，不但简化分频处理过程，还方便灵活。



CN 112383257 A

1.一种基于AD2S1210旋变解码芯片的旋变反馈信号分频方法,其特征在于,包括:

获取旋变反馈信号;所述旋变反馈信号包括由所述AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向信号这四路信号;其中,所述A相脉冲信号和B相脉冲信号相互正交;所述DIR方向信号用于判断所述A相脉冲信号和B相脉冲信号的跟随关系;

获取分频系数sel,并依据所述分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$,其中,$reset_{cnt}$=sel-1,$half_{cnt}$=$reset_{cnt}$/2,且$reset_{cnt}$和$half_{cnt}$是不为零的整数;所述分频系数sel是对所述旋变反馈信号进行分频的倍数;

将所述A相脉冲信号和B相脉冲信号取异或,以获取脉冲信号clk_{AB};

依据所述周期值$half_{cnt}$和所述周期值$reset_{cnt}$对所述脉冲信号clk_{AB}的上升沿或下降沿标注沿信息;所述沿信息包括沿计数值、half标志位值和reset标志位值;所述沿计数值用于表示对所述脉冲信号clk_{AB}的上升沿或下降沿进行计数的个数值,所述half标志位值用于标注所述脉冲信号clk_{AB}与所述周期值$half_{cnt}$同步的上升沿或下降沿,所述reset标志位值用于标注所述脉冲信号clk_{AB}与所述周期值$reset_{cnt}$同步的上升沿或下降沿;

依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号。

2.如权利要求1所述的方法,其特征在于,所述预设线数的值包括16384。

3.如权利要求1所述的方法,其特征在于,所述依据所述周期值$half_{cnt}$和所述周期值$reset_{cnt}$对所述脉冲信号clk_{AB}的上升沿或下降沿标注沿信息,包括:

当所述分频系数sel为偶数时,对所述脉冲信号clk_{AB}上升沿标注所述沿信息;

当所述分频系数sel为奇数时,对所述脉冲信号clk_{AB}上升沿和下降沿标注所述沿信息。

4.如权利要求3所述的方法,其特征在于,所述当所述分频系数sel为偶数时,对所述脉冲信号clk_{AB}上升沿标注所述沿信息,包括:

对所述脉冲信号clk_{AB}的上升沿开始计数;

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$half_{cnt}$相同时,设置该上升沿的half标志位值为1,反之为零;

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$reset_{cnt}$相同时,设置该上升沿的reset标志位值为1,且将该上升沿的沿计数值清0,从下一个上升沿开始重新计数。

5.如权利要求3所述的方法,其特征在于,所述当所述分频系数sel为奇数时,对所述脉冲信号clk_{AB}上升沿和下降沿标注所述沿信息,包括:

对所述脉冲信号clk_{AB}的上升沿和下降沿分别计数;

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$half_{cnt}$相同时,设置该上升沿的half标志位值为1,反之为零;

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$reset_{cnt}$相同时,设置该上升沿的reset标志位值为1,且将该上升沿的沿计数值清0,从下一个上升沿开始重新计数;

当所述脉冲信号clk_{AB}的下降沿的计数周期值cnt与所述周期值$reset_{cnt}$相同时,设置该

上升沿的reset标志位值为1,反之为零;

当所述脉冲信号clk_{AB}的下降沿的计数周期值cnt与所述周期值$half_{cnt}$相同时,设置该下降沿的half标志位值为1,且将该下降沿的沿计数值清0,从下一个下降沿开始重新计数。

6.如权利要求3所述的方法,其特征在于,所述依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号,包括:

所述超前相脉冲信号的沿变化与所述脉冲信号clk_{AB}标注的half标志位值为1的上升沿或下降沿同步,所述滞后相脉冲信号的沿变化与所述脉冲信号clk_{AB}标注的reset标志位值为1的上升沿或下降沿同步;

所述outA脉冲信号和outB脉冲信号相互正交。

7.如权利要求6所述的方法,其特征在于,所述依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号,还包括:

依据所述DIR方向信号获取所述A相脉冲信号和B相脉冲信号的跟随关系;

所述A相脉冲信号超前所述B相脉冲信号,则将获取的所述outA脉冲信号对应所述脉冲信号clk_{AB}的上升沿或下降沿的half标志位值为1的上升沿取反输出,且当沿计数值和eset标志位值都为1时,所述outB脉冲信号跟随当前outA脉冲信号的电平状态。

8.如权利要求7所述的方法,其特征在于,所述依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号,还包括:

所述A相脉冲信号滞后所述B相脉冲信号,则将获取的所述outB脉冲信号对应所述脉冲信号clk_{AB}的上升沿或下降沿的half标志位值为1的上升沿取反输出,且当沿计数值和reset标志位值都为1时,所述outA脉冲信号跟随当前outB脉冲信号的电平状态。

9.一种计算机可读存储介质,其特征在于,包括程序,所述程序能够被处理器执行以实现如权利要求1-8中任一项所述的方法。

10.一种基于AD2S1210旋变解码芯片的旋变反馈信号分频系统,其特征在于,包括AD2S1210旋变解码芯片和FPGA;

所述AD2S1210旋变解码芯片用于输出旋变反馈信号,旋变反馈信号是所述AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向信号;其中,所述A相脉冲信号和B相脉冲信号相互正交;所述DIR方向信号用于判断所述A相脉冲信号和B相脉冲信号的跟随关系;

所述FPGA用于获取分频系数sel,并依据所述分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$,其中,$reset_{cnt}=sel-1$,$half_{cnt}=reset_{cnt}/2$,且$reset_{cnt}$和$half_{cnt}$是不为零的整数;所述分频系数sel是对所述旋变反馈信号进行分频的倍数;

所述FPGA还用于将所述A相脉冲信号和B相脉冲信号取异或,以获取脉冲信号clk_{AB},并依据所述周期值$half_{cnt}$和所述周期值$reset_{cnt}$对所述脉冲信号clk_{AB}的上升沿或下降沿标注沿信息;所述沿信息包括沿计数值、half标志位值和reset标志位值;所述沿计数值用于表示对所述脉冲信号clk_{AB}的上升沿或下降沿进行计数的个数值,所述half标志位值用于标注

所述脉冲信号clk_{AB}与所述周期值$half_{cnt}$同步的上升沿或下降沿，所述reset标志位值用于标注所述脉冲信号clk_{AB}与所述周期值$reset_{cnt}$同步的上升沿或下降沿；

所述FPGA还用于依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号，并输出。

基于AD2S1210旋变解码芯片的旋变反馈信号分频方法和系统

技术领域

[0001] 本发明涉及电机控制技术领域，具体涉及一种基于AD2S1210旋变解码芯片的旋变反馈信号分频方法和系统。

背景技术

[0002] 旋转变压器是一种精密角度、位置、速度检测装置，对于带旋转变压器的电机，旋变解码系统能从旋转变压器输出带有电机转子角度变化的模拟量信号中解析出电机转子位置和速度信息，并提供给电机驱动器(变频器、伺服驱动器等)用于电机自己的速度、位置闭环控制，同时旋变解码系统还可以将电机的转子位置、速度信息以正交脉冲的方式输出给后级控制系统，从而达到多级控制系统联动控制。但是由于不同控制系统之间传动比例不同，因此旋变解码系统在输出正交脉冲时还需要对脉冲进行分频处理。

发明内容

[0003] 本发明提供一种基于AD2S1210旋变解码芯片的旋变反馈信号分频方法解决现有技术中不能对AD2S1210旋变解码芯片输出的正交脉冲信号进行任意整数倍分频的技术问题。

[0004] 根据第一方面，一种实施例中提供一种基于AD2S1210旋变解码芯片的旋变反馈信号分频方法，包括：

获取旋变反馈信号；所述旋变反馈信号包括由所述AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向信号这四路信号；其中，所述A相脉冲信号和B相脉冲信号相互正交；所述DIR方向信号用于判断所述A相脉冲信号和B相脉冲信号的跟随关系；

获取分频系数sel，并依据所述分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$，其中，$reset_{cnt}=sel-1$，$half_{cnt}=reset_{cnt}/2$，且$reset_{cnt}$和$half_{cnt}$是不为零的整数；所述分频系数sel是对所述旋变反馈信号进行分频的倍数；

将所述A相脉冲信号和B相脉冲信号取异或，以获取脉冲信号clk_{AB}；

依据所述周期值$half_{cnt}$和所述周期值$reset_{cnt}$对所述脉冲信号clk_{AB}的上升沿或下降沿标注沿信息；所述沿信息包括沿计数值、half标志位值和reset标志位值；所述沿计数值用于表示对所述脉冲信号clk_{AB}的上升沿或下降沿进行计数的个数值，所述half标志位值用于标注所述脉冲信号clk_{AB}与所述周期值$half_{cnt}$同步的上升沿或下降沿，所述reset标志位值用于标注所述脉冲信号clk_{AB}与所述周期值$reset_{cnt}$同步的上升沿或下降沿；

依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号。

[0005] 一种实施例中，所述预设线数的值包括16384。

[0006] 一种实施例中，所述依据所述周期值$half_{cnt}$和所述周期值$reset_{cnt}$对所述脉冲信

号clk_{AB}的上升沿或下降沿标注沿信息，包括：

当所述分频系数sel为偶数时，对所述脉冲信号clk_{AB}上升沿标注所述沿信息；

当所述分频系数sel为奇数时，对所述脉冲信号clk_{AB}上升沿和下降沿标注所述沿信息。

[0007] 一种实施例中，所述当所述分频系数sel为偶数时，对所述脉冲信号clk_{AB}上升沿标注所述沿信息，包括：

对所述脉冲信号clk_{AB}的上升沿开始计数；

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$half_{cnt}$相同时，设置该上升沿的half标志位值为1，反之为零；

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$reset_{cnt}$相同时，设置该上升沿的reset标志位值为1，且将该上升沿的沿计数值清0，从下一个上升沿开始重新计数。

[0008] 一种实施例中，所述当所述分频系数sel为奇数时，对所述脉冲信号clk_{AB}上升沿和下降沿标注所述沿信息，包括：

对所述脉冲信号clk_{AB}的上升沿和下降沿分别计数；

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$half_{cnt}$相同时，设置该上升沿的half标志位值为1，反之为零；

当所述脉冲信号clk_{AB}的上升沿的计数周期值cnt与所述周期值$reset_{cnt}$相同时，设置该上升沿的reset标志位值为1，且将该上升沿的沿计数值清0，从下一个上升沿开始重新计数；

当所述脉冲信号clk_{AB}的下降沿的计数周期值cnt与所述周期值$reset_{cnt}$相同时，设置该上升沿的reset标志位值为1，反之为零；

当所述脉冲信号clk_{AB}的下降沿的计数周期值cnt与所述周期值$half_{cnt}$相同时，设置该下降沿的half标志位值为1，且将该下降沿的沿计数值清0，从下一个下降沿开始重新计数。

[0009] 一种实施例中，所述依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号，包括：

所述outA脉冲信号的上升沿与所述脉冲信号clk_{AB}标注的half标志位值为1的上升沿或下降沿同步，所述outA脉冲信号的下降沿与所述脉冲信号clk_{AB}标注的reset标志位值为1的上升沿或下降沿同步；

所述outA脉冲信号和outB脉冲信号相互正交。

[0010] 一种实施例中，所述依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号，还包括：

依据所述DIR方向信号获取所述A相脉冲信号和B相脉冲信号的跟随关系；

所述A相脉冲信号超前所述B相脉冲信号，则将获取的所述outA脉冲信号对应所述脉冲信号clk_{AB}的上升沿或下降沿的half标志位值为1的上升沿取反输出，且当沿计数值和reset标志位值都为1时，所述outB脉冲信号跟随当前outA脉冲信号的电平状态。

[0011] 一种实施例中，所述依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下

降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号，还包括：

所述A相脉冲信号滞后所述B相脉冲信号，则将获取的所述outB脉冲信号对应所述脉冲信号clk_{AB}的上升沿或下降沿的half标志位值为1的上升沿取反输出，且当沿计数值和reset标志位值都为1时，所述outA脉冲信号跟随当前outB脉冲信号的电平状态。

[0012] 根据第二方面，一种实施例中提供一种基于AD2S1210旋变解码芯片的旋变反馈信号分频系统，包括AD2S1210旋变解码芯片和FPGA；

所述AD2S1210旋变解码芯片用于输出旋变反馈信号，旋变反馈信号是所述AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向信号，其中所述A相脉冲信号和B相脉冲信号相互正交；所述DIR方向信号用于判断所述A相脉冲信号和B相脉冲信号的跟随关系；

所述FPGA用于获取分频系数sel，并依据所述分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$，其中，$reset_{cnt}=sel-1$，$half_{cnt}=reset_{cnt}/2$，且$reset_{cnt}$和$half_{cnt}$是不为零的整数；所述分频系数sel是对所述旋变反馈信号进行分频的倍数；所述FPGA还用于将所述A相脉冲信号和B相脉冲信号取异或，以获取脉冲信号clk_{AB}，并依据所述周期值$half_{cnt}$和所述周期值$reset_{cnt}$对所述脉冲信号clk_{AB}的上升沿或下降沿标注沿信息；所述沿信息包括沿计数值、half标志位值和reset标志位值；所述沿计数值用于表示对所述脉冲信号clk_{AB}的上升沿或下降沿进行计数的个数值，所述half标志位值用于标注所述脉冲信号clk_{AB}与所述周期值$half_{cnt}$同步的上升沿或下降沿，所述reset标志位值用于标注所述脉冲信号clk_{AB}与所述周期值$reset_{cnt}$同步的上升沿或下降沿；所述FPGA还用于依据所述脉冲信号clk_{AB}和所述脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取所述A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号，并输出。

[0013] 依据上述实施例的一种基于AD2S1210旋变解码芯片的旋变反馈信号分频方法，包括：首先获取AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向信号；再获取分频系数sel，并依据分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$。然后将A相脉冲信号和B相脉冲信号取异或获取脉冲信号clk_{AB}，以依据周期值$half_{cnt}$和周期值$reset_{cnt}$对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息，并依据脉冲信号clk_{AB}和沿信息获取分频后的outA脉冲信号和outB脉冲信号。由于通过对脉冲信号clk_{AB}上升沿或下降沿标注沿信息方式进行分频，实现对AD2S1210旋变解码输出的正交脉冲信号进行任意整数分频处理，不但简化分频处理过程，还方便灵活。

附图说明

[0014] 图1为一种实施例中旋变反馈信号分频系统的结构连接示意图；

图2为另一种实施例中旋变反馈信号分频方法的流程示意图；

图3为一种实施例中脉冲信号clk_{AB}获取示意图；

图4为一种实施例中二分频示意图；

图5为一种实施例中三分频示意图。

具体实施方式

[0015] 下面通过具体实施方式结合附图对本发明作进一步详细说明。其中不同实施方式中类似元件采用了相关联的类似的元件标号。在以下的实施方式中，很多细节描述是为了使得本申请能被更好的理解。然而，本领域技术人员可以毫不费力的认识到，其中部分特征在不同情况下是可以省略的，或者可以由其他元件、材料、方法所替代。在某些情况下，本申请相关的一些操作并没有在说明书中显示或者描述，这是为了避免本申请的核心部分被过多的描述所淹没，而对于本领域技术人员而言，详细描述这些相关操作并不是必要的，他们根据说明书中的描述以及本领域的一般技术知识即可完整了解相关操作。

[0016] 另外，说明书中所描述的特点、操作或者特征可以以任意适当的方式结合形成各种实施方式。同时，方法描述中的各步骤或者动作也可以按照本领域技术人员所能显而易见的方式进行顺序调换或调整。因此，说明书和附图中的各种顺序只是为了清楚描述某一个实施例，并不意味着是必须的顺序，除非另有说明其中某个顺序是必须遵循的。

[0017] 本文中为部件所编序号本身，例如“第一”、“第二”等，仅用于区分所描述的对象，不具有任何顺序或技术含义。而本申请所说“连接”、“联接”，如无特别说明，均包括直接和间接连接(联接)。

[0018] 目前旋变解码多使用AD2S1210旋变解码芯片对旋转变压器反馈信号进行解码。由AD2S1210旋变解码芯片上可编程正弦波振荡器生成EXC激励信号提供给旋转变压器。由AD2S1210旋变解码芯片内部解码单元将旋转变压器反馈的SIN、COS信号转换为对应分辨率的位置和速度数据，以及对应线数的A/B/NM信号输出。该旋变解码芯片输出的激励信号频率2khz至20khz可调，分辨率10至16位可调。通过AD2S1210旋变解码芯片对电机位置与速度信息进行解码，对解析后的电机转子位置、速度信息进行脉冲分频一般采用两种方式：

1)应用旋变解码芯片的脉冲输出功能设置脉冲线数，并直接输出；

2)采用FPGA对旋变解码芯片输出的脉冲信号进行分倍频处理，累积固定计算周期内的脉冲数，对分倍频系数、计算周期和累积脉冲数进行乘除运算，计算出应发的脉冲数和脉冲频率，并在下一个周期输出。

[0019] 方式1)对于AD2S1210旋变解码芯片，修改分辨率可修改输出脉冲线数，从而调整脉冲频率。但该芯片只有固定几种的分辨率可配置，无法做到任意整数脉冲线数输出，且切换分辨率时需重新对芯片进行配置，实现过程比较复杂和繁琐。方式2)存在一个固定计数周期的延时误差，导致理论的电机位置、转速滞后于实际值。而在计数周期内，输出的脉冲频率固定不可变，无法做到严格的频率跟随。同时在计算输出脉冲数和脉冲频率时，存在大量的乘除运算，占用资源，还存在计算误差。基于以上两种方式出现的问题，本申请提供一种基于AD2S1210旋变解码的分频方法。

[0020] 在本发明实施例中，首先获取AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向；再获取分频系数sel，并依据分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$。然后将A相脉冲信号和B相脉冲信号取异或获取脉冲信号clk_{AB}，以依据周期值$half_{cnt}$和周期值$reset_{cnt}$对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息，并依据脉冲信号clk_{AB}和沿信息获取分频后的outA脉冲信号和outB脉冲信号。由于通过对脉冲信号clk_{AB}上升沿或下降沿标注沿信息方式进行分频，实现对AD2S1210旋变解码输出的正交脉冲信号进

行任意整数分频处理，不但简化分频处理过程，还方便灵活。

[0021] 实施例一：

请参考图1，为一种实施例中旋变反馈信号分频系统的结构连接示意图，包括带旋转变压器的电机10、旋变反馈信号分频系统20、主控单元30和分频输出端40。旋变反馈信号分频系统20用于对旋变信号的解码，旋变反馈信号分频系统20包括FPGA22与AD2S1210旋变解码芯片21，主控单元与FPGA22通过串行通讯写入地址和数据对AD2S1210旋变解码芯片21进行配置。AD2S1210旋变解码芯片21生成EXC+/EXC-信号发送给带旋转变压器的电机10，并接收带旋转变压器的电机10反馈的SIN/COS信号。根据主控单元30发出的配置信息，AD2S1210旋变解码芯片21对旋变反馈信号进行解码，生成位置数据、A相脉冲信号、B相脉冲信号和NM相脉冲信号以及方向信号DIR传输给FPGA22。主控单元30再与FPGA22通讯，写入分频系数。FPGA内部对A相脉冲信号、B相脉冲信号和NM相脉冲信号进行分频处理后由分频输出端40输出。

[0022] 在本申请一实施例中，旋变反馈信号分频系统20包括AD2S1210旋变解码芯片和FPGA。AD2S1210旋变解码芯片用于输出旋变反馈信号，所述旋变反馈信号包括由所述AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向信号这四路信号。其中，A相脉冲信号和B相脉冲信号相互正交，DIR方向信号用于判断A相脉冲信号和B相脉冲信号的跟随关系。当A相脉冲信号跟随B相脉冲信号时，则B相脉冲信号为超前相脉冲信号，A相脉冲信号为滞后相脉冲信号，当B相脉冲信号跟随A相脉冲信号时，则A相脉冲信号为超前相脉冲信号，B相脉冲信号为滞后相脉冲信号。FPGA用于获取分频系数sel，并依据分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$，其中，$reset_{cnt}=sel-1$，$half_{cnt}=reset_{cnt}/2$，且$reset_{cnt}$和$half_{cnt}$是不为零的整数，分频系数sel是对所述旋变反馈信号进行分频的倍数。一实施例中，预设线数的值为16384。FPGA还用于将A相脉冲信号和B相脉冲信号取异或，以获取脉冲信号clk_{AB}，并依据周期值$half_{cnt}$和周期值$reset_{cnt}$对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息。沿信息包括沿计数值、half标志位值和reset标志位值，沿计数值用于表示对脉冲信号clk_{AB}的上升沿或下降沿进行计数的个数值，half标志位值用于标注脉冲信号clk_{AB}与周期值$half_{cnt}$同步的上升沿或下降沿，reset标志位值用于标注脉冲信号clk_{AB}与周期值$reset_{cnt}$同步的上升沿或下降沿。FPGA还用于依据脉冲信号clk_{AB}和脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号，并输出。一实施例中，分频系数sel的值为1时，FPGA直接输出A相脉冲信号和B相脉冲信号给分频输出端。

[0023] 在本申请实施例中，FPGA接收AD2S1210旋变解码芯片输出的旋变反馈信号，并将旋变反馈信号中的A相脉冲信号和B相脉冲信号取异或，以获取脉冲信号clk_{AB}。再按分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$，以用于周期值$half_{cnt}$和周期值$reset_{cnt}$对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息。然后依据脉冲信号clk_{AB}和脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号，并输出给分频输出端。由于根据主控单元预设置的分频系数sel，对正交脉冲的A相脉冲信号和B相脉冲信号进行任意整数分频处理，以生成用户实际需求的脉冲线数，同时保证脉冲信号的同步性。

[0024] 本申请实施例中的旋变反馈信号分频系统配置AD2S1210旋变解码芯片芯片固定输出最高线数16384线正交脉冲，减少了脉冲倍频处理，更方便灵活调整旋变解码输出的脉冲线数，不但适用性更广，还可以保证脉冲频率可以严格实时的跟随输入变化。旋变反馈信号分频系统在分频过程中，减少了大量计算，简化了正交脉冲分频处理过程，避免了计算时延或通讯时延，响应更快速。

[0025] 实施例二：

请参考图2，为另一种实施例中旋变反馈信号分频方法的流程示意图，该旋变反馈信号分频方法包括：

步骤100，获取旋变反馈信号。

[0026] 旋变反馈信号是AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM相脉冲信号和DIR方向信号，其中，A相脉冲信号和B相脉冲信号相互正交，DIR方向信号用于判断A相脉冲信号和B相脉冲信号的跟随关系。一实施例中，预设线数的值为16384。

[0027] 步骤200，获取分频系数sel。

[0028] 分频系数sel是对旋变反馈信号进行分频的倍数，依据分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$。其中，$reset_{cnt}$=sel-1，$half_{cnt}$=$reset_{cnt}$/2，且$reset_{cnt}$和$half_{cnt}$是不为零的整数。

[0029] 步骤300，获取脉冲信号clk_{AB}。

[0030] 请参考图3，为一种实施例中脉冲信号clk_{AB}获取示意图，将A相脉冲信号和B相脉冲信号取异或，以获取脉冲信号clk_{AB}。

[0031] 步骤400，标注沿信息。

[0032] 依据周期值$half_{cnt}$和周期值$reset_{cnt}$对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息。沿信息包括沿计数值、half标志位值和reset标志位值，沿计数值用于表示对脉冲信号clk_{AB}的上升沿或下降沿进行计数的个数值，half标志位值用于标注脉冲信号clk_{AB}与周期值$half_{cnt}$同步的上升沿或下降沿，reset标志位值用于标注脉冲信号clk_{AB}与周期值$reset_{cnt}$同步的上升沿或下降沿。其中，对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息，包括：

当分频系数sel为偶数时，对脉冲信号clk_{AB}上升沿标注所述沿信息，包括：

对脉冲信号clk_{AB}的上升沿开始计数，当脉冲信号clk_{AB}的上升沿的计数周期值cnt与周期值$half_{cnt}$相同时，设置该上升沿的half标志位值为1，反之为零。当脉冲信号clk_{AB}的上升沿的计数周期值cnt与周期值$reset_{cnt}$相同时，设置该上升沿的reset标志位值为1，且将该上升沿的沿计数值清0，从下一个上升沿开始重新计数。

[0033] 当分频系数sel为奇数时，对脉冲信号clk_{AB}上升沿和下降沿标注沿信息，包括：

对脉冲信号clk_{AB}的上升沿和下降沿分别计数，当脉冲信号clk_{AB}的上升沿的计数周期值cnt与周期值$half_{cnt}$相同时，设置该上升沿的half标志位值为1，反之为零。当脉冲信号clk_{AB}的上升沿的计数周期值cnt与周期值$reset_{cnt}$相同时，设置该上升沿的reset标志位值为1，且将该上升沿的沿计数值清0，从下一个上升沿开始重新计数。

[0034] 当脉冲信号clk_{AB}的下降沿的计数周期值cnt与周期值$reset_{cnt}$相同时，设置该上升沿的reset标志位值为1，反之为零。当脉冲信号clk_{AB}的下降沿的计数周期值cnt与周期值$half_{cnt}$相同时，设置该下降沿的half标志位值为1，且将该下降沿的沿计数值清0，从下一个

下降沿开始重新计数。

[0035] 步骤500，获取分频后的outA脉冲信号和outB脉冲信号。

[0036] 依据脉冲信号clk_{AB}和脉冲信号clk_{AB}的上升沿或下降沿的沿信息获取A相脉冲信号和B相脉冲信号分频后的outA脉冲信号和outB脉冲信号。超前相脉冲信号的上升沿与脉冲信号clk_{AB}标注的half标志位值为1的上升沿或下降沿同步，滞后相脉冲信号的下降沿与脉冲信号clk_{AB}标注的reset标志位值为1的上升沿或下降沿同步。outA脉冲信号和outB脉冲信号相互正交。

[0037] 一实施例中，该旋变反馈信号分频方法还包括：

步骤600，依据跟随关系输出outA脉冲信号和outB脉冲信号。

[0038] 依据DIR方向信号信号获取A相脉冲信号和B相脉冲信号的跟随关系。如果A相脉冲信号超前所述B相脉冲信号，则将获取的outA脉冲信号对应脉冲信号clk_{AB}的上升沿或下降沿的half标志位值为1的上升沿取反输出，且当沿计数值和reset标志位值都为1时，outB脉冲信号跟随当前outA脉冲信号的电平状态。

[0039] 如果A相脉冲信号滞后B相脉冲信号，则将获取的outB脉冲信号对应脉冲信号clk_{AB}的上升沿或下降沿的half标志位值为1的上升沿取反输出，且当沿计数值和reset标志位值都为1时，outA脉冲信号跟随当前outB脉冲信号的电平状态。

[0040] 在本申请一实施例中，输出的分频脉冲仍保持相位正交，占空比50%，且能够实时跟随输入脉冲频率。即实现了对频率可变化的正交脉冲进行分频处理，又消除分频时存在的分频计算周期时延问题。

[0041] 请参考图4和图5，分别为一实施例中二分频示意图和三分频示意图，其中，图中脉冲信号clk_{AB}所示的数字为沿计数值。

[0042] 在本申请实施例中，旋变反馈信号分频方法包括：首先获取AD2S1210旋变解码芯片按一预设线数输出的A相脉冲信号、B相脉冲信号、NM脉冲信号和DIR方向信号；再获取分频系数sel，并依据分频系数sel获取超前相脉冲信号分频脉冲计数的周期值$reset_{cnt}$和滞后相脉冲信号分频脉冲计数的周期值$half_{cnt}$。然后将A相脉冲信号和B相脉冲信号取异或获取脉冲信号clk_{AB}，以依据周期值$half_{cnt}$和周期值$reset_{cnt}$对脉冲信号clk_{AB}的上升沿或下降沿标注沿信息，并依据脉冲信号clk_{AB}和沿信息获取分频后的outA脉冲信号和outB脉冲信号。由于通过对脉冲信号clk_{AB}上升沿或下降沿标注沿信息方式进行分频，实现对AD2S1210旋变解码输出的正交脉冲信号进行任意整数分频处理，不但简化分频处理过程，还方便灵活。

[0043] 本领域技术人员可以理解，上述实施方式中各种方法的全部或部分功能可以通过硬件的方式实现，也可以通过计算机程序的方式实现。当上述实施方式中全部或部分功能通过计算机程序的方式实现时，该程序可以存储于一计算机可读存储介质中，存储介质可以包括：只读存储器、随机存储器、磁盘、光盘、硬盘等，通过计算机执行该程序以实现上述功能。例如，将程序存储在设备的存储器中，当通过处理器执行存储器中程序，即可实现上述全部或部分功能。另外，当上述实施方式中全部或部分功能通过计算机程序的方式实现时，该程序也可以存储在服务器、另一计算机、磁盘、光盘、闪存盘或移动硬盘等存储介质中，通过下载或复制保存到本地设备的存储器中，或对本地设备的系统进行版本更新，当通过处理器执行存储器中的程序时，即可实现上述实施方式中全部或部分功能。

[0044] 以上应用了具体个例对本发明进行阐述，只是用于帮助理解本发明，并不用以限制本发明。对于本发明所属技术领域的技术人员，依据本发明的思想，还可以做出若干简单推演、变形或替换。

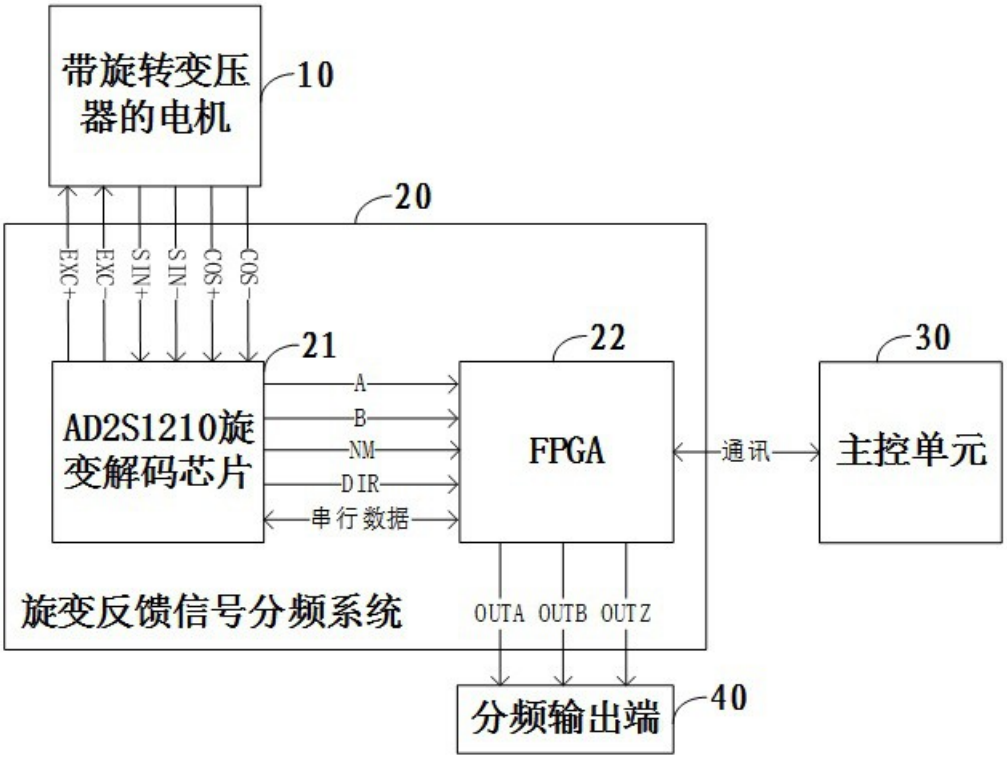

带旋转变压器的电机
10
20
EXC+
EXC-
SIN+
SIN-
COS+
COS-
21
AD2S1210旋变解码芯片
A
B
NM
DIR
串行数据
22
FPGA
通讯
30
主控单元
旋变反馈信号分频系统
OUTA OUTB OUTZ
分频输出端
40

图 1

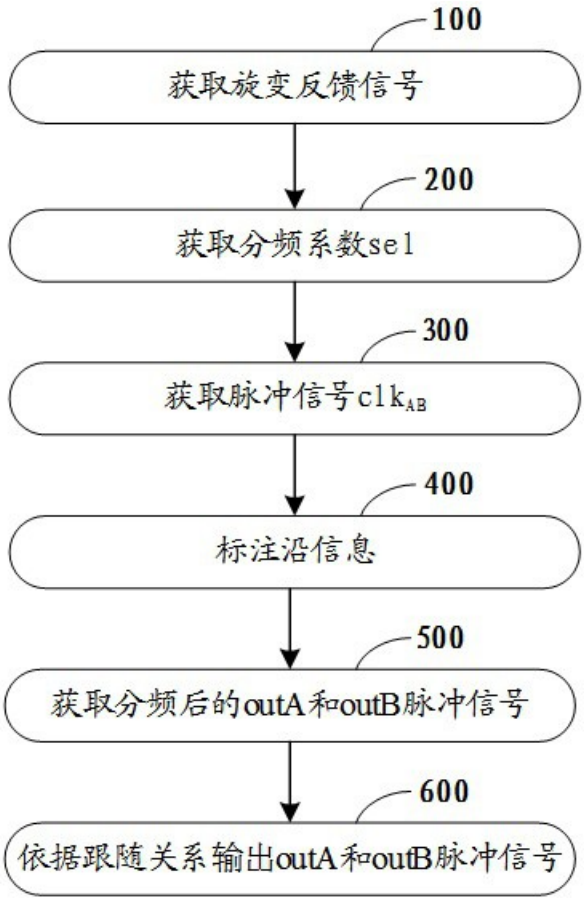

100
获取旋变反馈信号
200
获取分频系数sel
300
获取脉冲信号clk$_{AB}$
400
标注沿信息
500
获取分频后的outA和outB脉冲信号
600
依据跟随关系输出outA和outB脉冲信号

图 2

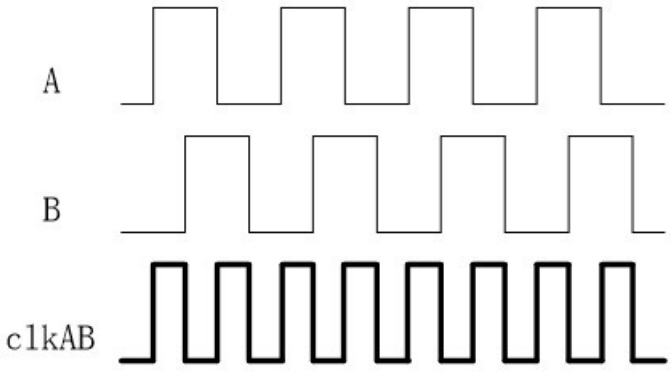

A
B
clkAB

图 3

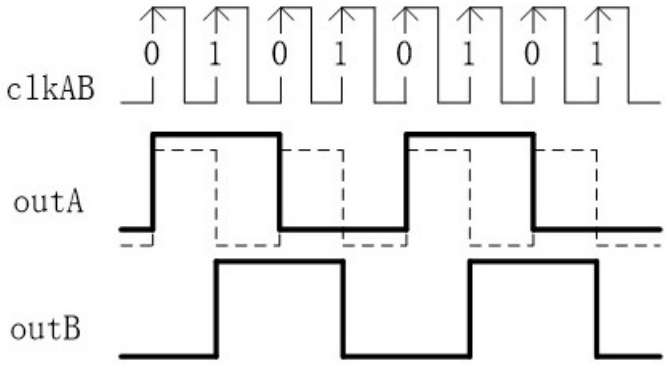

clkAB
0 1 0 1 0 1 0 1
outA
outB

图 4

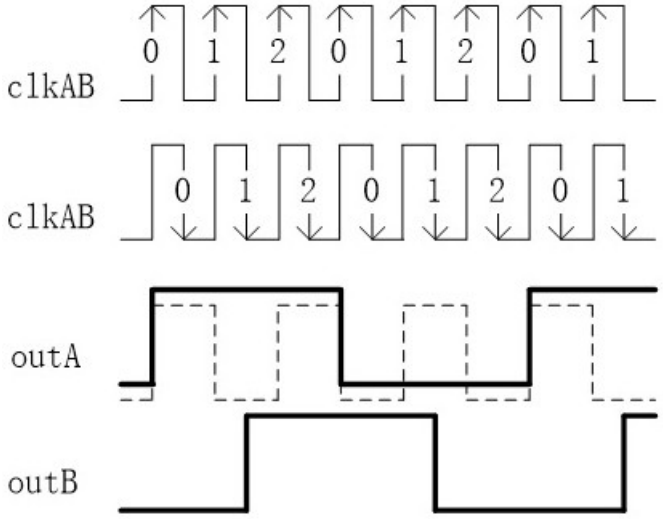

clkAB
0 1 2 0 1 2 0 1
clkAB
0 1 2 0 1 2 0 1
outA
outB

图 5