



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0004356
(43) 공개일자 2008년01월09일

(51) Int. Cl.

H01L 25/00 (2006.01)

(21) 출원번호 10-2007-0065074

(22) 출원일자 2007년06월29일

심사청구일자 없음

(30) 우선권주장

JP-P-2006-00183993 2006년07월04일 일본(JP)

(71) 출원인

가부시끼가이샤 르네사스 테크놀로지

일본국 도쿄도 지요다구 마루노우찌 2초메 6반 2고

(72) 발명자

아끼바 도시히코

일본 도쿄도 지요다구 마루노우찌 2초메 4방 1고
가부시끼가이샤르네사스 테크놀로지 지떼끼자이산
켄소오까쓰부 내

나이또 다카히로

일본 도쿄도 지요다구 마루노우찌 2초메 4방 1고
가부시끼가이샤르네사스 테크놀로지 지떼끼자이산
켄소오까쓰부 내

(74) 대리인

장수길, 성재동

전체 청구항 수 : 총 17 항

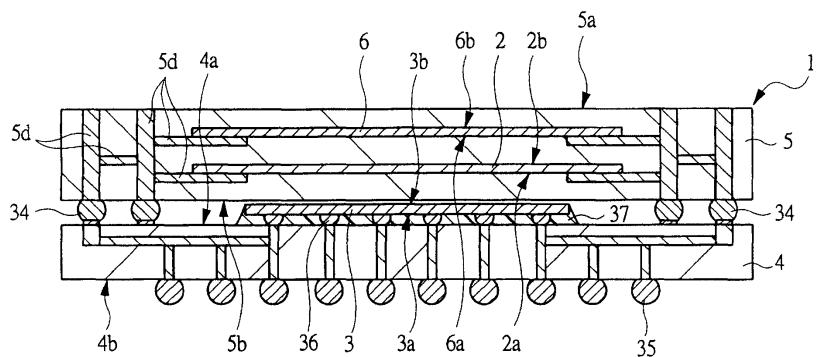
(54) 반도체 장치 및 그 제조 방법

(57) 요 약

본 발명의 과제는 마이크로 컴퓨터 칩과 복수의 고속 메모리 칩을 갖는 반도체 장치에 있어서 복수의 메모리 칩의 배선의 길이를 같게 하는 것이다.

제1 배선 기판(4)과, 제1 배선 기판(4) 상에 탑재된 마이크로 컴퓨터 칩(3)과, 마이크로 컴퓨터 칩(3) 상에 배치된 제2 배선 기판(5)과, 제1 배선 기판(4)과 제2 배선 기판(5)을 접속하는 복수의 제1 땜납 범프(34)와, 제1 배선 기판(4)의 이면(4b)에 설치된 외부 단자인 복수의 제2 땜납 범프(35)로 이루어지고, 제2 배선 기판(5)에는 고속의 제1 메모리 칩(2)과 제2 메모리 칩(6)이 적층하여 내장되고, 제2 배선 기판(5) 내에서 제1 메모리 칩(2)의 배선과 제2 메모리 칩(6)의 배선이 길이가 같게 되어 있고, 제1 배선 기판(4)을 갖는 패키지 완결 구조 상에 제2 배선 기판(5)을 갖는 패키지 완결 구조가 탑재되어 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 주면과 상기 제1 주면에 대향하는 제1 이면을 갖는 제1 배선 기판과, 상기 제1 배선 기판의 제1 주면 상에 탑재된 마이크로 컴퓨터 칩과, 제2 주면과 상기 제2 주면에 대향하는 제2 이면을 갖고 또한 상기 마이크로 컴퓨터 칩 상에 배치된 제2 배선 기판과, 상기 제1 배선 기판과 상기 제2 배선 기판을 전기적으로 접속하는 복수의 제1 범프 전극과, 상기 제1 배선 기판의 제1 이면에 배치된 복수의 제2 범프 전극을 갖고, 상기 제2 배선 기판은 제1 메모리 칩과 제2 메모리 칩을 내장하고, 상기 제2 메모리 칩은 상기 제1 메모리 칩 상에 배치되고, 상기 제1 및 제2 메모리 칩은 외부 클럭 신호의 온과 오프의 양쪽에 동기하여 데이터를 전송하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제1 배선 기판의 주면과 상기 제2 배선 기판의 주면 중 어느 한쪽 혹은 양쪽에 방열판이 설치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 마이크로 컴퓨터 칩은 상기 제1 배선 기판 상에 플립 칩 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 마이크로 컴퓨터 칩은 상기 제1 배선 기판 상에 복수 탑재되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 복수의 제1 범프 전극은 상기 제1 배선 기판의 제1 주면 상에 설치된 복수의 제1 본딩 리드와 상기 제2 배선 기판의 제2 이면 상에 설치된 복수의 제2 본딩 리드와의 사이에 각각 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

제5항에 있어서, 상기 마이크로 컴퓨터 칩과 상기 제1 및 제2 메모리 칩의 각각은 상기 복수의 제1 본딩 리드, 상기 복수의 제1 범프 전극, 및 상기 복수의 제2 본딩 리드를 통해 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서, 상기 제1 메모리 칩의 제1 전극 패드로부터 상기 제1 전극 패드에 대응하는 상기 제2 배선 기판의 제2 본딩 리드까지의 제1 거리와, 상기 제2 메모리 칩의 제2 전극 패드로부터 상기 제2 전극 패드에 대응하는 상기 제2 본딩 리드까지의 제2 거리는 동일한 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 제1 거리와 상기 제2 거리의 차의 허용 범위는 $\pm 2 \text{ mm}$ 이내 바람직하게는 $\pm 1 \text{ mm}$ 이내인 것을 특징으로 하는 반도체 장치.

청구항 9

주면과 상기 주면에 대향하는 이면을 갖는 제1 배선 기판과, 상기 제1 배선 기판의 주면 상에 탑재된 마이크로 컴퓨터 칩과, 주면과 상기 주면에 대향하는 이면을 갖고 또한 상기 마이크로 컴퓨터 칩 상에 배치된 제2 배선 기판과, 상기 제1 배선 기판과 상기 제2 배선 기판을 전기적으로 접속하는 복수의 제1 범프 전극과, 상기 제1 배선 기판의 이면에 배치된 복수의 제2 범프 전극을 갖고, 상기 제2 배선 기판은 제1 메모리 칩과 제2 메모리 칩을 내장하고, 상기 제1 및 제2 메모리 칩은 각각의 주면과 이면에 개방하는 관통 구멍을 각각 갖고, 또한 각각의 관통 구멍에 매립된 도체를 통해 전기적으로 접속하고, 상기 제1 및 제2 메모리 칩은 외부 클럭 신호의 온

과 오프의 양쪽에 동기하여 데이터를 전송하는 것을 특징으로 하는 반도체 장치.

청구항 10

제9항에 있어서, 상기 제1 배선 기판의 주면과 상기 제2 배선 기판의 주면 중 어느 한쪽 혹은 양쪽에 방열판이 설치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 11

제9항에 있어서, 상기 마이크로 컴퓨터 칩은 상기 제1 배선 기판 상에 플립 칩 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 12

제9항에 있어서, 상기 복수의 제1 범프 전극은 상기 제1 배선 기판의 제1 주면 상에 설치된 복수의 제1 본딩 리드와 상기 제2 배선 기판의 제2 이면 상에 설치된 복수의 제2 본딩 리드와의 사이에 각각 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 13

제12항에 있어서, 상기 마이크로 컴퓨터 칩과 상기 제1 및 제2 메모리 칩의 각각은 상기 복수의 제1 본딩 리드, 상기 복수의 제1 범프 전극, 및 상기 복수의 제2 본딩 리드를 통해 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 14

제13항에 있어서, 상기 제1 메모리 칩의 제1 전극 패드로부터 상기 제1 전극 패드에 대응하는 상기 제2 배선 기판의 제2 본딩 리드까지의 제1 거리와, 상기 제2 메모리 칩의 제2 전극 패드로부터 상기 제2 전극 패드에 대응하는 상기 제2 본딩 리드까지의 제2 거리는 동일한 것을 특징으로 하는 반도체 장치.

청구항 15

주면과 상기 주면에 대향하는 이면을 갖고, 또한 상기 주면 상에 복수의 제1 본딩 리드가 설치된 제1 배선 기판을 준비하는 공정과, 주면과 상기 주면에 대향하는 이면을 갖고 또한 외부 클럭 신호의 온과 오프의 양쪽에 동기하여 각각 데이터를 전송하는 제1 메모리 칩과 제2 메모리 칩을 내장하고, 또한 상기 제2 메모리 칩이 상기 제1 메모리 칩 상에 배치되고, 또한 상기 이면 상에 복수의 제2 본딩 리드가 설치된 제2 배선 기판을 준비하는 공정과, 상기 제1 배선 기판의 주면 상에 마이크로 컴퓨터 칩을 탑재하는 공정과, 상기 제1 배선 기판의 주면의 상기 복수의 제1 본딩 리드 상에 땜납 페이스트를 도포하는 공정과, 상기 제2 배선 기판의 이면의 상기 복수의 제2 본딩 리드에 제1 범프 전극을 접속하는 공정과, 상기 제1 범프 전극과 상기 땜납 페이스트를 접속하여 상기 제1 배선 기판 상에 상기 제2 배선 기판을 실장하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제15항에 있어서, 상기 제2 배선 기판을 열 및 하중을 가한 상태에서 상기 제1 배선 기판 상에 실장하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

제15항에 있어서, 상기 제1 메모리 칩의 제1 전극 패드로부터 상기 제1 전극 패드에 대응하는 상기 제2 배선 기판의 제2 본딩 리드까지의 제1 거리와, 상기 제2 메모리 칩의 제2 전극 패드로부터 상기 제2 전극 패드에 대응하는 상기 제2 본딩 리드까지의 제2 거리는 동일한 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

<123>

[문헌 1] 일본 특허 공개 제2005-19568호 공보(도1)

발명이 속하는 기술 및 그 분야의 종래기술

<124>

본 발명은, 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 마이크로 컴퓨터 칩과 메모리 칩을 갖는 반도체 장치와 그 조립에 적용하기에 유효한 기술에 관한 것이다.

<125>

상면에 반도체 소자가 실장되어 있는 제1 배선 기판과, 이 제1 배선 기판과 전기적으로 접속되는 복수의 전극 단자를 통해 제1 배선 기판 상에 적층되는 제2 배선 기판과, 상기 반도체 소자의 주위에 배치되고, 또한 제1 배선 기판 및 제2 배선 기판에 설치된 접지 배선층과 접속된 도체 지지 부재를 갖는 기술이 있다(예를 들어 문헌 1 참조).

발명이 이루고자 하는 기술적 과제

<126>

복수의 반도체 칩을 갖는 반도체 장치의 일례로서, 연산 처리 기능을 갖는 반도체 칩(이후, 마이크로 컴퓨터 칩이라고도 함)과, 메모리 회로를 갖는 반도체 칩(이후, 메모리 칩이라고도 함)이 배선 기판 상에 탑재된 SIP(System In Package)라 불리는 반도체 장치가 알려져 있다.

<127>

또한, 반도체 장치의 고기능화에 수반하여, SIP에서도 한층 더 소형화, 박형화가 요구되고 있다. SIP에서는, 메모리 칩은 복수개 탑재되어 있는 경우가 많고, 따라서 칩 적층형의 구조를 채용하는 경우가 많다. 예를 들어, 배선 기판 상에 메모리 칩을 다단 적층하고, 각 반도체 칩과 배선 기판이 와이어 본딩에 의해 전기적으로 접속되어 있다.

<128>

한편, 마이크로 컴퓨터 칩은 메모리 칩과 외부의 인터페이스의 역할을 하기 때문에, 메모리 칩보다도 실장 기판에 가까운 위치에 배치하는 것이 바람직하다.

<129>

그래서, 상단의 기판 상에 복수의 메모리 칩을 적층 배치하는 동시에, 하단의 기판 상에 마이크로 컴퓨터 칩을 탑재하여 반도체 장치의 소형화를 도모하는 기술이 상기 문헌 1(일본 특허 공개 제2005-19568호 공보)에 개시되어 있다.

<130>

또한, SIP에서는, 마이크로 컴퓨터 칩에 대해 복수의 메모리 칩이 탑재되어 있고, 최근에는 시스템의 고속화에 수반하여 메모리 칩은 DDR(Double Date Rate) 방식을 채용한 고속 대응의 SDRAM(Synchronous Dynamic Random Access Memory)이 사용된다. DDR 방식은 각 회로간에 동기를 취할 때에, 외부 클럭 신호의 온시와 오프시의 양 쪽을 이용하는 방식이다. 처리 동작으로서는, 데이터 신호가 마이크로 컴퓨터 칩으로부터 각각의 메모리 칩에 송신된다. 그리고, 다시 메모리 칩으로부터 복귀되어 오는 신호의 타이밍이 거의 동시에 마이크로 컴퓨터 칩으로 복귀되어 오면, 실행된 것이 된다. 그로 인해, 하나의 마이크로 컴퓨터 칩과 복수의 메모리 칩을 각각 전기적으로 접속하는 배선의 길이를 같게 하는 것이 요구된다.

<131>

그러나, 상기 문헌 1에 기재된 구조에서는, 상단의 기판 상에 적층 배치된 복수의 메모리 칩의 기판과의 접속에 있어서, 범프 접속과 와이어 접속이 혼재하고 있어, 배선의 길이를 같게 할 수 없는 것이 문제이다.

<132>

또한, 기판 내에 복수의 반도체 칩을 매립하는 구조는 고안되어 있지만, 이 구조의 경우, 기판의 재질(수지)과 반도체 칩의 재질(Si)의 열팽창 계수의 차에 의해 기판에 힘이 발생하기 쉬워 이 기판의 땀납 접속이 곤란한 것이 문제이다.

<133>

본 발명의 목적은, 마이크로 컴퓨터 칩과 복수의 메모리 칩을 갖는 반도체 장치에 있어서 복수의 메모리 칩의 배선의 길이를 같게 할 수 있는 기술을 제공하는 데 있다.

<134>

본 발명의 다른 목적은, 복수의 메모리 칩이 매립된 기판의 땀납 접속을 가능하게 할 수 있는 기술을 제공하는 데 있다.

<135>

본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

발명의 구성 및 작용

<136>

본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 이하와 같다.

<137>

즉, 본 발명은, 제1 배선 기판과, 제1 배선 기판 상에 탑재된 마이크로 컴퓨터 칩과, 마이크로 컴퓨터 칩 상에

배치된 제2 배선 기판과, 제1 및 제2 배선 기판을 접속하는 복수의 제1 범프 전극을 갖고, 제2 배선 기판은 제1 및 제2 메모리 칩을 내장하고, 제2 메모리 칩은 제1 메모리 칩 상에 배치되고, 제1 및 제2 메모리 칩은 외부 클럭 신호의 온(ON)과 오프(OFF)의 양쪽에 동기하여 데이터를 전송하는 것이다.

<138> 또한, 본 발명은, 주면 상에 복수의 제1 본딩 리드가 설치된 제1 배선 기판을 준비하는 공정과, 외부 클럭 신호의 온과 오프의 양쪽에 동기하여 각각 데이터를 전송하는 제1 메모리 칩과 제2 메모리 칩을 내장하고, 또한 제2 메모리 칩이 제1 메모리 칩 상에 배치된 제2 배선 기판을 준비하는 공정을 갖는다. 또한, 제1 배선 기판의 주면 상에 마이크로 컴퓨터 칩을 탑재하는 공정과, 제1 배선 기판의 복수의 제1 본딩 리드 상에 땀납 페이스트를 도포하는 공정과, 제2 배선 기판의 복수의 제2 본딩 리드에 제1 범프 전극을 접속하는 공정과, 제1 범프 전극과 땀납 페이스트를 접속하여 제1 배선 기판 상에 제2 배선 기판을 실장하는 공정을 갖는 것이다.

<139> 이하의 실시 형태에서는 특별히 필요한 때 이외에는 동일 또는 같은 부분의 설명을 원칙으로 하여 반복하지 않는다.

<140> 또한, 이하의 실시 형태에서는 편의상 그 필요가 있을 때에는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그것들은 서로 관계가 없는 것은 아니며, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

<141> 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급하는 경우, 특별히 명시한 경우 및 원리적으로 분명히 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것은 아니며, 특정한 수 이상이라도 좋고 이하라도 좋은 것으로 한다.

<142> 이하, 본 발명의 실시 형태를 도면을 기초로 하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부재에는 동일 부호를 부여하고, 그 반복 설명은 생략한다.

<143> (제1 실시 형태)

도1은 본 발명의 제1 실시 형태의 반도체 장치의 구조의 일례를 모식적으로 도시하는 단면도, 도2는 도1에 도시하는 반도체 장치의 길이가 같은 배선 구조를 모식적으로 도시하는 부분 구조도, 도3은 도1에 도시하는 반도체 장치를 기판마다 전개하여 구조를 도시하는 평면도, 도4는 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도이다. 또한, 도5는 도1에 도시하는 반도체 장치의 상단측 패키지의 구조를 도시하는 단면도, 도6은 도1에 도시하는 반도체 장치의 하단측 패키지의 구조를 도시하는 단면도, 도7은 도4에 도시하는 반도체 장치의 하단측 패키지의 구조를 도시하는 단면도, 도8은 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도, 도9는 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도이다. 또한, 도10은 도8에 도시하는 반도체 장치를 기판마다 전개하여 구조를 도시하는 평면도, 도11은 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도, 도12는 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도이다.

<145> 도1 내지 도3에 도시하는 본 제1 실시 형태의 반도체 장치는, 복수의 반도체 칩을 갖는 것이며, 복수의 반도체 칩이 내장된 기판을 갖는 반도체 패키지이다. 본 제1 실시 형태에서는, 상기 반도체 장치의 일례로서, SIP(1)를 다루어 설명한다.

<146> SIP(1)의 구성에 대해 설명하면, 주면(제1 주면)(4a)과 주면(4a)에 대향하는 이면(제1 이면)(4b)을 갖는 제1 배선 기판(4)과, 제1 배선 기판(4)의 주면(4a) 상에 탑재된 마이크로 컴퓨터 칩(3)과, 주면(제2 주면)(5a)과 주면(5a)에 대향하는 이면(제2 이면)(5b)을 갖고 또한 마이크로 컴퓨터 칩(3) 상에 배치된 제2 배선 기판(5)과, 제1 배선 기판(4)과 제2 배선 기판(5)을 전기적으로 접속하는 복수의 제1 땀납 범프(제1 범프 전극)(34)로 이루어진다. 또한, 제1 배선 기판(4)의 이면(4b)에는 SIP(1)의 외부 단자로서 복수의 제2 땀납 범프(제2 범프 전극)(35)가 격자 형상으로 배치되어 있다.

<147> 즉, SIP(1)는 제1 배선 기판(4)과, 제1 배선 기판(4) 상에 탑재된 마이크로 컴퓨터 칩(3)과, 마이크로 컴퓨터 칩(3) 상에 배치된 제2 배선 기판(5)과, 제1 배선 기판(4)과 제2 배선 기판(5)을 접속하는 복수의 제1 땀납 범프(34)와, 제1 배선 기판(4)의 이면(4b)에 설치된 복수의 제2 땀납 범프(35)를 갖고, 제1 배선 기판(4)을 갖는 패키지 완결 구조상에 제2 배선 기판(5)을 갖는 패키지 완결 구조가 탑재된, 소위 POP(Package on Package) 구조이다.

<148> 또한, 제2 배선 기판(5)의 내부에는 고속의 제1 메모리 칩(2)과 제2 메모리 칩(6)이 적층된 상태에서 내장되어 있고, 제2 배선 기판(5) 내에서 제1 메모리 칩(2)의 배선과 제2 메모리 칩(6)의 배선이 길이가 같게 되어 있다.

- <149> SIP(1)의 구조에 대해 상세하게 설명하면, 제1 배선 기판(4) 상에 복수의 제1 땜납 범프(34)를 통해 제2 배선 기판(5)이 탑재되어 있고, 또한 제1 배선 기판(4)의 주면(4a)과 제2 배선 기판(5)의 이면(5b)과의 사이의 영역에 연산 처리 기능을 구비한 마이크로 컴퓨터 칩(3)이 배치되어 있다. 도3에 도시한 바와 같이, 마이크로 컴퓨터 칩(3)은 제1 배선 기판(4) 상에서 그 대략 중앙에 배치되고, 제1 배선 기판(4)의 주면(4a)에 형성된 복수의 제1 본딩 리드(4c) 중 마이크로 컴퓨터 칩(3)용 복수의 본딩 리드(도시하지 않음)와, 예를 들어 복수의 금 범프(36)를 통해 플립 칩 접속되어 있다. 즉, 마이크로 컴퓨터 칩(3)은 도1에 도시한 바와 같이 그 주면(3a)을 하방을 향하고, 이면(3b)을 상방을 향해 탑재되어 있다. 또한, 그 플립 칩 접속부에 언더필(37)이 충전되고, 이 언더필(37)에 의해 보호되어 있다. 여기서, 마이크로 컴퓨터 칩(3)을 Au 범프(36)를 통해 플립 칩 접속함으로써 협피치화에 대응하는 것이 가능하다.
- <150> 또한, 제1 배선 기판(4)과 제2 배선 기판(5)을 접속하는 제1 땜납 범프(34)는 도3에 도시한 바와 같이 마이크로 컴퓨터 칩(3)의 외측 주위에 배치되어 있다. 그 때, 도1에 도시하는 SIP(1)에서는, 제1 배선 기판(4)과 제2 배선 기판(5)의 평면 방향의 크기가 동일하기 때문에, 복수의 제1 땜납 범프(34)는 도3에 도시한 바와 같이 제1 배선 기판(4) 및 제2 배선 기판(5)의 주연부에 나란히 배치되어 있다. 더욱 설명하면, 복수의 제1 땜납 범프(34)는 제1 배선 기판(4)의 주면(4a) 상에 탑재된 마이크로 컴퓨터 칩(3)의 주위에 나란히 배치되어 있다.
- <151> 또한, 제2 배선 기판(5)은 각각에 메모리 회로를 구비한 제1 메모리 칩(2)과 제2 메모리 칩(6)을 내장하고 있고, 그 때, 도1에 도시한 바와 같이 제2 메모리 칩(6)은 제1 메모리 칩(2) 상에 배치되어 있다. 즉, 제1 메모리 칩(2) 및 제2 메모리 칩(6)은 제2 배선 기판(5) 내에 매립되어 있고, 그 때, 제1 메모리 칩(2) 상에 제2 메모리 칩(6)이 적층되어 있다. 또한, 제1 메모리 칩(2) 및 제2 메모리 칩(6) 모두 주면(2a, 6a) 및 이면(2b, 6b)이 각각 동일 방향을 향해 적층되어 있다.
- <152> 이와 같이 본 제1 실시 형태의 SIP(1)에서는, 하단측으로서, 도6에 도시한 바와 같이 제1 배선 기판(4) 상에 마이크로 컴퓨터 칩(3)이 탑재된 패키지 완결 구조로 되어 있고, 또한 상단측으로서, 도5에 도시한 바와 같이 제2 배선 기판(5) 내에 제1 메모리 칩(2)과 제2 메모리 칩(6)이 내장된 패키지 완결 구조로 되어 있고, 양쪽의 패키지 완결 구조를 적층한 구조(이후, 온 팩 구조라고도 함)로 되어 있다.
- <153> 따라서, 메모리 칩 관계의 테스트와, 마이크로 컴퓨터 칩 관계의 테스트를 각각 독립된 패키지 완결 구조로 실시할 수 있으므로, 양품끼리를 조합하여 적층함으로써 SIP(1)의 조립에 있어서의 수율을 향상시킬 수 있다.
- <154> 또한, 메모리 칩 관계의 패키지 구조와, 마이크로 컴퓨터 칩 관계의 패키지 구조를 자유자재로 조합하는 것이 가능하기 때문에, 배리에이션을 다수 편성할 수 있어 다양한 구조를 실현할 수 있다. 그 때, 테스트 후에 조합을 사용자측에서 선택하는 것도 가능해진다.
- <155> 또한, SIP(1)의 상단측에 배치된 제2 배선 기판(5)에 내장되어 있는 제1 메모리 칩(2) 및 제2 메모리 칩(6)은, 예를 들어 더블 데이터 레이트 싱크로너스 DRAM(Double Data Rate SDRAM)이다. 더블 데이터 레이트 싱크로너스 DRAM은 SDRAM의 동기 타이밍을 강화하여 전송 레이트가 2배가 되도록 한 고속 대응의 SDRAM이며, 외부 클럭 신호의 온과 오프의 양쪽에 동기하여 데이터를 전송하는 것이다.
- <156> 따라서, 제1 메모리 칩(2)과 제2 메모리 칩(6)에 있어서, 외부 클럭 신호의 온과 오프의 양쪽을 사용하므로, 매우 짧은 타이밍을 맞출 필요가 있고, 본 제1 실시 형태에서는, 제2 배선 기판(5)의 내부에 있어서 제1 메모리 칩(2)과 접속하는 내부 배선(5d)과, 제2 메모리 칩(6)과 접속하는 내부 배선(5d)과의 길이가 같게 되어 있다.
- <157> 즉, 도2에 도시한 바와 같이, 제2 배선 기판(5)의 내부 배선(5d)에 있어서, 제1 메모리 칩(2)의 제1 전극 패드(2c)로부터 이 제1 전극 패드(2c)에 대응하는 제2 배선 기판(5)의 제2 본딩 리드(5c)까지의 제1 거리(5e)와, 제2 메모리 칩(6)의 제2 전극 패드(6c)로부터 이 제2 전극 패드(6c)에 대응하는 제2 본딩 리드(5c)까지의 제2 거리(5f)가 대략 동일한 길이로 되어 있다.
- <158> 이에 의해, 제1 메모리 칩(2) 및 제2 메모리 칩(6)에 있어서, 내부 배선(5d)의 길이가 같게 되어 있으므로, 외부 클럭 신호의 온과 오프의 양쪽에 동기하여 데이터를 전송할 수 있다.
- <159> 또한, 내부 배선(5d)의 길이가 같음에 관하여, 제1 거리(5e)와 제2 거리(5f)의 차의 허용 범위는 예를 들어 $\pm 2 \text{ mm}$ 이내, 바람직하게는 $\pm 1 \text{ mm}$ 이내이다.
- <160> 여기서, SIP(1)에서는, 마이크로 컴퓨터 칩(3)은 시스템의 외부와, 시스템의 내부에 설치된 제1 메모리 칩(2)이나 제2 메모리 칩(6) 사이를 중개하여 데이터의 입출력을 제어하고 있다. 즉, 어드레스, 커맨드, 클럭 등의 정보를 복수의 메모리 칩과의 사이에서 교환하고 있다. 그로 인해, 도1에 도시한 바와 같이, 마이크로 컴퓨터 칩

(3)과 제1 메모리 칩(2) 및 제2 메모리 칩(6)의 각각은 복수의 제1 본딩 리드(4c), 복수의 제1 땜납 범프(34), 및 복수의 제2 본딩 리드(5c)를 통해 전기적으로 접속되어 있다. 이 때, 마이크로 컴퓨터 칩(3)의 복수의 금 범프(36)가 전기적으로 접속되는 마이크로 컴퓨터 칩용 본딩 리드와, 복수의 제1 땜납 범프(34)와 전기적으로 접속되는 복수의 제2 본딩 리드(5c)는 각각 전기적으로 접속되어 있다.

<161> 본 제1 실시 형태의 SIP(1)에서는, 마이크로 컴퓨터 칩(3)을 하단측, 메모리 칩을 상단측에 배치하고 있다.

<162> 왜냐하면, 제2 배선 기판(5)에서는, 2개의 얇은 제1 메모리 칩(2)과 제2 메모리 칩(6)이 내장되므로, 내부에 반도체 칩을 탑재하고 있지 않은 제1 배선 기판(4)보다도 휙기 쉽다. 즉, 기판과 칩의 열팽창 계수의 차로부터 제2 배선 기판(5)은 제1 배선 기판(4)에 비해 휙기 쉽기 때문에, 제2 배선 기판(5)을 하단측에 배치한 경우, 제2 배선 기판(5)의 표면[주면(5a)]의 평탄성을 확보할 수 없고, 상단측에 적층하고자 하는 제1 배선 기판(4)의 실장 불량이 발생하기 쉽다. 그러나, SIP(1)의 조립시의 제1 배선 기판(4)과 제2 배선 기판(5)의 땜납 접속에 있어서, 미리 제1 배선 기판(4)의 제1 본딩 리드(4c) 상에 땜납 페이스트(46)(마중 땜납)을 도포해 두고(도35 참조), 이 땜납 페이스트(46)와 제1 땜납 범프(34)를 접속함으로써 제2 배선 기판(5)이 휙어 있는 경우에도 제1 배선 기판(4)과 제2 배선 기판(5)을 접속을 할 수 있다. 따라서, 휙이 적은 제1 배선 기판(4)을 하측에 배치하기 때문에 사용자측에서의 SIP(1)의 실장도 가능해진다.

<163> 또한, 마이크로 컴퓨터 칩(3)은 메모리 칩에 비교하여 훨씬 핀수가 많고, 또한 발열량도 많다. 즉, 마이크로 컴퓨터 칩(3)은 신호의 송수신의 외부와의 종개역인 동시에, 핀수가 많고 또한 발열량도 많다. 그러나, 하단의 제1 배선 기판(4) 상에 탑재함으로써, SIP(1)가 실장되는 실장 기판에 제2 땜납 범프(35)를 통해 열을 내보낼 수 있다.

<164> 이상과 같이 본 제1 실시 형태의 SIP(1)는 제2 배선 기판(5)에 제1 메모리 칩(2) 및 제2 메모리 칩(6)이 내장되고, 또한 제2 메모리 칩(6)이 제1 메모리 칩(2) 상에 배치되어 있는 동시에, 제1 메모리 칩(2) 및 제2 메모리 칩(6)은 외부 클럭 신호의 온과 오프의 양쪽에 동기하여 데이터를 전송하는 고속의 메모리 칩이다. 이와 같은 복수의 고속의 메모리 칩이 내장된 제2 배선 기판(5)에 있어서, 이를 메모리 칩[제1 메모리 칩(2) 및 제2 메모리 칩(6)]의 배선의 길이를 같게 할 수 있다.

<165> 또한, 휙기 쉬운 칩 내장의 제2 배선 기판(5)이 상단측에 배치되어 있으므로, 마이크로 컴퓨터 칩(3)으로부터 발생하는 열을 외부 단자인 제2 땜납 범프(35)를 통해 실장 기판으로 내보낼 수 있다.

<166> 다음에, 본 제1 실시 형태의 변형예에 대해 설명한다. 도4에 도시하는 변형예의 SIP(1)는, 하단측의 제1 배선 기판(4) 상에 반도체 칩을 적층하여 실장하는 것이다. 제1 배선 기판(4) 상에 적층되어 있는 하단의 반도체 칩은 플립 칩 접속된 마이크로 컴퓨터 칩(3)이다. 따라서, 이 마이크로 컴퓨터 칩(3)은 제1 배선 기판(4)의 제1 내부 배선(4e)을 통해 제1 땜납 범프(34)나 제2 땜납 범프(35)와 전기적으로 접속되어 있다.

<167> 또한, 도4에 도시하는 SIP(1)의 제1 배선 기판(4) 상에 적층되어 있는 상단의 반도체 칩은, 마이크로 컴퓨터 칩(3)이든 메모리 칩(40)이든 어느 쪽이라도 좋고, 와이어(38)를 통해 제1 배선 기판(4)의 주면(4a) 상의 단자(4d)와 전기적으로 접속되어 있다. 제2 배선 기판(5)에 내장되어 있는 제1 메모리 칩(2)이나 제2 메모리 칩(6)만큼 고속 처리를 필요로 하지 않으므로, 제1 내부 배선(4e)과는 분리된 제2 내부 배선(4f)을 통해 단자(4d)가 제2 땜납 범프(35)와 접속되어 있다. 또한, 하단의 마이크로 컴퓨터 칩(3)과 상단의 메모리 칩(40), 및 와이어(38)는 밀봉체(39)에 의해 수지 밀봉되어 있다.

<168> 또한, 도4에 도시하는 SIP(1)에 있어서도, 하단측으로서, 도7에 도시한 바와 같이 제1 배선 기판(4) 상에 마이크로 컴퓨터 칩(3)과 메모리 칩(40)이 적층된 패키지 완결 구조로 되어 있고, 또한 상단측으로서 도5에 도시한 바와 같이 제2 배선 기판(5) 내에 제1 메모리 칩(2)과 제2 메모리 칩(6)이 내장된 패키지 완결 구조로 되어 있고, 양쪽의 패키지 완결 구조를 적층한 구조(온 백 구조)로 되어 있다.

<169> 따라서, 메모리 칩 관계의 테스트와, 마이크로 컴퓨터 칩 관계의 테스트를 각각 독립된 패키지로 실시할 수 있으므로, 양품끼리를 조합하여 적층함으로써 도4에 도시하는 SIP(1)의 조립에 있어서의 수율을 향상시킬 수 있다.

<170> 다음에, 도8에 도시하는 변형예의 SIP(1)는 도10에 도시한 바와 같이 상하단의 기판의 사이즈가 다른 것이며, 하단에 배치되는 제1 배선 기판(4) 쪽이 상단에 배치되는 제2 배선 기판(5)보다 훨씬 큰 것으로 되어 있다. 또한, 도8에 도시한 바와 같이, 제2 배선 기판(5)과, 제1 배선 기판(4)의 제2 배선 기판(5)으로부터 비어져나온 부분이 방열판(41)에 의해 덮여 있어, SIP(1)의 방열성을 향상시킬 수 있다. 방열판(41)은 제1 배선 기판(4)의

주면(4a)의 주연부에 접착제(42)를 통해 고착되어 있다.

<171> 또한, 도9에 도시하는 변형예의 SIP(1)는 제1 배선 기판(4)의 제2 배선 기판(5)으로부터 비어져나온 부분에만 접착제(42)를 통해 방열판(41)이 고착되어 있는 것이므로, 이에 의해서도 SIP(1)의 방열성을 향상시킬 수 있다.

<172> 또한, 도11에 도시하는 변형예의 SIP(1)는 제1 배선 기판(4) 상에 제2 배선 기판(5)을 적층하고, 또한 제2 배선 기판(5) 상에 제3 땀납 범프(44)를 통해 제3 배선 기판(43)이 적층되어 있는 것이다. 제3 배선 기판(43)상에는, 예를 들어 그 하단에는 마이크로 컴퓨터 칩(45)이 금 범프(36)를 통해 플립 칩 접속되고, 또한 그 위에 메모리 칩(40)이 적층되어 있고, 메모리 칩(40)은 와이어(38)를 통해 제3 배선 기판(43)에 전기적으로 접속되어 있다. 제3 배선 기판(43) 상의 마이크로 컴퓨터 칩(45) 및 메모리 칩(40)이나 와이어(38)는 밀봉체(39)에 의해 수지 밀봉되고, 또한 밀봉체(39)의 표면에는 방열판(41)이 부착되어 있다.

<173> 또한, 도12에 도시하는 변형예의 SIP(1)는 제1 메모리 칩(2)과 제2 메모리 칩(6)이 매립된 제2 배선 기판(5)의 주면(5a) 상에, 예를 들어 메모리 칩(40)[마이크로 컴퓨터 칩(45)이라도 좋음]이 탑재된 것이며, 이 메모리 칩(40)이 와이어(38)를 통해 제2 배선 기판(5)의 주면(5a)의 단자(5g)와 전기적으로 접속되어 있다. 메모리 칩(40)은 제2 배선 기판(5)에 내장되어 있는 제1 메모리 칩(2)이나 제2 메모리 칩(6)만큼 고속 처리를 필요로 하지 않으므로, 제2 배선 기판(5)의 내부 배선(5d)과는 분리된 다른 내부 배선(5h)을 통해 단자(5g)가 제1 땀납 범프(34)와 접속되고, 또한 제1 땀납 범프(34)가 제1 배선 기판(4)의 제2 내부 배선(4f)을 통해 제2 땀납 범프(35)와 접속되어 있다.

<174> 또한, 제2 배선 기판(5)의 주면(5a) 상에 있어서, 메모리 칩(40)이나 와이어(38)는 밀봉체(39)에 의해 수지 밀봉되고, 또한 밀봉체(39)의 표면에는 방열판(41)이 부착되어 있는 동시에, 제1 배선 기판(4)의 제2 배선 기판(5)으로부터 비어져나온 주연부에도 방열판(41)이 부착되어 있다.

<175> 이와 같이 도11 및 도12에 각각 도시하는 변형예의 SIP(1)는 다층의 온 팩 구조의 패키지이며, 도1에 도시하는 SIP(1)와 같은 효과를 얻을 수 있는 동시에, 더욱 다수의 반도체 칩[메모리 칩(40)이나 마이크로 컴퓨터 칩(45) 등]을 탑재하고 있음으로써, 더욱 기능을 향상시킨 SIP(1)를 실현할 수 있다.

<176> 다음에, 본 제1 실시 형태의 도1에 도시하는 SIP(1)의 조립에 대해 설명한다.

<177> 도13 내지 도18은 각각 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 형성 방법의 일례를 나타내는 부분 단면도, 도19 내지 도21은 각각 도1에 도시하는 반도체 장치의 조립에 있어서의 칩 매립 방법의 일례를 나타내는 부분 단면도, 도22 내지 도25는 각각 변형예의 칩 매립 방법을 나타내는 부분 단면도이다. 또한, 도26는 도1에 도시하는 반도체 장치의 조립에 있어서의 칩 매립 방법의 일례를 나타내는 부분 단면도, 도27은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 적층 방법의 일례를 나타내는 부분 단면도, 도28은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 적층 후의 기판의 구조의 일례를 도시하는 이면도, 도29는 도28의 A-A선을 따라 절단한 구조의 일례를 도시하는 단면도이다. 또한, 도30은 도1에 도시하는 반도체 장치의 조립에 있어서의 제1 범프 전극의 설치 후의 구조의 일례를 도시하는 부분 단면도, 도31은 변형예의 제1 범프 전극의 설치 후의 구조를 도시하는 부분 단면도, 도32는 도1에 도시하는 반도체 장치의 조립에 있어서의 기판 개편화(個片化) 및 테스트 완료 후의 구조의 일례를 도시하는 단면도, 도33은 도1에 도시하는 반도체 장치의 조립에 있어서의 하측 패키지의 테스트 완료 후의 구조의 일례를 도시하는 부분 단면도이다.

<178> 또한, 도34는 도1에 도시하는 반도체 장치의 조립 완료 후의 구조의 일례를 도시하는 부분 단면도, 도35는 도1에 도시하는 반도체 장치의 조립에 있어서의 마중 땀납 형성시의 구조의 일례를 도시하는 부분 단면도, 도36 내지 도38은 각각 변형예의 하측 패키지의 테스트 완료 후의 구조를 도시하는 부분 단면도, 도39는 변형예의 반도체 장치의 조립에 있어서의 제1 범프 전극의 설치 후의 구조를 도시하는 부분 단면도이다.

<179> 우선, 도13에 도시한 바와 같이, Si 베이스(7) 상에 디바이스층(8)이 형성되고, 또한 디바이스층(8) 상에 제1 전극 패드(2c)와 패시베이션막(10)이 형성된 디바이스에 있어서, 프로브 검사와 퓨즈(9)의 절단을 행하여 양품의 디바이스를 취득한다.

<180> 그 후, 도14에 도시한 바와 같이, 제1 전극 패드(2c) 및 패시베이션 막(10) 상에 전극층인 시드층(12)을 형성한다.

<181> 그 후, 도15에 도시한 바와 같이, 시드층(12) 상에 레지스트막(13)을 형성하고, 그 후, 제1 전극 패드(2c) 상의 레지스트막(13)을 소정 형상으로 제거한 후, 제1 전극 패드(2c) 상의 시드층(12) 상에 Cu 전극(14)을 형성한다.

<182> 그 후, 도16에 도시한 바와 같이, Cu 전극(14)의 주위의 레지스트막(13) 및 시드층(12)을 제거하고, 제1 전극

패드(2c) 상의 Cu 전극(14)을 완성시킨다. 또, Cu 전극(14)의 형성에 대해서는 스퍼터법 등의 다른 방법으로 형성해도 좋다.

<183> 그 후, 도17에 도시한 바와 같이, Si 베이스 이면을 연마하여 박막화 디바이스(33)를 형성한다.

<184> 그 후, 다이싱에 의한 개편화를 행하여 도18에 도시하는 제1 메모리 칩(2)을 취득한다.

<185> 그 후, 도19에 도시한 바와 같이, 여러 개 연이은 제1 베이스 기판(15)을 준비하고, 또한 제1 베이스 기판(15) 상에 수지층(17)과, 오목부인 캐비티(16)를 형성한다.

<186> 그 후, 도18에서 형성한 제1 메모리 칩(2)을 제1 베이스 기판(15) 상에 형성한 캐비티(16) 내에 배치하고, 다이 본드재(18)로 고착한다.

<187> 그 후, 캐비티(16) 내에 있어서, 도20에 도시한 바와 같이 제1 메모리 칩(2) 상에 에폭시 수지 등으로 이루어지는 절연재(19)를 충전하고, 또한 제1 메모리 칩(2)의 제1 전극 패드(2c) 상의 Cu 전극(14)의 상부를 개방한다.

<188> 그 후, 레이저 가공 등에 의해 수지층(17)의 소정 부위에 관통 구멍을 형성하고, 계속해서 도21에 도시한 바와 같이 도금에 의해 관통 구멍의 내벽에 스루 홀 배선(23)을 형성하는 동시에, 그 내부에 충전재(22)를 매립하고, 또한 Cu 전극(14)에 접속하는 배선 패턴인 도체 패턴(20), 및 도체 패턴(20)과 스루 홀 배선(23)을 접속하는 비아 패드(24)를 형성한다. 그 때, 비아 패드(24)를 도체 패턴(20)에 의해 덮는다.

<189> 또한, 도22 및 도23의 변형예에 도시한 바와 같이, 제1 베이스 기판(15) 상에 칩 마운트 후, 칩 주위를 프리프레그 등의 절연재(19)로 덮는 구조로 해도 좋고, 절연재(19)로 덮은 후에, 제1 전극 패드(2c) 상의 Cu 전극(14)의 상부를 개방하면 된다. 개방 후, 비아 패드(24)와, 이 비아 패드(24)를 덮고 또한 Cu 전극(14)과 접속하는 도체 패턴(20)을 형성한다.

<190> 또한, 도19에 도시하는 캐비티 구조를 이용하여, 도24 및 도25의 변형예에 도시한 바와 같이 수지층(17)의 상부에 에폭시 수지 등으로 이루어지는 절연재(19)를 배치하지 않는 구조로 해도 좋다. 즉, 캐비티(16) 내에만 절연재(19)를 충전하는 것이다.

<191> 그 후, 도26에 도시한 바와 같이, 도체 패턴(20) 상에 프리프레그 등으로 이루어지는 절연층(11)을 형성하는 동시에, 비아 패드(24) 상에 패드(26)를 형성한다.

<192> 그 후, 도27에 도시한 바와 같이 제2 베이스 기판(21)을 준비한다. 여기서, 제2 베이스 기판(21)은 수지층(17)[제1 베이스 기판(15)을 포함함]과 거의 동일한 두께이고, 제2 베이스 기판(21)의 소정 부위에 스루 홀 배선(23)과, 이 스루 홀 배선(23)에 접속되는 비아 패드(24) 및 중계 패턴(25)을 형성한다.

<193> 그 후, 도28 및 도29에 도시한 바와 같이, 제2 베이스 기판(21)의 표면측에 제2 메모리 칩(6)이 매립된 수지층(17)[제1 베이스 기판(15)을 포함함]을 배치하고, 또한 제2 베이스 기판(21)의 이면측에 제1 메모리 칩(2)이 매립된 수지층(17)[제1 베이스 기판(15)을 포함함]을 배치하고, 가열 프레스 등에 의해 제2 베이스 기판(21)과 표리 양면의 수지층(17)을 각각 접착한다. 그 때, 제2 베이스 기판(21)의 표리 양면의 제2 메모리 칩(6)과 제1 메모리 칩(2)이 동일 방향을 향하도록 각각의 수지층(17)과 제2 베이스 기판(21)을 접착한다.

<194> 그 결과, 제2 베이스 기판(21)을 사이에 개재시킨 상태에서 제2 메모리 칩(6)과 제1 메모리 칩(2)이 적층되는 동시에, 상하의 메모리 칩의 길이가 같은 배선을 행할 수 있다. 여기에서는, 도29에 도시한 바와 같이 제2 메모리 칩(6)과 제1 메모리 칩(2)에 각각 접속되어 있는 도체 패턴(20)은 각각 스루 홀 배선(23)을 통해 A부에서 중계 패턴(25)에 접속하고 있고, 이에 의해 배선의 길이가 같게 되어 있다(도29에 있어서의 흑색으로 칠해진 배선이 길이가 같은 배선으로 되어 있음).

<195> 그 후, 기판의 표리 양면에 레지스트막(27)을 형성한다.

<196> 이에 의해, 제1 메모리 칩(2)과 제2 메모리 칩(6)이 적층되어 매립되고, 또한 길이가 같은 배선이 형성된 패키지 완결 구조의 형성을 완료한다.

<197> 그 후, 도30에 도시한 바와 같이, 패키지 완결 구조[제2 배선 기판(5)]의 이면(5b)의 패드(26)[제2 본딩 리드(5c)]에 제1 땜납 범프(34)를 접속한다.

<198> 또한, 도31에 도시하는 변형예는, 패키지 완결 구조[제2 배선 기판(5)]의 패드(26)[제2 본딩 리드(5c)]에 제1 땜납 범프(34)를 접속할 때에, 제1 배선 기판(4) 상에 제2 배선 기판(5)을 접속하였을 때에, 제1 메모리 칩(2) 및 제2 메모리 칩(6)의 디바이스면이 상방을 향하도록 하는 것이다. 즉, 패키지 완결 구조[제2 배선 기판(5)]

의 주면(5a)의 패드(26)[제2 본딩 리드(5c)]에 제1 땜납 범프(34)를 접속하는 것이다. 이에 의해, 기판이 휘어져 있어도 그 실장성을 향상시킬 수 있는 동시에, 기판의 방열성을 향상시킬 수 있다.

<199> 그 후, 도32에 도시한 바와 같이, 다이싱에 의해 기판의 개편화를 행하여 제2 배선 기판(5)을 형성하고, 또한 이 패키지 완결 구조(메모리 스택 패키지)의 메모리 테스트를 행한다.

<200> 그 후, 도33에 도시한 바와 같이, 마이크로 컴퓨터 칩(3)이 플립 칩 접속으로 탑재되고, 또한 제2 땜납 범프(35)가 접속되고, 또한 테스트가 완료된 제1 배선 기판(4)(패키지 완결 구조)을 준비한다.

<201> 그 후, 도34에 도시한 바와 같이, 제1 땜납 범프(34)를 통해 상단의 제2 배선 기판(5)을 갖는 패키지 완결 구조와, 하단의 제1 배선 기판(4)을 갖는 패키지 완결 구조를 접속함으로써 SIP(1)의 조립을 완료한다.

<202> 또한, 제1 배선 기판(4)과 제2 배선 기판(5)을 접속할 때에는, 열 및 하중을 가한 상태에서 제2 배선 기판(5)을 제1 배선 기판(4) 상에 실장한다. 또한, 도35에 도시한 바와 같이, 미리 제1 배선 기판(4)의 제1 본딩 리드(4c) 상에 마중 땜납을 도포해 두고, 상기 마중 땜납과 제2 배선 기판(5)에 접속되어 있는 제1 땜납 범프(34)를 접속하는 것이 바람직하다. 즉, 제1 배선 기판(4)의 주면(4a)의 복수의 제1 본딩 리드(4c) 상에 미리 마중 땜납인 땜납 페이스트(46)를 도포해 두고, 열 및 하중을 가하여 제1 땜납 범프(34)와 땜납 페이스트(46)를 접속하여 제1 배선 기판(4) 상에 제2 배선 기판(5)을 실장하는 것이 바람직하다.

<203> 이것은, 상단에 배치되는 제2 배선 기판(5)에는 얇은 제1 메모리 칩(2)과 제2 메모리 칩(6)이 적층하여 매립되어 있기 때문에 기판이 휘기 쉽다. 따라서, 상단에 배치되는 제2 배선 기판(5)과 하단에 배치되는 제1 배선 기판(4)을 접속할 때에는, 하단측 제1 배선 기판(4)의 제1 본딩 리드(4c) 상에 미리 땜납 페이스트(46)(마중 땜납)를 도포해 두고, 열 및 하중을 가하여 제2 배선 기판(5)을 실장함으로써 상단측 제2 배선 기판(5)의 힘을 흡수하여 땜납 접속을 행할 수 있기 때문이다. 열 및 하중으로부터 해방되면, 제2 배선 기판(5)은 다시 휘지만, 그 때에는 이미 제1 배선 기판(4)과 제2 배선 기판(5)은 땜납이 경화하여 접속을 완료하고 있으므로, 접속 불량에 이르는 일은 없다.

<204> 따라서, 제1 배선 기판(4)에 땜납 페이스트(46)를 도포하지 않고, 단순히 열 및 하중을 가하는 것만으로도 좋지만, 보다 바람직하게는 마중 땜납인 땜납 페이스트(46)를 미리 제1 배선 기판(4)에 도포해 둠으로써, 휘기 쉬운 칩 내장의 제2 배선 기판(5)을 더 확실하게 실장할 수 있다.

<205> 즉, 마중 땜납 기술을 채용함으로써, 복수의 칩 내장의 휘기 쉬운 제2 배선 기판(5)을 상단에 배치하여 땜납 실장하는 것이 가능해진다. 그 결과, 마이크로 컴퓨터 칩(3)이 탑재된 휘기 어려운 제1 배선 기판(4)은 하단에 배치하고, 또한 휘기 쉬운 제2 배선 기판(5)을 제1 땜납 범프(34)를 통해 제1 배선 기판(4) 상에 실장하는 것이 가능해지므로, 사용자측에서 제2 배선 기판(5)의 실장을 행하는 것도 가능해진다.

<206> 다음에, 도36은 변형예를 도시하는 것이고, 제1 배선 기판(4) 상에 예를 들어 마이크로 컴퓨터 칩(3)과 메모리 칩(40)을 적층하여 실장한 결과, 이를 칩을 수지 밀봉하는 밀봉체(39)의 높이가 보다 높아지게 되는 경우가 있다. 그로 인해, 이 밀봉체(39)의 주위에 제1 땜납 범프(34)를 통해 다른 패키지를 적층하는 POP(Package On Package) 구조를 채용할 수 없다. 그래서, 제1 배선 기판(4) 상의 제1 본딩 리드(4c)를 밀봉체(39)의 상면보다도 높은 위치로 인출하기 위해, 스페이서 기판(28)을 개재시켜 테스트를 행하는 것이다. 테스트 종료 후에는, 스페이서 기판(28)을 이탈시켜, 도37에 도시한 바와 같이 원래의 제1 배선 기판(4)의 구조로 복귀시키는 것이 가능하다.

<207> 또한, 도38에 도시하는 변형예는, 제1 배선 기판(4) 상에 적층된 마이크로 컴퓨터 칩(3)과 메모리 칩(40)에 있어서, 상단의 메모리 칩(40)과 기판을 와이어(38)를 통해 접속할 때에, 스페이서 기판(28)의 캐비티 내측에 단차부(28a)를 마련해 두고, 이 단차부(28a)의 전극에 와이어(38)를 접속하여 테스트를 행하는 것이다. 단차부(28a)를 마련해 두면, 플립 칩 접속된 마이크로 컴퓨터 칩(3)과 제1 배선 기판(4) 사이에 언더필 수지를 충전해도, 메모리 칩(40)과 와이어(38)를 통해 전기적으로 접속되는 제1 배선 기판(4) 상의 본딩 리드가 언더필 수지로 덮이기 어려워진다.

<208> 또한, 도39에 도시하는 변형예는, 제2 배선 기판(5)에 있어서 제1 메모리 칩(2)과 제2 메모리 칩(6)을 적층한 상태에서 매립할 때에, 양 칩을 반대 방향으로 적층하는 것이다. 즉, 제1 메모리 칩(2)의 이면(2b)과 제2 메모리 칩(6)의 이면(6b)이 마주 보며 적층되어 있고, 이 구조에 있어서도, 양 칩을 각각 스루 홀 배선(23)을 통해 중계 패턴(25)에 접속함으로써 배선의 길이를 같게 할 수 있다.

<209> (제2 실시 형태)

- <210> 도40은 본 발명의 제2 실시 형태의 반도체 장치의 구조의 일례를 모식적으로 도시하는 단면도, 도41은 도40에 도시하는 반도체 장치의 상단층 패키지의 구조를 도시하는 단면도, 도42는 도41에 도시하는 상단층 패키지의 기판의 내부 구조의 일례를 도시하는 부분 단면도이다.
- <211> 도40에 도시하는 본 제2 실시 형태의 SIP(31)는 제2 배선 기판(5)에 내장되는 반도체 칩 각각이 관통 구멍(2d, 6d, 30c)을 갖는 것이며, 각각의 관통 구멍(2d, 6d, 30c) 내에 도체(29)가 매립되어 배선이 길이가 같게 되어 있는 것이다.
- <212> 따라서, 도41에 도시한 바와 같이, 제2 배선 기판(5)에 제1 메모리 칩(2)과 제2 메모리 칩(6)과 제3 메모리 칩(30)이 적층하여 매립되어 있고, 이 구조에서 패키지 완결 구조로서 메모리 테스트를 행하는 것이 가능하다. 또, 각 칩은 각각의 주면(2a, 6a, 30a) 및 이면(2b, 6b, 30b)이 동일 방향을 향해 적층되어 있고, 관통 구멍(2d, 6d, 30c)에 매립된 도체(29)를 통해 전기적으로 접속되어 있다.
- <213> 또, 도42는 제1 메모리 칩(2)과 제2 메모리 칩(6)만이 적층되어 매립된 제2 배선 기판(5)을 갖는 패키지 완결 구조의 상세를 나타내고 있고, 이 패키지 완결 구조에 있어서도 칩 두께가 얇기 때문에 도체(29)를 통해 배선의 길이를 같게 할 수 있다. 그 결과, 제1 실시 형태의 SIP(1)와 같은 효과를 얻을 수 있다.
- <214> (제3 실시 형태)
- <215> 도43은 본 발명의 제3 실시 형태의 반도체 장치의 구조의 일례를 모식적으로 투과하여 도시하는 평면도, 도44는 도43에 도시하는 반도체 장치의 단면도, 도45 내지 도48은 각각 본 발명의 제3 실시 형태의 변형 예의 반도체 장치의 구조를 모식적으로 투과하여 도시하는 평면도와 단면도이다.
- <216> 본 제3 실시 형태의 반도체 장치[SIP(32)]는 제1 배선 기판(4) 상에 제2 배선 기판(5)을 실장할 때에, 마이크로 컴퓨터 칩(3)과 제2 배선 기판(5)을 가로 배치(수평 배치)로 실장하는 것이고, 도43, 도45, 및 도47에 도시하는 SIP(32)에서는 각각의 내부 구조를 상방으로부터 투과하여 나타내고 있다.
- <217> 도43 및 도44는 제1 배선 기판(4) 상에 금 범프(36)를 통해 플립 칩 접속된 마이크로 컴퓨터 칩(3)의 옆에, 제1 메모리 칩(2)과 제2 메모리 칩(6)이 적층하여 매립된 제2 배선 기판(5)을 제1 땜납 범프(34)를 통해 실장한 구조를 나타내고 있다. 제1 배선 기판(4)의 이면측에는 복수의 제2 땜납 범프(35)가 설치되어 있다.
- <218> 도45 및 도46의 SIP(32)에서는 제1 배선 기판(4) 상에 금 범프(36)를 통해 플립 칩 접속된 마이크로 컴퓨터 칩(3)이 실장되고, 또한 마이크로 컴퓨터 칩(3) 상에, 예를 들어 메모리 칩(40) 등이 적층되어 실장되어 있다. 이 경우도, 마이크로 컴퓨터 칩(3)의 옆에, 제1 메모리 칩(2)과 제2 메모리 칩(6)이 적층하여 매립된 제2 배선 기판(5)이 제1 땜납 범프(34)를 통해 실장되어 있고, 또한 제1 배선 기판(4)의 이면측에는 복수의 제2 땜납 범프(35)가 설치되어 있다.
- <219> 도47 및 도48의 SIP(32)는 도45의 SIP(32)의 마이크로 컴퓨터 칩(3) 상에 적층된 메모리 칩(40)의 상부에 방열판(41)이 더 설치되어 있는 경우이며, 방열판(41) 이외의 구조는 도45의 SIP(32)와 마찬가지이다.
- <220> 도43 내지 도48에 도시하는 SIP(32)에 있어서도, 제1 배선 기판(4) 상에 실장된 칩 내장의 제2 배선 기판(5)에서 복수의 반도체 칩의 배선의 길이를 같게 할 수 있어 제1 실시 형태의 SIP(1)와 같은 효과를 얻을 수 있다.
- <221> 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시 형태를 기초로 하여 구체적으로 설명하였지만, 본 발명은 상기 발명의 실시 형태에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.
- <222> 예를 들어 상기 제1 내지 제3 실시 형태에서는, 상단층의 제2 배선 기판(5)에 2개 또는 3개의 반도체 칩이 적층하여 내장되어 있는 경우를 설명하였지만, 내장되는 반도체 칩의 적층수는 2개 이상이면 몇 층이라도 좋다.
- <223> 또한, 예를 들어 마이크로 컴퓨터 칩(3)의 플립 칩 접속에는, 금 범프에 한정되는 것은 아니며, 땜납 범프를 사용해도 좋다. 도43 내지 도48에 도시한 바와 같이, 마이크로 컴퓨터 칩(3)과 메모리 칩[제1 메모리 칩(2)과 제2 메모리 칩(6)]을 내장한 제2 배선 기판(5)이 수평 배치로 탑재되어 있는 경우, 각각을 제1 배선 기판(4) 상에 실장한 후, 일괄하여 리플로우 처리하는 것이 가능하고, Au 범프를 사용하는 경우에 비해 실장 공정의 간략화가 가능하다.
- <224> 본 발명은, 마이크로 컴퓨터 칩과 메모리 칩을 갖는 전자 장치에 적합하다.

발명의 효과

- <225> 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면 이하와 같다.
- <226> 마이크로 컴퓨터 칩과 복수의 고속의 메모리 칩을 갖는 반도체 장치에 있어서, 복수의 메모리 칩의 배선의 길이를 같게 할 수 있다.
- <227> 또한, 제1 배선 기판의 복수의 제1 본딩 리드 상에 땀납 페이스트를 도포해 둠으로써, 제1 범프 전극과 땀납 페이스트를 접속하여 제1 배선 기판 상에 제2 배선 기판을 실장할 수 있어, 복수의 메모리 칩이 매립된 휘기 쉬운 제2 배선 기판의 땀납 접속을 가능하게 할 수 있다. 이에 의해, 마이크로 컴퓨터 칩이 탑재된 휘기 어려운 제1 배선 기판은 하부에 배치하고, 또한 휘기 쉬운 제2 배선 기판을 제1 범프 전극을 통해 제1 배선 기판 상에 실장할 수 있다.

도면의 간단한 설명

- <1> 도1은 본 발명의 제1 실시 형태의 반도체 장치의 구조의 일례를 모식적으로 도시하는 단면도.
- <2> 도2는 도1에 도시하는 반도체 장치의 길이가 같은 배선 구조를 모식적으로 도시하는 부분 구조도.
- <3> 도3은 도1에 도시하는 반도체 장치를 기판마다 전개하여 구조를 도시하는 평면도.
- <4> 도4는 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도.
- <5> 도5는 도1에 도시하는 반도체 장치의 상단측 패키지의 구조를 도시하는 단면도.
- <6> 도6은 도1에 도시하는 반도체 장치의 하단측 패키지의 구조를 도시하는 단면도.
- <7> 도7은 도4에 도시하는 반도체 장치의 하단측 패키지의 구조를 도시하는 단면도.
- <8> 도8은 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도.
- <9> 도9는 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도.
- <10> 도10은 도8에 도시하는 반도체 장치를 기판마다 전개하여 구조를 도시하는 평면도.
- <11> 도11은 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도.
- <12> 도12는 본 발명의 제1 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 도시하는 단면도.
- <13> 도13은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 형성 방법의 일례를 도시하는 부분 단면도.
- <14> 도14는 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 형성 방법의 일례를 도시하는 부분 단면도.
- <15> 도15는 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 형성 방법의 일례를 도시하는 부분 단면도.
- <16> 도16은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 형성 방법의 일례를 도시하는 부분 단면도.
- <17> 도17은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 형성 방법의 일례를 도시하는 부분 단면도.
- <18> 도18은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 형성 방법의 일례를 도시하는 부분 단면도.
- <19> 도19는 도1에 도시하는 반도체 장치의 조립에 있어서의 칩 매립 방법의 일례를 나타내는 부분 단면도.
- <20> 도20은 도1에 도시하는 반도체 장치의 조립에 있어서의 칩 매립 방법의 일례를 나타내는 부분 단면도.
- <21> 도21은 도1에 도시하는 반도체 장치의 조립에 있어서의 칩 매립 방법의 일례를 나타내는 부분 단면도.
- <22> 도22는 변형예의 칩 매립 방법을 나타내는 부분 단면도.
- <23> 도23은 변형예의 칩 매립 방법을 나타내는 부분 단면도.
- <24> 도24는 변형예의 칩 매립 방법을 나타내는 부분 단면도.
- <25> 도25는 변형예의 칩 매립 방법을 나타내는 부분 단면도.
- <26> 도26은 도1에 도시하는 반도체 장치의 조립에 있어서의 칩 매립 방법의 일례를 나타내는 부분 단면도.
- <27> 도27은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 적층 방법의 일례를 나타내는 부분 단면도.
- <28> 도28은 도1에 도시하는 반도체 장치의 조립에 있어서의 내장 칩의 적층 후의 기판의 구조의 일례를 도시하는 이

면도.

<29> 도29는 도28의 A-A선을 따라 절단한 구조의 일례를 도시하는 단면도.

<30> 도30은 도1에 도시하는 반도체 장치의 조립에 있어서의 제1 범프 전극의 설치 후의 구조의 일례를 도시하는 부분 단면도.

<31> 도31은 변형예의 제1 범프 전극의 설치 후의 구조를 도시하는 부분 단면도.

<32> 도32는 도1에 도시하는 반도체 장치의 조립에 있어서의 기판 개편화 및 테스트 완료 후의 구조의 일례를 도시하는 단면도.

<33> 도33은 도1에 도시하는 반도체 장치의 조립에 있어서의 하측 패키지의 테스트 완료 후의 구조의 일례를 도시하는 부분 단면도.

<34> 도34는 도1에 도시하는 반도체 장치의 조립 완료 후의 구조의 일례를 도시하는 부분 단면도.

<35> 도35는 도1에 도시하는 반도체 장치의 조립에 있어서의 마중 땜납 형성시의 구조의 일례를 도시하는 부분 단면도.

<36> 도36은 변형예의 하측 패키지의 테스트 완료 후의 구조를 도시하는 부분 단면도.

<37> 도37은 변형예의 하측 패키지의 테스트 완료 후의 구조를 도시하는 부분 단면도.

<38> 도38은 변형예의 하측 패키지의 테스트 완료 후의 구조를 도시하는 부분 단면도.

<39> 도39는 변형예의 반도체 장치의 조립에 있어서의 제1 범프 전극의 설치 후의 구조를 도시하는 부분 단면도.

<40> 도40은 본 발명의 제2 실시 형태의 반도체 장치의 구조의 일례를 모식적으로 도시하는 단면도.

<41> 도41은 도40에 도시하는 반도체 장치의 상단측 패키지의 구조를 도시하는 단면도.

<42> 도42는 도41에 도시하는 상단측 패키지의 기판의 내부 구조의 일례를 도시하는 부분 단면도.

<43> 도43은 본 발명의 제3 실시 형태의 반도체 장치의 구조의 일례를 모식적으로 투과하여 도시하는 평면도.

<44> 도44은 도43에 도시하는 반도체 장치의 단면도.

<45> 도45는 본 발명의 제3 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 투과하여 도시하는 평면도.

<46> 도46은 도45에 도시하는 반도체 장치의 단면도.

<47> 도47은 본 발명의 제3 실시 형태의 변형예의 반도체 장치의 구조를 모식적으로 투과하여 도시하는 평면도.

<48> 도48은 도47에 도시하는 반도체 장치의 단면도.

<49> <도면의 주요 부분에 대한 부호의 설명>

<50> 1 : SIP(반도체 장치)

<51> 2 : 제1 메모리 칩

<52> 2a : 주면

<53> 2b : 이면

<54> 2c : 제1 전극 패드

<55> 2d : 관통 구멍

<56> 3 : 마이크로 컴퓨터 칩

<57> 3a : 주면

<58> 3b : 이면

<59> 4 : 제1 배선 기판

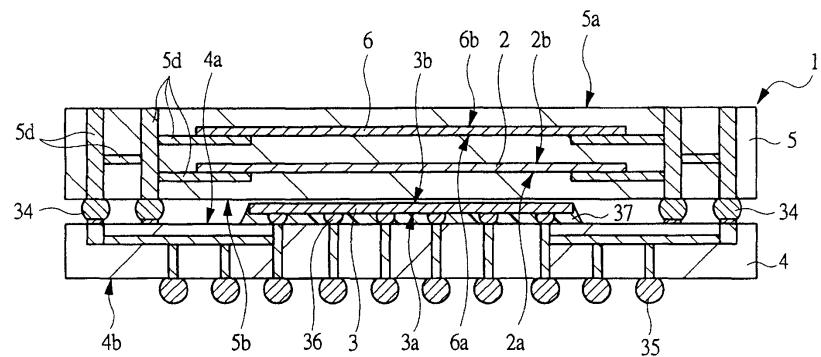
<60> 4a : 주면

- <61> 4b : 이면
- <62> 4c : 제1 본딩 리드
- <63> 4d : 단자
- <64> 4e : 제1 내부 배선
- <65> 4f : 제2 내부 배선
- <66> 5 : 제2 배선 기판
- <67> 5a : 주면
- <68> 5b : 이면
- <69> 5c : 제2 본딩 리드
- <70> 5d : 내부 배선
- <71> 5e : 제1 거리
- <72> 5f : 제2 거리
- <73> 5g : 단자
- <74> 5h : 다른 내부 배선
- <75> 6 : 제2 메모리 칩
- <76> 6a : 주면
- <77> 6b : 이면
- <78> 6c : 제2 배선 패드
- <79> 6d : 관통 구멍
- <80> 7 : Si 베이스
- <81> 8 : 디바이스층
- <82> 9 : 퓨즈
- <83> 10 : 패시베이션막
- <84> 11 : 절연층
- <85> 12 : 시드층
- <86> 13 : 레지스트막
- <87> 14 : Cu 전극
- <88> 15 : 제1 베이스 기판
- <89> 16 : 캐비티
- <90> 17 : 수지층
- <91> 18 : 다이본드재
- <92> 19 : 절연재
- <93> 20 : 도체 패턴
- <94> 21 : 제2 베이스 기판
- <95> 22 : 충전재
- <96> 23 : 스루 홀 배선

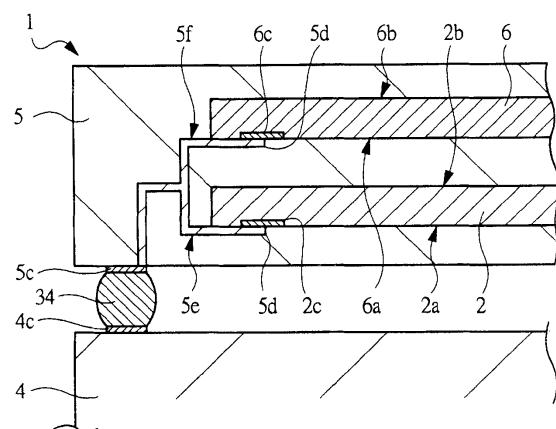
- <97> 24 : 비아 패드
- <98> 25 : 중계 패턴
- <99> 26 : 패드
- <100> 27 : 레지스트막
- <101> 28 : 스페이서 기판
- <102> 28a : 단차부
- <103> 29 : 도체
- <104> 30 : 제3 메모리 칩
- <105> 30a : 주면
- <106> 30b : 이면
- <107> 30c : 관통 구멍
- <108> 31, 32 : SIP(반도체 장치)
- <109> 33 : 박막화 디바이스
- <110> 34 : 제1 땜납 범프(제1 범프 전극)
- <111> 35 : 제2 땜납 범프(제2 범프 전극)
- <112> 36 : 금 범프
- <113> 37 : 언더필
- <114> 38 : 와이어
- <115> 39 : 밀봉체
- <116> 40 : 메모리 칩
- <117> 41 : 방열판
- <118> 42 : 접착제
- <119> 43 : 제3 배선 기판
- <120> 44 : 제3 땜납 범프
- <121> 45 : 마이크로 컴퓨터 칩
- <122> 46 : 땜납 페이스트

도면

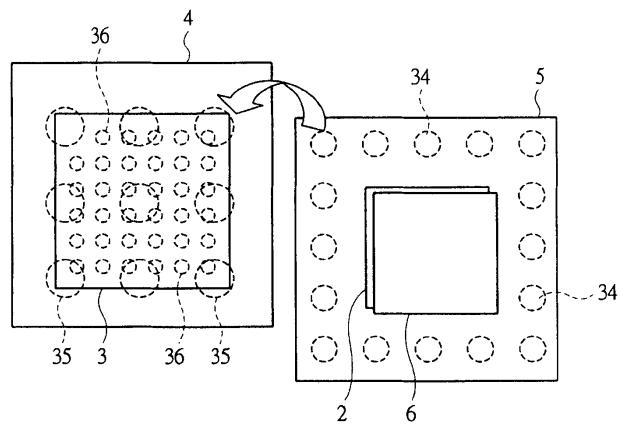
도면1



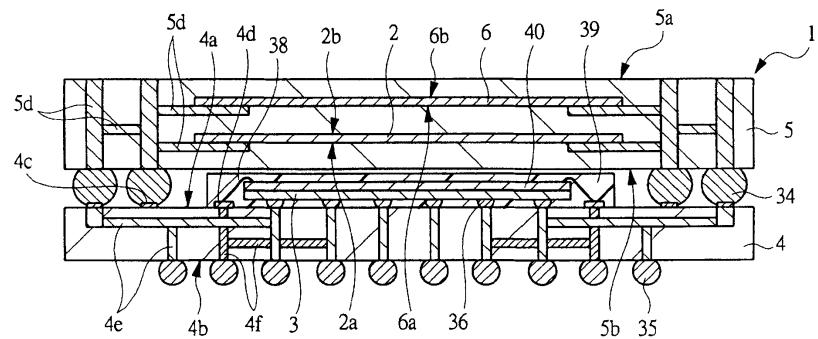
도면2



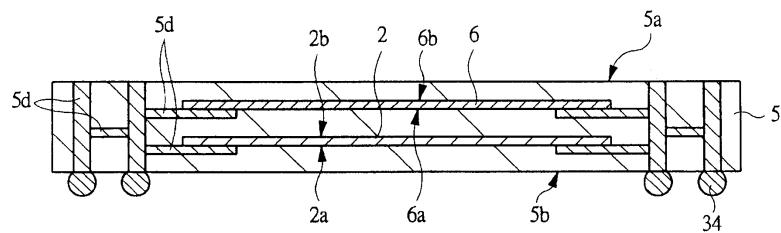
도면3



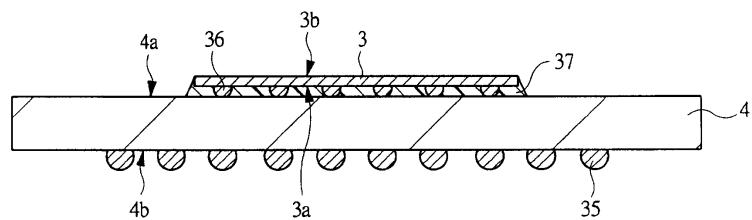
도면4



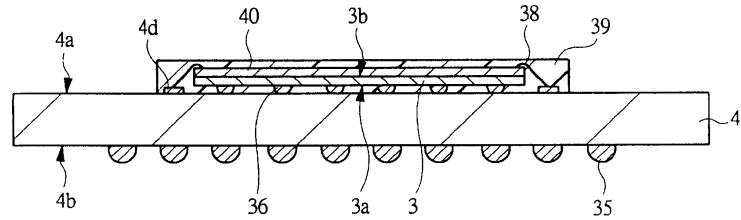
도면5



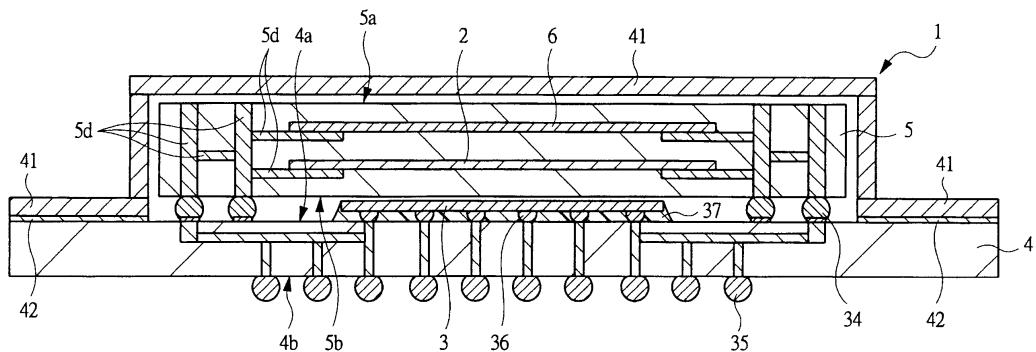
도면6



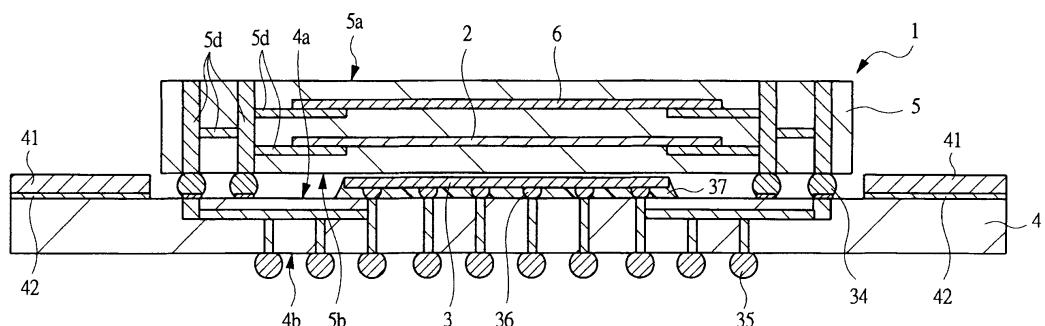
도면7



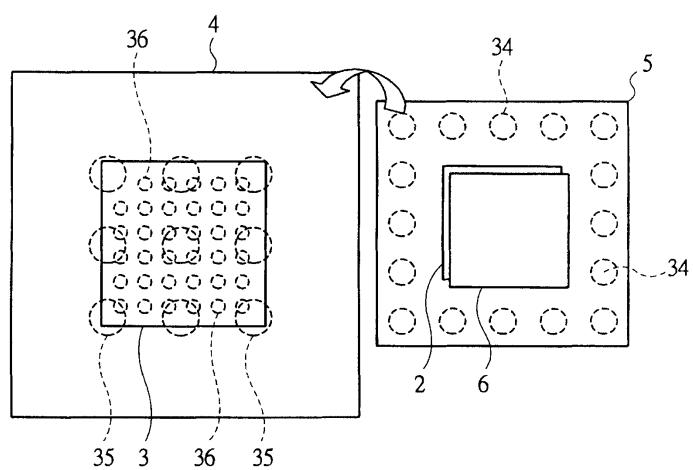
도면8



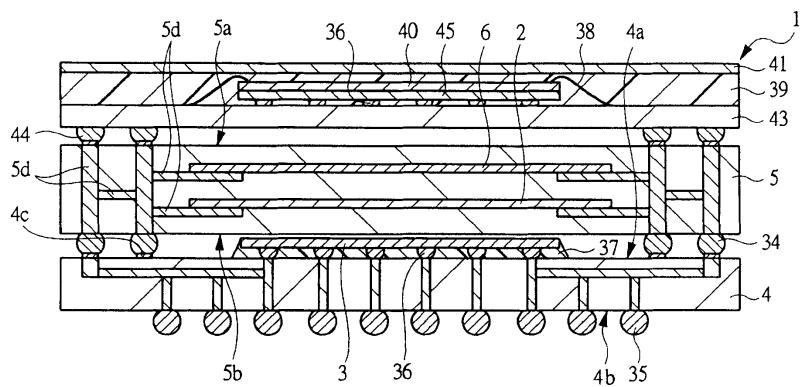
도면9



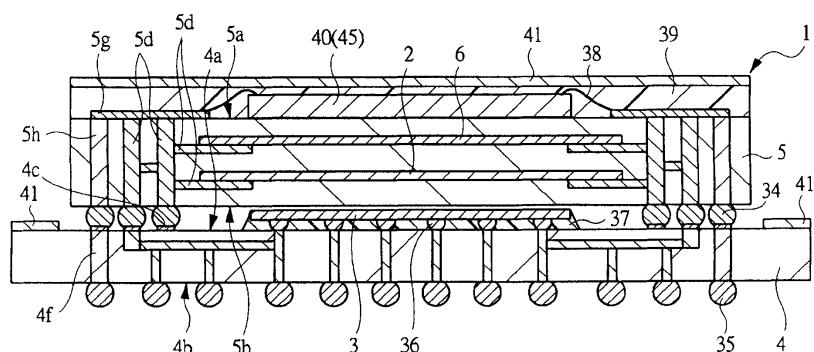
도면10



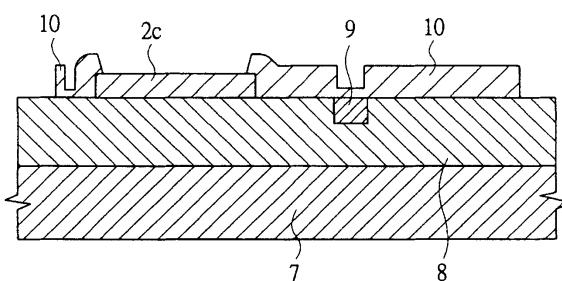
도면11



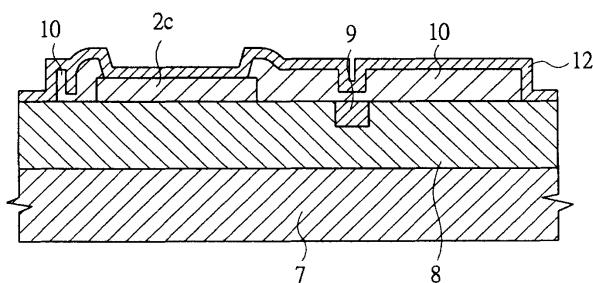
도면12



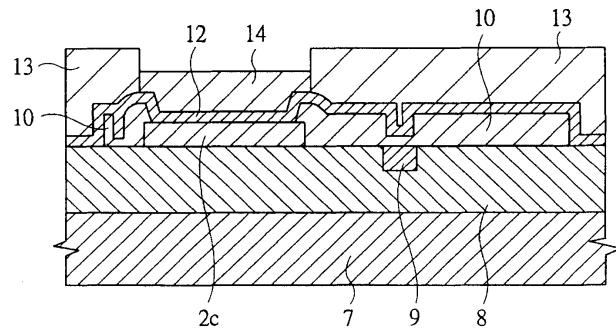
도면13



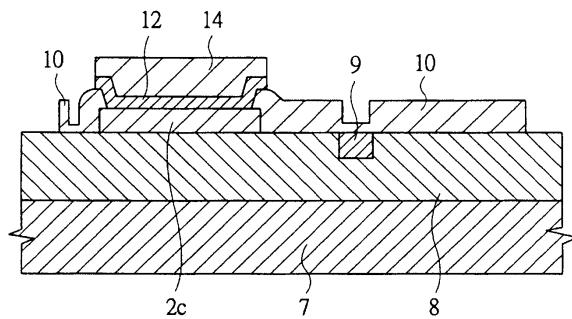
도면14



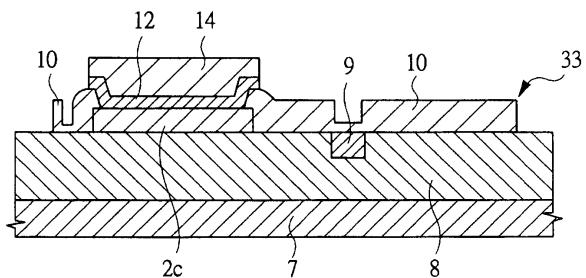
도면15



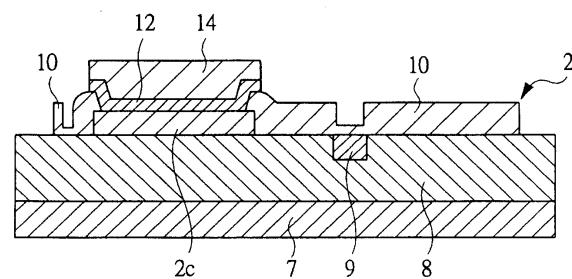
도면16



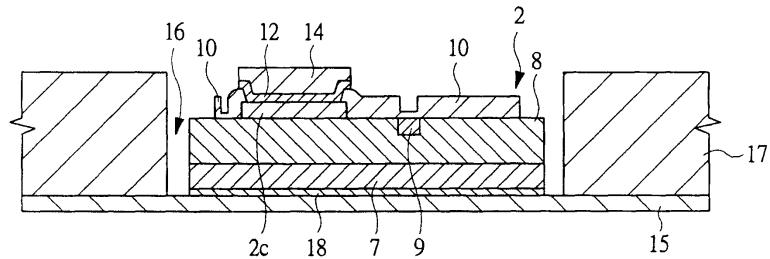
도면17



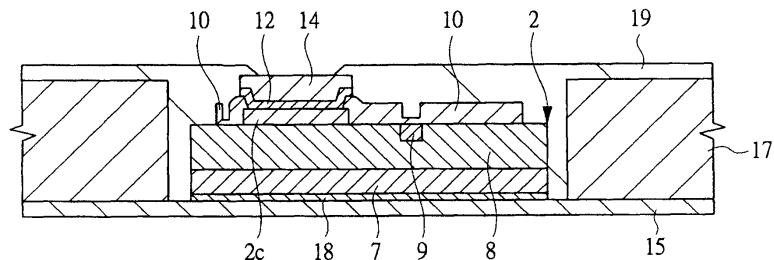
도면18



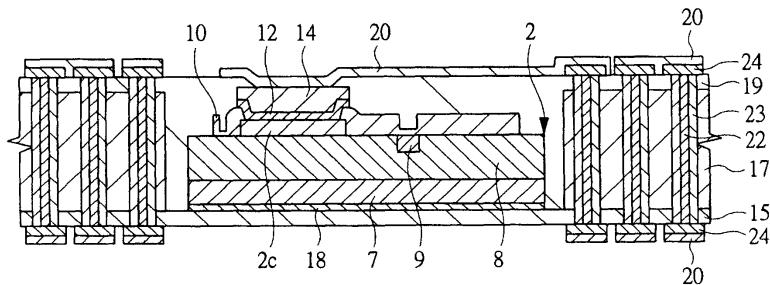
도면19



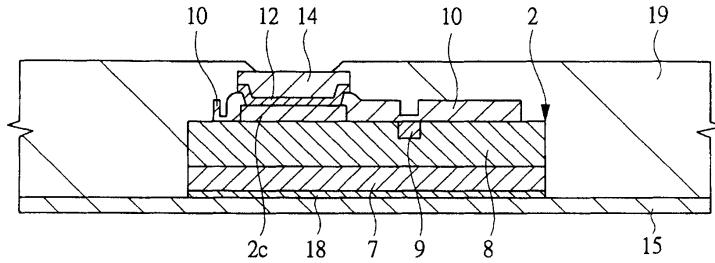
도면20



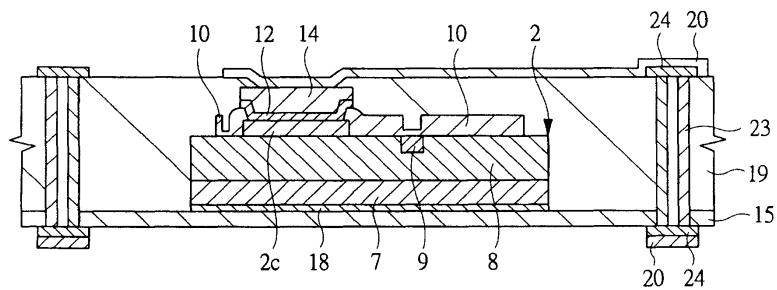
도면21



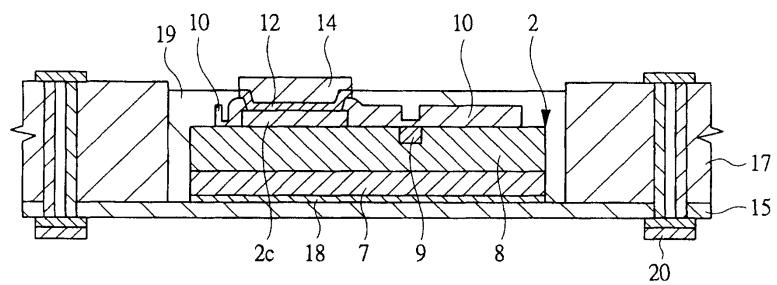
도면22



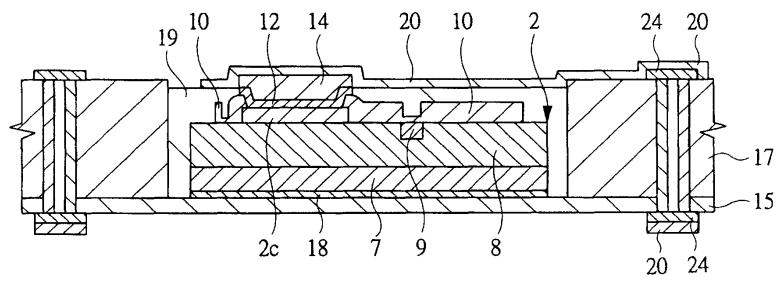
도면23



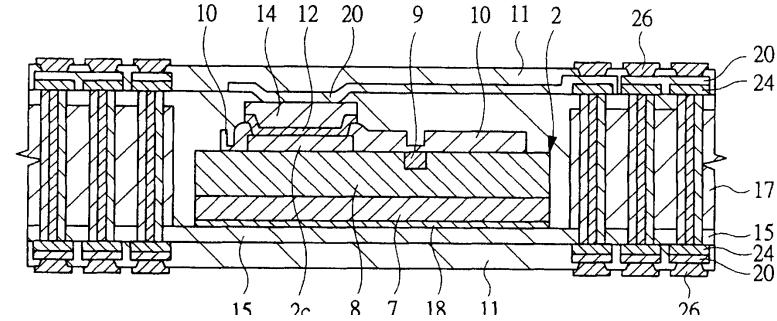
도면24



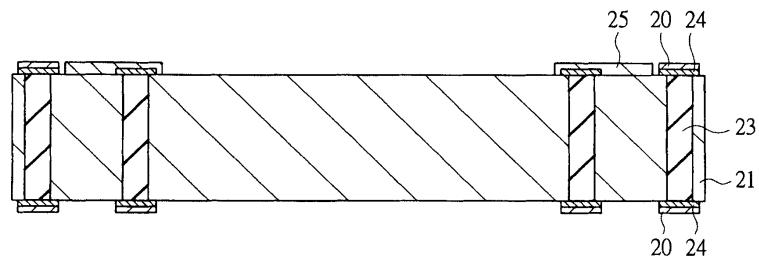
도면25



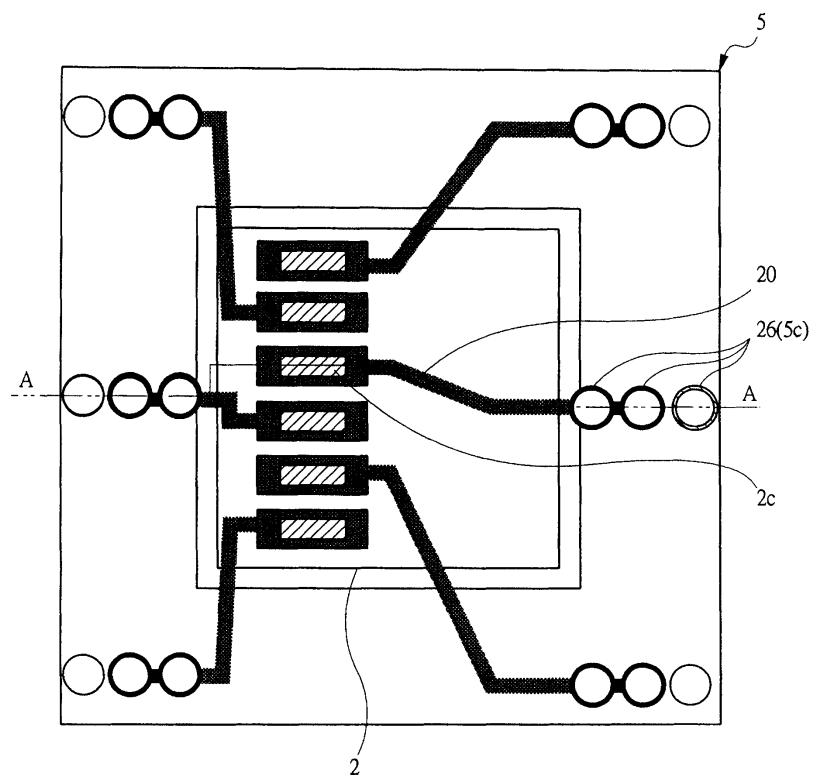
도면26



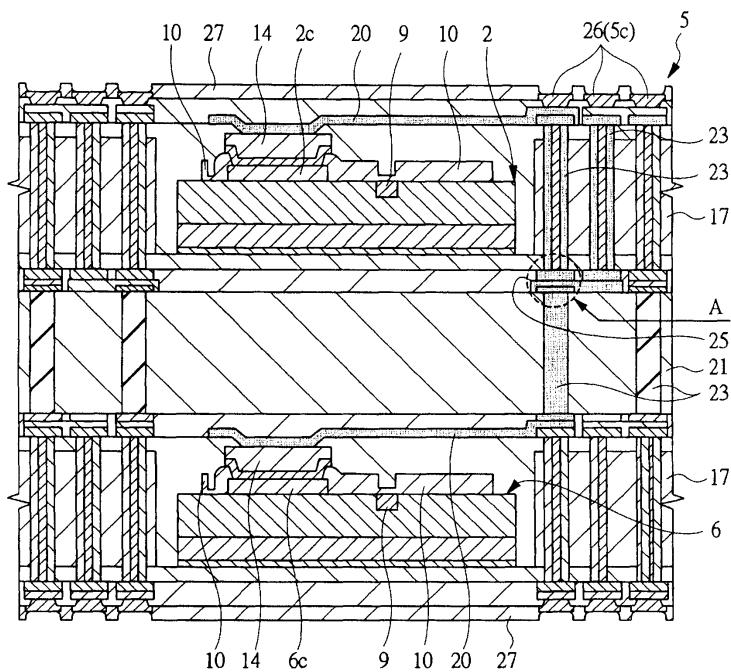
도면27



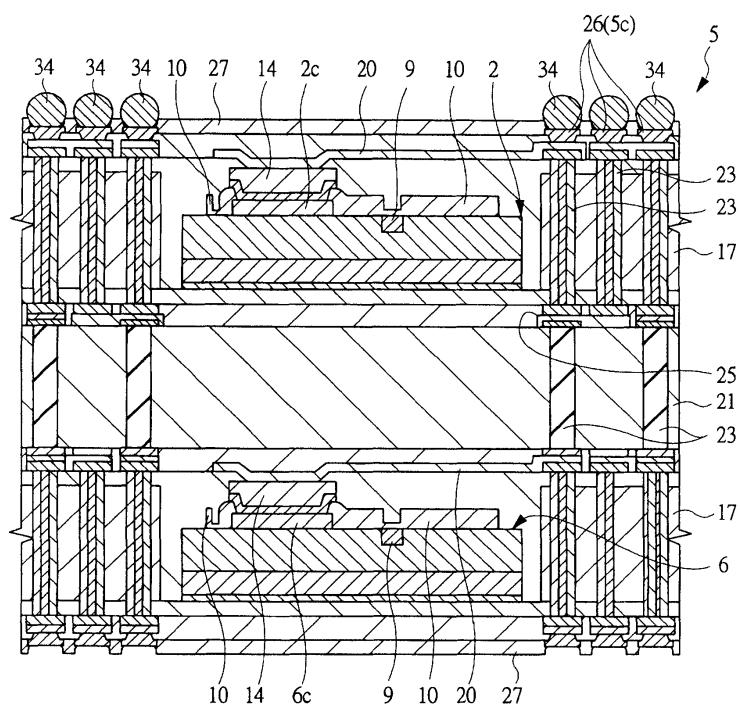
도면28



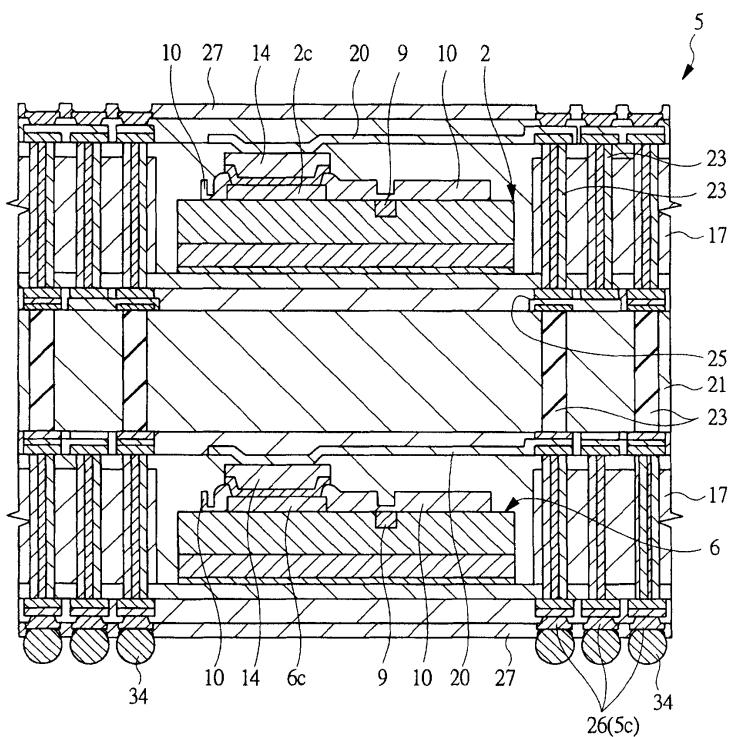
도면29



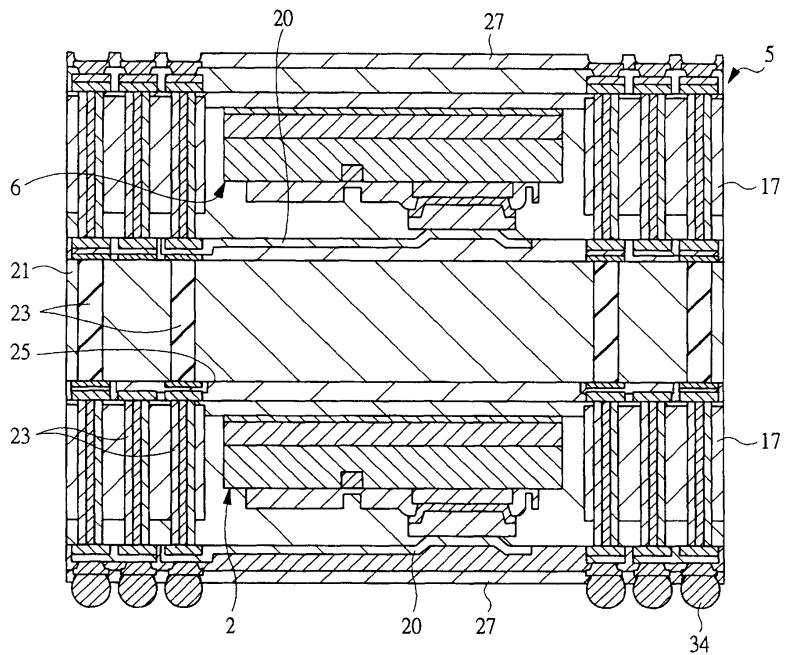
도면30



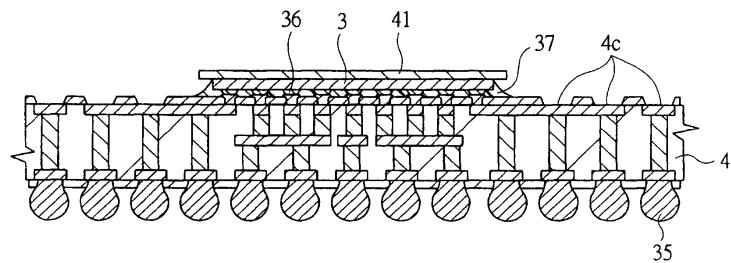
도면31



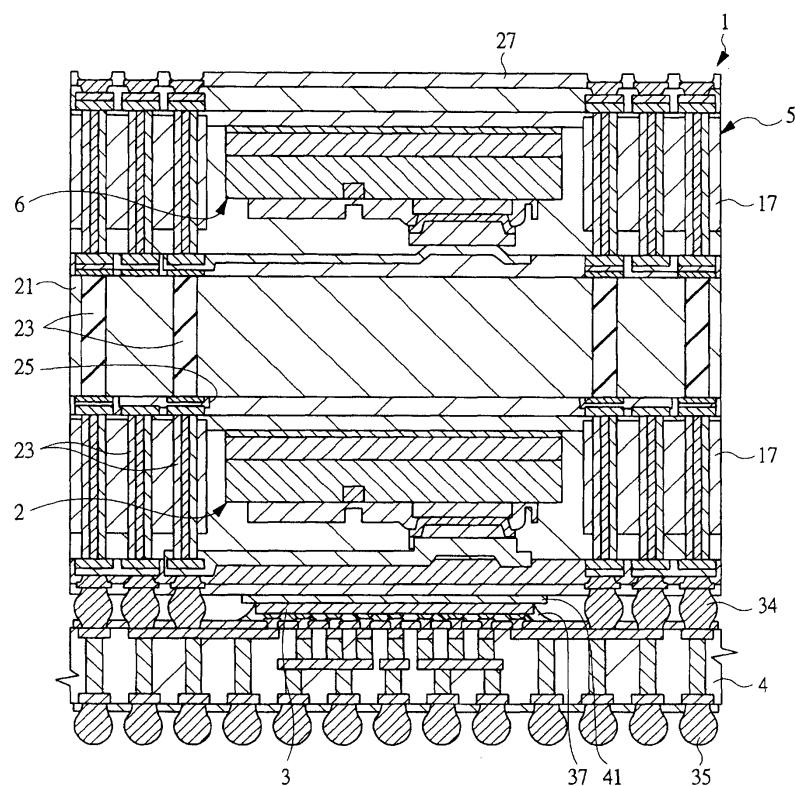
도면32



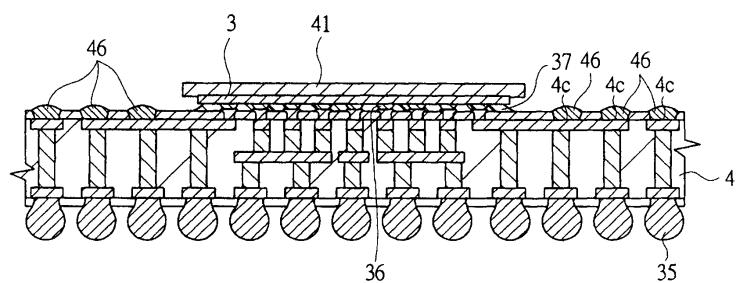
도면33



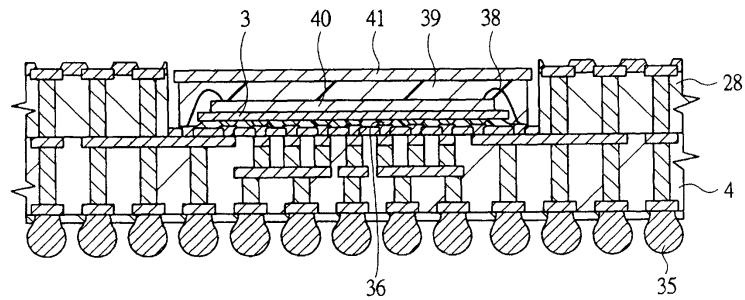
도면34



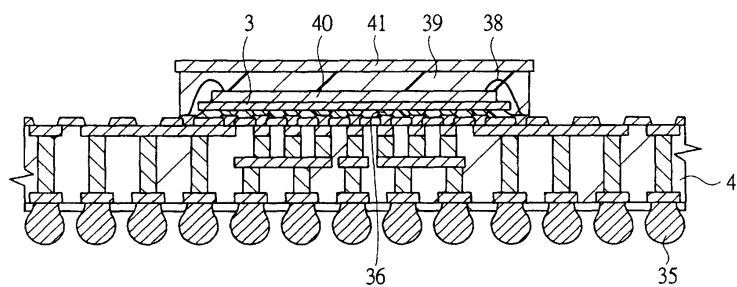
도면35



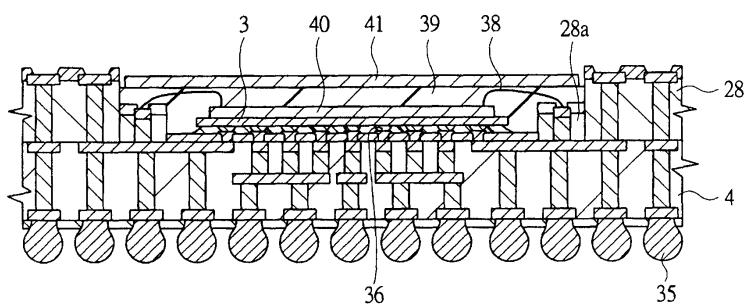
도면36



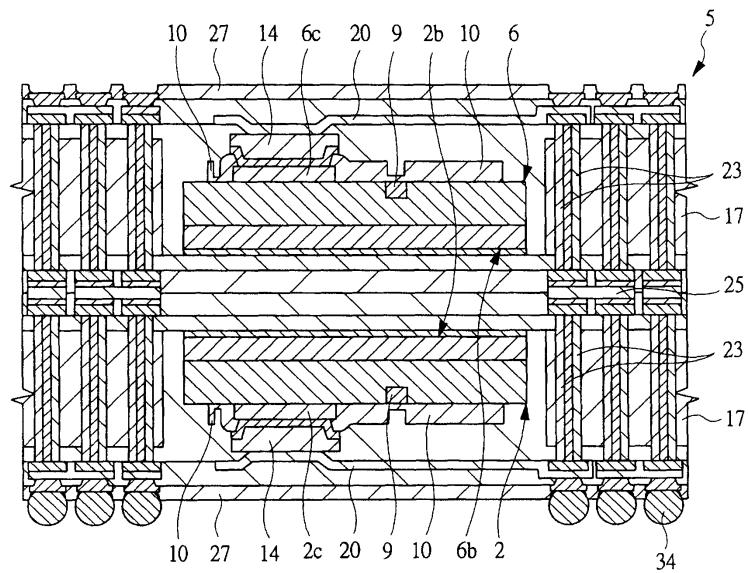
도면37



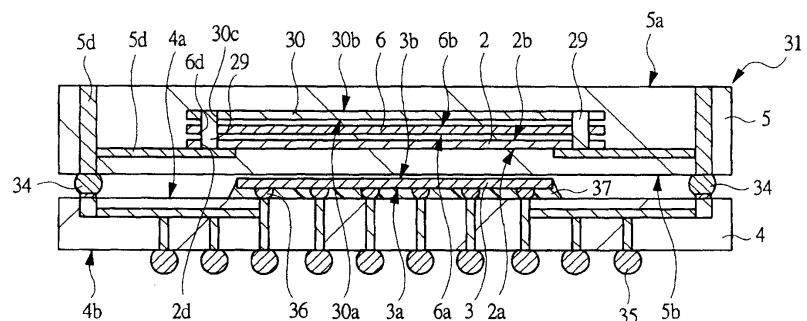
도면38



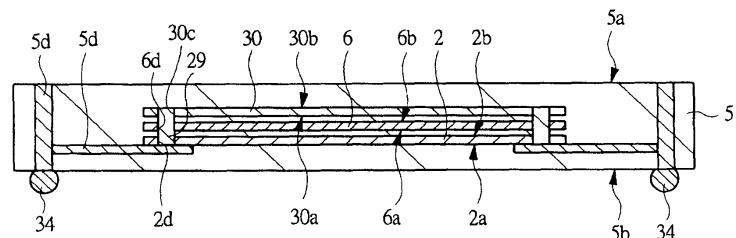
도면39



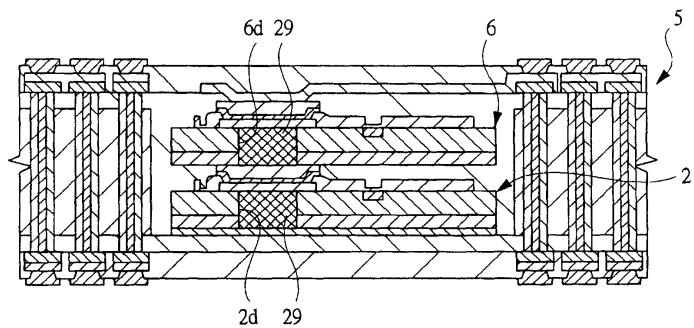
도면40



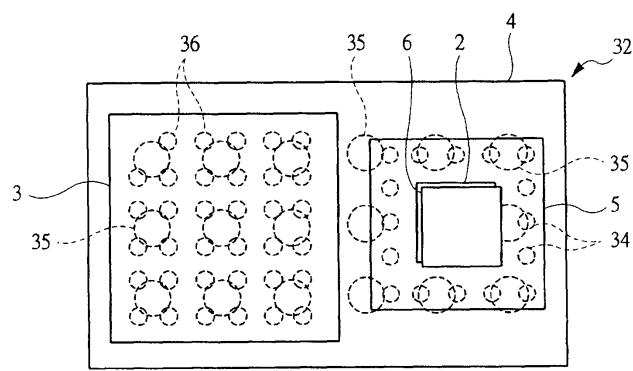
도면41



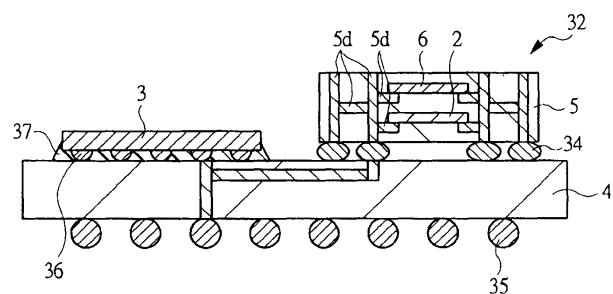
도면42



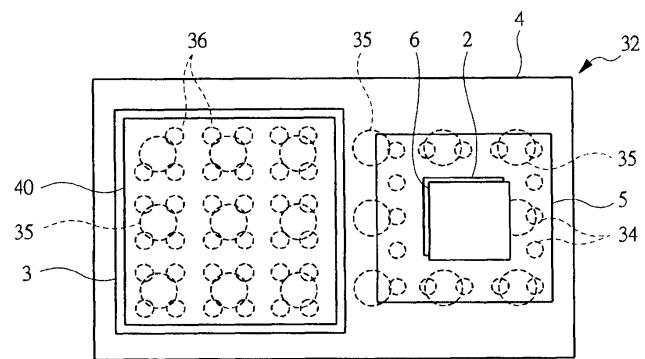
도면43



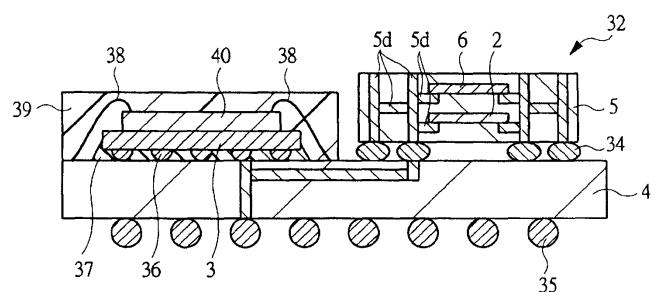
도면44



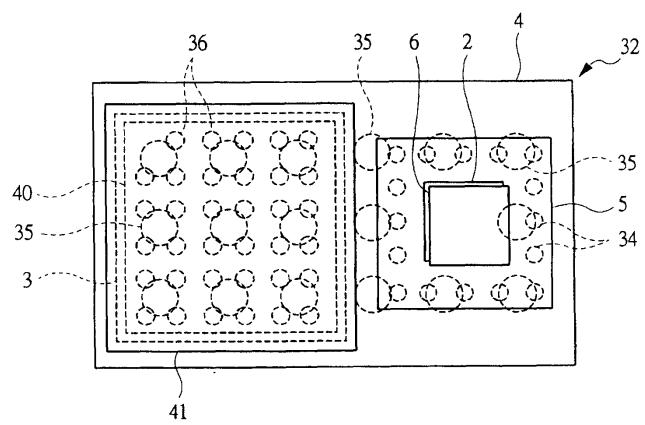
도면45



도면46



도면47



도면48

