

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 7 月 14 日 (2005.7.14)

【公開番号】特開 2004-140144 (P2004-140144A)
 【公開日】平成 16 年 5 月 13 日 (2004.5.13)
 【年通号数】公開・登録公報 2004-018
 【出願番号】特願 2002-302759 (P2002-302759)
 【国際特許分類第 7 版】

H 0 1 L 21/822
 G 0 5 F 1/56
 H 0 1 L 27/04
 H 0 3 K 19/0175

【F I】

H 0 1 L 27/04 F
 G 0 5 F 1/56 3 1 0 D
 G 0 5 F 1/56 3 1 0 K
 H 0 3 K 19/00 1 0 1 F
 H 0 1 L 27/04 R
 H 0 1 L 27/04 B

【手続補正書】

【提出日】平成 16 年 11 月 22 日 (2004.11.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1、第 2、第 3 および第 4 の抵抗素子を有し、

前記第 1 から第 4 の抵抗素子のそれぞれ第 1 端が第 1 のノードにおいて互いに接続され

、
 第 1 および第 2 のモードを切り替えて動作する半導体装置において、

前記第 1 および第 2 の抵抗素子のそれぞれの第 2 端がそれぞれ第 2 および第 3 のノードに接続され、

前記第 3 および第 4 の抵抗素子のそれぞれの第 2 端が第 4 および第 5 のノードにそれぞれ第 1 および第 2 のスイッチを介して接続され、

前記第 1 の動作モードにおいては前記第 1 および第 2 のスイッチは開放され、前記第 2 の動作モードにおいては前記第 1 および第 2 のスイッチは短絡され、

前記第 2 のノードと第 3 のノードの間に第 1 の電圧が印加され、

前記第 2 の動作モードにおいては前記第 4 および第 5 のノードの間に前記第 1 の電圧と略同じ電圧が印加されること

を特徴とする抵抗素子を有する半導体装置。

【請求項 2】

前記第 1 の抵抗素子の抵抗値と前記第 2 の抵抗素子の抵抗値の比率が、前記第 3 の抵抗素子の抵抗値と前記第 4 の抵抗素子の抵抗値の比率と略等しいこと

を特徴とする請求項 1 に記載の抵抗素子を有する半導体装置。

【請求項 3】

前記抵抗素子は半導体基板上に形成され、

前記第 3 の抵抗素子の寄生容量と前記第 4 の抵抗素子の寄生容量が略等しいことを特徴とする請求項 1 に記載の抵抗素子を有する半導体装置。

【請求項 4】

一定電位が供給される第 1 の入力端子と参照ノードからの参照電位が供給される第 2 の入力端子と出力端子とを有し、スタンバイモードとアクティブモードとで動作する出力調整回路と、

前記参照ノードと基準電位端子との間に接続される第 1 の出力設定回路と、前記出力端子と前記参照ノードとの間に接続される第 2 の出力設定回路とを有する出力設定装置とを具備し、

前記第 1 の出力設定回路は、前記スタンバイモード時に前記参照ノードと前記基準電位端子との間に第 1 の分圧ノードを介して直列に接続される少なくとも第 1、第 2 の抵抗素子と、前記アクティブモード時に前記参照ノードと前記基準電位端子との間に前記第 1 の分圧ノードに接続された第 2 の分圧ノードを介して直列に接続される少なくとも第 3、第 4 の抵抗素子とを有し、前記第 1、第 2 の抵抗素子の抵抗値の比が前記第 3、第 4 の抵抗素子の抵抗値の比と略等しく設定されており、

前記第 2 の出力設定回路は、前記スタンバイモード時に前記出力端子と参照ノードとの間に第 3 分圧ノードを介して直列に接続される少なくとも第 5、第 6 の抵抗素子と、前記アクティブモード時に前記出力端子と参照ノードとの間に前記第 3 の分圧ノードに接続された第 4 の分圧ノードを介して直列に接続される少なくとも第 7、第 8 の抵抗素子とを有し、前記第 5、第 6 の抵抗素子の抵抗値の比が前記第 7、第 8 の抵抗素子の抵抗値の比と略等しく設定されていること

を特徴とする抵抗素子を有する半導体装置。

【請求項 5】

更に前記出力設定装置は、第 1 から第 n の出力設定回路から成る n 個の出力設定回路を有し (n : 自然数、 $n \geq 2$)、

前記第 n の出力設定回路は、前記スタンバイモード時に前記出力端子と前記参照ノードとの間に第 $2n - 1$ の分圧ノードを介して直列に接続される少なくとも第 $4n - 3$ 、第 $4n - 2$ の抵抗素子と、

前記アクティブモード時に前記出力端子と前記参照ノードとの間に前記第 $2n - 1$ の分圧ノードに接続された第 $2n$ の分圧ノードを介して直列に接続される少なくとも第 $4n - 1$ 、第 $4n$ の抵抗素子とを有し、前記第 $4n - 3$ 、第 $4n - 2$ の抵抗素子の抵抗値の比が前記第 $4n - 1$ 、第 $4n$ の抵抗素子の抵抗値の比と略等しく設定されていること

を特徴とする請求項 4 に記載の抵抗素子を有する半導体装置。

【請求項 6】

第 1、第 2 の電源端子と、

少なくとも 1 個の抵抗素子と、

一端が前記第 1 の電源端子に接続され、他端が前記抵抗素子の一端に接続された第 1 の充電回路と、

一端が前記抵抗素子の他端に接続され、他端が前記第 2 の電源端子に接続された放電回路と、

一端が前記抵抗素子の一端に接続され、他端が前記第 2 の電源端子に接続されたキャパシタと、

一端が前記第 1 の電源端子に接続され、他端が前記抵抗素子の他端に接続された第 2 の充電回路とを具備すること

を特徴とする抵抗素子を有する半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【 0 0 1 6 】

【課題を解決するための手段】

本発明の一態様によれば、第 1、第 2、第 3 および第 4 の抵抗素子を有し、前記第 1 から第 4 の抵抗素子のそれぞれ第 1 端が第 1 のノードにおいて互いに接続され、第 1 および第 2 のモードを切り替えて動作する半導体装置において、前記第 1 および第 2 の抵抗素子のそれぞれの第 2 端がそれぞれ第 2 および第 3 のノードに接続され、前記第 3 および第 4 の抵抗素子のそれぞれの第 2 端が第 4 および第 5 のノードにそれぞれ第 1 および第 2 のスイッチを介して接続され、前記第 1 の動作モードにおいては前記第 1 および第 2 のスイッチは開放され、前記第 2 の動作モードにおいては前記第 1 および第 2 のスイッチは短絡され、前記第 2 のノードと第 3 のノードの間に第 1 の電圧が印加され、前記第 2 の動作モードにおいては前記第 4 および第 5 のノードの間に前記第 1 の電圧と略同じ電圧が印加される抵抗素子を有する半導体装置を提供できる。