

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年7月14日(2005.7.14)

【公開番号】特開2004-140144(P2004-140144A)

【公開日】平成16年5月13日(2004.5.13)

【年通号数】公開・登録公報2004-018

【出願番号】特願2002-302759(P2002-302759)

【国際特許分類第7版】

H 01 L 21/822

G 05 F 1/56

H 01 L 27/04

H 03 K 19/0175

【F I】

H 01 L 27/04 F

G 05 F 1/56 3 1 0 D

G 05 F 1/56 3 1 0 K

H 03 K 19/00 1 0 1 F

H 01 L 27/04 R

H 01 L 27/04 B

【手続補正書】

【提出日】平成16年11月22日(2004.11.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1、第2、第3および第4の抵抗素子を有し、

前記第1から第4の抵抗素子のそれぞれ第1端が第1のノードにおいて互いに接続され、

第1および第2のモードを切り替えて動作する半導体装置において、

前記第1および第2の抵抗素子のそれぞれの第2端がそれぞれ第2および第3のノードに接続され、

前記第3および第4の抵抗素子のそれぞれの第2端が第4および第5のノードにそれぞれ第1および第2のスイッチを介して接続され、

前記第1の動作モードにおいては前記第1および第2のスイッチは開放され、前記第2の動作モードにおいては前記第1および第2のスイッチは短絡され、

前記第2のノードと第3のノードの間に第1の電圧が印加され、

前記第2の動作モードにおいては前記第4および第5のノードの間に前記第1の電圧と略同じ電圧が印加されること

を特徴とする抵抗素子を有する半導体装置。

【請求項2】

前記第1の抵抗素子の抵抗値と前記第2の抵抗素子の抵抗値の比率が、前記第3の抵抗素子の抵抗値と前記第4の抵抗素子の抵抗値の比率と略等しいこと

を特徴とする請求項1に記載の抵抗素子を有する半導体装置。

【請求項3】

前記抵抗素子は半導体基板上に形成され、

前記第3の抵抗素子の寄生容量と前記第4の抵抗素子の寄生容量が略等しいことを特徴とする請求項1に記載の抵抗素子を有する半導体装置。

**【請求項4】**

一定電位が供給される第1の入力端子と参照ノードからの参照電位が供給される第2の入力端子と出力端子とを有し、スタンバイモードとアクティブモードとで動作する出力調整回路と、

前記参照ノードと基準電位端子との間に接続される第1の出力設定回路と、前記出力端子と前記参照ノードとの間に接続される第2の出力設定回路とを有する出力設定装置とを具備し、

前記第1の出力設定回路は、前記スタンバイモード時に前記参照ノードと前記基準電位端子との間に第1の分圧ノードを介して直列に接続される少なくとも第1、第2の抵抗素子と、前記アクティブモード時に前記参照ノードと前記基準電位端子との間に前記第1の分圧ノードに接続された第2の分圧ノードを介して直列に接続される少なくとも第3、第4の抵抗素子とを有し、前記第1、第2の抵抗素子の抵抗値の比が前記第3、第4の抵抗素子の抵抗値の比と略等しく設定されており、

前記第2の出力設定回路は、前記スタンバイモード時に前記出力端子と参照ノードとの間に第3分圧ノードを介して直列に接続される少なくとも第5、第6の抵抗素子と、前記アクティブモード時に前記出力端子と参照ノードとの間に前記第3の分圧ノードに接続された第4の分圧ノードを介して直列に接続される少なくとも第7、第8の抵抗素子とを有し、前記第5、第6の抵抗素子の抵抗値の比が前記第7、第8の抵抗素子の抵抗値の比と略等しく設定されていること

を特徴とする抵抗素子を有する半導体装置。

**【請求項5】**

更に前記出力設定装置は、第1から第nの出力設定回路から成るn個の出力設定回路を有し(n:自然数、n≥2)、

前記第nの出力設定回路は、前記スタンバイモード時に前記出力端子と前記参照ノードとの間に第2n-1の分圧ノードを介して直列に接続される少なくとも第4n-3、第4n-2の抵抗素子と、

前記アクティブモード時に前記出力端子と前記参照ノードとの間に前記第2n-1の分圧ノードに接続された第2nの分圧ノードを介して直列に接続される少なくとも第4n-1、第4nの抵抗素子とを有し、前記第4n-3、第4n-2の抵抗素子の抵抗値の比が前記第4n-1、第4nの抵抗素子の抵抗値の比と略等しく設定されていること

を特徴とする請求項4に記載の抵抗素子を有する半導体装置。

**【請求項6】**

第1、第2の電源端子と、

少なくとも1個の抵抗素子と、

一端が前記第1の電源端子に接続され、他端が前記抵抗素子の一端に接続された第1の充電回路と、

一端が前記抵抗素子の他端に接続され、他端が前記第2の電源端子に接続された放電回路と、

一端が前記抵抗素子の一端に接続され、他端が前記第2の電源端子に接続されたキャパシタと、

一端が前記第1の電源端子に接続され、他端が前記抵抗素子の他端に接続された第2の充電回路とを具備すること

を特徴とする抵抗素子を有する半導体装置。

**【手続補正2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0016

**【補正方法】**変更

**【補正の内容】**

【 0 0 1 6 】

【課題を解決するための手段】

本発明の一態様によれば、第1、第2、第3および第4の抵抗素子を有し、前記第1から第4の抵抗素子のそれぞれ第1端が第1のノードにおいて互いに接続され、第1および第2のモードを切り替えて動作する半導体装置において、前記第1および第2の抵抗素子のそれぞれの第2端がそれぞれ第2および第3のノードに接続され、前記第3および第4の抵抗素子のそれぞれの第2端が第4および第5のノードにそれぞれ第1および第2のスイッチを介して接続され、前記第1の動作モードにおいては前記第1および第2のスイッチは開放され、前記第2の動作モードにおいては前記第1および第2のスイッチは短絡され、前記第2のノードと第3のノードの間に第1の電圧が印加され、前記第2の動作モードにおいては前記第4および第5のノードの間に前記第1の電圧と略同じ電圧が印加される抵抗素子を有する半導体装置を提供できる。