



# [12] 发明专利申请公开说明书

[21] 申请号 95118657.4

[43]公开日 1997年3月5日

[11] 公开号 CN 1144385A

[22]申请日 95.9.22

[30]优先权

[32]94.9.22 [33]JP[31]227614 / 94

[71]申请人 株式会社东芝

地址 日本神奈川县

[72]发明人 荻原正毅 高濑觉 樱井清史

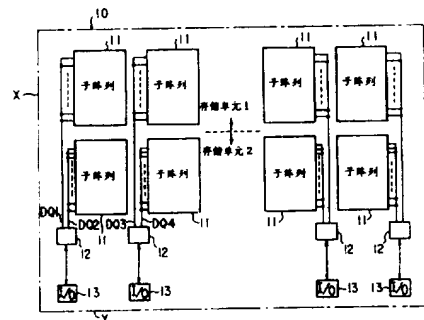
[74]专利代理机构 中国国际贸易促进委员会专利商标  
事务所  
代理人 杜日新

权利要求书 2 页 说明书 11 页 附图页数 4 页

[54]发明名称 动态存储器

[57]摘要

本发明通过缩短 DRAM 芯片内的数据总线实现数据传送高速化, 该 DRAM 中备有: 分割成多个配置, 对分割成多组的工作进行控制的多个子阵列 (11), 对应各子阵列平行于芯片的第一边 (X) 形成的, 对来自对应的子阵列的读出放大器 24 的数据进行传送的多条数据线 DQi, 共同连接对应多个组中的各 1 个子阵列的数据线对其数据有选择的放大, 平行于芯片第二边 (Y) 配置的多条数据线缓冲器多路转换器 (12), 和与其相对应连接并平行于芯片第二边配置的多个数据输入 / 输出缓冲器 (13)。



## 权 利 要 求 书

---

1. 一种动态存储器,其特征在于包括:具有彼此配置成矩阵状的动态存储单元的子阵、分别沿芯片的互相垂直方向的第一边(X)和第二边(Y)分割成多个配置对分割成多组的动作进行控制的多个子阵列(11);连接在上述各子阵列中同一行的存储单元,并分别平行上述存储芯片第一边形成的多条字线(WL1、WL2、WLi);分别连接上述各子阵列中同一列存储单元,与相对上述存储芯片的第一边垂直的第二边平行形成的多条位线(BL1、BL2、BLi);分别对在上述各子阵列中分别选择的行的存储单元读出的电位进行读出放大的多个读出放大器(24);分别对应上述各子阵列平行于上述位线形成的和用于传送对应于阵列的上述多个读出放大器中的被选择的列的读出放大器的数据的多条数据线(DQ1, DQ2, DQi);分别与对应上述多个组中的各一个子阵列的多条数据线共同连接的、有选择地对上述多条数据线来的数据进行放大,并平行于上述存储器芯片的第二边配置的多条数据线缓冲器多路转换器(12);分别对应连接上述多条数据线的缓冲器多路转换器,在比上述多条数据线缓冲器多路转换器更靠近上述存储芯片的第二边的位置上平行于上述第二边配置的多个数据输入/输出缓冲器(13)。

2. 如权利要求1所述的动态存储器,其特征在于,上述的多个子阵列11以沿着上述存储器芯片的第一边分割配置成多个的

子阵列群为单位被分割成多个缓冲器。

3. 如权利要求 1 所述的动态存储器, 其特征在于, 上述的多个子阵列 11 以沿着上述存储器芯片的第二边分割配置成多个子阵列群为单位被分割成多个缓冲器。

4. 如权利要求 1、2 或 3 所述的动态存储器, 其特征在于, 对应上述多条数据线中并位于远离上述数据输入/输出缓冲器一侧的子阵列的数据线  $DQ1$ ,  $DQ3$  通过位于靠近上述数据输入/输出缓冲器的子阵列的附近或子阵列上。

5. 如权利要求 1、2 或 3 所述的动态存储器, 其特征在于, 对应上述多条数据线中并位于远离上述数据输入/输出缓冲器一侧的子阵列数据线 ( $DQ1$ ,  $DQ3$ ) 比对应位于靠近上述数据输入/输出缓冲器一侧的子阵列的数据线 ( $Q_2$ ,  $Q_4$ ) 更粗。

# 说 明 书

---

## 动 态 存 储 器

本发明涉及半导体存储装置，特别是涉及要求和数据输入输出通道上非常高速的传送数据的动态存储器(DRAM)。

在动态存储器中通常把存储单元阵列分割成多个单元阵列(子阵列)，是采用使其中的几个同时工作的单元阵列分开工作方式。这种方式是为了减少占行系操作的消耗电流多的位线的充放电电流。子阵列的分割数与工作速度有很大的关系。如果1个子阵列的规模很大，则字线的电容变得过大，而使其上升速度和下降速度变慢，位线电容变得过大使位线间的电位差变小，由于子阵列的位线电位的放大工作变慢而使存储芯片的整个工作速度变慢，因此随着元件的微型化，DRAM的存储容量变得越大，子阵列的分割数增加的就越多。

从来的通用DRAM芯片对应多种位结构( $\times 1$ 、 $\times 4$ 、 $\times 8$ 、 $\times 16$ 等)有多种封装结构(DIP、SOJ、TSOP和ZIP等)。为此，如图4所示，把用于放大数据线42的数据的DQ缓冲器43配置在各个子阵列41附近，把全部的DQ缓冲器43的数据汇集到配置在芯片上的1个地方(在图4中是在芯片中央)上的多路转换器44中，将对应位结构的位数的数据输出给对应封装结构位置的输入输出缓冲器(I/O缓冲器)45。

然而，上述的DRAM，把从存在增加趋势的子阵列中读出的

数据全部集中在芯片上的一个位置上的方式，由于使芯片内的数据总线变长，而造成实现数据高速传送的障碍。

还有，在专用的 *DRAM* 芯片上，通过把各 *I/O* 缓冲器集中在芯片的一边，采用在垂直状态下在存储器安装用的线路基板上表面安装得到纵式标准件 (*VSMP*)，缩短标准件内部的引线和电路基板上的配线以实现数据传送高速度，同时采用  $\times 8, \times 16$  等多位结构，试图提高数据传送率的尝试正在进行。

一方面，作为在计算机系统中大量使用的存储器要求有以尽可能低成本生产的 *DRAM*，而另一方面，在计算机的领域内，除了微处理器 (*MPU*) 的工作速度同 *DRAM* 的工作速度的差别大之外，两者间的数据传送速度是制约着系统的整体性能的关键。为了解决这个问题人们进行了各种改进，其中有代表性的是为了弥补 *MPU* 的循环时间和存储器存取时间的差而将两者折衷、采用可能使 *MPU* 的使用效率提高的高速存储器 (高速缓冲存储器)。

作为高速缓冲存储器有既独立于 *MPU* 又独立 *DRAM* 的 *SRAM* 构成的、由装在 *MPU* 芯片上的所谓导通芯片高速缓冲存储器 (或埋入存储器) 的 *SRAM* 构成的 (实际上，装了高速缓冲存储器的 *MPU* 还存在有其它芯片的 *SRAM* 高速缓冲存储器的情形) 和装在 *DRAM* 芯片上的 *SRAM* 单元构成的。

关于把由 *SRAM* 单元组成的高速缓冲存储器装在 *DRAM* 芯片上的技术，在 1990 *Symposium on VLSI Circuits, Digest of Technical Papers. PP 79—80* “*A Circuit Design of Intelligent CDDRAM with Automatic Write back Capability*” 的文章中公开了在每个利用 1 个晶体管，1 个电容器的单元的 *DRAM* 的每个列

上附加 *SRAM*，将之作为高速缓冲存储器使用的技术。在该文章中还涉及到当想要读出的地址不在高速缓冲存储器中(错位)时，将该时刻的高速缓冲存储器的内容写回到相应地址的 *DRAM* 单元中，然后读出想要存取的地址的 *DRAM* 单元的技术。这样的高速缓冲搭载型的 *DRAM* 也可以同已搭载高速缓冲存储器的 *MPU* 并用。关于把 *DRAM* 的位线读出放大器作为高速缓冲存储器使用这点，在本申请人的有关申请的专利申请平 3-41316 号(专利公开平 4-212780 号)中已经描述过，其具体的结构例子和控制操作例子在本申请人的有关专利申请平 3-41315 号有说明。

根据本申请人的有关申请平 4-131095 号，提出了将 *DRAM* 的存储器范围分割成多个子阵列使各个子阵列互相独立工作，通过把位线读出放大器作为高速缓冲存储器使用而使高速缓冲存储器的命中率提高的 *DRAM* 的方案。

在该 *DRAM* 中的每个子阵的读出放大器保持从对应互相不同的地址的行取出数据，因此可以使向处在选择状态下的行要求数据存取的(命中)几率上升，可以使用没有要求向处在选择状态下的行数据存取的(差错)几率和上述的位的几率平均值确定的数据存取时间的平均值缩短。

在此简单说明读出放大器高速缓冲存储器方式，首先考虑 *DRAM* 待机来自 *MPU* 等的存取的状态。这时，使来自某个行地址的存储单元群的读出数据锁存在读出放大器中。

在出现与上述那样地将数据锁存在读出放大器群中的行地址相同的行地址的存取的情况(命中时)下，可省略行系的操作只在列系操作中输出数据，从而可减少行系动作部分的存取时间。

与此相反，在存取没有被读出放大器群锁存数据的行地址的情况(差错时)下，在把读出放大器群的数据写回到存储单元后(或者仅在读出放大器群补偿操作后)，必需把来自新的行地址的存储单元群的读出数据锁存在读出放大器群中。在该差错的情况下，与不采用高速缓冲存储器方式的情况相比，存取时间花费在无用时间上。

在那里，若高速缓冲存储器的命中率小，会出现系统的平均存取时间变长的危险，所以使命中率提高对缩短系统的平均存取时间是重要的。

为了使高速缓冲存储器的命中率提高，可以采用使高速缓冲存储器的储存量增大的方法和把高速缓冲存储器分成几个组的方法。

如上所述，使高速缓冲存储容量增大的方法适合用在读出放大器的高速缓冲存储器方式中，意味着在把数据锁存的状态下使得待存取的读放大器的数目增大。大容量存储器如上所述，通常使各子阵列中的几个同时活性化的部分进行活性化。在此时，与没有使行系工作的子阵列有关连的读出放大器通常是不保持数据的。可是，由于在关于没有使上述那样的行系工作的子阵列的读出放大器中数据原封不变，因此，使在待机存储状态下保持数据的读出放大器数增加，通过把高速缓冲存储器容量增大可以使其命中率上升。

另外，如前述将把高速缓冲存储器分成几个组的方法使用在读出放大器高速缓冲存储器方式下时，意味着把读出放大器群分成多个组。在通用的 *DRAM* 中，有关多个子阵列的读出放大器在相

同的定时下进行读出、锁存、补偿等工作。如上所述，这时有关没有进行行系工作的子阵列的读出放大器可以按所保持数据不变进行待机。这里，把同时工作的读出放大器群称为组，在为了使高速缓冲存储器的命中率上升的分组方式中，具有下述的几个条件：(1) 应具有独立于每个组的读出放大器。(2) 各组的读出放大器与其它组的行地址无关，而能保持本身的组的数据。即，没有进行行系工作的组的读出放大器与其它组的行地址无关，可继续保持属于自己组的数据。(3) 各组应具有对应全部输入/输出缓冲器的数据总线。即，对于高速缓冲存储器的存取是相对某个特定的组进行的，在多位构成的 *DRAM* 的情况下必需根据上述的存取的组在相同的定时下把数据供给全部的输入/输出缓冲器。

上述的 *DRAM*，由于要把从处在增加倾向的子阵列读出数据全部汇集在芯片上的一个区，因此使芯片内的数据总线变长，而存在所谓在实现传送数据高速方面产生障碍的问题。

本发明通过解决上述问题，以缩短芯片内的数据总线，实现数据传送高速化，提供在读出放大器高速缓冲方式的情况下可以使高速缓冲存储器的命中率提高的动态存储器为目的。

本发明的动态存储器包括：具有彼此配置成矩阵状的动态存储单元的阵列，分别沿芯片的互相垂直方向的第一边和第二边分割成多个配置并分成多组对工作进行控制的多个子阵列；连接在上述各子阵列中同一行的存储单元的分别平行上述存储芯片第一边形成的多条字线；分别连接在上述各子阵列中同一列存储单元并平行于与上述存储芯片的第一边垂直的第二边形成的多条位线；分别对上述各子阵列中选择出的行存储单元读出的电位进行读出



放大的多个读出放大器；对应上述各子阵列分别形成的平行于上述位线的，用于传送对应子阵列的上述各个读出放大器中被选择的列的读出放大器的数据的多根数据线；同分别与上述多个组中的各 1 个子阵列对应的多条数据线共同连接的、选择放大上述多条数据线来的数据，平行于上述存储器芯片的第二边配置的多条数据线缓冲器多路转换器；分别对应上述多条数据线的缓冲器多路转换器连接的，比上述多条数据线的缓冲器多路转换器更靠近上述存储芯片第二边且平行于上述第二边配置的多个数据输入/输出缓冲器。

使对应各子阵列布置的数据线全部平行于字线，数据线缓冲器多路转换器群和输入/输出缓冲器群集中在存储器芯片的同边（平行于位线的第二边）上。

由于按照上述的方法配置数据线组和数据线缓冲器多路转换器群、输入/输出缓冲器群，而可以使芯片内的数据总线缩短，可能实现数据传送高速化。

另外，在对应于不同组的各 1 个子阵列的多条数据线上连接有共同的数据线缓冲器多路转换器，各组具有对应全部的输入/输出缓冲器组的数据总线。因此在采用各子阵列的读出放大器组作为高速缓冲器使用的读出放大器高速缓冲储存方式的情况下，可以使多个组的数据多路转换，所以可以使高速缓冲存储器的命中率提高。

下面参照附图详细说明本发明的实施例。

图 1 是表示有关本发明的第一实施例的 DRAM 芯片中的子阵列、DQ 缓冲器、多路转换器和 I/O 缓冲器的配置例子图。

图 2 是取出图 1 中一个子阵列, 一个 *DQ* 缓冲器、一个多路转换器和一个 *I/O* 缓冲器作为其一个例子的电路图。

图 3 是表示有关本发明的第二实施例的 *DRAM* 芯片中的子阵列、*DQ* 缓冲器, 多路转换器和 *I/O* 缓冲器配置例的图。

图 4 是从来的通用 *DRAM* 芯片中的子阵列、*DQ* 缓冲器、多路转换器和 *I/O* 缓冲器的配置例的图。

图中: 10 为存储器芯片、*X* 为第一边、*Y* 是第二边、11 为子阵列, *MC* 是存储单元、*WLi* 为字线、*BLi* 为位线, *DQi* 为数据线、12 是 *DQ* 缓冲器多路转换器、13 是 *I/O* 缓冲器、21 是行解码器、22 是列解码器、23 是列选择电路、24 是读出放大器, 25 是多路缓冲用开关元件。

图 1 表示关于本发明的第一实施例的 *DRAM* 芯片中的子阵列 11, *DQ* 缓冲多路转换器 12 和 *I/O* 缓冲器 13 的配置例的图。

图 2 是取出图 1 中的一个子阵列 11, 一个 *DQ* 缓冲器多路转换器 12 和一个 *I/O* 缓冲器 13 作为示例的说明图。

如图 1 和 2 所示, 多个子阵列 11 具有彼此配置成矩阵状的动态存储器单元 *MC*、分别沿着存储器芯片 10 的互相垂直方向的第一边 *X* 和第二边 *Y* 分割成多个配置并分割成多个组受控制工作。在本实施例中, 把沿着上述存储器芯片的第一边 *X* 分割成多个(在本实施例中为两个)配置的子阵列 11 群作为单位分割成多个(在本实施例中为两个)组。

在上述各个子阵列 11 中备有: 与同一行的存储器单元 *MC* 相连接的分别平行于上述存储器芯片的第一边 *X* 形成的多条字线 *WLi*, 和与同一列的存储器单元 *MC* 连接并平行于相对上述存储

芯片第一边垂直的第二边  $Y$  形成的位线  $BL_i$ 。上述多条字线  $WL_i$  由行解码器 21 选择, 上述多条位线  $BL_i$  由列解码器 21 选择的列选择电路 23 选择。在上述子阵列 11 中还设有多个读出放大器 24, 对由上述解码器 21 选择出的行存储单元读出的电位进行读出放大。

多条数据线  $DQ_i$  分别对应上述各子阵列 11 平行于上述字线  $WL_i$  形成后, 用于输送来自对应子阵列 11 的上述多个读出放大器 24 中被选择出的列的读出放大器的数据。

多个数据线缓冲器( $DQ$ 缓冲器)多路转换器 12 共同与分别对应上述多个组中的各一个子阵列 11 的多条数据线  $DQ_i$  相连、对来自上述的多根数据线  $DQ_i$  的数据选择放大并平行于上述存储芯片的第二边  $Y$  配置。

多个数据输入/输出( $I/O$ )缓冲器 13 分别对应连接上述多个数据线缓冲器多路转换器 12, 并以比上述多个数据线缓冲器多路转换器 12 更靠近上述存储芯片的第二边的位置平行于上述第二边配置。

另外, 关于上述  $DQ$  缓冲器多路转换器 12 和两个组的各数据线  $DQ_i$  的连接, 当不同组的各数据线  $DQ_i$  之间连接时, 由于数据线  $DQ_i$  的负载电容变大使数据传送时的延迟时间变长而不理想。对此,  $DQ$  缓冲器多路转换器 12 中的多路转换器, 例如象图所示那样, 分别对应不同组的各数据线  $DQ_i$  串联插入开关元件(例如  $MOS$  晶体管 25)。借此可以允许对应彼此不同的组有选择地经缓冲器作数据输入/输出动作。

而且, 在互不相同的组的各数据线  $DQ_i$  中, 对应位于远离上

述 I/O 缓冲器 13 一侧的子阵列的数据线(在本例中为  $DQ_1$ 、 $DQ_3$  ···)比对应位于靠近上述 I/O 缓冲器 13 一侧的子阵列的数据线(在本例中为  $DQ_2$ 、 $DQ_4$  ···)长。因此,为了使同 DQ 缓冲器多路转换器 12 共同连接的两数据线的配线电阻基本上相等,最好把位于远离 I/O 缓冲器 13 侧的子阵列的数据线制作得比对应位于靠近 I/O 缓冲器 13 侧的子阵列的数据线粗一些,以便减少前者的配线电阻。

在彼此不同的组中的各数据线  $DQ_i$  中,对应位于远离 I/O 缓冲器侧的子阵列的数据线通过位于靠近 I/O 缓冲器侧的子阵列的附近(或子阵列中)。

在上述第一实施例的 DRAM 中,对应各子阵列 11 设置的数据线  $DQ_i$  全部平行于字线  $WL_i$  形成,数据线缓冲器多路转换器 12 群和 I/O 缓冲器 13 群集中在存储芯片 10 的同一边(平行于位线的第二边 Y)。

由于用这样方式配置数据线  $DQ_i$  群、数据线缓冲器多路转换器 12 群和 I/O 缓冲器群 13,而使芯片 10 内的数据总线变短,容易使在封装内部的引线框和存储器的安装电路基板上的配线等变短,从而实现数据传送高速化。

在本实施例中,多个子阵列 11 把沿着存储芯片的第一边 X(图中的上下方向)分割配置成两个组的子阵列 11 群作为单位被分割成两个组。而且,数据线的缓冲器多路转换器 12 同对应不相同的组的各一个子阵列的多条数据线  $DQ_i$  共同连接,各组具有对应全部的 I/O 缓冲器 13 群的数据总线。

因此,在采用把独立设置在每个子阵列中的读出放大器群用

作高速缓冲存储器使用的读出放大器高速缓冲方式的情况下，能够独立读出每组的数据，可以使高速缓冲存储器的命中率提高。在这种情况下，使各组的读出放大器群，通过这种即使在与其它组的存取无关地自己组的存取待机状态下也能控制成继续保持数据的结构，使正在锁存数据的读出放大器数目增加，并可以使高速缓冲存储器的命中率提高。

在采用读出放大器高速缓冲方式的情况下，与上述的本申请人申请的专利申请平 4—131095 号中所详细公开说明的结构同样，如图 2 中的点线所示，设置有把行地址保持在每个子阵列中的寄存电路 26、和将保持在该寄存电路 26 中的行地址(对应于选择出的行的行地址)与新给出的行地址进行比较的比较器 27。

而且，当把存取要求和地址供给作为存取对象的子阵列时，比较器 27 就对两个行地址的输入进行比较，在行地址互相一致的情况下输出通知命中的意旨的命中信号；而在行地址不一致的情况下就输出通知差错意旨信号。在输出命中信号的情况下，行系不动作而读出对应列地址的列数据。在差错信号输出的情况下，寄存电路 26，字线  $WL_i$ ，读出放大器 24 一旦被分别设定后，就将新给出的行地址设定在寄存电路 26 中，对应在寄存电路 26 中的新保持的行地址行系进行工作。而且，再一次供给存取要求和地址，进行命中判定，行系不动作而读出对应的列地址的列数据。上述的操作通过对作为存取对象的多个子阵列 11 顺次供给存取要求，顺次在多个子阵列 11 中进行。在这种情况下，可以只在各子阵列 11 中直接选择成为差错的行，而不需对每个出现不命中的全部的行重新进行选择。

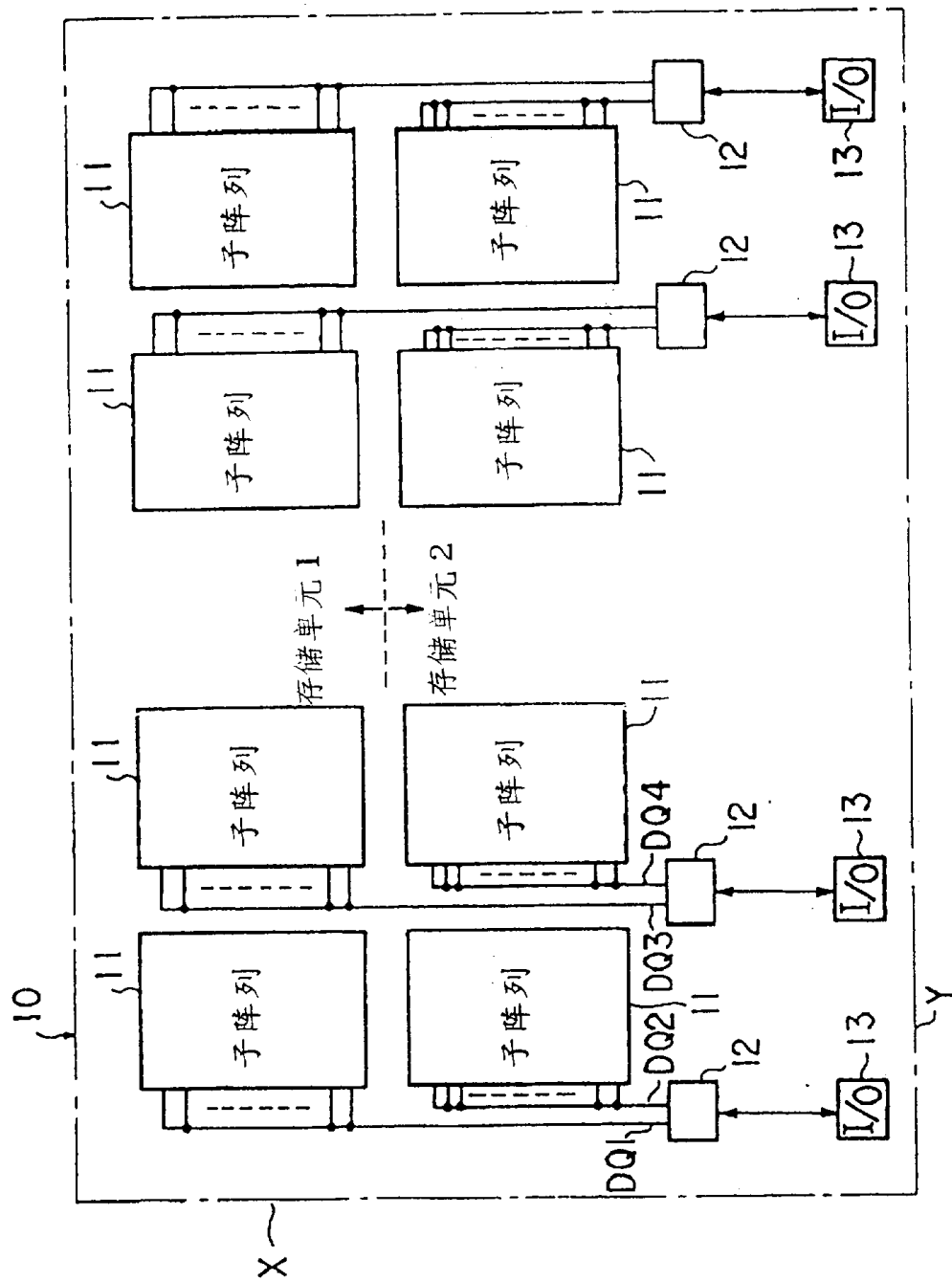
图3是有关本发明的第二实施例中的 *DRAM* 芯片中的子阵列 11, *DQ* 缓冲器多路转换器 12 和 *I/O* 缓冲器 13 的配置例的图。

这个第二实施例与上述第一实施例相比,除了把子阵列 11 群沿着存储器的第二边 *Y* 分割成例如两个组而沿上述第二边 *Y* 进行二分割这点不同外,其它是相同的,因此采用与图 1 中相同的代号。对上述的第二实施例的 *DRAM* 中可以按与上述第一实施例的 *DRAM* 相同的方式操作,其效果与第一实施例几乎相同。

写在本申请的保护范围各构成重要部件上的图面参考符号是供容易理解本发明用的,本发明的技术范围并不限于附图所示的实施例中记载的内容。

按照如上所述的本发明的 *DRAM*,可以在缩短芯片内的数据总线实现数据传送高速化的同时,在采用读出放大器高速缓冲方式的情况下可以使高速存储器的命中率提高。

图 1



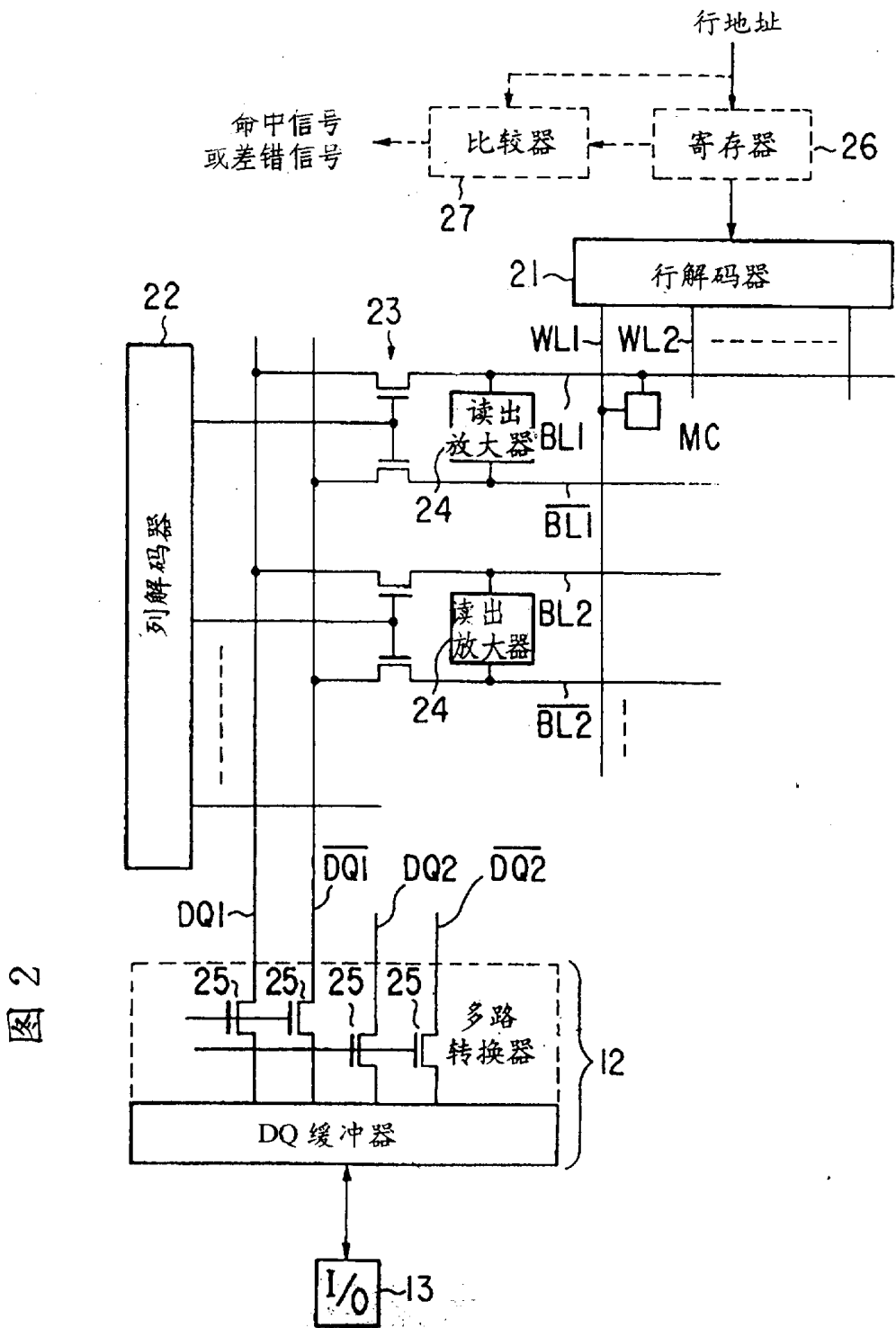


图 2



图 3

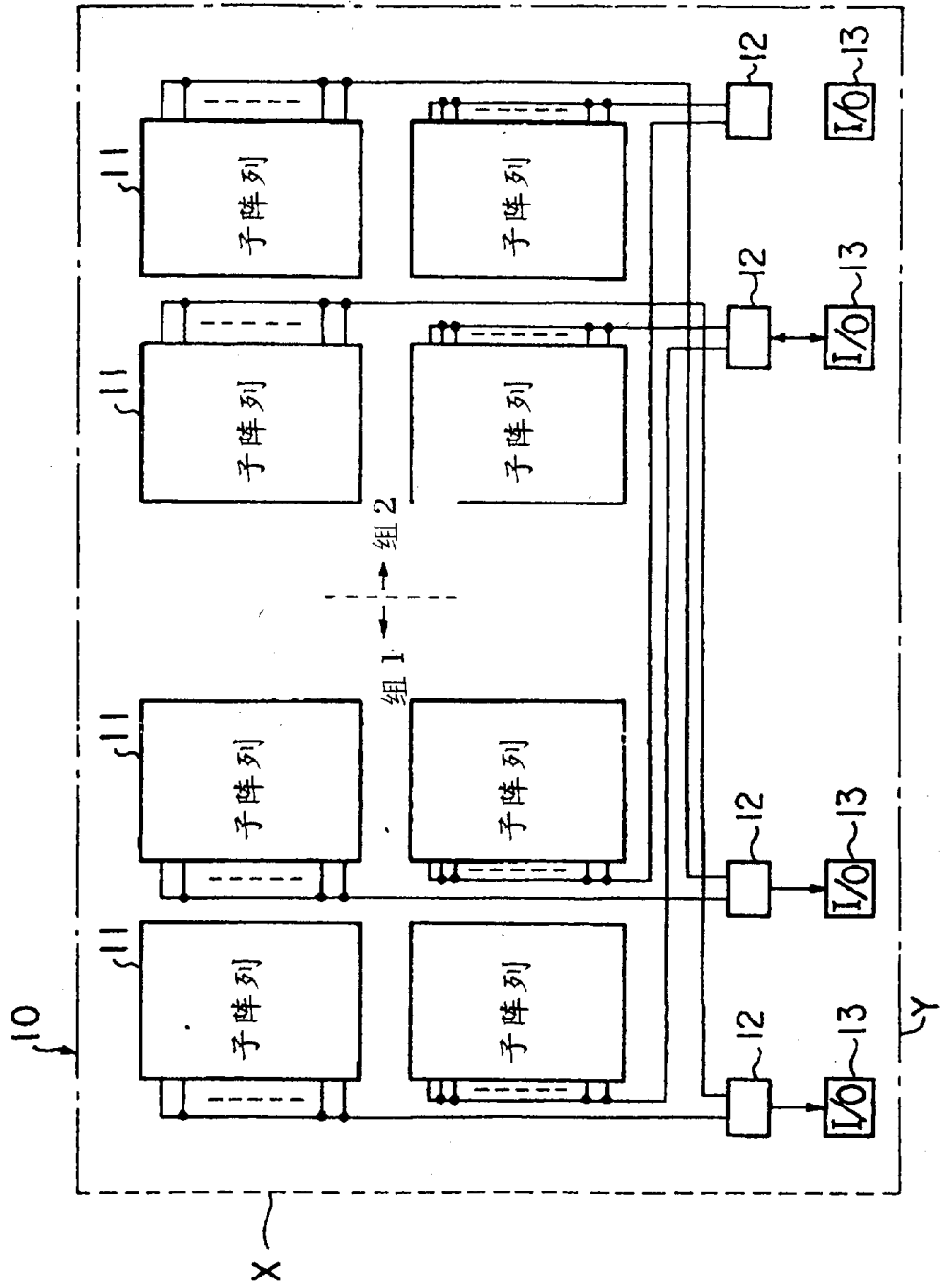


图 4

