

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7589154号
(P7589154)

(45)発行日 令和6年11月25日(2024.11.25)

(24)登録日 令和6年11月15日(2024.11.15)

(51)国際特許分類		F I		
H 0 1 L	23/12 (2006.01)	H 0 1 L	23/12	5 0 1 P
H 0 1 L	21/60 (2006.01)	H 0 1 L	21/60	3 1 1 S
H 0 1 L	25/04 (2023.01)	H 0 1 L	25/04	Z
H 0 1 L	25/18 (2023.01)			
請求項の数 15 (全17頁)				
(21)出願番号	特願2021-537922(P2021-537922)	(73)特許権者	591016172	
(86)(22)出願日	令和2年2月5日(2020.2.5)		アドバンスト・マイクロ・ディバイスズ	
(65)公表番号	特表2022-524691(P2022-524691 A)		・インコーポレイテッド	
(43)公表日	令和4年5月10日(2022.5.10)		ADVANCED MICRO DEVI	
(86)国際出願番号	PCT/US2020/016770		CES INCORPORATED	
(87)国際公開番号	WO2020/185331		アメリカ合衆国 9 5 0 5 4 カリフォル	
(87)国際公開日	令和2年9月17日(2020.9.17)		ニア州、 サンタ クララ、オーガスティ	
審査請求日	令和5年2月6日(2023.2.6)	(74)代理人	ン ドライブ 2 4 8 5	
(31)優先権主張番号	16/351,728		100108833	
(32)優先日	平成31年3月13日(2019.3.13)	(74)代理人	弁理士 早川 裕司	
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100111615	
			弁理士 佐野 良太	
		(74)代理人	100162156	
			弁理士 村雨 圭介	
		(72)発明者	ラフル アガルワル	
				最終頁に続く

(54)【発明の名称】 耐反り性を有するファンアウトパッケージ

(57)【特許請求の範囲】

【請求項1】

半導体チップデバイスを製造する方法であって、
n個の再配線層（RDL）構造層の第1のセットを形成することであって、前記RDL構造層の第1のセットが、第1の側面と、前記第1の側面と反対の第2の側面と、を有する、ことと、
前記第1の側面に半導体チップ（315）を搭載することと、
前記半導体チップを搭載した後に、前記n個のRDL構造層の第1のセットの前記第2の側面にm個のRDL構造層の第2のセットを形成することであって、前記m個のRDL構造層の第2のセット及び前記n個のRDL構造層の第1のセットは同じ幅を有する、ことと、を含む、

方法。

【請求項2】

前記m個のRDL構造層の第2のセットを形成する前に、前記n個のRDL構造層の第1のセットに、前記半導体チップを少なくとも部分的に封入する成形層（310）を形成することを含む、

請求項1の方法。

【請求項3】

前記成形層を薄くすることを含む、

請求項2の方法。

【請求項 4】

前記 n 個の RDL 構造層の第 1 のセットをキャリアウェハ (362) に形成することを
含む、

請求項 1 の方法。

【請求項 5】

半導体チップデバイスであって、

第 1 の再配線層 (RDL) 構造 (305) と、

前記第 1 の RDL 構造の第 1 の側に配置され、前記第 1 の RDL 構造へのファンアウト接
続を含む第 2 の RDL 構造 (353) であって、前記第 2 の RDL 構造は前記第 1 の RDL
構造と同じ幅を有する、第 2 の RDL 構造 (353) と、

前記第 1 の RDL 構造の第 2 の側に配置され、前記第 1 の RDL 構造と電氣的に接続され
た半導体チップ (315) と、を備える、

半導体チップデバイス。

【請求項 6】

前記第 1 の RDL 構造上に配置され、前記半導体チップを少なくとも部分的に封入する成
形層 (310) を備える、

請求項 5 の半導体チップデバイス。

【請求項 7】

前記第 2 の RDL 構造上に配置された複数のインターコネクト (363) を備える、

請求項 5 の半導体チップデバイス。

【請求項 8】

前記第 1 の RDL 構造及び前記第 2 の RDL 構造の各々は、1 つ以上のメタライゼーシ
ョン層と、導体トレース (330) と、1 つ以上のビア (335) と、誘電材料 (336)
と、を備える、

請求項 5 の半導体チップデバイス。

【請求項 9】

半導体チップデバイスであって、

内部導体構造を有する第 1 の成形層と、

前記第 1 の成形層上に配置され、前記内部導体構造へのファンアウト接続を含む第 1 の再
配線層 (RDL) 構造と、

前記第 1 の RDL 構造上に配置され、前記第 1 の RDL 構造へのファンアウト接続を含む
第 2 の RDL 構造と、

前記第 2 の RDL 構造上に配置され、前記第 2 の RDL 構造と電氣的に接続された半導体
チップと、

前記 RDL 構造上に配置され、前記半導体チップを少なくとも部分的に封入する第 2 の成
形層と、を備える、

半導体チップデバイス。

【請求項 10】

前記内部導体構造は、導電性ピラーを備える、

請求項 9 の半導体チップデバイス。

【請求項 11】

前記第 1 の RDL 構造は n 個の再配線層を含み、前記第 2 の RDL 構造は m 個の再配線層
を含む、

請求項 9 の半導体チップデバイス。

【請求項 12】

半導体チップデバイスの製造方法であって、

内部導体構造を有する第 1 の成形層を形成することと、

前記内部導体構造へのファンアウト接続を含む第 1 の再配線層 (RDL) 構造を前記第 1
の成形層上に形成することと、

前記第 1 の RDL 構造へのファンアウト接続を含む第 2 の RDL 構造を前記第 1 の RDL

10

20

30

40

50

構造上に形成することと、

前記第2のRDL構造と電氣的に接続する半導体チップを前記第2のRDL構造上に搭載することと、

前記半導体チップを少なくとも部分的に封入する第2の成形層を前記RDL構造上に形成することと、を含む、

半導体チップデバイスの製造方法。

【請求項13】

複数のインターコネクトを前記内部導体構造と電氣的に接続することであって、前記複数のインターコネクトは、前記半導体チップを回路基板に電氣的に接続するように構成されている、ことを含む、

請求項12の半導体チップデバイスの製造方法。

【請求項14】

前記内部導体構造は、導電性ピラーを備える、

請求項12の半導体チップデバイスの製造方法。

【請求項15】

前記第1のRDL構造はn個の再配線層を含み、前記第2のRDL構造はm個の再配線層を含む、

請求項12の半導体チップデバイスの製造方法。

【発明の詳細な説明】

【背景技術】

【0001】

従来のファンアウト型半導体チップパッケージは、ポリイミド等のポリマー内に介在する1層以上のメタライゼーションによって構成された再配線層(RDL)構造上に搭載された半導体チップで構成されている。このチップは、ハンダバンプを介してRDL構造の導体構造に電氣的に接続されている。チップは、平らな上面を形成するように平坦化された成形材料に包み込まれている。RDL構造の下面には、ファンアウトパッケージをシステム基板等の他の回路基板に接続するためのハンダボールが取り付けられている。シリコンは、半導体チップによく使われており、ある一定の熱膨張率「CTE」を示す。一般的な成形材料及びポリイミドは、シリコンのCTEとは大きく異なるCTEを有することがある。CTEの不一致の問題を少しでも軽減するために、通常、半導体チップとその下にあるRDL構造との間にアンダーフィル材料が挿入される。

【0002】

本発明の上記及び他の利点は、以下の詳細な説明を読み、図面を参照することで明らかになるであろう。

【図面の簡単な説明】

【0003】

【図1】例示的な従来の成形ファンアウトパッケージの斜視図である。

【図2】断面2-2で得られる図1の断面図である。

【図3】図2と同様の断面図であるが、従来のパッケージが反る代替のシナリオを示す図である。

【図4】成形半導体チップファンアウトパッケージの例示的な構成の断面図である。

【図5】図1に示す半導体チップデバイスを製造するための例示的な処理を示す断面図である。

【図6】図5と同様の断面図であるが、例示的な半導体チップデバイスを製造するための例示的な追加の処理を示す図である。

【図7】図6と同様の断面図であるが、例示的な成形層の製造を示す図である。

【図8】図7と同様の断面図であるが、例示的な成形物の薄型化を示す図である。

【図9】図8と同様の断面図であるが、例示的なRDL構造の製造を示す図である。

【図10】成形層及びキャリアウェハを備えた例示的な再構成ウェハを示す図である。

【図11】図9と同様の断面図であるが、例示的な半導体チップの取り付けを示す図であ

10

20

30

40

50

る。

【図 1 2】図 1 1 と同様の断面図であるが、例示的な成形を示す図である。

【図 1 3】図 1 2 と同様の断面図であるが、例示的な任意の成形物の薄型化を示す図である。

【図 1 4】回路基板への半導体チップデバイスの例示的な取り付けを示す断面図である。

【図 1 5】RDL 構造層の複数のセットを含む代替の例示的な半導体チップデバイスの構成の断面図である。

【図 1 6】例示的な RDL 構造の製造を示す断面図である。

【図 1 7】図 1 6 と同様の断面図であるが、半導体チップの RDL 構造への例示的な取り付けを示す図である。

【図 1 8】図 1 7 と同様の断面図であるが、RDL 構造上の例示的な成形を示す図である。

【図 1 9】図 1 8 と同様の断面図であるが、成形層の例示的な任意の薄型化を示す図である。

【図 2 0】図 1 9 と同様の断面図であるが、例示的なキャリアウェハの分離を示す図である。

【図 2 1】図 2 0 と同様の断面図であるが、RDL 構造層の第 2 のセットの例示的な製造を示す図である。

【図 2 2】図 2 1 と同様の断面図であるが、回路基板上の複数の RDL 層セットパッケージの例示的な取り付けを示す図である。

【図 2 3】別の代替の例示的な成形ファンアウトパッケージ構成を示す断面図である。

【図 2 4】別の RDL 構造及び成形層に取り付けられた 2 つの例示的な成形ファンアウトパッケージを示す断面図である。

【図 2 5】図 2 4 と同様の断面図であるが、複数のファンアウトパッケージ上に追加の層を成形することを示す図である。

【発明を実施するための形態】

【0004】

従来のファンアウトパッケージは、反りの問題が発生しやすい。反りの原因は、一般に、半導体チップ、アンダーフィル、半導体チップを封入する成形材料、及び、チップ搭載された RDL 構造を構成するポリマー層の CTE が一致していないことによる。さらに、従来のファンアウトパッケージの様々な構成要素の間で剛性 (moduli) に違いがあり、これも反りの一因となる。従来のファンアウト実装では反りの問題が発生する傾向があるため、従来の典型的な RDL 構造は、2 層又は 3 層の RDL の層に限定され、従来のパッケージのフットプリント又はサイズは、ある程度の最大サイズに制限されるため、最適とはいえない。反りに関するもう 1 つの問題は、成形ファンアウトパッケージでは、成形材料が半導体チップの 5 つの側面にあるが、6 つの側面全てにあるわけではないという事実である。第 6 の側面は、チップの RDL 構造に面している側面であり、そのスペースに成形物が入り込むことはない。

【0005】

開示される構成は、反りの問題に対処して、RDL の層を 2 層又は 3 層よりも多くすることを可能にし、成形ファンアウトパッケージの反りの問題を抑制するように設計されている。開示される構成のいくつかは、反りに対抗するために内部導体構造を含む第 2 の成形層を使用する。他の構成では、半導体チップが搭載される前後に製造される RDL 層の複数のセットを使用する。さらに他の構成では、ファンアウト構成上にファンアウトを設けた構成を利用する。

【0006】

本発明の一態様によれば、半導体チップデバイスは、内部導体構造を有する第 1 の成形層と、第 1 の成形層上に配置され、内部導体構造と電氣的に接続された再配線層 (RDL) 構造と、RDL 構造上に配置され、RDL 構造と電氣的に接続された半導体チップと、RDL 構造上に配置され、半導体チップを少なくとも部分的に封入する第 2 の成形層と、を含む。

【0007】

内部導体構造が導電性ピラーを備える、半導体チップデバイスである。

【0008】

内部導体構造と電氣的に接続され、半導体チップを回路基板に電氣的に接続するように構成された複数のインターコネクトを備える、半導体チップデバイスである。

【0009】

RDL構造がn個の再配線層を備える、半導体チップデバイスである。

【0010】

本発明の別の態様によれば、半導体チップデバイスを製造する方法が提供される。方法は、内部導体構造を有する第1の成形層を形成することと、第1の成形層上に、内部導体構造と電氣的に接続される再配線層(RDL)構造を形成することと、RDL構造上に、RDL構造と電氣的に接続される半導体チップを搭載することと、RDL構造上に、半導体チップを少なくとも部分的に封入する第2の成形層を形成することと、を含む。

10

【0011】

内部導体構造が導電性ピラーを備える、方法である。

【0012】

複数のインターコネクトを内部導体構造に電氣的に接続することであって、インターコネクトが、半導体チップを回路基板に電氣的に接続するように構成されている、ことを含む、方法である。

【0013】

RDL構造がn個の再配線層を備える、方法である。

20

【0014】

第2の成形層を薄くすることを含む、方法である。

【0015】

本発明の別の態様によれば、半導体チップデバイスを製造する方法が提供される。方法は、n個の再配線層(RDL)構造層の第1のセットを形成することであって、RDL構造層の第1のセットが、第1の側面と、第1の側面と反対の第2の側面と、を有する、ことと、第1の側面に半導体チップを搭載することと、半導体チップを搭載した後に、n個のRDL構造層の第1のセットの第2の側面にm個のRDL構造層の第2のセットを形成することと、を含む。

30

【0016】

m個のRDL構造層の第2のセットを形成する前に、n個のRDL構造層の第1のセットに、半導体チップを少なくとも部分的に封入する成形層を形成することを含む、方法である。

【0017】

成形層を薄くすることを含む、方法である。

【0018】

n個のRDL構造層の第1のセットをキャリアウェハに形成することを含む、方法である。

【0019】

本発明の別の態様によれば、半導体チップは、内部導体構造を有する第1の成形層と、第1の成形層上に配置され、内部導体構造へのファンアウト接続を含む第1の再配線層(RDL)構造と、第1のRDL構造上に配置され、第1のRDL構造へのファンアウト接続を含む第2のRDL構造と、第2のRDL構造上に配置され、第2のRDL構造と電氣的に接続された半導体チップと、RDL構造上に配置され、半導体チップを少なくとも部分的に封入する第2の成形層と、を備える。

40

【0020】

内部導体構造が導電性ピラーを備える、半導体チップデバイスである。

【0021】

第1のRDL構造がn個の再配線層を備え、第2のRDL構造がm個の再配線層を備え

50

る、半導体チップデバイスである。

【0022】

本発明の別の態様によれば、半導体チップデバイスを製造する方法が提供される。方法は、内部導体構造を有する第1の成形層を形成することと、第1の成形層上に、内部導体構造へのファンアウト接続を含む第1の再配線層（RDL）構造を形成することと、第1のRDL構造上に、第1のRDL構造へのファンアウト接続を含む第2のRDL構造を形成することと、第2のRDL構造上に、第2のRDL構造と電氣的に接続する半導体チップを搭載することと、RDL構造上に、半導体チップを少なくとも部分的に封入する第2の成形層を形成することと、を含む。

【0023】

複数のインターコネクタを内部導体構造に電氣的に接続することであって、インターコネクタが、半導体チップを回路基板に電氣的に接続するように構成されていることを含む、方法である。

【0024】

内部導体構造が導電性ピラーを備える、方法である。

【0025】

第1のRDL構造がn個の再配線層を備え、第2のRDL構造がm個の再配線層を備える、方法である。

【0026】

以下に説明する図面において、同一の要素が複数の図に現れる場合には、符号が繰り返される。次に、図面、特に図1を参照すると、その図には、再配線層（RDL）構造105と、RDL構造105上に成形された成形層110と、成形層110に封入された半導体チップ115と、を含む例示的な従来の成形ファンアウトパッケージ100の斜視図が示されている。半導体チップ115の一部を明らかにするために、成形層110の一部が切り取られて示されている。RDL構造105は、そこから下方に突出する複数のハンダボール120を含む。図1は、成形ファンアウトパッケージ100のような従来の成形ファンアウトパッケージで発生し得る反りの状況を示している。本明細書では、反りの状況を説明するのに役立つように、直交座標系122が簡潔に描かれている。ここでは、RDL構造105及び成形層110の両方が上方向又は+z方向の反りを示しているが、この反りは、成形ファンアウトパッケージ100の空間的な向きに応じて上向き又は下向きであると見なされ得る。反りの量は、成形ファンアウトパッケージ100の角125a, 125b, 125c, 125d及び縁127a, 127b, 127c, 127dで最も深刻になり得る。

【0027】

従来のファンアウトパッケージ100の詳細は、断面2-2で得られる図1の断面図である図2を参照することによって理解することができる。RDL構造105は、ポリイミド等の誘電材料が介在した複数の導体トレース130及び階層間ビア135を含む1層以上のメタライゼーション層で構成されている。RDL構造105の下面には、ハンダマスク材料によって構成されたハンダマスク140が形成されており、ハンダマスク140には、ハンダボール120が突出してRDL構造105のメタライゼーションに接触する複数の開口部145がパターン形成されている。半導体チップ115は、複数のハンダバンプ150を介してRDL構造105に電氣的に接続されている。半導体チップ115とRDL構造105とのCTEの違いに起因する熱応力の問題に対処するために、チップ115とRDL構造105との間のギャップにアンダーフィル材料155が配置されている。

【0028】

上述したように、従来のファンアウトパッケージ100の反りの一因となる複数の物理的メカニズムが存在する。これらには、（1）半導体チップ115の5つの側面147a, 147b, 147c, 147d, 147eのみに接触するが、その第6の側面147f（図1ではラベル表示されていない）には接触しない成形層110のエポキシ系材料が存在することに起因する応力の不均衡と、（2）成形層110と、RDL構造105の誘電

10

20

30

40

50

体と、半導体チップ115との間の可変収縮率、剛性(modulii)の差、ガラス転移温度T_gの差、及び、CTEの差と、が含まれる。従来のパッケージ100の上向きの反りは、半導体チップ115、並びに、RDL構造105のトレース130及びビア135の反りを発生させる可能性もあることに留意されたい。図1及び図2に示す+z方向の反りによって、ハンダボール120、特に、成形ファンアウトパッケージ100の角125a, 125b, 125c, 125d及び縁127a, 127b, 127c, 127dの近くに配置されたハンダボール、又は、角125a, 125b, 125c, 125d及び縁127a, 127b, 127c, 127dに配置されたハンダボールが、下地となる回路基板(図示省略)から層間剥離する場合がある。

【0029】

従来のパッケージ100の反りの深刻さ及び方向は、温度に依存することを理解されたい。したがって、例えば、図1及び図2に示されている上側の反りは、成形ファンアウトパッケージ100のある温度範囲を通じて発生する反りを表すことができる。しかしながら、その温度範囲の上又は下では、従来の成形ファンアウトパッケージ100は、異なる反りの挙動を示す可能性がある。例えば、図2と同様の断面図であるが、異なる反りパターン、すなわち、RDL構造105、成形層110、半導体チップ115、トレース130、ビア135、ハンダマスク140、及び、アンダーフィル155等のように、成形ファンアウトパッケージ100の様々な構成要素の下向き又は-z方向の反りを示す図3に示すように、この反りのシナリオでは、ハンダボール120、特に、成形ファンアウトパッケージ100の角125a, 125b, 125c, 125d及び縁127a, 127b, 127c, 127dよりもパッケージ100の中心156に近い位置にあるハンダボール120が、下地となる回路基板(図示省略)から層間剥離する場合がある。

【0030】

次に、新しい例示的な成形ファンアウトパッケージ200の構成を、断面図である図4を参照することによって理解することができる。ファンアウトパッケージ200は、RDL構造205と、その上に成形された成形層210と、成形層210に少なくとも部分的に收容された半導体チップ215と、を含む。チップ215のような複数の半導体チップが成形層210内に成形され得ることを理解されたい。RDL構造205は、n(nは1以上)個のRDL層を含む。n個のRDL層の各々は、導体トレース230を含むメタライゼーション層で構成されている。連続するメタライゼーション層は、1つ以上の層において誘電材料236が介在するビア235によって相互接続されている。誘電材料236は、ポリベンゾオキサゾールとすることができるが、ベンゾシクロブテン、高温若しくは低温ポリイミド、又は、他のポリマー等のように、他のポリマー材料を使用してもよい。ファンアウトパッケージ200には、パッケージの反りの問題を抑制するための複数の特徴が組み込まれている。その1つは、RDL構造105の下面に成形される第2の成形層237を組み込むことである。第2の成形層237は、この例示的な構成では背の高い導電性ピラーである複数の内部導体構造238を含む。導体構造238は、下方に突出しており、複数のハンダボール220にオーミック接続されている。ピラー238の上端は、RDL構造205の導体トレース230の1つ以上にオーミック接続されている。成形層237の下面にはハンダマスク240が形成されており、ハンダマスク240は、導体構造238と接触するハンダボール220の配置に対応するように適切にパターン形成されている。半導体チップ215は、ハンダバンプ、ハンダマイクロバンプ、導電性ピラー、又は、他のタイプのインターコネクトであり得る複数のインターコネクト250を介して、RDL構造205に電氣的に接続することが可能である。CTEの違いの問題を軽減するために、アンダーフィル255を、チップ215とRDL構造205との間に介在することができる。成形層237は、成形ファンアウトパッケージ200が上向き又は下向きに反る傾向を抑制するための補強構造を提供する。反りを抑制するために、成形層237を、所望の厚さz₁で、ある程度の曲げ剛性を提供する特定の材料で製造することができる。さらに、成形層210を、ある程度の厚さz₂で、所望の曲げ剛性を提供する材料から製造することができる。成形層210の厚さz₂は、チップ215の厚さz₃以上であ

10

20

30

40

50

ってもよいし、チップ215の厚さ z_3 と同じであってもよいことを理解されたい。また、成形層210を成形し、成形後の研削を行って、半導体チップ215の上面257を露出させるか、半導体チップ215を z_3 未満の厚さに薄くすることも可能である。

【0031】

成形層210、237用に選択され材料は、適用可能な成形温度で適切な粘性を示し、成形プロセスの時点で存在するハンダ構造の何れかの融点よりも低い成形温度を有することが望ましい。例示的な構成では、成形層210、237用の材料は、約165℃の成形温度を有し得る。2つの商用バリエーションとしては、SumitomoのEME-G750及びG760がある。

【0032】

RDL構造205及び成形層237の導体構造、並びに、開示された任意の代替物を、銅、アルミニウム、銀、金、プラチナ、パラジウム等、及び、これら又は他の合金等の様々な導体材料によって構成することができる。インターコネク220、250及び開示された任意の代替物は、ハンダによって構成されているか、又は、ハンダを組み込んでいる場合には、錫-銀、錫-銀-銅等の様々な周知のハンダ組成物によって構成されてもよい。本明細書に開示された導体構造を製造するために、周知のメッキ、化学的気相成長、物理的気相成長又は他の適用技術を用いることができる。

【0033】

成形ファンアウトパッケージ200を形成するための例示的な処理を、図5、図6、図7、図8、図9、図10、図11、図12及び図13を参照し、最初に断面図である図5を参照することによって理解することができる。初期段階では、図4に示す導体構造238及び成形層237の製造を対象とする。まず、図5に着目する。以下のステップは、後続の図と併せて以下により詳細に説明するように、ウェハレベルで実施可能であることを理解されたい。最初に、キャリアウェハ262に剥離層260を被着させる。剥離層260は、光活性化、熱活性化若しくは他のタイプの接着剤であってもよいし、分離時にその上に取り付けられた構造を破壊的に損傷することなくキャリアウェハ262を除去することができる何らかの形態のテープであってもよい。キャリアウェハ262は、様々なタイプのガラス又はシリコン等の半導体によって構成することができる。次に、剥離層260上にメッキシード層264を堆積させる。メッキシード層264は、銅等のメッキシード層に適している様々な材料によって構成することができる。メッキシード層264を、必要に応じて、物理気相成長法又は無電解メッキ法によって塗布することができる。次に、レジストマスク266がシード層264に塗布され、複数の開口部268を含むようにリソグラフィによってパターン形成される。次に、メッキ処理を用いて開口部268に導電性材料を充填し、図6に示す導体構造238を形成する。図6に示すように、メッキ処理を経て導電性ピラー238を形成した後に、アッシング、溶剤剥離又はこれらの組み合わせによってレジストマスク266を除去する。レジストマスク266を除去した後に、フラッシュウェットエッチング等のエッチング処理を実行して、導体構造238の側方にある剥離層260上のメッキシード層264の一部を除去する。キャリアウェハ262は、これらの動作のための構造的サポートを提供する。

【0034】

次に、図7に示すように、成形層237が、本明細書の他の場所に開示されている例示的な材料を用いて、圧縮成形により、導体構造238上及び剥離層260の露出部分に成形される。成形層237は、メッキした導体構造238の高さよりも高い初期厚さ z_4 で成形されていることに留意されたい。次に、図8に示すように、成形層237を研削処理する。研削処理では、成形層の厚さを、図7に示す z_4 から研削後の厚さ z_1 に減少させる。また、この研削処理により、導体構造238の上面が露出する。キャリアウェハ262は、これらの動作のための構造的サポートを提供する。製造プロセスのこの段階では、成形層237と導体構造238との組み合わせは、或る程度の+z方向の反りを示すことが予想される。反りの大きさ及び方向は、曲線269によって概略的且つ定性的に示されている。

10

20

30

40

50

【0035】

次に、RDL構造205の製造について説明する。図9を参照すると、RDL構造205は、一連の処理ステップで成形層237上に製造される。上述したように、RDL構造205は、複数の導電性ビア235によって相互接続された1つ以上の層に複数の導体トレース230を含む。トレース230は、マスクへのメッキ若しくは全面的なメッキ、又は、堆積と、それに続くマスク配置と、それに続くエッチング定義等のように、アディティブ法 (additive process) 又はサブトラクティブ法 (subtractive process) の何れかによって形成することができる。誘電材料236の1つ以上の層は、スピコートされてもよいし、別の方法で堆積されてもよいし、ベーク (baked) されてもよいし、別の方法で硬化されてもよい。RDL構造205の誘電材料236が、光活性化合物を含む本明細書の他の箇所で開示されているポリマー材料等のフォトイメジャブル材料 (photoimageable materials) によって構成されている場合には、複数の誘電体層236の必要な開口部を、その後のトレース及びビア230、235のメッキ又は他の堆積に対応することができるように、周知のリソグラフィ処理によって形成することができる。キャリアウェハ262は、これらの動作のための構造的サポートを提供する。製造プロセスのこの段階では、RDL構造205、成形層237及び導体構造238の組み合わせは、図7に示す状態よりも大きいある程度の+z方向の反りを示すことが予想される。反りの大きさ及び方向は、曲線270によって概略的且つ定性的に示されている。

10

【0036】

上述したように、図5、図6、図7、図8及び図9に関連して説明した処理は、ウェハレベルベースで実行することができる。これに関連して、図10に一時的に着目する。図10は、例示的なキャリアウェハ262と、キャリアウェハ262上に形成された成形層237と、成形層237に被着した1つ以上の誘電体層236と、を示す図である。図4～図9に示すRDL構造205は、成形層237上にまとめて製造されたいくつかのRDL構造の1つである。実際に、成形層237は、図10では見えないが、図4及び図7～図9に示される導体構造238の個別のグループで同様に構成されている。1つ以上の半導体チップ215を所定のRDL構造205に搭載することができることに留意されたい。

20

【0037】

図11に示すように、RDL構造205の製造に続いて、半導体チップ215がその上に取り付けられ、複数のインターコネクタ250を介してRDL構造205への電氣的接続が確立される。アンダーフィル255は、チップ215が取り付けられた後に毛細管現象を利用して塗布されるか、チップ215を配置する前に塗布されてもよい。この処理は、図10に示す個々のRDL構造205上に複数の半導体チップ215を搭載することができるように、ウェハレベルベースで実施することができることに再度留意されたい。製造プロセスのこの段階では、半導体チップ215、RDL構造205、成形層237及び導体構造238の組み合わせが、或る程度の-z方向の反りを示すことが予想される。反りの大きさ及び方向は、曲線271によって概略的且つ定性的に示されている。

30

【0038】

次に、図12に示すように、成形層210をRDL構造205上に成形して、半導体チップ215及びアンダーフィル255の露出部分を少なくとも部分的に封入する。これも、ウェハレベルで実行することが可能である。成形層210は、周知の圧縮成形技術を用いて成形することができ、或る程度の初期厚さ z_5 で成形することができる。

40

【0039】

次に、図13に示すように、成形層210を研削処理して、厚さを z_5 から z_2 に減少する。この研削処理は、成形層210の一部を半導体チップ215上に残すようにしてもよいし、半導体チップ215の上面257に達するようにしてもよいし、半導体チップ215の上面257の一部を実際に研削してもよい。製造プロセスのこの段階では、成形層210、半導体チップ215、RDL構造205、成形層237及び導体構造238の組み合わせが、-z方向又は+z方向の何れにおいても無視できる反り (線272によって概略的且つ定性的に表される) を示すことが予想される。所望の無視できる反りを達成す

50

るために、成形層 210, 237 の材料が所望の剛性 (modulii) で選択され、成形層 210 のオーバーモールド量が制御される。成形層 210 のオーバーモールド量は、成形層の厚さ z_2 と、 y 軸に沿って測定された成形層 210 の長さとの積である。もちろん、成形層の厚さ z_2 は、研削しない成形層の厚さ z_5 (図 12 を参照) の特定の値を選択することによって、及び／又は、成形層の厚さ z_5 の特定の値を特定のレベルのグラインドバック (grind back) と組み合わせることによって設定してもよい。

【0040】

次に、図 13 及び図 14 に示すように、成形ファンアウトパッケージ 200 は、剥離層 260 を活性化させることによって、図 13 に示すキャリアウェハ 262 から取り出され、ハンダマスク 240 は、成形層 237 の下面に塗布され、導体構造 238 に通じる開口部を提供するように適切にパターン形成され得る。その後、ハンダボール 220 を、メッキ若しくはステンシルとその後に続くリフローによって、又は、ピックアンドプレースとその後に続くリフローによって、導体構造 238 に付けることができる。

【0041】

製造プロセスのこの段階では、成形ファンアウトパッケージ 200 は、或る程度の $-z$ 方向の反りを示すことが予想される。反りの大きさ及び方向は、曲線 273 によって概略的且つ定性的に示されている。次に、完成した成形ファンアウトパッケージ 200 を、パッケージ基板、システム基板又は他のタイプの回路基板であり得る別の回路基板 274 に取り付けることができる。また、回路基板 274 は、図示したハンダボール等のインターコネクト 276 を含み得る。オプションで、ピン又はランド等の他のタイプのインターコネクトを使用してもよい。回路基板 274 の機械的挙動及びインターコネクト 220 のリフロー後の冷却により、成形ファンアウトパッケージ 200 の $-z$ 方向の反りの大部分が相殺されることが予想される。

【0042】

次に、別の代替的な例示的な成形ファンアウトパッケージ 300 の構成を、図 4 と同様の断面図である図 15 を参照することによって理解することができる。この例示的な成形ファンアウトパッケージ 300 の構成は、図 4 に示す成形ファンアウトパッケージ 200 といくつかの属性を共有する。これに関連して、ファンアウトパッケージ 300 は、RDL 構造 305 と、RDL 構造 305 上に成形された成形層 310 であって、RDL 構造 305 上に搭載され、複数のインターコネクト 350 によって RDL 構造 305 に接続され、アンダーフィル 355 によって CTE の違いに対して緩衝される半導体チップ 315 を少なくとも部分的に収容する成形層 310 と、を含む。一方、図 4 に示す成形層 237 及び背の高い導体構造 238 を使用する代わりに、反りを抑制するために、第 1 の RDL 構造 305 上に第 2 の RDL 構造 353 が形成される。RDL 構造 305 は、 n (n は、1 以上) 個の RDL 層のセットを含む。図 4 に示す RDL 構造 205 と同様に、 n 個の RDL 層の各々は、導体トレース 330 を含むメタライゼーション層で構成されている。連続するメタライゼーション層は、1 つ以上の層内に誘電材料 336 が介在するビア 335 によって相互接続されている。RDL 構造 353 の構造は、 m 個の RDL 層のセットを含み、ここで、 m は、1 以上であり、数 n と同じであってもよいし異なってもよい。RDL 構造 353 も同様に、複数の導体トレース 354 と、複数のビア 356 と、1 つ以上の誘電材料 358 の層と、を含む。

【0043】

パッケージ 300 を回路基板等の他の回路構造に電氣的に接続するためのインターコネクト 363 は、1 つ以上の導電性トレース 354 とオーミック接触して RDL 構造 353 に取り付けられている。2 つの積層 RDL 構造 305, 353 を使用することによって、電力、接地及び信号のためのより多くの可能な電気経路を提供するだけでなく、パッケージ 300 が、何らかの理由で受ける可能性のある望ましくない反りを抑制するように調整することもできる。

【0044】

図 15 に示すデュアル RDL ファンアウトパッケージ 300 を製造するための例示的な

10

20

30

40

50

処理は、図 16、図 17、図 18、図 19、図 20 及び図 21 を参照し、最初に図 16 を参照することによって理解することができる。最初に、剥離層 360 がキャリアウェハ 362 に塗布され、その後、その上に、図 4 に示す RDL 構造 205 について上述した技術を用いて、RDL 構造 305 が形成される。剥離層 360 及びキャリアウェハ 362 は、上記の剥離層 260 及びキャリアウェハ 260 と同様に構成することができる。

【0045】

次に、図 17 に示すように、半導体チップ 315 を RDL 構造 305 上に取り付け、インターコネク 350 を介して RDL 構造 305 に電氣的に接続する。

【0046】

アンダーフィル 355 は、図 4 に示すアンダーフィル 255 について上述した技術を用いて塗布することができる。キャリアウェハ 362 は、これらの動作のための構造的サポートを提供する。

10

【0047】

次に、図 18 に示すように、成形層 310 を RDL 構造 305 上に成形することにより、半導体チップ 315 及びアンダーフィル 355 が少なくとも部分的に封入する。成形層 310 は、チップ 315 の上面 357 を覆うように、或る程度の初期厚さ z_6 で成形することができる。キャリアウェハ 362 は、これらの動作のための構造的サポートを提供する。

【0048】

次に、図 19 に示すように、成形層 310 を研削処理して、厚さを z_6 から z_7 に減少する。研削後の厚さ z_7 は、半導体チップ 315 の上面 357 が成形層 310 で覆われた状態を維持するように選択することができ、上面 357 がちょうど露出するように選択することができ、又は、研削処理によって半導体チップ 315 の上部の一部を除去するように選択することもできる。キャリアウェハ 362 は、これらの動作のための構造的サポートを提供する。

20

【0049】

次に、図 20 に示すように、図 19 に示すキャリアウェハ 362 を、RDL 構造 305 と成形層 310 及びチップ 315 との組み合わせから除去する。キャリアウェハ 362 を除去した状態で、RDL 構造 305 と成形層 310 及びチップ 315 との組み合わせを、図 20 に示す向きから反転させ、RDL 構造 305 の製造に用いたのと同じ技術を用いて、図 21 に示すように、RDL 構造 305 上に RDL 構造 353 を形成する。このように、複数の材料堆積パターン形成及び他のステップ等を用いて、導体トレース 354、導電性ビア 356 及び 1 つ以上の絶縁層 358 が設けられる。

30

【0050】

次に、図 22 に示すように、RDL 構造 353 にインターコネク 363 を付けて、成形ファンアウトパッケージ 300 を完成させる。インターコネク 363 は、図 4 に示すインターコネク 220 と同様に構成して付けることができる。成形ファンアウトパッケージ 300 は、その後、回路基板 374 に取り付けることができ、この回路基板 374 は、上記の回路基板 274 と同様であってもよく、したがって、上記のタイプのインターコネク 376 を含み得る。

40

【0051】

より多くの数の RDL 層を提供し、パッケージの反りの問題を抑制し得る、別の新しい成形ファンアウトパッケージ 400 の構成を、図 23、図 24 及び図 25 を参照し、最初に図 23 を参照することによって理解することができる。ここで、成形ファンアウトパッケージ 400 は、RDL 構造 405 上に搭載され、少なくとも部分的に成形層 410 内に收容された 2 つの小規模の成形ファンアウトパッケージ 402、404 を含み得る。RDL 構造 405 は、複数の導体構造 438 を含む成形層 437 上に配置されている。成形層 437 及び導体構造 438 は、図 4 に示す上記の成形層 237 及び導体構造体 238 と同じタイプの材料から構成され、同じ方法で製造することができる。実際に、成形層 437 の下面にハンダマスク 440 を形成することができ、導体構造 438 に複数のインターコ

50

ネクト４２０を接続することができる。成形ファンアウトパッケージ４００を、別の回路基板４７４に取り付け、本明細書の他の箇所で説明するインターコネクト２２０のようなインターコネクト４２０を介して、回路基板４７４に相互接続することができる。また、回路基板４７４は、インターコネクト４７６を含むことができ、上記の回路基板２７４，３７４のように構成することができる。成形パッケージ４０２，４０４の各々は、半導体チップ４８４（又は、複数のチップ）と、ＲＤＬ構造４８６と、アンダーフィル４８７と、複数のインターコネクト４８８と、チップ４７４を少なくとも部分的に封入する成形層４９０と、ＲＤＬ構造４８６に接続するためのインターコネクト４９２と、を含むことを理解されたい。ＲＤＬ構造４０５，４８６は、図４及び図１５に関連して上述したＲＤＬ構造２０５，３０５，３５３のように構成することができる。インターコネクトは、本明細書の他の箇所で説明したインターコネクト２５０のようなものであってもよい。パッケージ４０２，４０４は、ＲＤＬ構造４０５と、成形層４３７と、ピラー４３８とを共有する。この目的のために、パッケージ４０２，４０４は、ＲＤＬ構造４０５よりも相対的に小さくすることができるが、その一方で、上記の図４に示す成形ファンアウトパッケージ２００の構成では、半導体チップ２１５は、少なくとも横方向のサイズ又はフットプリントが、下層のＲＤＬ構造２０５及び成形層２３７のフットプリントに近くなっている。図２３、図２４及び図２５に示す構成におけるこのサイズ差は、ＲＤＬ構造４０５及び成形層４３７のサイズをスケールアップするか、成形ファンアウトパッケージ４０２，４０４のサイズをスケールダウンするか、又は、これらの２つの組み合わせによって達成し得る。

【００５２】

図２３に示すマルチダイファンアウトパッケージ４００を製造するための例示的な処理を、図２４及び図２５を参照することによって理解することができる。

【００５３】

最初に、キャリアウェハ４６２に剥離層４６０を被着させる。その後、図４に示す成形層２３７及び導体構造２３８の製造に関連して上述した技術を用いて、剥離層４６０及びキャリアウェハ４６２上に成形層４３７が製造され、その中に導体構造４３８が形成される。その後、図４に示すＲＤＬ構造２０５に関連して上述した技術を用いて、成形層４３７上にＲＤＬ構造４０５が再び形成される。その後、成形パッケージ４０２，４０４が、ＲＤＬ構造４０５上に取り付けられる。例えば、成形パッケージ４０２は、必要に応じて、ＲＤＬ構造４８６をウェハレベルで最初に製造することによって製造できることを理解されたい。その後、半導体チップ４８４のＲＤＬ構造４８６上への取り付けと、その後に続くアンダーフィルを被着するためのアンダーフィル材料プロセスと、成形層４９０の成形と、インターコネクト４９２のＲＤＬ構造４８６上への取り付けと、が行われる。同様のプロセスが、パッケージ４０４にも適用され得る。ＲＤＬ構造４８６、アンダーフィル４８７及び成形層４９０の製造は、上記のＲＤＬ２０５及び成形層２１０上にチップ２１５を製造するために使用される処理と同様であり得る。

【００５４】

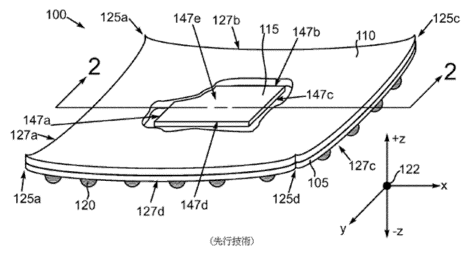
次に、図２５に示すように、成形パッケージ４０２，４０４を少なくとも部分的に封入するために、成形層４１０が形成される。成形層４１０を被着する処理は、上記の成形層２１０を被着するために使用される処理と同様であり得る。その後、キャリアウェハ４６２を、剥離層４６０の不活性化又は他の方法によって除去することができ、図４に示すハンダマスク２４０及びインターコネクト２２０について上述した同じタイプの技術を使用して、図２３に示すように、ハンダマスク４４０及びインターコネクト４２０を、成形層４３７内の導体構造４３８に取り付けることができる。

【００５５】

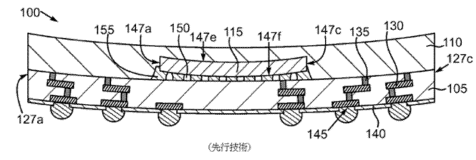
本発明は、様々な修正及び代替形態を受け入れる余地があり得るが、特定の実施形態が、図面に例として示されており、本明細書で詳細に説明されている。しかしながら、本発明は、開示された特定の形態に限定されることを意図していないことを理解されたい。むしろ、本発明は、添付の特許請求の範囲によって定義される本発明の趣旨及び範囲内にある全ての変更、均等物及び代替物をカバーするものである。

【図面】

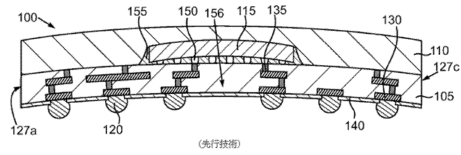
【図 1】



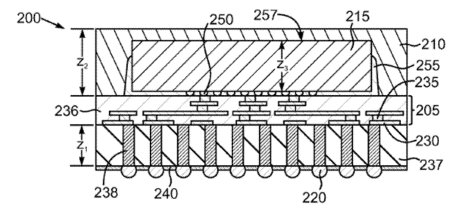
【圖 2】



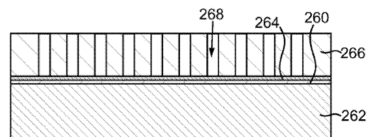
【図 3】



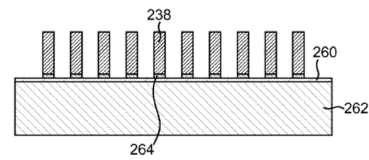
【図 4】



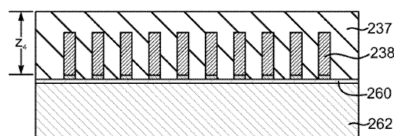
【図 5】



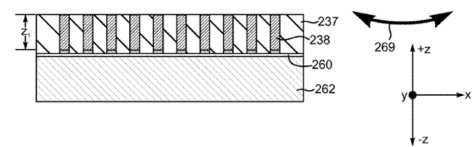
【図 6】



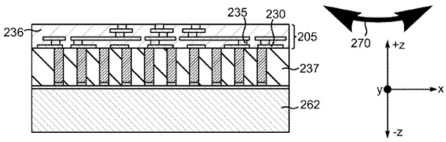
【図 7】



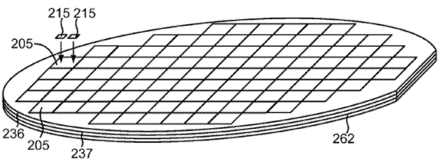
【図 8】



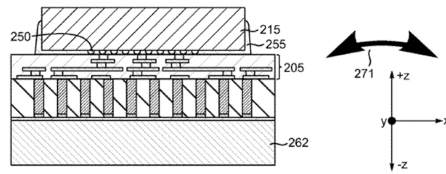
【図 9】



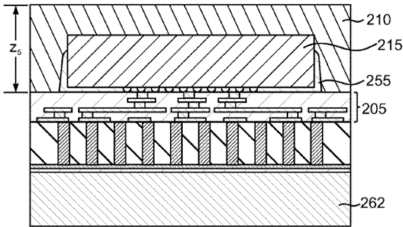
【図 10】



【図 11】

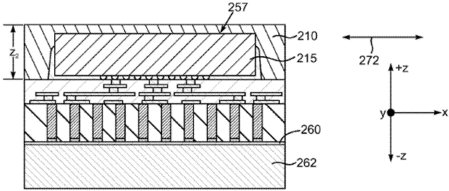


【図 12】

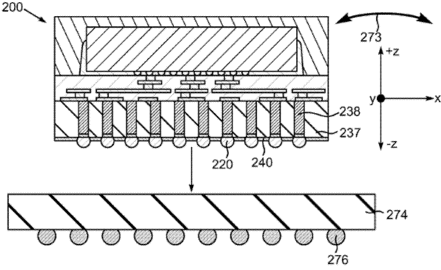


10

【図 13】

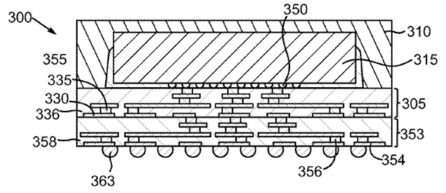


【図 14】

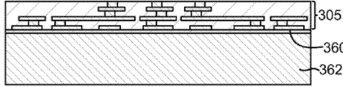


20

【図 15】



【図 16】

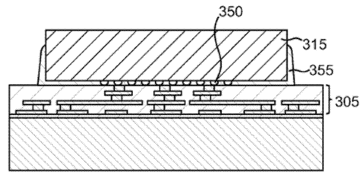


30

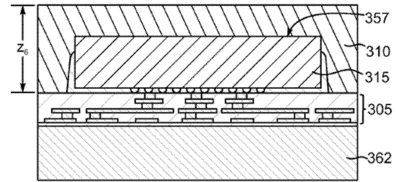
40

50

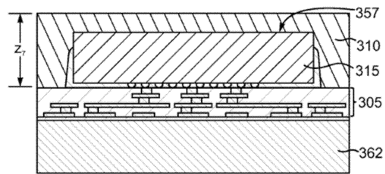
【図 17】



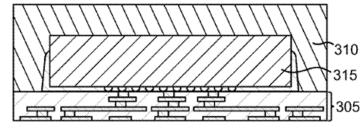
【図 18】



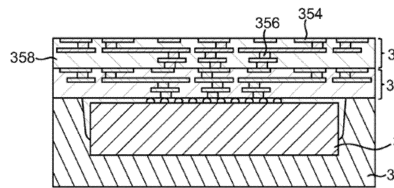
【図 19】



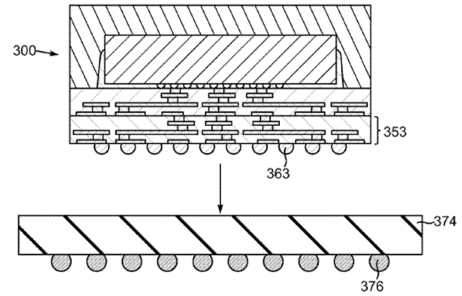
【図 20】



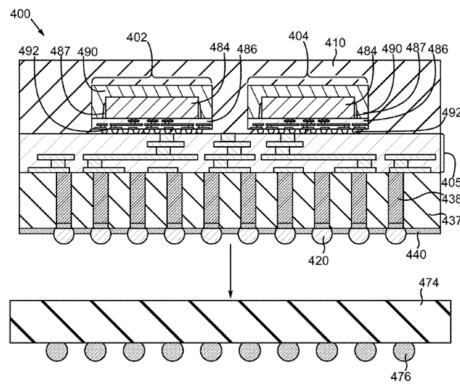
【図 2 1】



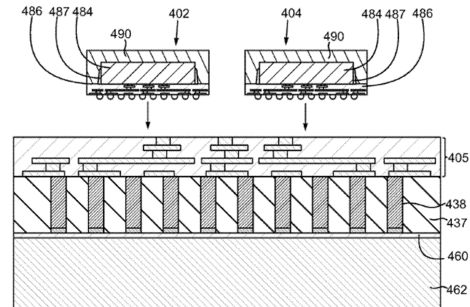
【図 22】



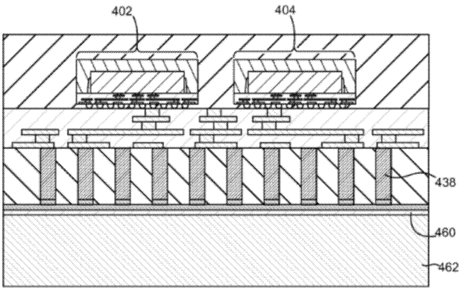
【圖 23】



【図 2 4】



【図 25】



10

20

30

40

50

フロントページの続き

- アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5
- (72)発明者 チーハオ チェン
- 台湾 シンジュー、ゴンダオ 5 番 ロード、セクション 2、8 階、No. 1 0 1
- (72)発明者 ミリンド エス. バガヴァット
- アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5
- 審査官 庄司 一隆
- (56)参考文献 特開 2 0 1 7 - 2 0 4 5 1 1 (J P , A)
- 特開 2 0 1 4 - 0 9 6 5 4 7 (J P , A)
- 米国特許出願公開第 2 0 1 5 / 0 2 5 5 3 6 1 (U S , A 1)
- 米国特許出願公開第 2 0 1 8 / 0 2 2 6 3 3 3 (U S , A 1)
- 特表 2 0 1 8 - 5 1 4 0 8 8 (J P , A)
- 米国特許出願公開第 2 0 1 9 / 0 1 3 1 2 5 8 (U S , A 1)
- 米国特許出願公開第 2 0 1 6 / 0 3 1 5 0 7 1 (U S , A 1)
- 特開 2 0 1 5 - 1 0 6 6 7 1 (J P , A)
- (58)調査した分野 (Int.Cl., D B 名)
- H 0 1 L 2 3 / 1 2
- H 0 1 L 2 1 / 6 0
- H 0 1 L 2 5 / 0 4