



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월11일
(11) 등록번호 10-0766029
(24) 등록일자 2007년10월04일

(51) Int. Cl.

H01L 21/336(2006.01)

(21) 출원번호 10-2005-7022582

(22) 출원일자 2005년11월25일

심사청구일자 2005년11월25일

번역문제출일자 2005년11월25일

(65) 공개번호 10-2006-0009017

공개일자 2006년01월27일

(86) 국제출원번호 PCT/JP2004/007075

국제출원일자 2004년05월24일

(87) 국제공개번호 WO 2004/105116

국제공개일자 2004년12월02일

(30) 우선권주장

JP-P-2003-00148275 2003년05월26일 일본(JP)

(56) 선행기술조사문헌

JP15115587 A

IEEE Transactions on Electron Devices,
Vol.40, No.11, page 2132~2133

전체 청구항 수 : 총 46 항

(73) 특허권자

야자키 소교 가부시키키가이샤

일본 도쿄도 미나토쿠 미타 1쵸메 4반 28고

오미 다다히로

일본국 미야기켄 센다이시 아오바쿠 고메가후쿠로
2쵸메 1반 17고 301

(72) 발명자

오미 다다히로

일본국 미야기켄 센다이시 아오바쿠 고메가후쿠로
2쵸메 1반 17고 301

테라모토 아키노부

일본 미야기 983-0037 센다이시 미야기노쿠 헤이
세이 1쵸메1-22-케이6

(뒷면에 계속)

(74) 대리인

강용복, 김용인

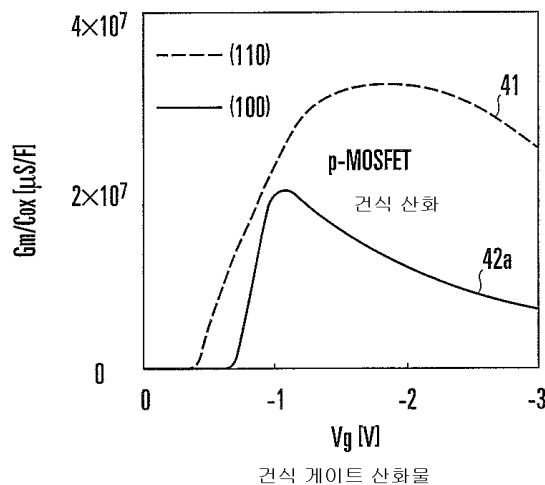
심사관 : 홍성의

(54) P-채널 파워 MIS 전계 효과 트랜지스터 및 스위칭회로

(57) 요약

실질적으로 (110)면을 갖는 실리콘 표면에 형성된 P-채널 파워 MIS 전계 효과 트랜지스터에서, 10V 이상 100V 이하의 게이트와 소스 사이의 파괴 전압을 제공하고 실리콘 표면을 평탄화하거나 Kr, Ar 또는 Xe를 함유하는 게이트 절연막이 사용된다.

대표도 - 도4a



(72) 발명자

아카호리 히로시

일본 가나가와 241-0822 요코하마시 아사히쿠 사치
가오카148-4-701

나이 게이이치

일본 미야기 982-0825 센다이시 다이하쿠쿠 니시노
다이라 2초메23-45썸-203

와타나베 다카노리

일본 시즈오카 410-1194 스소노시 미슈쿠 1500 야
자키 소교가부시키키가이샤 내

특허청구의 범위

청구항 1

표면이 실질적으로 (110)면인 실리콘 영역을 갖는 기판, 상기 표면에 형성된 게이트 절연막 및 상기 게이트 절연막에 형성된 게이트 전극을 포함하고, 상기 실리콘 영역이 적어도 채널로 사용되는 P-채널 파워 MIS 전계 효과 트랜지스터로서,

상기 게이트 절연막은 0 초과 150nm 이하의 두께를 가지고 상기 게이트 절연막 중 적어도 상기 실리콘 영역의 표면과 접촉하는 접촉부는 아르곤, 크립톤 또는 크세논을 함유하고 P-채널 MIS 전계 효과 트랜지스터의 소스와 게이트 사이의 파괴 전압은 10V 이상 100V 이하이며,

상기 실리콘 영역의 표면과 접촉하는 상기 게이트 절연막 중 적어도 접촉부에서 아르곤, 크립톤 또는 크세논의 함량은 표면 밀도로 0 초과 $5 \times 10^{11} \text{ cm}^{-2}$ 이하인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

아르곤, 크립톤 또는 크세논의 함량은 상기 게이트 절연막이 상기 게이트 전극과 접촉하는 계면에서 최대이고 상기 게이트 절연막이 상기 실리콘 영역의 표면과 접촉하는 계면을 향해 감소하는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 4

제 1 항에 있어서,

P-채널 파워 MIS 전계 효과 트랜지스터의 게이트 역치 전압이 아르곤, 크립톤 및 크세논의 어떤 것도 함유하지 않는 게이트 절연막을 가지며 상기 게이트 절연막과 게이트 전극은 표면이 (100)면인 실리콘 영역에 형성되는 P-채널 MIS 전계 효과 트랜지스터의 게이트 역치 전압과 실질적으로 동일한 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 상기 게이트 절연막 중 적어도 접촉부는 실리콘 산화막, 실리콘 산질화막 또는 실리콘 질화막으로 제조되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 6

제 5 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 상기 게이트 절연막 중 적어도 접촉부는 라디칼 산소를 사용하여 상기 실리콘 영역의 표면을 산화시켜 형성되고 0 초과 100nm 이하의 두께를 갖는 실리콘 산화막으로 제조되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 7

제 5 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 상기 게이트 절연막 중 적어도 접촉부는 라디칼 질소 또는 라디칼 NH를 사용하여 상기 실리콘 영역의 표면을 질화시켜 형성되고 0 초과 100nm 이하의 두께를 갖는 실리콘 질화막으로 제조되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 8

제 5 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 상기 게이트 절연막 중 적어도 접촉부는 라디칼 질소 또는 라디칼 NH 및 라디칼 산소를 사용하여 상기 실리콘 영역의 표면을 산질화시켜 형성되고 0 초과 100nm 이하의 두께를 갖는 실리콘 산질화막으로 제조되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 9

제 5 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 접촉부를 제외한 상기 게이트 절연막의 부분은 CVD에 의해 형성된 실리콘 산화막, 실리콘 산질화막 및 실리콘 질화막의 적어도 하나를 포함하는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 10

제 1 항에 있어서,

상기 게이트 절연막은 마이크로파 여기를 발생시키는 회유 가스와 절연막 형성 가스를 함유하는 가스 혼합 플라즈마를 사용하여 형성되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 11

제 10 항에 있어서,

상기 회유 가스는 아르곤, 크립톤 및 크세논의 적어도 하나이고 절연막 형성 가스는 산소, 질소 및 암모니아의 적어도 하나를 함유하는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 12

표면이 실질적으로 (110)면인 실리콘 영역을 갖는 기판, 상기 표면에 형성된 게이트 절연막 및 상기 게이트 절연막에 형성된 게이트 전극을 포함하고, 상기 실리콘 영역이 적어도 채널로 사용되는 P-채널 파워 MIS 전계 효과 트랜지스터로서,

중심선 평균 거칠도(Ra)로 표현할 때 실리콘 표면의 표면 거칠도가 0.15nm 이하이고, 소스와 게이트 사이의 파괴 전압이 10V 이상 100V 이하인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 13

제 12 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 상기 게이트 절연막 중 적어도 접촉부는 아르곤, 크립톤 또는 크세논을 함유하는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 14

제 12 항에 있어서,

실리콘 표면의 표면 거칠도(Ra)는 0 초과 0.11nm 이하인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 15

제 14 항에 있어서,

실리콘 표면의 표면 거칠도(Ra)는 0 초과 0.09nm 이하인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 16

제 15 항에 있어서,

실리콘 표면의 표면 거칠도(Ra)는 0 초과 0.07nm 이하인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지

스터.

청구항 17

제 12 항에 있어서,

실리콘 표면의 표면 거칠도(Ra)는 0 초과 0.02nm 이상인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 18

제 1 항에 있어서,

실질적으로 (110)면을 갖는 실리콘 표면은 (110)면, (551)면, (311)면, (221)면, (553)면, (335)면, (112)면, (113)면, (115)면, (117)면, (331)면, (221)면, (332)면, (111)면 및 (320)면의 하나인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 19

제 12 항에 있어서,

실질적으로 (110)면을 갖는 실리콘 표면은 (110)면, (551)면, (311)면, (221)면, (553)면, (335)면, (112)면, (113)면, (115)면, (117)면, (331)면, (221)면, (332)면, (111)면 및 (320)면의 하나인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 20

제 1 항에 있어서,

실질적으로 (110)면을 갖는 실리콘 표면은 (110)면 또는 (551)면인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 21

제 12 항에 있어서,

실질적으로 (110)면을 갖는 실리콘 표면은 (110)면 또는 (551)면인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 22

제 12 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 상기 게이트 절연막 중 적어도 접촉부는 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막의 적어도 하나를 함유하는 막으로 제조되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 23

제 22 항에 있어서,

접촉부를 제외한 게이트 절연막의 부분은 Hf, Zr, Ta, Ti, La, Co, Y 및 Al로부터 선택된 적어도 하나의 원소를 함유하는 금속 실리케이트;

Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 적어도 하나의 원소를 함유하는 금속 산화물;

Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 적어도 하나의 원소를 함유하는 금속 질화물; 및

Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 적어도 하나의 원소를 함유하는 금속 산질화물을 함유하는 고유전막(high-k film)을 포함하는 것을 특징으로 하는 P-채널 파워

MIS 전계 효과 트랜지스터.

청구항 24

제 23 항에 있어서,

접촉부를 제외한 게이트 절연막의 부분은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 및 고유전막의 적어도 하나를 함유하는 막으로 제조되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 25

제 13 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부에서 아르곤, 크립톤 또는 크세논의 함량은 0 초과 $5 \times 10^{11} \text{cm}^{-2}$ 이하인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 26

제 12 항에 있어서,

상기 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 라디칼 산소 및 라디칼 질소의 적어도 하나를 함유하는 분위기에서 실리콘 표면을 산화하는 산화 공정 및 실리콘 표면을 질화하는 질화 공정의 하나를 수행하거나 산화 공정과 질화 공정을 병행하여 동시에 수행함으로써 형성되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 27

제 12 항에 있어서,

상기 게이트 절연막은 마이크로파 여기를 일으키는 희유 가스와 절연막 형성 가스를 함유하는 가스 혼합 플라즈마를 사용하여 형성된 부분을 포함하는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 28

제 27 항에 있어서,

상기 희유 가스는 크립톤, 크세논 및 아르곤의 적어도 하나이고 절연막 형성 가스는 암모니아, 질소 및 산소의 적어도 하나를 함유하는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 29

제 12 항에 있어서,

소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 낮은 OH 농도에서 RCA 세정 공정에 의해 세정되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 30

제 12 항에 있어서,

실리콘 표면 처리 용액은 산성인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 31

제 30 항에 있어서,

소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 OH의 발생을 억제하는 초음파 세정을 포함하는 세정 공정에 의해 세정되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 32

제 12 항에 있어서,

소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 오존을 함유하는 순수를 사용하여 세정을 수행하는 제 1 공정, 진동을 가하면서 HF, 탈기 H₂O 및 계면활성제를 함유하는 세정액을 사용하여 세정을 수행하는 제 2 공정, 오존을 함유하는 H₂O를 사용하여 세정을 수행하는 제 3 공정, 제 3 공정에서 형성된 산화막을 제거하기 위해 HF 및 탈기 H₂O를 함유하는 세정액을 사용하여 세정을 수행하는 제 4 공정 및 수소가 첨가된 H₂O를 사용하여 세정을 수행하는 제 5 공정을 포함하는 세정 공정으로 세정되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 33

제 32 항에 있어서,

상기 제 2 및 제 4 공정에서 사용된 탈기 H₂O는 탈기 H₂O에 수소를 첨가함으로써 형성된 H₂O인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 34

제 32 항에 있어서,

상기 제 2 및 제 4 공정에서 사용된 탈기 H₂O는 0 초과 100ppb 이하의 용존 산소 농도를 갖는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 35

제 12 항에 있어서,

소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 진동을 가하면서, HF 및 0 초과 100ppb 이하의 용존 산소 농도를 가진 H₂O에 수소를 첨가하여 제조한 세정 용액으로 세정되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 36

제 32 항에 있어서,

처리하는 실리콘 표면의 세정의 처음부터 끝까지 처리 약품액과 실리콘 표면이 공기에 노출되지 않는 장치에서 수행되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 37

제 35 항에 있어서,

처리하는 실리콘 표면의 세정의 처음부터 끝까지 처리 약품액과 실리콘 표면이 공기에 노출되지 않는 장치에서 수행되는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 38

제 12 항에 있어서,

세정 공정 후에, 실리콘 표면은 산소 라디칼을 함유하는 분위기에서 실리콘 표면상에 희생 산화막을 형성하는 공정 및 희생 산화막을 제거하는 공정을 포함하는 표면 평탄화 처리를 받는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 39

제 12 항에 있어서,

세정 공정 후에, 실리콘 표면은 습식 가스를 사용하는 산화에 의해 산화막을 형성하는 제 1 공정 및 소정의 두께로 산화막을 에칭 백(etching back)하는 제 2 공정을 포함하는 두 공정을 원하는 횟수로 반복하고, 상기 산화막을 HF를 함유하는 수용액에 의해 제거하는 표면 평탄화 처리를 받는 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 40

제 1 항에 있어서,
 상기 게이트 절연막의 두께는 200 내지 1,500Å인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 41

제 12 항에 있어서,
 상기 게이트 절연막의 두께는 200 내지 1,500Å인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터.

청구항 42

제 1 항의 P-채널 파워 MIS 전계 효과 트랜지스터의 소스 및 드레인의 하나와 직접 또는 간접적으로 연결되고, 부하는 소스 및 드레인의 다른 하나와 연결되고, P-채널 파워 MIS 전계 효과 트랜지스터를 온 또는 오프하기 위한 구동 신호를 인가하는 수단은 게이트와 접속되는 것을 특징으로 하는 스위칭회로.

청구항 43

제 12 항의 P-채널 파워 MIS 전계 효과 트랜지스터의 소스 및 드레인의 하나와 직접 또는 간접적으로 연결되고, 부하는 소스 및 드레인의 다른 하나와 연결되고, P-채널 파워 MIS 전계 효과 트랜지스터를 온 또는 오프하기 위한 구동 신호를 인가하는 수단은 게이트와 접속되는 것을 특징으로 하는 스위칭회로.

청구항 44

제 42 항에 있어서,
 상기 전원의 정격전압은 12V 이상 36V 이하인 것을 특징으로 하는 스위칭회로.

청구항 45

제 43 항에 있어서,
 상기 전원의 정격전압은 12V 이상 36V 이하인 것을 특징으로 하는 스위칭회로.

청구항 46

제 42 항에 있어서,
 구동 신호를 인가하기 위한 수단은 바이폴러 트랜지스터를 포함하는 것을 특징으로 하는 스위칭회로.

청구항 47

제 43 항에 있어서,
 구동 신호를 인가하기 위한 수단은 바이폴러 트랜지스터를 포함하는 것을 특징으로 하는 스위칭회로.

명세서

기술분야

<1> 본 발명은 N-채널 파워 MIS 전계 효과 트랜지스터의 성능과 동일하거나 더 높은 성능을 동일한 크기와 동일한 비용으로 얻을 수 있는 P-채널 파워 MIS 전계 효과 트랜지스터 및 상기 P-채널 파워 MIS 전계 효과 트랜지스터를 사용하는 스위칭회로에 관한 것이다.

배경기술

<2> 와이퍼 및 도어록과 같은 자동차 전자 부품을 작동하고 정지하기 위해, 배터리로부터 모터와 같은 부하로 전압을 제공하거나 막는 스위칭회로가 사용된다. 비록 계전기가 통상적으로 스위칭회로로 사용되지만, 소형화와 전력 감소를 위해 반도체 소자의 사용이 요구되고 있다. 반도체 소자에 의한 스위칭 제어의 대상인 부하의 예들은 상기한 와이퍼 모터 및 도어록 모터 및 송풍기 모터, 파워 시트 모터, 헤드 램프 및 테일 램프와 같은 램프, 경

적, 후방 디포거(defogger) 및 시트 히터이다. 구동 전류는 수 A부터 약 20A, 배터리 정격 전압은 12V 내지 36V, 파괴 전압은 60 내지 100V이다. 최근에, HEV와 FCV와 같은 전기 자동차의 큰 전류와 높은 전압에 적용가능한 반도체 소자가 요구되고 있다.

- <3> 도 21은 반도체 소자를 사용하는 통상적인 스위칭회로의 예를 도시하는 회로도이다. 도 21에 도시된 스위칭회로는 전하 펌프 회로(CP101), 저항기(R101 및 R102) 및 실리콘 기판(100)의 면에 형성된 N-채널 파워 MOS 전계 효과 트랜지스터(Q101)를 포함한다. 전원 전압(BATT)(배터리 정격 전압)은 12 또는 36V이다. 상기 스위칭회로를 켜기 위해서, 마이크로컴퓨터(MC)는 고전압(배터리 전압 BATT)을 생산한다. 이런 상태에서, 트랜지스터(Q101)의 소스 전압은 역치 전압의 양만큼 트랜지스터의 게이트 전압보다 낮아져서, 마이크로컴퓨터(MC)의 출력이 저항기(R101 및 R102)에 직접 연결된다면 부하(LO)에 공급되는 전압은 트랜지스터(Q101)의 역치 전압만큼 감소한다. 따라서, 이 전압 강하는 전하 펌프 회로(CP101)에 의해 마이크로컴퓨터(MC)의 출력을 높임으로써 피할 수 있다. 그러나, 도 21에 도시한 스위칭회로는 전하 펌프 회로(CP101)의 비용에 의해 비용이 증가하는 것과 전하 펌프 회로(CP101)가 소음을 발생시키는 문제점이 있다.
- <4> 도 22는 통상적인 스위칭회로의 다른 예를 도시하는 회로도이다. 도 21에 도시한 구성예에서, 스위칭소자로서 N-채널 파워 MOS 전계 효과 트랜지스터(Q101)는 부하(LO)에 대한 전원 공급 라인의 고전위측에 삽입된다. 반면에, 도 22의 스위칭회로는 N-채널 파워 MOS 전계 효과 트랜지스터(Q111 및 Q112)가 전원 공급 라인의 고전위측에 삽입되고, N-채널 파워 MOS 전계 효과 트랜지스터(Q113 및 Q114)가 전원 공급 라인의 저전위측(지면)에 삽입되는 브리지 형태를 가진다. 상기 스위칭회로는 트랜지스터(Q111, Q112, Q113 및 Q114), 저항기(R111, R112, R113 및 R114), 하이-사이드 구동 회로(DR1) 및 로우-사이드 구동 회로(DR2)를 포함한다. 상기 하이-사이드 구동 회로(DR1)는 마이크로컴퓨터(MC)로부터의 출력 전력을 증폭함으로써 트랜지스터(Q111 및 Q112)를 구동하는 바이폴러 트랜지스터 등을 포함한다. 마찬가지로, 로우-사이드 구동 회로(DR2)는 트랜지스터(Q113 및 Q114)를 구동하는 바이폴러 트랜지스터 등을 포함한다. 도 21에 나타난 구성예와 같이, 도 22에 나타난 스위칭회로는 부하 전압 강하를 피하기 위해 전하 펌프 회로(CP101)를 필요로 하고, 따라서 전하 펌프 회로(CP101)의 비용에 의해 비용이 증가하는 것과 전하 펌프 회로(CP101)가 소음을 발생시키는 문제점이 있다.
- <5> 부하 전압 강하를 피하는 다른 방법은 P-채널 파워 MOS 전계 효과 트랜지스터를 사용하는 것이다. P-채널 파워 MOS 전계 효과 트랜지스터는 N-채널 파워 MOS 전계 효과 트랜지스터에 대해 설명한 것과 같은 전압 강하를 일으키지 않기 때문에, 스위칭회로는 어떠한 전하 펌프 회로의 사용 없이도 작동할 수 있어서, 전하 펌프 회로와 관련된 상기 문제점들은 제거될 수 있다.
- <6> 불행하게도, N-채널 MOS 트랜지스터와 같은 실리콘의 면(100)에 형성된 P-채널 파워 MOS 전계 효과 트랜지스터의 전류 구동능력(current drivability), 예를 들어, 이동도는 N-채널 MOS 전계 효과 트랜지스터의 약 1/3이어서, P-채널 MOS 트랜지스터에 의해 N-채널 MOS 트랜지스터의 전류 구동능력과 동일한 전류 구동능력을 얻기 위해 P-채널 MOS 트랜지스터의 크기는 N-채널 MOS 트랜지스터의 크기보다 약 3배 크게 제조되어야 한다. 따라서, N-채널 MOS 트랜지스터와 동일한 특성을 가진 P-채널 MOS 트랜지스터가 실리콘의 (100)면에 형성될 때, 비용은 N-채널 MOS 트랜지스터의 비용의 약 3배이고 이것이 비록 전하 펌프 회로가 필요하지는 않지만 전체 스위칭회로의 비용이 도 21과 22에 도시된 회로의 비용보다 높아지는 문제점을 일으킨다. 만일 P-채널 MOS 트랜지스터의 크기가 실리콘 (100)면에 형성된 N-채널 MOS 트랜지스터의 크기와 동일하게 제조된다면, 전하 펌프 회로로부터 소음이 발생되지 않는 저렴한 스위칭회로를 제공하는 것이 가능하다. 이를 위해서, P-채널 MOS 트랜지스터의 전류 구동능력을 실리콘 (100)면에 형성된 트랜지스터의 전류 구동능력보다 높게 만드는 것이 필요하다.
- <7> 예를 들어, 특허 참조문헌(1(일본 특개평 4-472166호) 및 2(일본 특개평 7-231088호))은 트랜지스터의 전류 구동능력을 증가시키기 위해 실리콘의 (110)면에 P-채널 MOS 트랜지스터를 형성하는 것을 제안하고 있다. 특허 참조문헌(1)에서, N-채널 MOS 트랜지스터가 형성되는 (100)표면을 가진 실리콘은 에칭되어 측면 상의 (110)면에 P-채널 MOS 트랜지스터를 형성한다. 본 발명자들의 발견에 따라, 통상적인 방법에 의해 에칭된 실리콘의 (110)표면에 대한 열산화에 의해 형성된 실리콘 산화막인 게이트 절연막을 가진 P-채널 MOS 트랜지스터는 단지 실용적이지 않은 특성만을 가지며, 10V 이상의 게이트와 소스 사이의(gate-to-source) 파괴 전압을 가진 파워 트랜지스터로 사용될 수 없다. 특허 참조문헌(2)은 도 23(이 참조문헌의 도 2)에 도시한 대로, 유효 수직 전기장이 약 3V/μm일 때, (110)면에서 홀의 이동도는 (100)면에서의 전자의 이동도보다 크다는 사실에 주목하여 (110)면에 P-채널 트랜지스터를 형성하려는 것이다. 그러나, 산화막의 파괴 한계는 유효 수직 전기장으로 1V/μm이기 때문에, P-채널 MIS 트랜지스터는 어떠한 실리콘 산화막도 사용하지 않고 게이트 절연막으로 산화 탄탈륨 또는 산화 티타늄과 같은 고유전(high-k) 재료를 사용하여 형성된다. 도 23에 도시한 대로, 비록 이 소자에서, 이동도는 통상의 N-채널 MOS 트랜지스터의 이동도보다 나빠서, N-채널 MOS 트랜지스터의 이동도와 동일한 이동도를 얻을 수

없다.

발명의 상세한 설명

- <8> 상기한 대로, 실리콘의 (110)면에 P-채널 파워 MIS 전계 효과 트랜지스터를 형성하는 것이 제안되었으나, 동일한 크기의 N-채널 파워 MOS 전계 효과 트랜지스터의 전류 구동능력과 동일하거나 높은 전류 구동능력을 갖는 실용적인 P-채널 파워 MIS 전계 효과 트랜지스터를 제공하지 못했다. 상기 문제는 MOS 트랜지스터뿐만 아니라 게이트 절연막을 갖는 일반적인 MIS 트랜지스터에서 발생한다.
- <9> 본 발명은 상기 문제점을 해결하기 위해 만들어졌고, 본 발명의 목적은 동일한 크기로 N-채널 파워 MIS 전계 효과 트랜지스터의 성능과 동일하거나 큰 성능을 얻을 수 있는 P-채널 파워 MIS 전계 효과 트랜지스터 및 이를 사용하는 스위칭회로를 실현하는 것이다.
- <10> 본 발명은 표면이 실질적으로 (110)면인 실리콘 영역을 가진 기판, 상기 기판에 형성된 게이트 절연막 및 상기 게이트 절연막에 형성된 게이트 전극을 포함하고, 상기 실리콘 영역은 적어도 채널로 사용되는 P-채널 파워 MIS 전계 효과 트랜지스터로서, 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 아르곤, 크립톤 또는 크세논을 함유하고 P-채널 MIS 전계 효과 트랜지스터의 소스와 게이트 사이의 파괴 전압은 10V 이상인 것을 특징으로 하는 P-채널 파워 MIS 전계 효과 트랜지스터를 제공한다.
- <11> 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부에서 아르곤, 크립톤 또는 크세논의 함량은 표면 밀도의 $5 \times 10^{11} \text{cm}^{-2}$ 이하이다.
- <12> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 게이트 절연막에서 아르곤, 크립톤 또는 크세논의 함량은 게이트 절연막이 게이트 전극과 접촉하는 계면에서 최대이고, 게이트 절연막이 실리콘 영역의 표면과 접촉하는 계면을 향해 감소한다.
- <13> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, P-채널 파워 MIS 전계 효과 트랜지스터의 게이트 역치 전압은 아르곤, 크립톤 및 크세논이 함유되지 않고 게이트 절연막과 게이트 전극은 표면이 (100)면인 실리콘 영역에 형성된다는 것을 제외하고 동일한 게이트 절연막을 가진 P-채널 MIS 전계 효과 트랜지스터의 게이트 역치 전압과 실질적으로 동일하다.
- <14> 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 실리콘 산화막, 실리콘 산질화막 또는 실리콘 질화막으로 제조된다.
- <15> 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 라디칼 산소를 사용하여 실리콘 영역의 표면을 산화시켜 형성되고 두께가 100nm 이하인 실리콘 산화막으로 제조된다.
- <16> 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 라디칼 질소 또는 라디칼 NH를 사용하여 실리콘 영역의 표면을 질화하여 형성되고 두께가 100nm 이하인 실리콘 질화막일 수 있다.
- <17> 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 라디칼 질소 또는 라디칼 NH 및 라디칼 산소를 사용하여 실리콘 영역의 표면을 산질화하여 형성되고 두께가 100nm 이하인 실리콘 산질화막일 수 있다.
- <18> 게이트 절연막의 두께는 200 내지 1,500Å 이 바람직하다.
- <19> 실리콘 영역의 표면과 접촉하는 접촉부를 제외한 게이트 절연막의 부분은 CVD에 의해 형성된 실리콘 산화막, 실리콘 산질화막 또는 실리콘 질화막을 포함할 수 있다.
- <20> 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 게이트 절연막은 마이크로파 여기를 발생시키는 희유 가스와 절연막 형성 가스를 함유하는 가스 혼합 플라즈마를 사용하여 형성된다.
- <21> 상기 희유 가스는 아르곤, 크립톤 및 크세논의 적어도 하나가 바람직하고 절연막 형성 가스는 산소, 질소 및 암모니아의 적어도 하나를 함유하는 것이 바람직하다.
- <22> 또한, 본 발명은 표면이 실질적으로 (110)면인 실리콘 영역을 가진 기판, 상기 기판에 형성된 게이트 절연막 및 상기 게이트 절연막에 형성된 게이트 전극을 포함하고, 상기 실리콘 영역은 적어도 채널로 사용되는 P-채널 파워 MIS 전계 효과 트랜지스터이고, 실리콘 표면의 표면 거칠도는 중심선 평균 거칠도(Ra)로 나타낼 때 0.15nm 이하이고 소스와 게이트 사이의 파괴 전압은 10V 이상이다.

- <23> 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 아르곤, 크립톤 또는 크세논을 함유하는 것이 바람직하다.
- <24> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터에서, 실리콘 표면의 표면 거칠도는 중심선 평균 거칠도 (Ra)로 나타낼 때 0.11nm이하이다.
- <25> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터에서, 실리콘 표면의 표면 거칠도는 중심선 평균 거칠도 (Ra)로 나타낼 때 0.09nm 이하이다.
- <26> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터에서, 실리콘 표면의 표면 거칠도는 중심선 평균 거칠도 (Ra)로 나타낼 때 0.07nm 이하이다.
- <27> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터에서, 실리콘 표면의 표면 거칠도는 중심선 평균 거칠도 (Ra)로 나타낼 때 0.09nm 이하 및 가장 바람직하게는 0.07nm이다.
- <28> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실질적으로 (110)면을 갖는 실리콘 표면은 (110)면, (551)면, (311)면, (221)면, (553)면, (335)면, (112)면, (113)면, (115)면, (117)면, (331)면, (221)면, (332)면, (111)면 및 (320)면의 하나이다.
- <29> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실질적으로 평면(110)을 갖는 실리콘 표면은 (110)면 또는 (551)면이다.
- <30> 사토 등에 따라, "Sensors and Actuator 73(1999)"에 게재된 논문의 도 2는 (110)면이 알칼리로 에칭될 때, 표면 형태는 <-110> 방향에서 이어지는 띠를 가지는 것을 나타낸다. (110)면으로 동일한 표면이 얻어지는 영역은 <100> 방향에서 0° 내지 12° 만큼 오프시킨 면, 예를 들어, 8° 만큼 오프시킨 (551)면이다. 유사한 표면 형태는 <-110> 방향에서 1° 만큼 오프시킨 면까지 얻어진다. 따라서, 당해 논문의 도 2에 도시된 (110)면으로 동일한 표면 거칠도 거동을 나타내는 면방위는 실질적으로 (110)면방위에 포함된다.
- <31> 사토 등은 "Physical Review Letters, B4, 1950(1971)"에서 (110)면의 캐리어 전자 이동도와 유사한 캐리어 전자 이동도에 의해 얻어진 면을 보고하였다. 이 보고서에 따르면, 전자가 <-110> 방향으로 흐르게 될 때, (110)면의 전자 이동 거동과 유사한 전자 이동 거동은 면이 <-110> 방향에서 0° 내지 35° 만큼 오프시킨 면, 예를 들어, (331)면, (221)면, (332)면, 또는 (111)면이 사용될 때도 얻어질 수 있다. <110> 방향에서 0° 내지 12° 만큼 오프시킨 면, 예를 들어 (320)이 사용될 때도 (110)면의 거동과 유사한 거동을 얻을 수 있다. 따라서, 상기한 면들과 이들의 근처에 있는 면들은 (110)면에 실질적으로 포함된다.
- <32> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실리콘 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막의 적어도 하나를 함유하는 막으로 제조될 수 있다.
- <33> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 접촉부를 제외한 게이트 절연막의 부분은 Hf, Zr, Ta, Ti, La, Co, Y 및 Al로부터 선택된 적어도 하나의 원소를 함유하는 금속 실리케이트, Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 적어도 하나의 원소를 함유하는 금속 산화물, Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 적어도 하나의 원소를 함유하는 금속 질화물 및 Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 적어도 하나의 원소를 함유하는 금속 산질화물을 함유하는 고유전막(high-k film)을 포함할 수 있다.
- <34> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 접촉부를 제외한 게이트 절연막의 부분은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 및 고유전막의 적어도 하나를 함유하는 막으로 제조될 수 있다.
- <35> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부에서 아르곤, 크립톤 또는 크세논의 함량은 $5 \times 10^{11} \text{cm}^{-2}$ 이하이다.
- <36> 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 라디칼 산소 및 라디칼 질소의 적어도 하나를 함유하는 분위기에서 실리콘 표면을 산화하는 산화 공정 및 실리콘 표면을 질화하는 질화 공정의 하나를 수행하거나 산화 공정과 질화 공정을 병행하여 동시에 수행함으로써 형성된다.

- <37> 또한, 게이트 절연막은 마이크로파 여기를 일으키는 희유 가스와 절연막 형성 가스를 함유하는 가스 혼합 플라즈마를 사용하여 형성된 부분을 포함한다.
- <38> 상기 희유 가스는 크립톤, 크세논 및 아르곤의 적어도 하나이고 절연막 형성 가스는 암모니아, 질소 및 산소의 적어도 하나를 함유한다.
- <39> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 낮은 OH 농도에서 RCA 세정 공정에 의해 세정될 수 있다.
- <40> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 실리콘 표면 처리 용액의 pH는 7 이하이다.
- <41> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 OH의 발생을 억제하는 초음파 세정을 포함하는 세정 공정에 의해 세정될 수 있다.
- <42> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 오존을 함유하는 순수를 사용하여 세정을 수행하는 제 1 공정, 500kHz 이상의 주파수에서 진동을 가하면서 HF, 탈기 H₂O 및 계면활성제를 함유하는 세정액을 사용하여 세정을 수행하는 제 2 공정, 오존을 함유하는 H₂O를 사용하여 세정을 수행하는 제 3 공정, 제 3 공정에서 형성된 산화막을 제거하기 위해 HF 및 탈기 H₂O를 함유하는 세정액을 사용하여 세정을 수행하는 제 4 공정 및 수소가 첨가된 H₂O를 사용하여 세정을 수행하는 제 5 공정을 포함하는 세정 공정으로 세정될 수 있다.
- <43> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 상기 제 2 및 제 4 공정에서 사용된 탈기 H₂O는 탈기 H₂O에 수소를 첨가함으로써 형성된 H₂O이다.
- <44> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 상기 제 2 및 제 4 공정에서 사용된 탈기 H₂O는 100ppb 이하의 용존 산소 농도를 가진다.
- <45> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 소스 영역, 드레인 영역, 채널 영역 및 게이트 절연막이 형성되기 전에, 실리콘 표면은 500kHz 이상의 주파수에서 진동을 가하면서, HF 및 100ppb 이하의 용존 산소 농도를 가진 H₂O에 수소를 첨가하여 제조한 세정 용액으로 세정될 수 있다.
- <46> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 처리는 실리콘 표면의 세정의 처음부터 끝까지 처리 약품액과 실리콘 표면이 공기에 노출되지 않는 장치에서 수행될 수 있다.
- <47> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 세정 공정 후에, 실리콘 표면은 산소 라디칼을 함유하는 분위기에서 실리콘 표면에 희생 산화막을 형성하는 공정 및 희생 산화막을 제거하는 공정을 포함하는 표면 평탄화 처리를 받을 수 있다.
- <48> 또한, 본 발명의 P-채널 파워 MIS 전계 효과 트랜지스터의 한 구성예에서, 세정 공정 후에, 실리콘 표면은 습식 가스를 사용하는 산화에 의해 산화막을 형성하는 제 1 공정 및 소정의 두께로 산화막을 에칭 백(etching back)하는 제 2 공정을 포함하는 두 공정을 원하는 횟수로 반복하고, 상기 산화막을 HF를 함유하는 수용액에 의해 제거하는 표면 평탄화 처리를 받을 수 있다.
- <49> 또한, 본 발명은 상기 P-채널 파워 MIS 전계 효과 트랜지스터의 소스 및 드레인의 하나와 직접 또는 간접적으로 연결되고, 부하는 소스 및 드레인의 다른 하나와 연결되고, P-채널 파워 MIS 전계 효과 트랜지스터를 온 또는 오프하기 위한 구동 신호를 인가하는 수단은 게이트와 접촉되는 스위칭회로를 제공한다.
- <50> 상기 전원의 정격전압은 12V 이상이 바람직하다. 구동 신호를 인가하기 위한 수단은 바이폴러 트랜지스터를 포함하는 것이 바람직하다.
- <51> 본 발명에서, 표면이 실질적으로 (110)면인 실리콘 영역을 가진 기판, 상기 표면에 형성된 게이트 절연막 및 게이트 절연막에 형성된 게이트 전극을 포함하고, 상기 실리콘 영역은 적어도 채널로 사용되는 P-채널 파워 MIS 전계 효과 트랜지스터에서, 실리콘 영역의 표면과 접촉하는 게이트 절연막 중 적어도 접촉부는 아르곤, 크립톤 또는 크세논을 함유한다. 이를 통해 통상적인 방법에 의해 (100)면 또는 (110)면에 의해 달성 또는 실현될 수 없는 동일한 크기의 N-채널 MOS 트랜지스터의 전류 구동능력과 동일하거나 높은 전류 구동능력을 가진 P-채널

파워 MIS 전계 효과 트랜지스터를 얻게 한다.

<52> 또한, 본 발명에서, 실질적으로 (110)면을 갖는 실리콘 표면의 평탄도는 통상적인 RCA 세정으로 얻을 수 있는 약 1.0nm의 표면 거칠도(Ra)에서 0.15nm 이하로 향상된다. 결과적으로, 전류 구동능력은 종래의 RCA 세정을 사용함으로써 형성된 MIS 트랜지스터의 전류 구동능력보다 약 3배 향상될 수 있다. 따라서, 본 발명의 상기 P-채널 파워 MIS 전계 효과 트랜지스터는 동일한 크기와 동일한 비용으로 N-채널 파워 MIS 전계 효과 트랜지스터의 전류 구동능력과 동일하거나 높은 전류 구동능력을 가질 수 있다.

<53> 또한, 본 발명에서, 실리콘 표면과 게이트 절연막 사이의 계면은 원자적으로 평탄하기 때문에 게이트 절연막의 신뢰성은 향상될 수 있다.

실시예

<77> [제 1 실시예]

<78> 본 발명의 실시예는 이하에서 상세하게 설명될 것이다. 본 실시예에서, 실리콘 산화막으로 제조된 게이트 절연막이 표면에 (110)면을 가진 실리콘 기판에 형성되는 P-채널 파워 MIS 전계 효과 트랜지스터가 기술될 것이다.

<79> 도 1은 본 실시예의 전계 효과 트랜지스터에 사용된 실리콘 기판을 형성하는 실리콘 결정의 <110> 방향에서 보이는 결정 구조를 나타내는 개요도이다. 도 1을 참조하면, 화살표(101 및 102)의 각각은 <110> 방향을 나타내고, 실리콘 원자(103)는 전계 효과 트랜지스터가 형성되는 기판의 최상부 표면에서 게이트 절연막과 접촉하도록 평행하게 배열되는 것을 나타낸다.

<80> 또한, 본 실시예의 전계 효과 트랜지스터에서, 게이트 전극은 <110> 실리콘 기판, 예를 들어, (110)면의 주면에 형성되어, 게이트 전극의 세로 방향은 도 1의 가로 방향으로 연장되고 소스 영역과 드레인 영역은 종이에 대해 각각 전방과 후방에 형성된다. 이 방향에서, 전계 효과 트랜지스터의 소스 영역과 드레인 영역은 <110> 실리콘 면에 형성되어 소스 영역과 드레인 영역을 연결하는 선은 <110> 방위와 일치한다. 도 2에 도시한 대로, MIS 트랜지스터의 이동도는 이 방향에서 가장 크다.

<81> 도 2는 P-채널 MIS 트랜지스터가 (110)면에 형성될 때 트랜지스터 형성 방향에 대한 트랜지스터 이동도의 의존성을 나타내는 그래프이다. 즉, 도 2는 트랜지스터가 (110)면에서 (111)면과의 교점을 기준으로 게이트 전극의 세로 방향으로 각을 변화시킴으로써 형성될 때 이동도의 변화를 나타낸다.

<82> 도 2를 참조하면, 이동도는 게이트 전극 세로 방향에 의해 형성된 각이 135° 일 때, 즉, (110)면이 형성되거나 소스 영역과 드레인 영역이 (110)면에 형성될 때 최대가 되어 소스 영역과 드레인 영역을 연결하는 방향은 <110> 방향이다. 이것은 N-채널 MIS 트랜지스터에 유사하게 적용된다. 이 방향으로 형성된 N-채널 MIS 트랜지스터의 이동도는 (100)면에서의 이동도의 약 1.4배이고, 이 방향으로 형성된 P-채널 MIS 트랜지스터의 이동도는 (100)면에서의 이동도의 약 2.5배이다. 이 방향으로 형성된 MIS 트랜지스터의 이동도는 전자와 정공의 유효 중량과 격자 산란 확률이 소스 영역으로부터 드레인 영역의 방향을 따라 감소하기 때문에 아마도 증가할 것이다.

<83> 도 2에 도시한 대로, 이동도는 최대각 근처의 각에서도 갑작스럽게 감소하지 않고, 따라서 약 60° 내지 180°의 결정면 방위가 선택될 때에도 (100) N-채널 MOS 트랜지스터의 이동도와 동일한 이동도를 갖는 전계 효과 트랜지스터를 얻을 수 있다. 본 실시예의 전계 효과 트랜지스터는 실질적으로 (110)면에 또는 (110)면과 동일하거나 (110)면의 각도와 근접한 면각도를 갖는 다른 면방위, 예를 들어, (551)면, (331)면, (221)면, (321)면, (531)면, (231)면, (351)면, (320)면 또는 (230)면에 형성될 수 있다.

<84> 도 3a 및 3b는 각각 (100) 및 (110) 실리콘 기판에 형성된 P-채널 MIS 전계 효과 트랜지스터의 드레인 전류-드레인 전압 특성을 나타내는 그래프이다. 도 3은 본 실시예의 (110)면에서 MIS 전계 효과 트랜지스터의 전류 구동능력이 (100)면에서의 트랜지스터의 전류 구동능력의 2.5배인 것을 나타낸다.

<85> 도 4는 본 발명의 P-채널 MOS 트랜지스터의 게이트 전압 vs 상호 컨덕턴스 특성과 종래의 P-채널 MOS 트랜지스터의 게이트 전압 vs 상호 컨덕턴스 특성의 비교를 나타낸다. 각각의 P-채널 MOS 트랜지스터는 100 μ m의 게이트 길이, 300 μ m의 게이트 넓이 및 5nm의 게이트 산화막 두께를 가진다. 본 발명의 트랜지스터는 산화 라디칼을 사용하는 산화법(이후에 기술함)에 의해 실리콘 (110)면에 실리콘 산화막으로 제조한 게이트 절연막을 형성함으로써 얻은 P-채널 트랜지스터이다. 종래의 트랜지스터는 열산화 또는 산소 라디칼을 사용하는 산화에 의해 실리콘 (100)면에 실리콘 산화막으로 제조한 게이트 절연막을 형성함으로써 얻은 P-채널 트랜지스터 및 열산화에 의해 실리콘 (110)면에 실리콘 산화막으로 제조한 게이트 절연막을 형성함으로써 얻은 P-채널 트랜지스터이다. 도 4a

를 참조하면, 열산화에 의해 실리콘 (110)면에 실리콘 산화막으로 제조한 게이트 절연막을 형성함으로써 얻은 종래의 P-채널 트랜지스터의 특성(41)은 열산화에 의해 실리콘 (100)면에 게이트 산화막을 형성함으로써 얻은 종래의 P-채널 트랜지스터의 특성(42a)보다 상호 컨덕턴스가 뛰어나다. 그러나, 이 트랜지스터의 역치 전압은 편차가 크고 예정된 값을 측정할 수 없어서, 트랜지스터는 실용적이지 않다. 반대로, 도 4b를 참조하면, 본 발명의 P-채널 MOS 트랜지스터의 특성(40)은 게이트 전압의 절대치가 큰 영역에서도 산소 라디칼을 사용하는 산화에 의해 실리콘 (100)면에 게이트 산화막을 형성함으로써 얻은 종래의 P-채널 트랜지스터의 특성(42b)(열산화에 의해 실리콘(100)에 게이트 산화막을 형성함으로써 얻은 P-채널 트랜지스터의 특성(42a)과 동일)의 3배 이상인 상호 컨덕턴스를 가진다. 상기 특성(40)은 열산화에 의해 실리콘 (110)면에 실리콘 산화막으로 제조한 게이트 절연막을 형성함으로써 얻은 종래의 P-채널 트랜지스터의 특성(41)보다 뛰어날 뿐만 아니라, 이의 역치 전압은 산소 라디칼을 사용하는 산화에 의해 실리콘 (100)면에 게이트 산화막을 형성함으로써 얻은 종래의 P-채널 트랜지스터의 역치 전압과 동일하고, 따라서 열산화에 의해 실리콘 (100)면에 게이트 산화막을 형성함으로써 얻은 P-채널 트랜지스터의 역치 전압과 동일하다. 따라서, 이 트랜지스터는 어떤 문제없이 실제로 사용될 수 있다. 일반적으로, 역치 전압의 편차는 다음 식으로 나타내어 진다.

$$\Delta V_{th} = \frac{Q_{ss}}{C_{ox}} = \frac{\tau_{ox} \times Q_{ss}}{\epsilon}$$

<86>

<87> 상기 식에서 V_{th} 는 역치 전압이고, C_{ox} 는 게이트 절연막 커패시턴스이고, Q_{ss} 는 게이트 절연막에서 고정 전하이 고, ϵ 은 게이트 절연막의 유전 상수이고, τ_{ox} 는 게이트 절연막의 두께이다. 열산화에 의해 실리콘 (110)면에 형성된 게이트 산화막에 다량의 고정 전하가 존재하기 때문에 ΔV_{th} 는 크다. 특히 10V 이상의 게이트와 소스 사이의 파괴 전압을 갖는 파워 소자에서, 두께(τ_{ox})는 게이트 절연막의 파괴 전압을 증가시키기 위해 증가되어야 하고, 그 결과 ΔV_{th} 는 상기 식으로부터 더 증가한다. 따라서, 열산화에 의해 실리콘 (110)면에 게이트 산화막을 형성함으로써 얻은 종래의 P-채널 트랜지스터를 파워 디바이스로서 사용하는 것이 실용적으로 불가능하다. 반대로, 본 발명의 P-채널 MOS 트랜지스터는 게이트와 소스 사이의 파괴 전압이 10V 이상인 두꺼운 게이트 절연막을 가지나, 이의 역치 특성은 실리콘 (100)면에 게이트 산화막을 형성함으로써 얻은 종래의 P-채널 트랜지스터 역치 특성과 동일하다. 본 발명은, 처음으로, 높은 상호 컨덕턴스 및 높은 이동을 가지며 N-채널 MOS 트랜지스터와 동일한 P-채널 트랜지스터를 실제 사용할 수 있게 하였다.

<88> 본 실시예의 P-채널 파워 MIS 전계 효과 트랜지스터를 제조하는 방법은 도 5를 참조하여 이하에서 설명될 것이다. 도 5에 나타난 예는 LDD(Lightly Doped Drain) 구조를 갖는 P-채널 트랜지스터를 제조하는 공정을 도시한다.

<89> 먼저, 도 5a에 도시한 대로, 표면에 (110)면을 가진 N-형 실리콘 웨이퍼 기판(201)을 제조하고, STI(Shallow Trench Isolation) 등에 의해 표면에서 소자 분리를 수행하여, 소스, 드레인 및 채널 영역을 포함하는 소자 영역(202)을 형성한다.

<90> 그런 후에, 소자 영역(202)에 $NH_4OH-H_2O_2-H_2O(SC1)$ 및 $HCl-H_2O_2-H_2O(SC2)$ 를 사용하는 RCA 세정을 수행한다(도 5b). 상기 RCA 세정으로 전면으로부터 유기 기판, 입자, 금속 불순물을 제거한 후에, 실리콘 표면을 산화하여 실리콘 산화막으로 제조된 게이트 절연막(204)을 형성한다(도 5c).

<91> 도 6은 본 실시예의 게이트 절연막(204)을 실현하기 위한 래디얼 라인 슬롯 안테나(radial line slot antenna)를 사용하는 마이크로파-여기 플라즈마 장치의 실시예의 요부를 나타내는 단면도이다. 진공 용기의 반응 가스 방출 수단을 포함하는 하부는 생략하였다. 상기 마이크로파-여기 플라즈마 장치는 PCT(WO) 10-33362에 개시한 플라즈마 장치의 구성과 실질적으로 동일한 구성을 가진다.

<92> 본 실시예의 게이트 절연막(204)은 다음과 같이 형성한다. 먼저, 진공 용기(처리 챔버)(401)를 비우고, 샤워 플레이트(402)로부터 Kr 가스와 O_2 가스를 공급하여 처리 챔버(401)의 내부 압력을 약 1 Torr로 설정한다. 표면에 (110)면을 갖는 N-채널 실리콘 웨이퍼 기판(403)(도 5의 201)을 가열 장치를 구비한 샘플 테이블(404)에 놓고 실리콘 웨이퍼 기판(403)의 온도를 약 400°C로 설정한다. 온도 설정 범위가 200°C 내지 550°C일 때, 아래에 기술될 결과는 실질적으로 동일하다.

<93> 연속적으로, 래디얼 라인 슬롯 안테나(406)와 유전판(407)을 통해 동축 도파관(405)로부터 처리 챔버(401)로

2.45GHz의 마이크로파를 공급하여, 처리 챔버(401)에 고밀도 플라즈마를 발생시킨다. 공급된 마이크로파의 주파수가 900MHz 내지 10GHz일 때, 아래에 기술될 결과는 실질적으로 동일하다. 본 실시예에서, 샤워 플레이트(402)와 기관(403) 사이의 공간은 6cm로 설정한다. 공간이 좁으면 좁을수록, 성막은 빨라진다. 본 실시예에서 비록 성막은 래디얼 라인 슬릿 안테나를 갖는 플라즈마 장치를 사용하여 수행하지만, 다른 방법을 사용하여 처리 챔버에 마이크로파를 공급할 수 있다.

- <94> Kr 가스와 O₂ 가스가 혼합된 마이크로파-여기 플라즈마에서, 중간 여기 상태의 Kr* 및 O₂ 분자는 서로 충돌하여 원자 산소(O*)를 효과적으로 발생시킨다. 이 원자 산소가 기관 표면을 산화시킨다.
- <95> 종래의 실리콘 표면 산화는 H₂O 분자와 O₂ 분자에 의해 수행하며, 처리 온도는 800℃ 이상으로 매우 높다. 그러나, 본 실시예에서, 원자 산소에 의한 산화는 550℃ 이하의 충분히 낮은 온도에서 수행할 수 있다.
- <96> 도 7은 마이크로파-여기 Kr/O₂ 플라즈마를 사용하여 실리콘 기관 표면을 산화하는 동안 면방위에 대한 산화막 두께와 산화 시간 사이의 관계의 의존도를 나타낸다. 실리콘 기관은 (100) 및 (110) 기관이다. 도 7은 또한 900℃에서 종래의 건식 열산화의 산화 시간에 대한 의존도를 나타낸다. 종래의 고온 열산화 기술에서, O₂ 분자와 H₂O 분자는 표면에 형성된 산화막을 통해 분산되어 실리콘과 실리콘 산화막 사이의 계면에 도달하여, 산화에 기여한다. 이것이 면방위에 따라 산화막 성장 속도를 변화시킨다. 그러나, 본 실시예와 같이 마이크로파-여기 Kr/O₂ 플라즈마를 사용하는 실리콘 기관 표면 산화에서, 실리콘 산화막의 성장 속도는 도 7에 도시한 것을 제외하고 어떤 면방위에도 의존하지 않는다.
- <97> 또한, 저주파 C-V 측정법으로 실리콘 산화막과 실리콘 사이의 계면 준위 밀도를 측정하였다. 결과적으로, 마이크로파-여기 플라즈마를 사용하여 형성한 실리콘 산화막의 계면 준위 밀도는 (100)면과 (110)면을 포함하는 어떠한 면방위에서 낮아서 양호하였다.
- <98> 상기한 대로, 비록 마이크로파-여기 Kr/O₂ 플라즈마에 의해 형성된 실리콘 산화막은 400℃의 저온에서 산화되지만, (100)면과 (110)면을 포함하는 어떤 면방위에서도 종래의 (100) 고온 열산화막의 전기 특성과 동일하거나 뛰어난 전기 특성을 가질 수 있다.
- <99> 상기 효과는 성막 직후 Kr이 실리콘 산화막에 함유되기 때문에 부분적으로 얻어진다. 실리콘 산화막에 함유된 Kr은 막 또는 실리콘과 실리콘 산화막 사이의 계면에 응력을 감소시키고, 막에서의 전하와 계면 준위 밀도를 감소시키고, 실리콘 산화막의 전기 특성을 크게 향상시킨다. 특히 Kr이 $5 \times 10^{11} \text{cm}^{-2}$ 이하의 표면 밀도로 함유될 때, 실리콘 산화막의 전기 특성과 신뢰성 특성은 향상된다. Kr 대신에 Ar 또는 Xe를 사용하여 동일한 결과를 얻었다. Kr은 산화막에 특히 양호하다.
- <100> 도 5의 설명을 참조하여, 역치 전압을 제어하기 위해서, 게이트 절연막(204)이 형성된 실리콘 웨이퍼 기관(201)의 전면 속에 붕소를 이온 주입한다(도 5d). 이 붕소의 이온 주입 후에, 실리콘 웨이퍼 기관(201)의 전면에 폴리실리콘막을 증착하고 패터닝하여 소자 영역(202)의 게이트 절연막(204) 위에 폴리실리콘 전극(게이트 전극)(205)을 형성한다(도 5e).
- <101> 게이트 전극(205)을 형성한 후에, 붕소를 저농도로 이온 주입하여 고전기장을 감소시키는 P-소스 영역과 P-드레인 영역을 형성한다(도 5f). 그런 후에, 게이트 전극(205)을 피복하기 위해 CVD 등에 의해 실리콘 웨이퍼 기관(201)의 전면에 실리콘 산화막을 증착하고, 이방성 에칭을 수행하여 게이트 전극(205)의 측벽에 측벽 절연막(207)을 형성한다(도 5g).
- <102> 그런 후에, 붕소 같은 P-형 불순물을 고농도로 이온 주입하여 P⁺-소스 영역과 P⁺-드레인 영역(208)을 형성한다(도 5h). 마지막으로, P⁺-소스 영역과 P⁺-드레인 영역 위 절연막(204)에 정공을 형성하고 알루미늄 등에 의해 소스 전극과 드레인 전극(도시되지 않음)을 형성하여, P-채널 파워 MIS 전계 효과 트랜지스터의 제조를 완성한다.
- <103> 상기한 본 실시예에서, (100)면을 가진 실리콘 표면에 형성된 P-채널 MIS 트랜지스터의 전류 구동능력의 약 2.5배를 얻는 것이 가능하고 동일한 크기와 비용으로 (110) 실리콘에 형성된 종래의 P-채널 MIS 트랜지스터에 의해 얻을 수 없는 N-채널 파워 MIS 전계 효과 트랜지스터의 전류 구동능력과 동일한 전류 구동능력을 가진 P-채널 파워 MIS 전계 효과 트랜지스터를 얻을 수 있다.
- <104> 도 8은 본 실시예의 P-채널 파워 MIS 전계 효과 트랜지스터를 사용하는 스위칭회로의 실시예를 나타내는 회로도

이고, 도 21과 동일한 참조번호는 동일한 구성을 나타낸다. 도 21와 같이, 도 8에 나타낸 스위칭회로는 스위칭 소자로서 P-채널 파워 MIS 전계 효과 트랜지스터(Q1)가 부하(LO)에 대한 전원 공급 라인의 고전위측에 삽입되고 트랜지스터(Q1), NPN 트랜지스터(Q2) 및 저항기(R1 및 R2)를 포함하는 구성을 가진다. 전원 공급 전압(배터리 정격 전압)은 12V이다.

<105> 도 9는 본 실시예의 P-채널 파워 MIS 전계 효과 트랜지스터를 사용하는 스위칭회로의 다른 예를 나타내는 회로도이고, 도 22와 동일한 참조번호는 동일한 구성을 나타낸다. 도 22와 같이, 도 9에 나타낸 스위칭회로는 P-채널 파워 MIS 전계 효과 트랜지스터(Q11 및 Q12)가 부하(LO)에 대한 전원 공급 라인의 고전위측에 삽입되고, N-채널 파워 MIS 전계 효과 트랜지스터(Q13 및 Q14)는 파워 공급 라인의 저전위측에 삽입되고 트랜지스터(Q11, Q12, Q13 및 Q14), 저항기(R11, R12, R13 및 R14), 하이-사이드 구동 회로(DR1) 및 로우-사이드 구동 회로(DR2)를 포함하는 구성을 가진다.

<106> 도 8과 9의 각각에서, 통상적으로 필요한 전하 펌프 회로의 사용이 필요 없고 크기가 N-채널 파워 MIS 전계 효과 트랜지스터와 동일한 P-채널 파워 MIS 전계 효과 트랜지스터가 사용될 수 있다. 이를 통해 비용을 감소시킬 수 있다. 도 8에 도시한 경우에서, 하나의 바이폴러 NPN 트랜지스터가 필요하나, 바이폴러 트랜지스터는 전하 펌프 회로만큼 고가가 아니므로 스위칭회로의 비용은 감소될 수 있다.

<107> 본 실시예에서 마이크로파-여기 플라즈마에 의해 형성된 게이트 실리콘 산화막은 실리콘과 접촉한 적어도 일부분에 존재할 필요가 있고, 다른 재료, 예를 들어, 실리콘 질화막, 알루미늄 산화막, 탄탈륨 산화막, 하프늄 산화막 또는 지르코늄 산화막으로 제조한 절연막은 상기 게이트 산화막에 적층될 필요가 있다는 것을 알아야 한다. 본 실시예에서, 20V의 게이트와 소스 사이의 파괴 전압을 갖는 P-채널 파워 MIS 전계 효과 트랜지스터가 형성되기 때문에(12V의 정격 전압을 갖는 배터리에 의해 구동되는 자동차 전자부품에 사용하기 위한 파워 트랜지스터가 형성되기 때문) 게이트 산화막의 두께는 40nm이다. 게이트와 소스 사이의 파괴 전압이, 예를 들어, 60V일 때, 마이크로파-여기 플라즈마에 의해 형성될 수 있는 게이트 실리콘 산화막의 두께는 약 수십 nm이다. 따라서, 다른 제조 방법, 예를 들어, 마이크로파-여기, 고밀도 플라즈마 CVD에 의해 상기 게이트 실리콘 산화막에 절연막을 형성함으로써 소정의 두께(1,200 내지 1,500Å)를 갖는 게이트 절연막을 얻을 수 있다. 10V의 게이트와 소스 사이의 파괴 전압을 얻기 위한 게이트 실리콘 산화막의 두께는 20nm이다.

<108> 또한, 본 실시예의 게이트 실리콘 산화막을 실현하기 위해서, 도 6에 도시한 장치 대신에 플라즈마를 사용하는 저온 산화막을 형성할 수 있는 다른 플라즈마 처리 장치를 사용할 수 있다. 예를 들어, 게이트 실리콘 산화막은 마이크로파에 의해 플라즈마를 여기하기 위해 Kr 가스를 방출하기 위한 제 1 가스 방출 수단 및 산소 가스를 방출하기 위한 제 2 가스 방출 수단을 갖는 2 단계 샤워 플레이트 타입 플라즈마 처리 장치에 의해 형성될 수 있다.

<109> 표면에 (110)면을 가진 실리콘 웨이퍼는 대형 결정 웨이퍼 또는 매립 절연막에 형성된 실리콘층을 가진 절연(SOI) 웨이퍼 상의 실리콘일 수 있다. 실리콘 기판 또는 금속층은 SOI 웨이퍼의 매립 절연막 아래에 존재할 수 있다. 구리 등으로 제조한 낮은 저항 금속은 매립 절연막 아래에 형성되는 SOI 웨이퍼는 고속 작업에서 더욱 유리하다.

<110> [제 2 실시예]

<111> 본 발명의 제 2 실시예로서, 실리콘 산질화막으로 제조한 게이트 절연막이 표면에 (110)면을 가진 실리콘 기판에 형성되는 P-채널 파워 MIS 전계 효과 트랜지스터를 이하에서 기술할 것이다.

<112> 게이트 절연막으로 실리콘 산질화막을 사용하는 전계 효과 트랜지스터가 형성될 때에도, <110> 실리콘 기판상에, 최상면의 실리콘 원자는 게이트 절연막과의 계면에 평행하게 배열되고, 게이트 전극은 그 세로 방향이 종이의 가로 방향으로 되도록 형성되고, 소스 영역과 드레인 영역은 종이에 대해 각각 전방과 후방에 형성되는 도 1에 나타낸 구성에 의해 가장 높은 이동도가 제공된다.

<113> 이 방향으로 형성된 본 실시예의 MIS 전계 효과 트랜지스터의 전류 구동능력은 실리콘 산질화막의 유전 상수가 실리콘 산화막의 유전 상수보다 높기 때문에 제 1 실시예의 전류 구동능력보다 높다. 본 실시예의 P-채널 MIS 전계 효과 트랜지스터의 전류 구동능력은 실리콘 산화막으로 제조한 게이트 절연막이 <100> 실리콘 기판에 형성되는 P-채널 MIS 전계 효과 트랜지스터의 전류 구동능력의 약 2.8배이다. 본 실시예의 MIS 전계 효과 트랜지스터의 이동도는 제 1 실시예와 같이 증가하는데, 이는 전자와 정공의 유효 중량과 격자 산란 확률이 소스 영역으로부터 드레인 영역의 방향을 따라 감소하기 때문이다.

<114> 상기한 실시예에서, P-채널 MIS 전계 효과 트랜지스터의 전류 구동능력은 제 1 실시예의 전류 구동능력보다 높

게 제조될 수 있다.

- <115> 본 실시예의 이동도가 증가하는 면방위로서, 제 1 실시예와 같이, 본 실시예의 전계 효과 트랜지스터는 실질적으로 (110)면에 또는 (110)면과 동일하거나 (110)면의 각도와 근접한 면각도를 갖는 다른 면방위, 예를 들어, (551)면, (331)면, (221)면, (321)면, (531)면, (231)면, (351)면, (320)면 또는 (230)면에 형성될 수 있다.
- <116> 제 1 실시예와 같이, 본 실시예의 P-채널 파워 MIS 전계 효과 트랜지스터의 게이트 실리콘 산질화막은 도 6에 도시한 래디얼 라인 슬릿 안테나를 사용하는 마이크로파-여기 플라즈마에 의해 실현된다. 본 실시예의 게이트 실리콘 산질화막은 다음과 같이 형성된다.
- <117> 먼저, 진공 용기(처리 챔버)(401)를 비우고, 샤워 플레이트(402)로부터 Kr 가스와 O₂ 가스를 공급하여 처리 챔버(401)의 내부 압력을 약 1 Torr로 설정한다. 표면에 (110)면을 갖는 N-채널 실리콘 웨이퍼 기판(403)(도 5의 201)을 가열 장치를 구비한 샘플 테이블(404)에 놓고 실리콘 웨이퍼 기판(403)의 온도를 약 400℃로 설정한다.
- <118> 연속적으로, 래디얼 라인 슬릿 안테나(406)와 유전판(407)을 통해 동축 도파관(405)로부터 처리 챔버(401)로 5.45GHz의 마이크로파를 공급하여, 처리 챔버(401)에 고밀도 플라즈마를 발생시킨다. 공급된 마이크로파의 주파수가 900MHz 내지 10GHz일 때, 아래에 기술될 결과는 실질적으로 동일하다. 본 실시예에서, 샤워 플레이트(402)와 기판(403) 사이의 공간을 6cm로 설정한다. 본 실시예에서 비록 성막은 래디얼 라인 슬릿 안테나를 갖는 플라즈마 장치를 사용하여 수행하지만, 다른 방법을 사용하여 처리 챔버에 마이크로파를 공급할 수 있다.
- <119> Kr 가스, O₂ 가스 및 NH₃ 가스가 혼합된 고밀도 여기 플라즈마에서, 중간 여기 상태의 Kr*, O₂ 분자 및 NH₃ 분자는 서로 충돌하여 원자 산소O* 및 NH*를 효과적으로 발생시킨다. 이 라디칼이 실리콘 기판 표면을 산질화시킨다.
- <120> 마이크로파-여기 플라즈마를 사용하는 실리콘 표면 산질화에서, 실리콘 산질화막의 성장 속도는 어떤 면방위에 대해서도 거의 의존하지 않는다. 또한, 실리콘 산질화막과 실리콘 사이의 계면 준위 밀도는 (100)면과 (110)면을 포함하는 어떤 면방위에서 낮아서 양호하다.
- <121> 본 실시예의 게이트 산질화막 형성에서, 수소의 존재는 중요한 인자가 된다. 수소는 플라즈마에 존재하기 때문에, 실리콘 산질화막에서의 땀글링 본드(dangling bond)와 실리콘 산질화막과 실리콘 사이의 계면에서의 땀글링 본드는 Si-H 결합과 N-H 결합을 형성함으로써 끝난다. 본 발명의 실시예의 실리콘 산질화막에서 Si-H 결합과 N-H 결합의 존재는 각각 적외선 흡수 스펙트럼과 X-선 광전자분광 스펙트럼을 측정함으로써 확인한다. 수소가 존재하면 CV 특성의 히스테리시스를 없애고 실리콘과 실리콘 산질화막 사이의 막 계면의 표면 밀도를 $3 \times 10^{10} \text{ cm}^{-2}$ 으로 감소시킨다. 희유 가스(Ar, Xe, 또는 Kr), O₂ 및 N₂/H₂의 가스 혼합물을 사용하여 실리콘 산질화막을 형성할 때, 막 중의 전자와 정공의 트랩은 수소의 부분 압력을 0.5% 이상으로 설정함으로써 갑자기 감소한다.
- <122> 본 실시예에서 마이크로파-여기 플라즈마에 의해 형성된 게이트 실리콘 산질화막은 실리콘과 접촉한 적어도 일부분에 존재할 필요가 있고, 다른 재료, 예를 들어, 실리콘 질화막, 알루미늄 산화막, 탄탈륨 산화막, 하프늄 산화막 또는 지르코늄 산화막으로 제조한 절연막은 상기 게이트 산질화막에 적층될 필요가 있다는 것을 알아야 한다. 특히 P-채널 파워 MIS 전계 효과 트랜지스터가 본 실시예에 따라 형성될 때, 소정의 두께를 가진 게이트 절연막은 CVD와 같은 다른 제조 방법에 의해 게이트 실리콘 산질화막에 절연막을 형성함으로써 얻을 수 있다.
- <123> 또한, 본 실시예의 게이트 실리콘 산질화막을 실현하기 위해서, 도 6에 도시한 장치 대신에 플라즈마를 사용하여 저온 산화막을 형성할 수 있는 다른 플라즈마 처리 장치를 사용할 수 있다. 예를 들어, 게이트 실리콘 산질화막은 마이크로파에 의해 플라즈마를 여기하기 위해 Ar, Xe 또는 Kr 가스를 방출하기 위한 제 1 가스 방출 수단 및 O₂ 및 NH₃ 가스(또는 N₂/H₂ 가스)를 방출하기 위한 제 2 가스 방출 수단을 갖는 2 단계 샤워 플레이트 타입 플라즈마 처리 장치에 의해 형성될 수 있다.
- <124> [제 3 실시예]
- <125> 본 발명의 제 3 실시예로서, 실리콘 질화막으로 제조한 게이트 절연막이 표면에 (110)면을 가진 실리콘 기판에 형성되는 P-채널 파워 MIS 전계 효과 트랜지스터를 이하에서 기술할 것이다.
- <126> 게이트 절연막으로 실리콘 질화막을 사용하는 전계 효과 트랜지스터가 형성될 때에도, <110> 실리콘 기판상에, 최상면의 실리콘 원자는 게이트 절연막과의 계면에 평행하게 배열되고, 게이트 전극은 그 세로 방향이 종이의 가로 방향이 되도록 형성되고, 소스 영역과 드레인 영역은 종이에 대해 각각 전방과 후방에 형성되는 도 1에 나

타넨 구성에 의해 가장 높은 이동도가 제공된다.

- <127> 이 방향으로 형성된 본 실시예의 MIS 전계 효과 트랜지스터의 전류 구동능력은 실리콘 질화막의 유전 상수가 실리콘 산화막의 유전 상수보다 높기 때문에 제 1 실시예의 전류 구동능력보다 높다. 실리콘 질화막의 유전 상수는 실리콘 산화막의 약 2배이다. 본 실시예의 P-채널 MIS 전계 효과 트랜지스터의 전류 구동능력은 실리콘 산화막으로 제조한 게이트 절연막이 <100> 실리콘 기판에 형성되는 P-채널 MIS 전계 효과 트랜지스터의 전류 구동능력의 약 5배이다. 본 실시예의 MIS 전계 효과 트랜지스터의 이동도는 제 1 실시예와 같이 증가하는데, 이는 전자와 정공의 유효 중량과 격자 산란 확률이 소스 영역으로부터 드레인 영역의 방향을 따라 감소하기 때문이다.
- <128> 상기한 실시예에서, P-채널 MIS 전계 효과 트랜지스터의 전류 구동능력은 제 2 실시예의 전류 구동능력보다 높게 제조될 수 있다.
- <129> 본 실시예의 이동도가 증가하는 면방위로서, 제 1 실시예와 같이, 본 실시예의 전계 효과 트랜지스터는 실질적으로 (110)면에 또는 (110)면과 동일하거나 (110)면의 각도와 근접한 면각도를 갖는 다른 면방위, 예를 들어, (551)면, (331)면, (221)면, (321)면, (531)면, (231)면, (351)면, (320)면 또는 (230)면에 형성될 수 있다.
- <130> 제 1 실시예와 같이, 본 실시예의 P-채널 파워 MIS 전계 효과 트랜지스터의 게이트 실리콘 질화막은 도 6에 도시한 래디얼 라인 슬릿 안테나를 사용하는 마이크로파-여기 플라즈마에 의해 실현된다. 본 실시예의 게이트 실리콘 질화막은 다음과 같이 형성된다.
- <131> 먼저, 진공 용기(처리 챔버)(401)를 비우고, 샤워 플레이트(402)로부터 Kr 가스와 O₂ 가스를 공급하여 처리 챔버(401)의 내부 압력을 약 1 Torr로 설정한다. 표면에 (110)면을 갖는 N-채널 실리콘 웨이퍼 기판(403)(도 5의 201)을 가열 장치를 구비한 샘플 테이블(404)에 놓고 실리콘 웨이퍼 기판(403)의 온도를 약 400℃로 설정한다.
- <132> 연속적으로, 래디얼 라인 슬릿 안테나(406)와 유전판(407)을 통해 동축 도파관(405)로부터 처리 챔버(401)로 2.45GHz의 마이크로파를 공급하여, 처리 챔버(401)에 고밀도 플라즈마를 발생시킨다. 본 실시예에서, 샤워 플레이트(402)와 기판(403) 사이의 공간을 6cm로 설정한다. 본 실시예에서 비록 성막은 래디얼 라인 슬릿 안테나를 갖는 플라즈마 장치를 사용하여 수행하지만, 다른 방법을 사용하여 처리 챔버에 마이크로파를 공급할 수 있다.
- <133> Kr 가스 및 NH₃ 가스가 혼합된 고밀도 여기 플라즈마에서, 중간 여기 상태의 Kr* 및 NH₃ 분자는 서로 충돌하여 NH*를 효과적으로 발생시킨다. 이 라디칼이 실리콘 기판 표면을 질화시킨다.
- <134> 마이크로파-여기 플라즈마를 사용하는 실리콘 표면 질화에서, 실리콘 질화막의 성장 속도는 어떤 면방위에 대해서도 거의 의존하지 않는다. 또한, 실리콘 질화막과 실리콘 사이의 계면 준위 밀도는 (100)면과 (110)면을 포함하는 어떤 면방위에서도 낮아서 양호하다.
- <135> 본 실시예의 게이트 질화막 형성에서, 수소의 존재는 중요한 인자가 된다. 수소는 플라즈마에 존재하기 때문에, 실리콘 질화막에서의 땀글링 본드(dangling bond)와 실리콘 질화막과 실리콘 사이의 계면에서의 땀글링 본드는 Si-H 결합과 N-H 결합을 형성함으로써 끝난다. 본 발명의 실시예의 실리콘 질화막에서 Si-H 결합과 N-H 결합의 존재는 각각 적외선 흡수 스펙트럼과 X-선 광전자분광 스펙트럼을 측정함으로써 확인한다. 수소가 존재하면 CV 특성의 히스테리시스를 없애고 실리콘과 실리콘 질화막 사이의 막 계면의 표면 밀도를 $3 \times 10^{10} \text{ cm}^{-2}$ 으로 감소시킨다. 희유 가스(Ar, Xe, 또는 Kr) 및 N₂/H₂의 가스 혼합물을 사용하여 실리콘 질화막을 형성할 때, 막 중의 전자와 정공의 트랩은 수소의 부분 압력을 0.5% 이상으로 설정함으로써 갑자기 감소한다.
- <136> 본 실시예에서 마이크로파-여기 플라즈마에 의해 형성된 게이트 실리콘 질화막은 실리콘과 접촉한 적어도 일부분에 존재할 필요가 있고, 다른 재료, 예를 들어, 실리콘 질화막, 알루미늄 산화막, 탄탈륨 산화막, 하프늄 산화막 또는 지르코늄 산화막으로 제조한 절연막은 상기 게이트 질화막에 적층될 필요가 있다는 것을 알아야 한다. 특히 P-채널 파워 MIS 전계 효과 트랜지스터가 본 실시예에 따라 형성될 때, 소정의 두께를 가진 게이트 절연막은 CVD와 같은 다른 제조 방법에 의해 게이트 실리콘 질화막에 절연막을 형성함으로써 얻을 수 있다.
- <137> 또한, 본 실시예의 게이트 실리콘 질화막을 실현하기 위해서, 도 6에 도시한 장치 대신에 플라즈마를 사용하여 저온 질화막을 형성할 수 있는 다른 플라즈마 처리 장치를 사용할 수 있다. 예를 들어, 게이트 실리콘 질화막은 마이크로파에 의해 플라즈마를 여기하기 위해 Ar, Xe 또는 Kr 가스(Xe이 양호함)를 방출하기 위한 제 1 가스 방출 수단 및 NH₃(또는 N₂/H₂ 가스)를 방출하기 위한 제 2 가스 방출 수단을 갖는 2 단계 샤워 플레이트 타입 플라즈마 처리 장치에 의해 형성될 수 있다.

<138> [제 4 실시예]

<139> 실리콘 표면의 거침도를 감소시킴으로써 P-채널 파워 MIS 전계 효과 트랜지스터의 특성이 향상된 본 발명의 제 4 실시예를 이하에서 기술할 것이다.

<140> 본 발명자들은 전계 효과 트랜지스터가 제조될 때, 소자 영역의 표면은, 예를 들어, 알칼리 처리 및 RCA 세정 동안 순수에 의해 불가피하게 거칠어지는 것을 관찰하였다.

<141> 반면에, 전계 효과 트랜지스터에서 캐리어의 이동도는 트랜지스터의 전류 구동능력의 지표이고 정공은 P-채널 전계 효과 트랜지스터에서 캐리어이다. 일반적으로, 전계 효과 트랜지스터의 전류 구동능력을 향상시키기 위해, 소자 영역 표면의 거침도를 감소시킴으로써 캐리어 이동도는 증가한다.

<142> 보다 구체적으로, 본 발명자들은 보통의 RCA 세정이 사용될 때, 소자 영역에서 표면 거침도는 중심선 평균 거침도(Ra)로 나타낼 때 약 0.5 내지 1.5nm이고 게이트 절연막은 이 실리콘 표면에 형성된다는 것을 확인하였다. 일반적으로 게이트 절연막은 건식 O₂를 사용하여 형성된 실리콘 산화막이다. 그러나, 건식 O₂를 사용하는 산화에서, 산화층은 (111) 작은면부터 들어가서 우선적으로 산화가 진행된다. 그 결과, 실리콘 표면과 게이트 실리콘 산화막 사이의 계면은 더 증가한다는 것을 확인하였다.

<143> RCA 세정에 의해 발생된 미세 거침도를 가진 실리콘을 사용하여 전계 효과 트랜지스터를 제조할 때, 전계 효과 트랜지스터의 전류 구동능력이 감소할 뿐만 아니라 돌기부에 전계 집중이 발생하여 전압이 실제로 게이트 전극에 인가될 때 절연 파괴를 쉽게 일으킨다. 특히 표면에 (110)면을 가진 실리콘이 사용될 때, 알칼리 처리하는 동안 거침도는 증가하고 이것이 실리콘이 사용될 때 이동도를 감소시킨다.

<144> 본 실시예는 상기한 대로 실리콘 표면의 거침도를 감소시킴으로써 P-채널 파워 MIS 전계 효과 트랜지스터의 특성을 향상시킨다.

<145> 먼저, 본 실시예의 원리는 이하에서 설명할 것이다. (110) 실리콘 표면에서의 캐리어의 이동도의 속도를 결정하는 인자(속도-결정 인자)는 통상 (1) 불순물 산란(μ_{co}), (2) 광산란(μ_{ph}), 및 (3) 표면 거침 산란(μ_{sr})이다. 관찰된 이동도(μ)는 마테슨 법칙에 의해 주어진 3개 인자의 합이고 다음 식으로 나타내어진다.

<146>
$$\mu^{-1} = \mu_{co}^{-1} + \mu_{ph}^{-1} + \mu_{sr}^{-1}$$

<147> (110)면에서 캐리어는 상기한 3등급 결정 인자의 실리콘 표면의 거침도(즉, 표면 거침도 산란 μ_{sr})에 의해 주로 영향을 받는다. 이동도와 유효 전계 사이의 관계는 실제로 극저온으로 검사될 때, 불순물 산란(μ_{co}) 및 광 산란(μ_{ph})을 실질적으로 무시하고 단지 표면 거침도 산란(μ_{sr})의 영향만을 추출하는 것이 가능하다. 이동도와 유효 전계 사이의 관계를 77K에서 조사할 때, 계면 거침도가 이동도에 미치는 영향은 (100)면에서보다 (110)면에서 더 컸다.

<148> 도 10은 중심선 평균 거침도(Ra)와 계면 거침도 스펙트럼 사이의 관계에 대한 시뮬레이션에 의한 조사 결과를 나타낸다. 종래의 방법을 사용하여 실제로 실현가능한 중심선 평균 거침도(Ra)는 약 0.4nm이기 때문에, 도 10에 도시한 중심선 평균 거침도(Ra)와 계면 거침도 스펙트럼 사이의 관계는 종래의 방법의 한계보다 더 작은 Ra 영역에서 분명하게 얻어진다. 언급한 계면 거침도 스펙트럼은 측정 등에 의해 물리적으로 얻은 거침도가 아니고 캐리어에 의해 실제로 감지한 거침도이고 다음 식으로 정의된다.

<149>
$$\langle |\Delta q^2| \rangle = \pi \Delta^2 \Lambda^2 e^{\left(-\frac{q^2 \Lambda^2}{4} \right)}$$

<150> 상기 식에서 Δ 는 계면 거침도의 중심선 평균 거침도(Ra), Λ 는 계면 거침도의 평균 기간이고, q는 계면에 대한 캐리어의 입사파수 벡터(k) 및 반사파수 벡터(k') 사이의 관계(즉, $q=k-k'$)이다.

<151> 도 10에 도시한 대로, (100)면에서, 계면 거침도 스펙트럼의 변화는 중심선 평균 거침도(Ra)의 변화보다 무시할 정도로 작다. 반대로, (110)면에서, 중심선 평균 거침도(Ra)가 감소함에 따라, 계면 거침도 스펙트럼은 감소하고, 캐리어 이동도는 증가한다. 또한, 도 10에서 볼 수 있는 것처럼, 중심선 평균 거침도(Ra)가 0.07nm 이하로 감소될 때 (110) 실리콘에서 이동도는 (100) 실리콘에서의 전자 이동도와 같은 수준으로 향상되는 것을 시뮬레

이선에 의해 추측할 수 있다.

- <152> 따라서, 본 실시예의 요지는 (110) 실리콘 표면의 중심선 평균 거칠도(Ra)를 종래의 한계인 0.04nm 이하, 특히 0.15nm 이하 및 바람직하게는 0.07nm 이하로 평탄화할 수 있는 방법 및 평탄화 실리콘을 사용하여 P-채널 파워 MIS 전계 효과 트랜지스터를 얻는 것이다.
- <153> 본 발명의 제 4 실시예에 따른 P-채널 파워 MIS 전계 효과 트랜지스터의 제조 방법은 도 11을 참조하여 이하에서 기술할 것이다.
- <154> 먼저, 도 11a에 도시한 대로, 표면에 (110)면을 가진 N-형 실리콘 웨이퍼 기판(301)을 제조하고, STI 등에 의해 소자 분리를 수행하여, 소스, 드레인 및 채널 영역을 포함하는 소자 영역(302)을 형성한다.
- <155> 그런 후에, RCA 세정을 소자 영역(302)에 수행한다(도 11b). 미세 거칠도가 문제가 되는 거친 영역에서, RCA 세정의 한 공정으로 SC1 세정을 하는 동안 거칠도의 증가는 반드시 고려해야 한다는 것을 발견하였다. 실제로, RCA 세정의 한 공정으로 SC1 세정을 하는 동안, OH 농도에 따라 실리콘 표면을 에칭하였고, 이 에칭이 거칠도를 증가시켰다.
- <156> 이런 점을 고려하여, 낮은 OH 농도에서 SC1 세정이 본 실시예에서 수행된다. 통상의 종래 SC1 처리는 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ 인 약품액을 사용한다. 그러나, 본 실시예에서, $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.05 : 1 : 5$, 즉, OH 농도가 종래의 SC1 처리에서의 농도보다 낮다.
- <157> 또한, 예를 들어, COP(Crystal Originated Particle)의 결합 밀도가 실리콘 결정에서 높을 때, SC1 처리하는 동안 표면 거칠도의 증가는 가속하였다. 또한, SC1 처리 후 결합에 의해 표면에 형성된 미세공이 형성되었고 이것이 산화막 파괴 전압을 열화하였다. COP 밀도는 CZ 웨이퍼가 사용될 때 특히 높다.
- <158> SC1 세정하는 동안 표면 거칠도의 증가를 억제하기 위해서, 예를 들어, 실리콘 표면에 수소 어닐링 또는 아르곤 어닐링을 수행함으로써 잔류 산소의 수준을 약 $5 \times 10^{16} / \text{cm}^3$ 으로 감소시켜 얻은 실리콘 또는 Si가 에피택시얼로 성장한 표면을 가진 실리콘 웨이퍼를 사용하는 것이 바람직하다. 본 실시예에서, Si가 에피택시얼로 성장한 표면을 가진 실리콘 웨이퍼를 사용하였다.
- <159> 상기한 대로 낮은 OH 농도 SC1 공정을 사용할 때, 실리콘 표면은 약 0.15nm의 중심선 평균 거칠도를 가졌다. P-채널 트랜지스터가 이 표면 거칠도를 가진 실리콘을 사용하여 제조될 때, 종래의 P-채널 트랜지스터의 이동도보다 높은 이동도를 가진 트랜지스터를 얻을 수 있다. 그러나, 도 10에 도시한 대로, (110) 실리콘이 사용될 때, 이 값을 갖는 중심선 평균 거칠도(Ra)는 (100) 실리콘이 사용될 때와 동일한 이동도를 얻을 수 없다.
- <160> 따라서, 본 실시예에서, 표면 거칠을 더 평탄화하기 위해서, 도 11c에 도시한 대로, 소자 영역(302)의 실리콘 표면의 평탄화 방법으로, 소자 영역(302)의 표면은 라디칼 산소를 함유하는 분위기에서 산화되어 희생 산화막(303)을 형성한다. 라디칼 산소 분위기에서 희생 산화막(303)을 형성함으로써, 희생 산화막(303)의 표면은 희생 산화막(303)이 형성되기 전보다 더욱 평탄화되었다.
- <161> 도 11c에 사용된 라디칼 산화는 이하에서 상세하게 설명할 것이다. 본 실시예의 라디칼 산화법은 도 6에 도시한 마이크로파-여기 플라즈마 장치를 사용한다. 도 6을 참조하면, 먼저, 진공 용기(처리 챔버)(401)를 비우고, 샤워 플레이트(402)로부터 Kr 가스와 O_2 가스를 공급하여 처리 챔버(401)의 내부 압력을 약 1 Torr로 설정한다. 표면에 (110)면을 갖는 N-채널 실리콘 웨이퍼 기판(403)(도 11의 301)을 가열 장치를 구비한 샘플 테이블(404)에 놓고 실리콘 웨이퍼 기판(403)의 온도를 약 400°C로 설정한다. 이 온도 설정 범위가 200°C 내지 550°C일 때, 아래에 기술될 결과는 실질적으로 동일하다.
- <162> 연속적으로, 래디얼 라인 슬릿 안테나(406)와 유전판(407)을 통해 동축 도파관(405)로부터 처리 챔버(401)로 2.45GHz의 마이크로파를 공급하여, 처리 챔버(401)에 고밀도 플라즈마를 발생시킨다. 공급된 마이크로파의 주파수가 900MHz 내지 10GHz일 때, 아래에 기술될 결과는 실질적으로 동일하다. 본 실시예에서, 샤워 플레이트(402)와 기판(403) 사이의 공간은 6cm로 설정된다. 공간이 좁으면 좁을수록, 성막은 빨라진다. 본 실시예에서 비록 성막은 래디얼 라인 슬릿 안테나를 갖는 플라즈마 장치를 사용하여 수행되지만, 다른 방법을 사용하여 처리 챔버에 마이크로파를 공급할 수 있다.
- <163> 실리콘 표면이 라디칼 산소를 함유하는 분위기에서 산화될 때, 산화종과 실리콘 표면의 돌기부의 부착 확률은 증가한다. 또한, 라디칼이 상기 돌기부와 충돌할 때, 돌기부는 음전하로 대전되고 O^- 및 O_2^- 와 같은 산소 이온을

쉽게 끌어당긴다. 이런 효과들이 결합될 때, 돌기부는 우선적으로 산화되고, 실리콘 표면에 평탄화 실리콘 산화막을 형성할 것이다.

- <164> 도 12는 실리콘 표면에 건식 산화가 수행될 때 및 산화가 라디칼 산소를 함유하는 분위기에서 수행될 때 산화 전과 후의 표면 평탄도 변화 방식을 나타낸다. 도 12를 참조하면, 머리글자는 상기한 낮은 OH 농도에서 SC1 공정을 수행한 후 중심선 평균 거칠도(Ra)를 나타낸다. 도 12에 도시한 대로, 중심선 평균 거칠도(Ra)는 0.14 내지 0.16nm 이다.
- <165> 건식 산화에 의해 상기 실리콘 표면에 실리콘 산화막이 형성될 때, 중심선 평균 거칠도(Ra)는 0.17 내지 0.19nm로 변한다. 반면에, 본 실시예와 같이 라디칼 산화에 의해 실리콘 산화막이 형성될 때, 표면의 중심선 평균 거칠도(Ra)는 0.07nm보다 작다. 즉, 건식 산화는 거칠도를 증가시키는 반면, 라디칼 산화는 평탄도를 향상시킨다.
- <166> 도 12에 도시한 산화 후의 거칠도는 산화막을 HF와 HCl의 용액 혼합물(부피비는 HF : HCl = 1 : 19)에 1분 동안 침지시키고 벗겨낸 후에 얻었다. 가능하면 낮은 OH 이온 농도를 가진 약품액을 사용하여 산화막을 벗길 때 실리콘 표면의 에칭을 억제하기 위해 산화막을 에칭하는데 HF와 HCl의 용액 혼합물을 사용하여, 실리콘과 게이트 절연막 사이의 계면의 상태를 정확하게 조사하였다.
- <167> 산화 후의 거칠도를 측정하기 전에, (110) 실리콘을 10분 이상 동안 HF와 HCl의 용액 혼합물에 침지시키고 침지 전과 후의 중심선 평균 거칠도(Ra)의 변화를 조사하였다. 결과적으로, 침지 전과 후 (110) 실리콘에 중심선 평균 거칠도(Ra)의 변화가 발견되지 않았는데, 즉, 실리콘은 에칭되지 않았다. 이런 방식으로, 본 평가법의 타당성을 확인하였다. 다음 설명에서, 절연막 아래의 실리콘 표면의 거칠도 값은 절연막을 1분 동안 HF와 HCl 용액 혼합물에 침지하고 벗겨낸 후에 평가한 값이다.
- <168> 상기한 대로, 라디칼 산화는 실리콘 표면의 평탄도를 향상시킬 수 있다. 이 라디칼 산화법을 사용한 실리콘 표면의 평탄화는 실리콘 면방위 또는 평탄화가 적용되는 반도체 소자의 형태와 상관없이 임의의 반도체 소자에 응용가능한 기술이다.
- <169> 도 11d에 도시한 대로 상기한 희생 산화막(303)을 형성한 후에, 희생 산화막(303)을 벗겨낸다. 본 실시예에서, 희생 산화막(303)은 부피비가 HF : HCl = 1 : 19로 혼합되고 pH 1 이하를 갖는 약품액을 사용하여 벗겨내었다.
- <170> 그런 후에, 도 11e에 도시한 대로, 소자 영역에서 실리콘 표면은 라디칼 산소를 함유하는 분위기에서 산화되어 5nm 두께의 실리콘 산화막으로 제조한 게이트 절연막(304)을 형성하였다. 이 상태에서, 게이트 절연막(304)을 부피비가 HF : HCl = 1 : 19로 혼합되고 pH 1 이하를 갖는 약품액에 침지하였고, 시험적으로 벗겨내어, 실리콘 표면과 게이트 절연막 사이의 계면의 거칠도를 평가하였다. 그 결과, 중심선 평균 거칠도(Ra)는 0.06nm이었다.
- <171> 연속적으로, 역치 전압을 제어하기 위해서, 게이트 절연막(304)이 형성된 실리콘 웨이퍼 기판(301)의 전면 속에 붕소를 이온 주입한다(도 11f). 이 붕소의 이온 주입 후에, 소자 영역(302)의 게이트 절연막(304)에 폴리실리콘 전극(게이트 전극)(305)을 형성한다(도 11g).
- <172> 게이트 전극(305)을 형성한 후에, 저농도로 붕소를 이온 주입하여 P-소스 영역과 P-드레인 영역(306)을 형성하고(도 11h), 게이트 전극(305)의 측벽에 측벽 절연막(307)을 형성한다(도 11i). 그런 후에, 붕소 같은 P-형 불순물을 고농도로 이온 주입하여 P⁺-소스 영역과 P⁺-드레인 영역(308)을 형성한다(도 11j). 마지막으로, P⁺-소스 영역과 P⁺-드레인 영역(308) 위 절연막(304)에 정공을 형성하고, 알루미늄 등에 의해 소스 전극과 드레인 전극(도시되지 않음)을 형성하여, P-채널 파워 MIS 전계 효과 트랜지스터의 제조를 완성한다.
- <173> 도 11b에 도시한 대로 RCA 세정 후 중심선 평균 거칠도(Ra) 및 이동도 사이의 관계를 연구하였다. 즉, 실리콘 표면의 중심선 평균 거칠도(Ra)는 RCA 세정 후 SC1 세정하는 동안 암모니아 농도를 변화시킴으로써 0.05부터 0.18nm로 변했고, 거친 산란 성분의 이동도의 변화를 조사하였다.
- <174> 도 13에 결과를 나타내었다. 도 13은 중심선 평균 거칠도(Ra)가 감소함에 따라 이동도가 증가하는 것을 나타낸다. 상기한 낮은 OH 농도 SC1 공정이 사용될 때, 중심선 평균 거칠도(Ra)는 약 0.15nm이며, 이것이 세정에 의해 얻을 수 있는 평탄화 한계라고 말할 수 있다. 반대로, 본 실시예와 같이 라디칼 산화에 의해 희생 산화막(303)이 형성되고 벗겨질 때, 중심선 평균 거칠도(Ra)를 0.05nm로 평탄화할 수 있었다.
- <175> 도 13에 도시한 중심선 평균 거칠도(Ra)와 (110) 실리콘 사이의 관계로부터 명확히 알 수 있듯이, 중심선 평균 거칠도(Ra)가 0.15nm 이하일 때 전자 이동도 향상 현상을 보았다. 또한, 중심선 평균 거칠도(Ra)가 0.09nm 이하일 때 이동도는 갑자기 증가하였다. 0.09nm가 갑작스런 이동도 상승이 시작되는 변곡점이다. 게다가, 중심선 평

균 거침도(Ra)가 0.07nm로 평탄화될 때, (100) 표면에 의해 얻어진 캐리어 전자 이동도와 동일한 이동도가 얻어지고, 이동도는 0.05nm 이하까지 향상된다.

- <176> 세정 후에 상기한 라디칼 희생 산화를 수행하여 매우 평평한 표면을 얻기 때문에 상기한 것은 처음으로 얻을 수 있는 발견물이다.
- <177> 도 13에 도시한 대로, 본 실시예에서, 중심선 평균 거침도 = 0.05nm를 얻을 수 있고 종래의 RCA 세정을 사용하여 형성된 P-채널 MIS 트랜지스터의 이동도보다 3배 높은 이동도를 만들 수 있다.
- <178> 따라서, 본 실시예에서, 동일한 크기와 동일한 비용으로 N-채널 파워 MIS 전계 효과 트랜지스터의 전류 구동능력과 동일한 전류 구동능력을 얻을 수 있다.
- <179> 실리콘 표면과 게이트 절연막 사이의 계면은 종래의 RCA 세정을 사용하여 형성된 MIS 트랜지스터보다 더욱 평탄화되기 때문에 게이트 절연막(304)의 신뢰성을 향상시킬 수 있다.
- <180> 본 실시예에서 게이트 절연막(304)은 마이크로파-여기 플라즈마를 사용하여 형성되나, CVD와 같은 다른 제조 방법에 의해 형성될 수 있다. 게이트 절연막(304)을 형성하는 실리콘 산화막은 실리콘과 접촉하는 적어도 일부분에 존재할 필요가 있고, 알칼리 토금속, 희토류 금속 또는 전이 금속을 사용하는 산화물, 질화물, 산질화물 또는 실리케이트와 같은 다른 재료가 실리콘 산화막에 적층될 수 있다. 게이트와 소스 사이의 파괴 전압이, 예를 들어, 60V일 때, 마이크로파-여기 플라즈마에 의해 형성될 수 있는 게이트 실리콘 산화막의 두께는 약 수 십 nm이다. 따라서, 상기 게이트 절연막에, 다른 제조 방법, 예를 들어, CVD에 의해 절연막을 형성할 수 있어서 소정의 두께(1,200 내지 1,500Å)를 갖는 게이트 절연막(304)을 얻을 수 있다.
- <181> 또한, 본 실시예에서 형성된 실리콘 산화막 대신에, 예를 들어, 알칼리토금속, 희토류 금속 또는 전이 금속을 사용하는 산화물, 질화물 또는 실리케이트로 제조한 게이트 절연막이 형성될 수 있다. 게다가, 실리콘 산화막, 실리콘 질화막 및 실리콘 산질화막의 적어도 하나를 포함하는 게이트 절연막이 형성될 수 있다.
- <182> 본 실시예에서 게이트 절연막으로 사용가능한 고유전막을 형성하는 재료의 예들은 Hf, Zr, Ta, Ti, La, Co, Y 및 Al로부터 선택된 원소들의 하나 또는 조합의 금속 실리케이트, Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 원소들의 하나 또는 조합의 금속 산화물, Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 원소들의 하나 또는 조합의 금속 질화물 및 Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr 및 Ba로부터 선택된 원소들의 하나 또는 조합의 금속 산질화물이다.
- <183> [제 5 실시예]
- <184> 제 5 실시예에 따른 P-채널 파워 MIS 전계 효과 트랜지스터의 제조 방법은 도 14를 참조하여 이하에서 기술할 것이다. 제 4 실시예에서, Si가 에피택시얼로 성장한 표면을 갖는 (110) 실리콘 면이 사용된다. 본 실시예에서, <100> 방향으로 8° 오프되어 얻은 실리콘 면, Si가 에피택시얼로 성장한 표면을 갖는 실리콘 면이 사용되고, 게이트 실리콘 산질화막이 사용된다. 8° 오프된 면은 다시 말하면 (551) 실리콘 면이다.
- <185> 먼저, 도 14a에 도시한 대로, 표면에 (551)면을 가진 N-형 실리콘 웨이퍼 기판(401)을 제조하고, STI 등에 의해 소자 분리를 수행하여, 소스, 드레인 및 채널 영역을 포함하는 소자 영역(402)을 형성한다.
- <186> 그런 후에, RCA 세정을 소자 영역(402)에 수행한다(도 14b). 제 4 실시예와 같이 본 실시예에서, SC1 세정하는 동안 거침도의 증가를 억제하기 위해서, $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.05 : 1 : 5$, 즉, OH 농도가 종래의 SC1 처리에서의 농도보다 낮은 OH 농도를 가진 약품액을 사용하였다.
- <187> 그 후에, 도 14c와 14d에 도시한 대로, 소자 영역(402)의 실리콘 표면의 평탄화 방법으로서, 300℃ 내지 500℃에서 라디칼 산소를 함유하는 분위기에서 소자 영역(402)의 표면을 산화시켜 희생 산화막(403)을 형성한 후 벗겨내었다. 본 실시예에서, 부피비가 $\text{HF} : \text{HCl} = 1 : 19$ 로 혼합되고 pH 1 이하를 갖는 약품액을 사용하여 희생 산화막(403)을 벗겨내었다.
- <188> 희생 산화막(403)을 벗겨낸 후 표면 상태를 관찰할 때, 도 15에 도시한 대로, 표면에 (110) 면을 각각 가진 테라스(terraces)와 <-110> 방향을 따라 계단을 포함하는 자기 배열 계단 형태(self-aligned staircase)가 보인다. 계단 높이는 약 0.17 내지 0.35nm가 바람직하고, 중심선 평균 거침도(Ra)는 약 0.04nm가 바람직하다.
- <189> 그런 후에, 도 14e에 도시한 대로, 소자 영역(402)의 실리콘 표면은 라디칼 산소를 함유하는 분위기에서 산화되어 실리콘 산질화막으로 제조한 게이트 절연막(404)을 형성하였다. 이 상태에서, 게이트 절연막(404)을 부피비

가 HF : HCl = 1 : 19로 혼합되고 pH 1 이하를 갖는 약품액에 침지하였고, 시험적으로 벗겨내어, 실리콘 표면과 게이트 절연막 사이의 계면의 거침도를 평가하였다. 그 결과, 중심선 평균 거침도(Ra)는 0.05nm이었다. 비교를 위해, 라디칼 희생 산화가 수행되지 않는 실리콘 표면의 중심선 평균 거침도(Ra)를 조사하여 0.15nm로 확인하였다.

- <190> 제 4 실시예에 따라, 래디얼 라인 슬릿 안테나를 사용하는 마이크로파-여기 플라즈마 장치(도 6)를 사용함으로써 본 실시예의 전계 효과 트랜지스터의 게이트 실리콘 산질화막을 형성하였다. 보다 구체적으로, 실리콘 산질화막은 다음과 같이 형성된다.
- <191> 먼저, 진공 용기(처리 챔버)(401)를 비우고, 샤워 플레이트(402)로부터 Kr 가스, O₂ 가스 및 NH₃ 가스를 공급하여 처리 챔버(401)의 내부 압력을 약 1 Torr로 설정한다. 표면에 (110)면을 갖는 실리콘 웨이퍼 기판(403)(도 14의 401)을 가열 장치를 구비한 샘플 테이블(404)에 놓고 실리콘 웨이퍼 기판(403)의 온도를 약 400℃로 설정한다. 이 온도 설정 범위가 200℃ 내지 550℃일 때, 아래에 기술될 결과는 실질적으로 동일하다.
- <192> 연속적으로, 래디얼 라인 슬릿 안테나(406)와 유전판(407)을 통해 동축 도파관(405)로부터 처리 챔버(401)로 5.45GHz의 마이크로파를 공급하여, 처리 챔버(401)에 고밀도 플라즈마를 발생시킨다. 샤워 플레이트(402)와 기판(403) 사이의 공간을 6cm로 설정된다. 본 실시예에서 비록 산질화는 래디얼 라인 슬릿 안테나를 갖는 플라즈마 장치를 사용하여 수행되지만, 다른 방법을 사용하여 처리 챔버에 마이크로파를 공급할 수 있다.
- <193> 본 발명의 게이트 실리콘 산질화막 형성에서, 제 2 실시예와 같이, 수소의 존재는 중요한 인자가 된다. 수소가 존재하면 CV 특성의 히스테리시스를 없애고 실리콘과 실리콘 산질화막 사이의 막 계면의 표면 밀도를 $3 \times 10^{10} \text{ cm}^{-2}$ 으로 감소시킨다. 실리콘 산질화막이 희유 가스(Ar, Xe, 또는 Kr), O₂ 및 N₂/H₂의 가스 혼합물을 사용하여 형성될 때, 막 중의 전자와 정공의 트랩은 수소의 부분 압력을 0.5% 이상으로 설정함으로써 갑자기 감소한다.
- <194> 게이트 절연막(404)을 형성한 후에, 역치 전압을 제어하기 위해서, 실리콘 웨이퍼 기판(401)의 전면 속에 붕소를 이온 주입하고(도 14f), 소자 영역(402)의 게이트 절연막(404)에 폴리실리콘 전극(게이트 전극)(405)을 형성한다(도 14g).
- <195> 게이트 전극(405)을 형성한 후에, 붕소를 저농도로 이온 주입하여 P-소스 영역과 P-드레인 영역(406)을 형성하고(도 14h), 게이트 전극(405)의 측벽에 측벽 절연막(407)을 형성한다(도 14i). 그런 후에, 붕소 같은 P-형 불순물을 고농도로 이온 주입하여 P⁺-소스 영역과 P⁺-드레인 영역(408)을 형성한다(도 14j). 마지막으로, P⁺-소스 영역과 P⁺-드레인 영역(408) 위 절연막(304)에 정공을 형성하고 알루미늄 등에 의해 소스 전극과 드레인 전극(도시되지 않음)을 형성하여, P-채널 파워 MIS 전계 효과 트랜지스터의 제조를 완성한다.
- <196> 본 실시예에서, 종래의 RCA 세정을 사용하여 형성된 P-채널 MIS 트랜지스터의 이동도보다 3배 높은 이동도를 실현할 수 있다.
- <197> 또한, 실리콘 표면과 게이트 절연막 사이의 계면은 종래의 RCA 세정을 사용하여 형성된 MIS 트랜지스터보다 더욱 평탄화되기 때문에 게이트 절연막의 신뢰성을 향상시킬 수 있다.
- <198> 본 실시예에서, 예를 들어, Kr 가스 및 NH₃ 가스를 마이크로파-여기 플라즈마 처리 챔버 속에 공급하여 게이트 실리콘 질화막을 형성할 수 있다.
- <199> 게이트 절연막(404)을 형성하는 실리콘 산질화막은 실리콘과 접촉하는 적어도 일부분에 존재할 필요가 있고, 알칼리 토금속, 희토류 금속 또는 전이 금속을 사용하는 산화물, 질화물, 산질화물 또는 실리케이트와 같은 다른 재료로 제조한 하나 이상의 절연막이 게이트 절연막(404)에 적층될 수 있다. 본 실시예에서, 게이트와 소스 사이의 파괴 전압이 20V를 갖는 P-채널 파워 MIS 전계 효과 트랜지스터가 형성되기 때문에(12V의 정격 전압을 갖는 배터리에 의해 구동되는 자동차 부품에 사용되는 파워 트랜지스터가 형성되기 때문) 게이트 절연막의 두께는 40nm이고, 질화 또는 산질화에 의해 막이 형성될 수 있다. 그러나, 게이트와 소스 사이의 파괴 전압이, 예를 들어, 60V일 때, 마이크로파-여기 플라즈마에 의해 형성될 수 있는 게이트 실리콘 산화막의 두께는 약 수십 nm이다. 따라서, 상기 게이트 절연막에, 다른 제조 방법, 예를 들어, CVD에 의해 절연막을 형성할 수 있어서 소정의 두께를 갖는 게이트 절연막(404)을 형성한다.
- <200> 또한, 본 실시예에서 형성된 실리콘 산질화막 대신에, 예를 들어, 알칼리 토금속, 희토류 금속 또는 전이 금속을 사용하는 산화물, 질화물 또는 실리케이트로 제조한 게이트 절연막이 형성될 수 있다.

- <201> 상기한 제 4 및 제 5 실시예에서, 라디칼 희생 산화법에 의해 실리콘 표면이 평탄화된다. 그러나, 라디칼 희생 산화법 이외의 다른 방법을 사용하여 평탄도를 유지 또는 향상시킬 수 있고, P-채널 파워 MIS 전계 효과 트랜지스터의 성능을 향상시킬 수 있다.
- <202> [제 6 실시예]
- <203> 먼저, 습식 산화를 사용하여 평탄도를 향상시킨 실시예를 제 6 실시예로서 아래에 설명할 것이다. 비교적 큰 거칠도를 가진 표면을 포함하는 (110) 실리콘을 제조하고, 실리콘 표면을 1,000°C에서, H₂ = 1 slm 및 O₂ = 1 slm 으로 습식 산화에 의해 산화시켜, 3,000Å 두께의 실리콘 산화막을 형성한다(제 1 공정).
- <204> 그런 후에, 잔류막 두께가 0 내지 2,500Å 이 될 때까지 HF를 함유하는 H₂O 약품액으로 실리콘 산화막을 에치백하였다(제 2 공정). 그 후에, 제 1 및 제 2 공정을 2회 반복하였고, HF : HCl = 1 : 19의 부피비로 혼합되고 pH 1 이하를 갖는 약품액을 사용하여 실리콘 산화막을 최종적으로 완전히 벗겨내었다.
- <205> 결과를 도 16에 도시한다. 도 16에서, 가로축은 제 2 공정에서의 실리콘 산화막의 잔류막 양(두께)을 나타내고 세로축은 중심선 평균 거칠도(Ra)를 나타낸다. 참고로, 도 16은 9,000Å 두께 실리콘 산화막을 일단 형성하고 HF : HCl = 1 : 19의 부피비로 혼합되고 pH 1 이하를 갖는 약품액을 사용하여 벗겨낼 때 얻은 데이터를 나타낸다.
- <206> 도 16을 참조하면, 중심선 평균 거칠도(Ra)는 제 2 공정에서 에칭 백하는 동안 실리콘 산화막의 잔류막 두께가 감소함에 따라 감소하고, 잔류막 두께가 1,000Å일 때 거의 포화된다. 잔류막 두께가 0일 때, 즉, 실리콘 산화막이 완전히 벗겨질 때, 평탄화 효과는 사라진다.
- <207> 이것은 아마도 실리콘 표면이 약품액 처리에 의해 노출될 때, 약품액에 의해 실리콘 표면에 발생하고 평탄화 증가를 방해하는 공격 및 금속 오염과 같은 인자들이 증가하기 때문이다. 제 2 공정에서 잔류막 양이, 예를 들어, 100Å의 적절한 값으로 설정될 때, 제 1 공정과 제 2 공정을 반복하여 얻은 평탄 효과는 일단 9,000Å 두께 실리콘 산화막을 형성하고 벗겨내어 얻은 평탄 효과보다 높았다.
- <208> 산화와 에치백에 의해 얻은 평탄 효과의 메카니즘은 알려지지 않았다. 그러나, 한 가지 가능한 원인은 에치백에 의해 잔류막이 얇아질 때, 습식 산화의 산화종은 실리콘과 실리콘 산화막 사이의 계면 근처에 쉽고 균일하게 도달하는 것이다.
- <209> 또한, 제 1 및 제 2 공정의 반복 횟수와 평탄도 사이의 관계를 조사하였다. 결과는 도 17에 도시한다. 도 17에서, 가로축은 반복 횟수를 나타내고 세로축은 중심선 평균 거칠도(Ra)를 나타낸다. 도 17로부터 명백히 알 수 있듯이, 반복 횟수가 3을 넘었을 때, 중심선 평균 거칠도(Ra)는 포화하였다. 이것은 제 1 및 제 2 공정의 반복 횟수는 적절한 값을 가진다는 것을 증명한다.
- <210> 상기한 대로, 실리콘 표면은 습식 가스를 사용하는 산화를 수행하고(제 1 공정), 막두께가 10 내지 1,000Å일 때까지 벗겨내지 않고 산화막을 에치백하고(제 2 공정), 제 1 및 제 2 공정을 소정의 반복 횟수로 반복하고 마지막으로 HF를 함유하는 수용액으로 산화막을 벗겨냄으로써 최초 웨이퍼보다 더 평탄화될 수 있다.
- <211> [제 7 실시예]
- <212> 약품액 처리를 사용하지 않고 평탄도를 유지 및 향상시키는 방법은 본 발명의 제 7 실시예로서 이하에서 기술할 것이다. 상기한 대로, RCA 세정은 주로 실리콘 표면을 세정하는데 사용된다. RCA 세정 공정에서 SC1 세정(실리콘을 암모니아, 수성 과산화수소 및 순수에 침지하고 약 80°C로 가열하여 수행되는 세정)하는 동안, Si-Si 결합의 약한 부분이 OH 이온에 의해 공격을 받고 이것이 Si 표면을 거칠게 한다. SCI 처리에서, 수성 과산화수소에 의한 실리콘 표면의 산화, OH 이온에 의한 Si-O 에칭, Si-Si 에칭에 의한 에치백이 동시에 진행된다. 비록 이것이 RCA 세정은 입자들 및 유기물 오염의 제거 효과가 높다는 특성을 주지만, RCA 세정은 부작용을 갖는데, 즉, Si 표면에 거칠기가 생긴다. 실리콘 표면을 가능한 한 거칠지 않게 유지하기 위해서, 알칼리 세정을 사용하지 않는 세정 방법이 필요하다. RCA와 동일하거나 더 높은 수준으로 알칼리 세정을 사용하지 않고 입자들, 유기물 오염 및 금속 오염을 제거할 능력을 가진 세정 방법으로서, 일본 특개평 11-057636호는 다섯 공정을 사용하는 세정 방법을 개시한다.
- <213> 일본 특개평 11-057636호에 개시된 상기 세정 방법은 오존을 함유하는 순수를 사용하여 세정을 수행하는 제 1 공정, 500kHz 이상의 주기로 진동을 가하면서 HF, H₂O 및 계면활성제를 함유하는 세정액을 사용하여 세정을 수행하는 제 2 공정, 오존을 함유하는 순수를 사용하여 세정을 수행하는 제 3 공정, 실리콘 산화막을 제거하기 위

해 HF 및 H₂O를 함유하는 세정액을 사용하여 세정을 수행하는 제 4 공정, 및 순수를 사용하여 세정을 수행하는 제 5 공정을 포함하는 것을 특징으로 한다.

- <214> 일본 특개평 11-057636호에 개시된 세정 방법은 상기한 대로 알칼리 처리가 포함되지 않기 때문에 Si 표면의 평탄성을 열화시키지 않고 세정을 수행할 수 있을 것이다. 일본 특개평 11-057636호는 표면의 중심선 평균 거칠도(Ra)가 세정 전과 후에 0.11nm로 유지되는 실시예를 나타낸다. 그러나, 일본 특개평 11-057636호는 RCA 세정을 수행하면 표면 거칠도(Ra)가 증가한다는 사실을 지적하지 않았다. 또한, 일본 특개평 11-057636호는 표면에 (100)면을 가진 실리콘에 제한적으로 수행된 실험의 결과를 기술한다. 표면에 (110)면을 가진 실리콘의 경우, 0.15nm 이하의 초기 웨이퍼를 얻을 수 없고, 본 방법을 사용했을 때에도 0.15nm 이하의 중심선 평균 거칠도(Ra)도 얻을 수 없다.
- <215> 본 발명자들은 표면 평탄도는 일본 특개평 11-057636호에 개시된 제 1 내지 제 5 공정 중 제 2 및 제 4 공정에 사용되는 H₂O를 탈기하여 용존 산소의 양을 감소시킴으로 유지될 수 있다는 것을 발견하였다. 즉, 본 실시예의 제 2 공정에서, 제 1 공정에서 형성된 실리콘 산화막을 제거함으로써 입자들이 제거된다. 마찬가지로, 제 4 단계에서, 제 3 공정에서 형성된 실리콘 산화막을 제거함으로써 금속 오염이 제거된다.
- <216> 만일 제 2 공정과 제 4 공정에서 약품액에 용존 산소가 존재한다면, HF에 의해 제거된 실리콘 표면에, Si-Si 결합의 약한 부분이 다시 선택적으로 산화되고 동시에 HF에 의해 제거된다. 그 결과, 표면 거칠도는 증가한다. 본 실시예에서, 표면 거칠도(Ra)는 종래의 ppm 차수부터 100ppb 이하(바람직하게는, 10ppb 이하)로 제 2 및 제 4 공정에서의 용존 산소량을 감소시킴으로써 약품액 처리를 수행하여 유지될 수 있다.
- <217> 보다 구체적으로, 표면에 (110)면을 가진 실리콘에 5ppm의 오존을 함유하는 순수를 사용하여 5분 동안 세정을 수행하였고(제 1 공정), 950kHz의 주파수에서 진동을 가하면서 탈기 수성 0.5% HF 용액, 탈기 H₂O 및 50ppm의 계면활성제를 함유하는 세정액을 사용하여 5분 동안 세정을 수행하였다(제 2 공정). 그런 후에, 5ppm의 오존을 함유하는 순수를 사용하여 5분 동안 세정을 수행하였고(제 3 공정), 산화막을 제거하기 위해 탈기 수성 0.5% HF 용액 및 탈기 H₂O를 함유하는 세정액을 사용하여 1분 동안 세정을 수행하였고(제 4 공정), 0.1 내지 50ppm의 H를 탈기 H₂O에 첨가하여 제조한 초순수를 사용하여 10분 동안 세정을 수행하였다(제 5 공정).
- <218> 또한, 실리콘을 세정액에 침지시켜 세정을 수행하였다. 도 18은 세정을 한 실리콘 표면의 거칠도와 종래의 RCA의 거칠도를 비교하여 얻은 결과를 나타낸다. 도 18에 도시한 대로, 종래의 기술에 의해 RCA 세정을 했을 때 세정 전에 0.08nm 이었던 중심선 평균 거칠도(Ra)는 0.13nm로 증가하였으나, 본 실시예에서 거칠도는 0.10nm로 감소하였다.
- <219> 본 실시예와 같이 실리콘 산화막이 벗겨질 때 HF와 100ppb 이하의 용존 산소 농도를 가진 H₂O를 함유하는 세정액을 사용하여 실리콘 표면의 거칠도를 감소시킬 수 있는 기술은 실리콘 질화막과 실리콘 산질화막의 하나가 벗겨질 때 사용될 수 있다.
- <220> 또한, 제 2 및 제 4 공정에 사용된 H₂O를 탈기하고 0.1 내지 50ppm의 수소를 첨가함으로써 용존 산소량을 감소하는 효과 이외에 OH 이온 농도를 감소하려고 시도하였다. 도 18은 RCA와 비교한 결과를 나타낸다. 결과적으로, 중심선 평균 거칠도(Ra)는 0.08nm의 초기 웨이퍼로부터 약 0.01nm만큼 증가하였으나, 이 증가는 RCA의 증가보다 작았다. 특히 제 2 공정에서, 일본 특개평 11-057636호에 개시된 세정 방법은 500kHz 이상의 주파수에서 진동을 가하면서 처리를 수행한다면, H₂O는 H와 OH로 분해되고 이것이 OH 농도를 증가시키는 문제가 있다.
- <221> 본 실시예에서, 중심선 평균 거칠도(Ra)는 HF, 100ppb 이하의 용존 산소를 갖도록 탈기되고 그 후에 50ppm의 H를 첨가한 H₂O, 및 50ppm의 계면활성제를 함유하는 세정액을 사용하여 실질적으로 유지될 수 있다. 이것은 OH의 발생을 억제하는 초음파 세정이 제 2 공정에서 수행된다는 것을 의미한다. 용존 산소량은 10ppb 이하가 양호하다.
- <222> 또한, 제 2 및 제 4 공정에서 H₂O를 탈기하고 0.1 내지 50ppm의 수소를 첨가하여 제조한 약품액을 사용하는 것 이외에, 세정 약품액 또는 실리콘 표면 모두가 세정 시작부터 끝까지 공기에 노출되지 않아서 공기로부터 산소가 약품액에 용해되는 것을 막는 장치에서 다섯 공정을 수행하였다. 도 18은 종래의 RCA와 비교한 결과를 나타낸다. 도 18에 도시한 대로, 거칠도는 0.08nm의 초기 웨이퍼로부터 증가하지 않았는데, 즉, 표면 거칠도(Ra)는 유지될 수 있다.

- <223> 상기한 반도체의 처리 또는 세정은 pH 7 이하의 비알칼리 용액만을 사용하여 수행될 수 있다. 이 경우에, OH의 발생을 억제하면서 초음파 세정을 수행할 수 있거나 HCl 첨가함으로써 OH의 발생을 억제할 수 있다.
- <224> [제 8 실시예]
- <225> 본 발명이 트렌치-구조 수직 P-채널 파워 MOS 트랜지스터에 적용되는 실시예를 이하에서 기술할 것이다. 도 19a는 (110)면을 가진 실리콘 기판(도시하지 않음)에, 제 1 전도 형태를 갖는 고농도 드레인층(503), 고농도 드레인층(503)과 동일한 전도 형태를 가지나 불순물 농도가 다른 드레인층(504) 및 제 1 전도 형태와 반대인 제 2 전도 형태를 가지며 P-채널 MOSFET의 채널이 형성되는 바디층(505)을 형성함으로써 얻은 본 실시예의 수직 P-채널 MOSFET 기판을 도시한다. 고농도 드레인층의 전도 형태, 불순물 농도 및 두께는 p-형, $1 \times 10^{20} \text{ cm}^{-3}$ 및 $0.2 \mu\text{m}$ 이고, 드레인층의 전도 형태, 불순물 농도 및 두께는 p-형, $2 \times 10^{17} \text{ cm}^{-3}$ 및 $0.5 \mu\text{m}$ 이고, 바디층의 전도 형태, 불순물 농도 및 두께는 n-형 $5 \times 10^{18} \text{ cm}^{-3}$ 및 $0.2 \mu\text{m}$ 이다. 본 실시예에서, 고농도 드레인층(503)은 약 $1 \times 10^{20} \text{ cm}^{-3}$ 이상의 불순물 농도 및 $20 \mu\text{m}$ 이하의 두께를 갖기 때문에, 형성된 소자의 직렬저항을 감소시킬 수 있고 고속에서 작동하는 소자를 쉽게 형성할 수 있다. 또한, 층(503)이 (110)면방위를 갖는 Si 단결정으로 제조되기 때문에, 확산 상수는 종래의 (100)기판이 사용될 때보다 더 커지게 되어 작동 속도를 증가시킨다. 또한, 상기 Si 층은 약 600°C 이하에서 저온 에피택실 성장에 의해 형성되고 불순물 프로파일은 정밀하게 제어되어, 고성능 소자를 쉽게 제조할 수 있다.
- <226> 본 실시예에 따른 수직 트렌치-구조 P-채널 MOSFET에서, 도 19a에 도시한 기판이 사용되고, 도 19b에 도시한 것과 같이 소스 영역을 형성하기 위해, BF_2^+ 는 바디 영역(505)의 전도 형태와 반대인 전도 형태를 형성하기 위해서 붕소를 도핑하도록 이온 주입되어, 소스 영역(506)을 형성한다. 불순물 농도는 p-형 $1 \times 10^{20} \text{ cm}^{-3}$ 이다. 연속적으로, 층간 유전막을 형성하기 위해, CVD에 의해 $0.5 \mu\text{m}$ 두께 SiO_2 (507)을 증착하였다(도 19c). 이것이 게이트 전극과 게이트 영역의 중첩 커패시턴스를 감소시킬 수 있다.
- <227> 그런 후에, 도 19d에 도시한 대로, 게이트 전극을 형성하기 위해, 장래의 게이트 전극 영역에 트렌치 홀(508)을 형성한다. 다음과 같이 이루어진다. 전체 기판 표면을 포토레지스트로 코팅하고, 포토레지스트를 패터닝하여 레지스트의 트렌치 형성부에 홀을 형성한다. 상기 홀은 소스 영역에 위치된다. 그런 후에 일반적으로 사용되는 RIE법에 의해 트렌치 홀을 형성한다. 트렌치 홀(508)의 저부는 드레인 영역(504) 도달하고, 본 실시예에서 깊이, 넓이 및 길이는 각각 0.8, 0.3 및 $20 \mu\text{m}$ 이다. 이런 값은 소자의 용도에 따라 변할 수 있다. 실리콘(505)의 표면이 (110)면이기 때문에, 실리콘 표면과 90° 를 이루는 트렌치 홀(508)의 내벽 표면은 (110)면이다. 그런 후에, 도 20a에 도시한 대로, 포토레지스트를 제거한 후 게이트 산화막(511)을 형성한다. 400°C 에서 플라즈마를 사용하여 Kr 및 O_2 의 가스 혼합물을 산화시키고, 트렌치 홀의 내벽에 20nm 두께 실리콘 산화막을 형성함으로써 게이트 산화막을 형성한다. 이런 방식으로, 4 내지 5MV/cm의 파괴 전압을 갖는 고품질 산화막(511)이 트렌치 홀(508)의 (110) 내벽에 평탄하게 형성될 수 있다. 게이트 산화막(511)을 갖는 P-채널 MOS 트랜지스터의 게이트와 소스 사이의 파괴 전압은 10V이다.
- <228> 그런 후에, 도 20b에 도시한 대로, 게이트 전극(501)을 형성한다. 예를 들어, 폴리-Si인 게이트 전극 재료로 CVD로 400°C 에서 $0.1 \mu\text{m}$ 로 증착하고 원자 조성물로 약 1%의 Si를 함유하는 Al막을 스퍼터링하여 형성한다. 전체 기판 표면은 포토레지스트로 코팅하고 게이트 전극부를 패터닝하여 게이트 전극(501)을 완성한다.
- <229> 연속적으로, 도 20b에 도시한 대로, 층간 유전막(512)을 형성하기 위해, CVD에 의해 400°C 에서 전체 기판 표면에 SiO_2 를 증착하여, 소스 전극(509)을 형성한다. 상기 소스 전극 형성에서, 먼저 포토레지스트를 도포하고, 소스 전극부(509)를 위한 홀을 패터닝한다. 상기 소스 전극홀은 포토레지스트 홀이 p⁺-형 소스층(506)과 n-형 바디층(505)의 모두 위에 형성되도록 패터닝된다. 이런 방식으로, 상기 소스 전극(509)에 의해 소스 전위와 바디 전위 모두를 얻을 수 있다. 홀을 형성하기 위해서, 포토레지스트 홀 부분에 SiO_2 막(507 및 512)을 에칭하여 접촉홀은 형성하고, 스퍼터링하여 원자 조성으로 약 1%의 Si를 함유하는 Al막을 형성하고 에칭하여 패터닝하여, 소스 전극(509)을 형성한다.
- <230> 상기한 공정에 의해, 본 실시예에 따른 트렌치-구조 수직 P-채널 파워 MOS 전계 효과 트랜지스터가 완성된다. 고농도 드레인층(503)은 $0.2 \mu\text{m}$ 정도로 얇게 제조되고 그 저항도 많이 감소하여 소자의 직렬저항은 매우 낮아서, 고속 트랜지스터를 얻었다.

<231> n^+ -형 실리콘과 p^+ -형 실리콘이 고농도 드레인 영역에 교차하게 배열된 드레인-단락 소자에 의해 동일한 효과를 얻을 수 있다.

산업상 이용 가능성

<232> 본 발명은, 예를 들어, 자동차 전자 부품에 사용되는 P-채널 파워 MIS 전계 효과 트랜지스터에 적용할 수 있다.

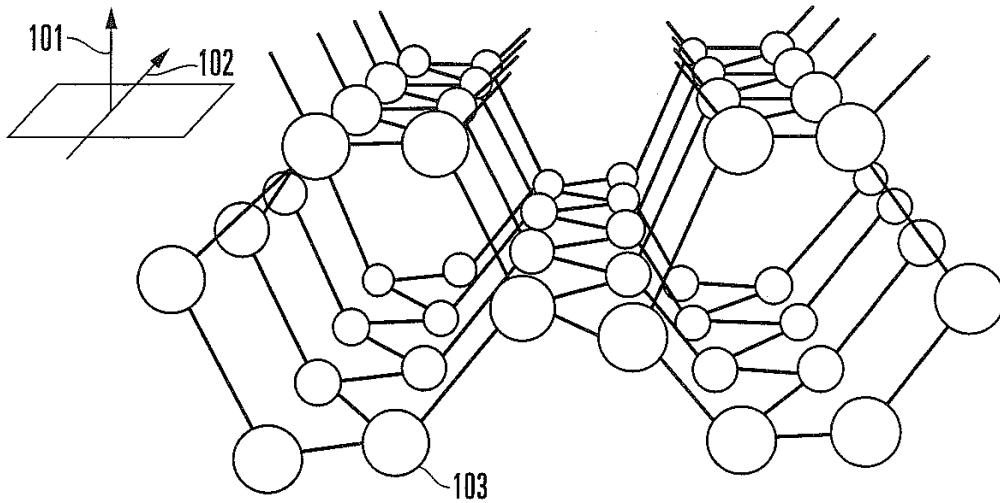
도면의 간단한 설명

- <54> 도 1은 본 발명의 제 1 실시예에서 전계 효과 트랜지스터가 형성된 실리콘 기판(110)의 결정 구조를 나타내는 개요도이다.
- <55> 도 2는 본 발명의 제 1 실시예에서 전계 효과 트랜지스터가 형성될 때 형성 방향에 대한 트랜지스터 이동도의 의존성을 나타내는 그래프이다.
- <56> 도 3a 및 3b는 본 발명의 제 1 실시예의 전계 효과 트랜지스터와 종래의 전계 효과 트랜지스터의 드레인 전류-드레인 전압의 특징을 나타내는 그래프이다.
- <57> 도 4a 및 4b는 본 발명의 P-채널 MOS 트랜지스터와 종래의 P-채널 MOS 트랜지스터의 상호유도-게이트 전압 특성을 나타내는 그래프이다.
- <58> 도 5a 및 5b는 본 발명의 제 1 실시예에 따른 P-채널 파워 MIS 전계 효과 트랜지스터의 제조 방법의 공정을 나타내는 단면도이다.
- <59> 도 6은 본 발명의 제 1 실시예의 전계 효과 트랜지스터 제조 공정에 사용되는 마이크로파-여기 플라즈마 장치의 개략적 구성을 나타내는 단면도이다.
- <60> 도 7은 실리콘 결정면 방위가 변화될 때 형성 시간에 대한 실리콘 산화막 두께의 의존도를 나타내는 그래프이다.
- <61> 도 8은 본 발명의 제 1 실시예의 P-채널 파워 MIS 전계 효과 트랜지스터를 사용하는 스위칭회로의 구성을 나타내는 회로도이다.
- <62> 도 9는 본 발명의 제 1 실시예의 P-채널 파워 MIS 전계 효과 트랜지스터를 사용하는 다른 스위칭회로의 구성을 나타내는 회로도이다.
- <63> 도 10은 실리콘 표면의 중심선 평균 거칠도와 계면 거칠도 스펙트럼 사이의 관계를 조사한 시뮬레이션 결과를 나타내는 그래프이다.
- <64> 도 11a 내지 11j는 본 발명의 제 4 실시예에 따른 P-채널 파워 MIS 전계 효과 트랜지스터의 제조 방법의 공정을 나타내는 단면도이다.
- <65> 도 12는 본 발명의 제 4 실시예에 따른 제조 방법의 효과를 설명하고, 실리콘 표면의 평탄화에 대한 산화 방법의 의존도를 나타내는 그래프이다.
- <66> 도 13은 실리콘 표면의 중심선 평균 거칠도와 전자 이동도 사이의 관계를 설명하기 위한 그래프이다.
- <67> 도 14a 내지 14j는 본 발명의 제 5 실시예에 따른 P-채널 파워 MIS 전계 효과 트랜지스터의 제조 방법의 공정을 나타내는 단면도이다.
- <68> 도 15는 본 발명의 제 5 실시예에 사용되는 (551)면에서 원자 단계를 나타내는 개요도이다.
- <69> 도 16은 본 발명의 제 6 실시예에 따른 제조 방법의 제 2 공정에서 실리콘 산화막의 에치-백 잔류막 양과 중심선 평균 거칠도 사이의 관계를 나타내는 그래프이다.
- <70> 도 17은 본 발명의 제 6 실시예에서 수행된 제 1 공정과 제 2 공정의 반복 횟수와 중심선 평균 거칠도 사이의 관계를 나타내는 그래프이다.
- <71> 도 18은 본 발명의 따른 제 7 실시예에 따른 표면 평탄도 유지 방법의 효과를 나타내는 그래프이다.
- <72> 도 19a 내지 19d는 본 발명의 따른 제 8 실시예에 따른 제조 방법의 공정을 나타내는 단면도이다.
- <73> 도 20a 및 20b는 본 발명의 제 8 실시예에 따른 제조 방법의 공정을 나타내는 단면도이다.

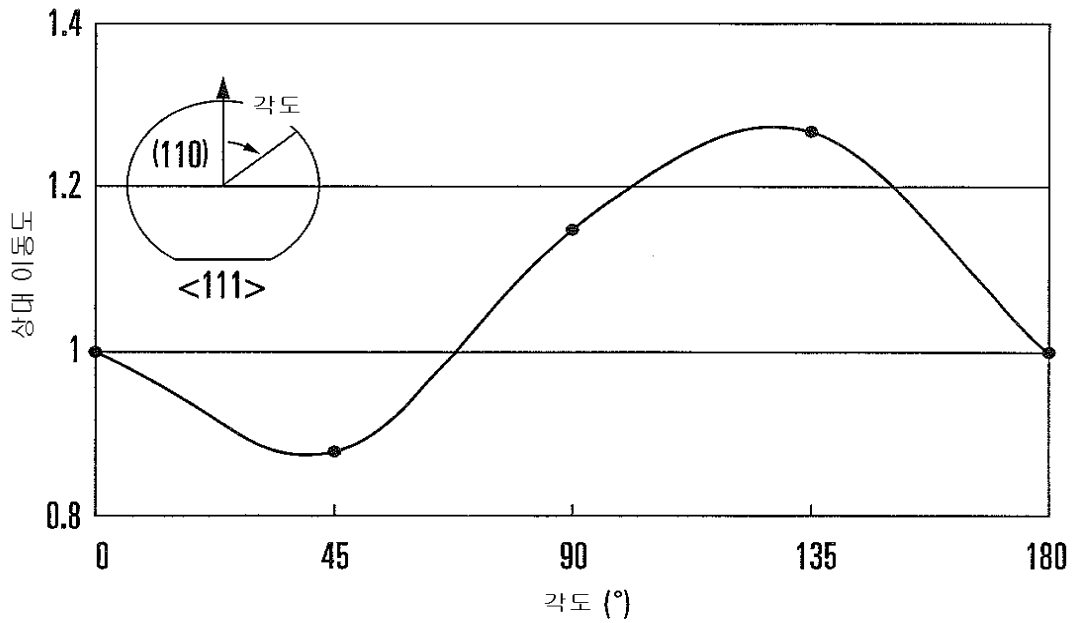
- <74> 도 21은 종래의 스위칭회로의 구성을 나타내는 회로도이다.
- <75> 도 22는 다른 종래의 스위칭회로의 구성을 나타내는 회로도이다.
- <76> 도 23은 종래의 P-채널 MOS 트랜지스터의 특징을 나타내는 그래프이다.

도면

도면1

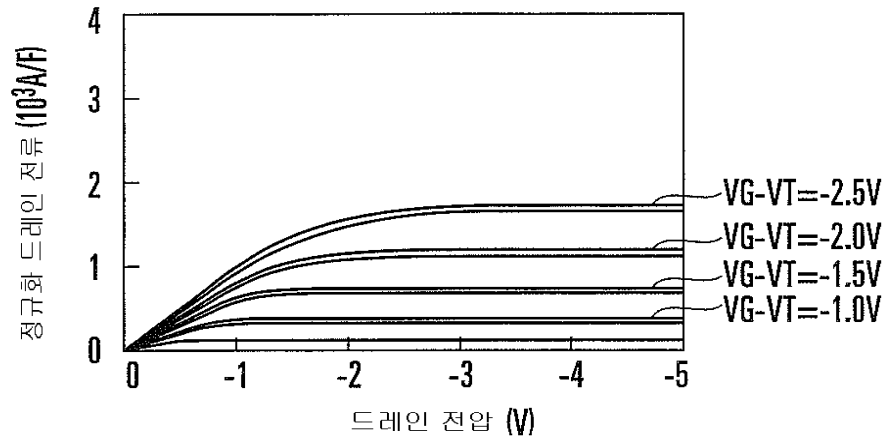


도면2



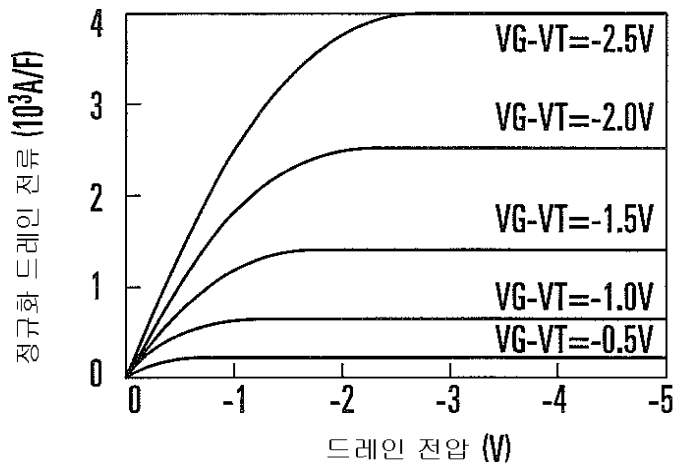
도면3a

(100) 면

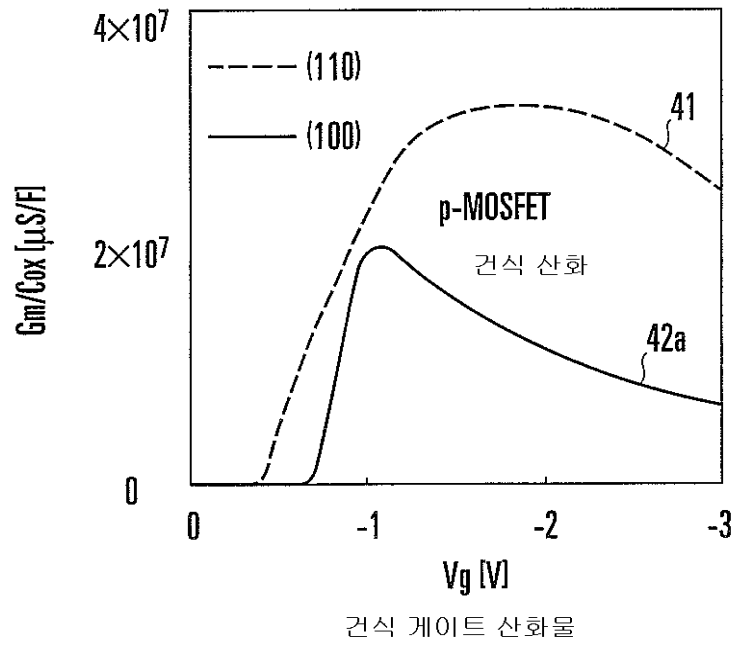


도면3b

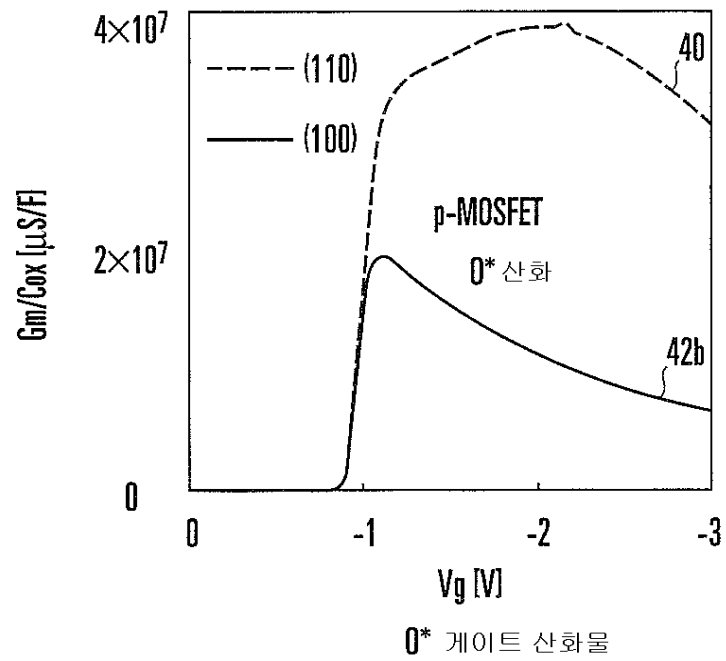
(110) 면



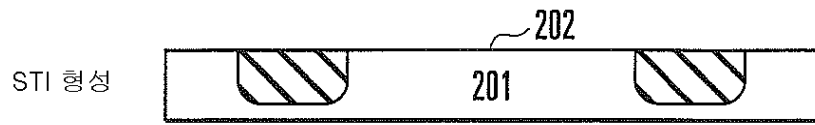
도면4a



도면4b



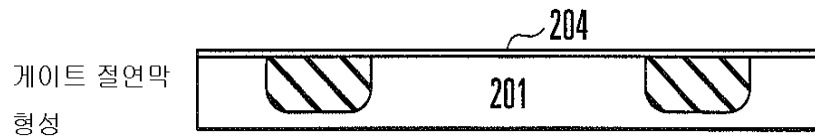
도면5a



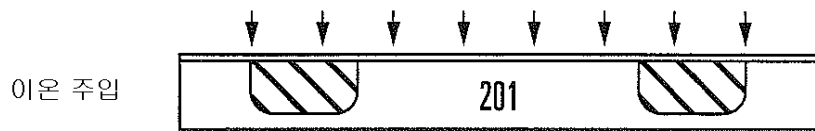
도면5b



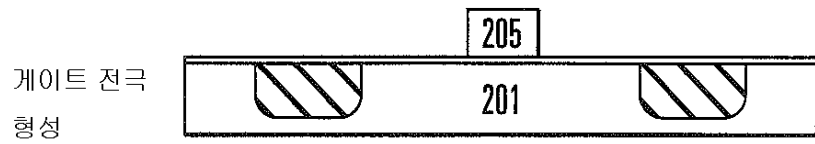
도면5c



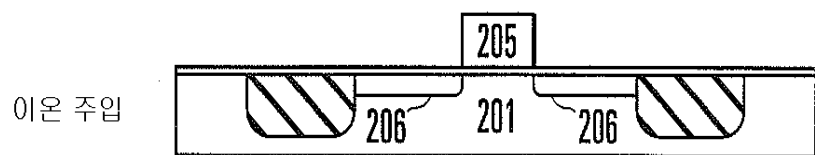
도면5d



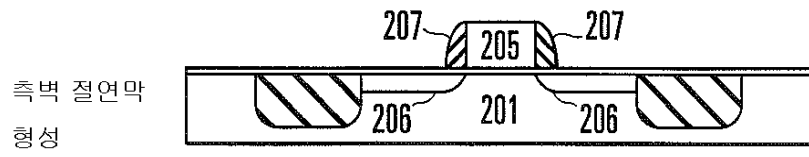
도면5e



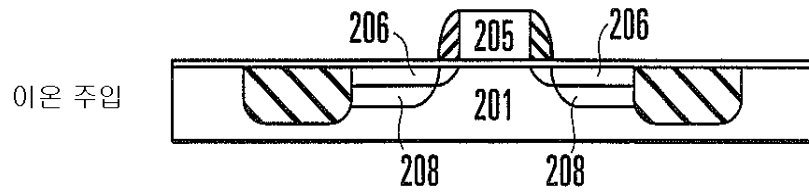
도면5f



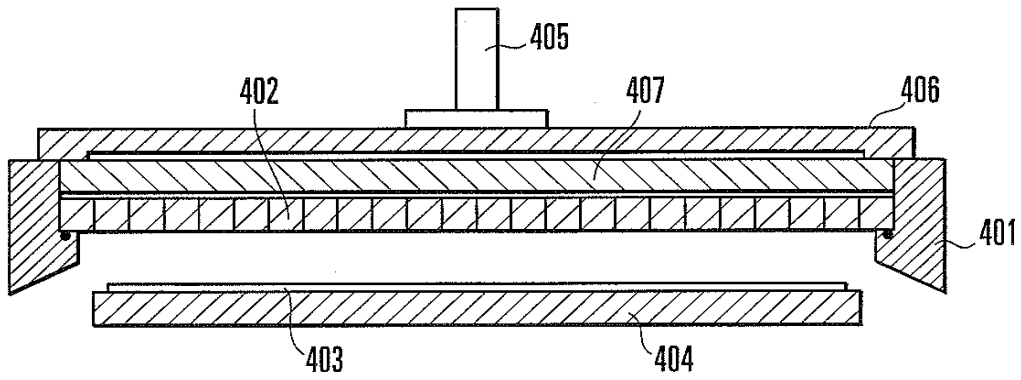
도면5g



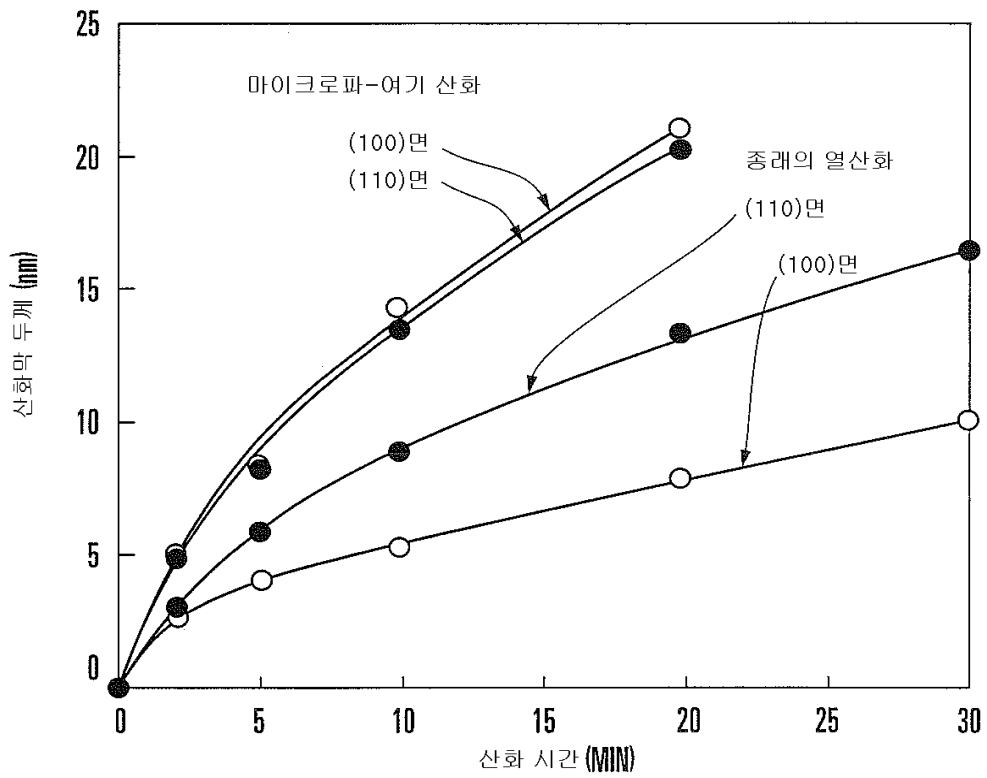
도면5h



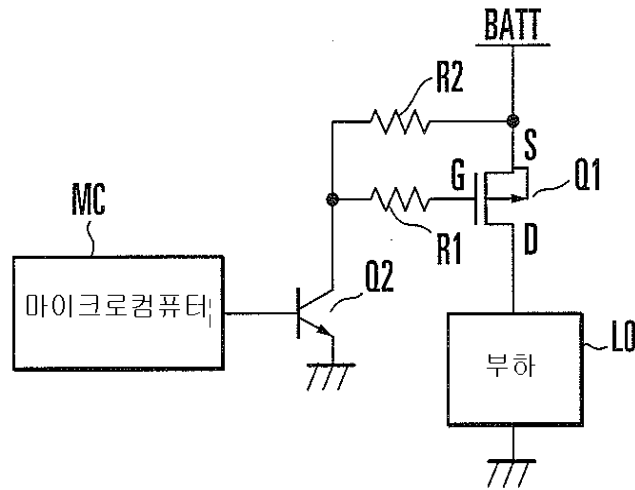
도면6



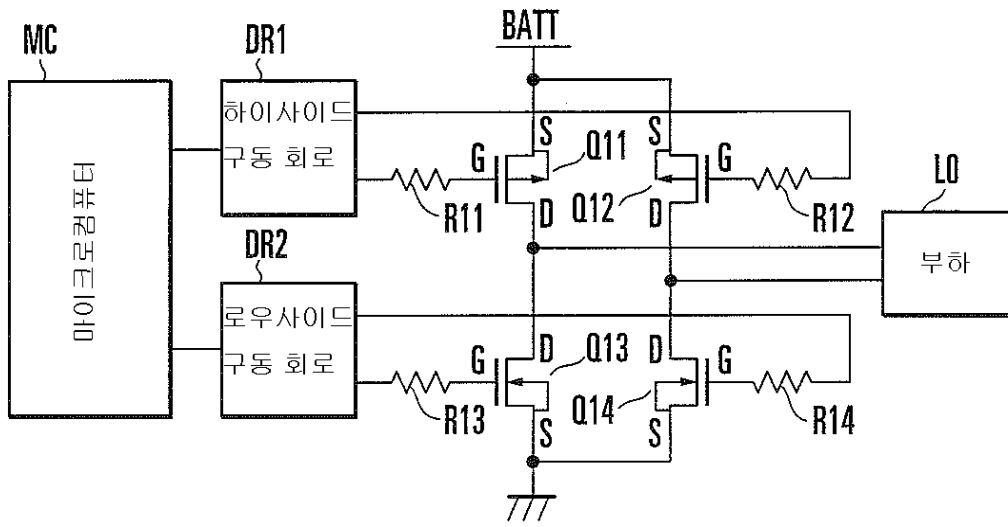
도면7



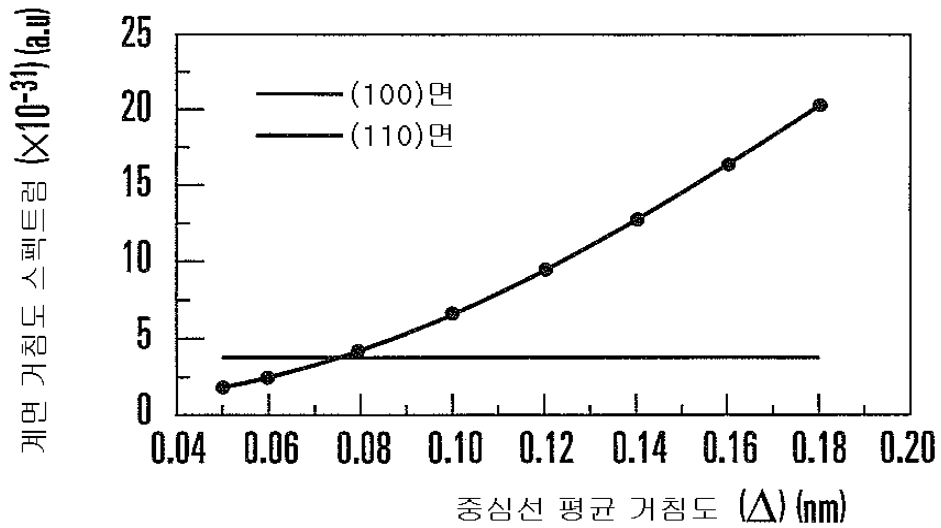
도면8



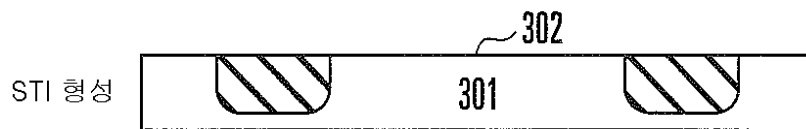
도면9



도면10



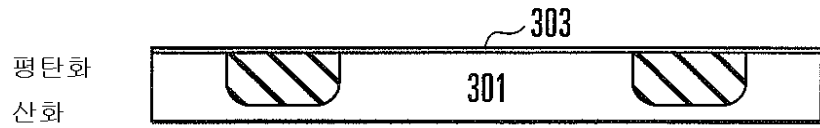
도면11a



도면11b



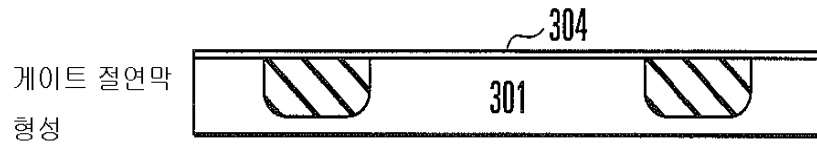
도면11c



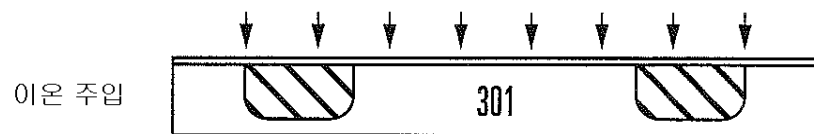
도면11d



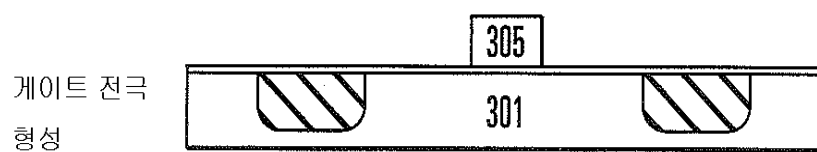
도면11e



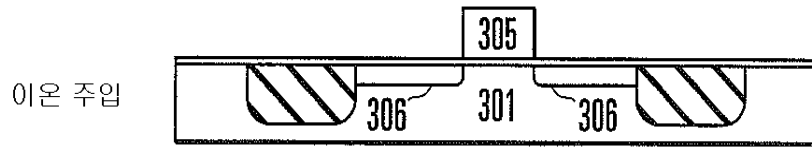
도면11f



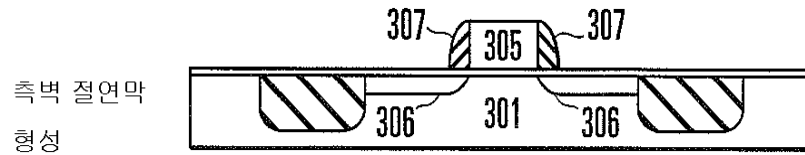
도면11g



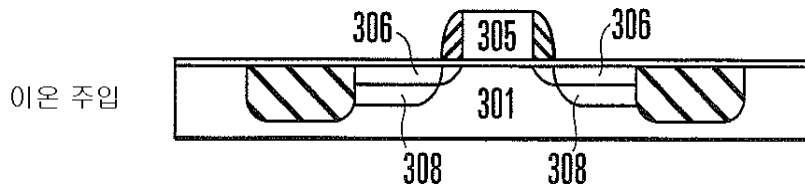
도면11h



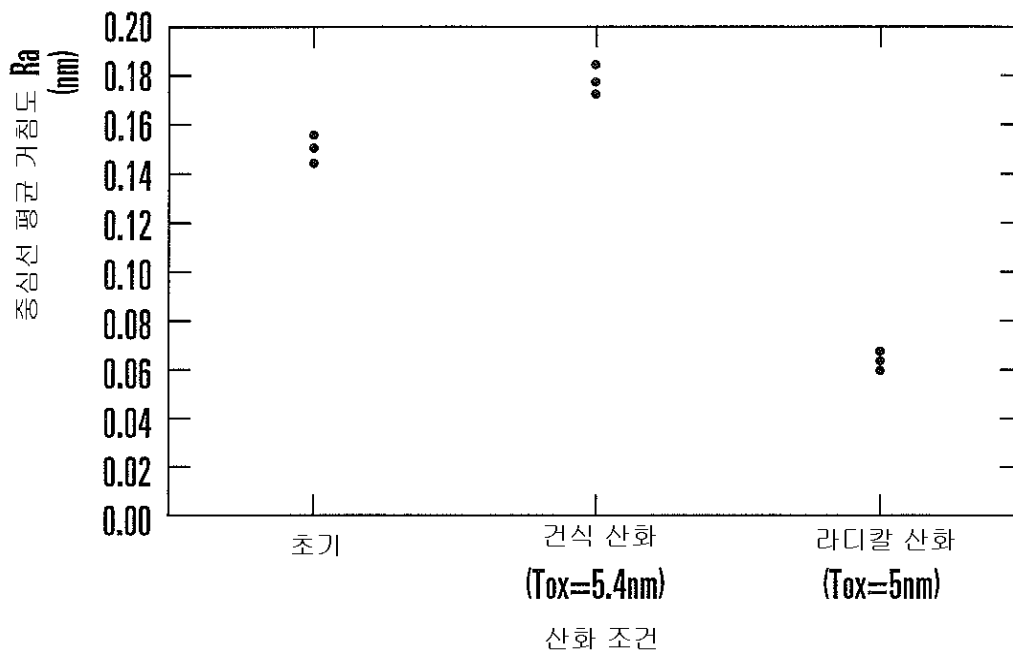
도면11i



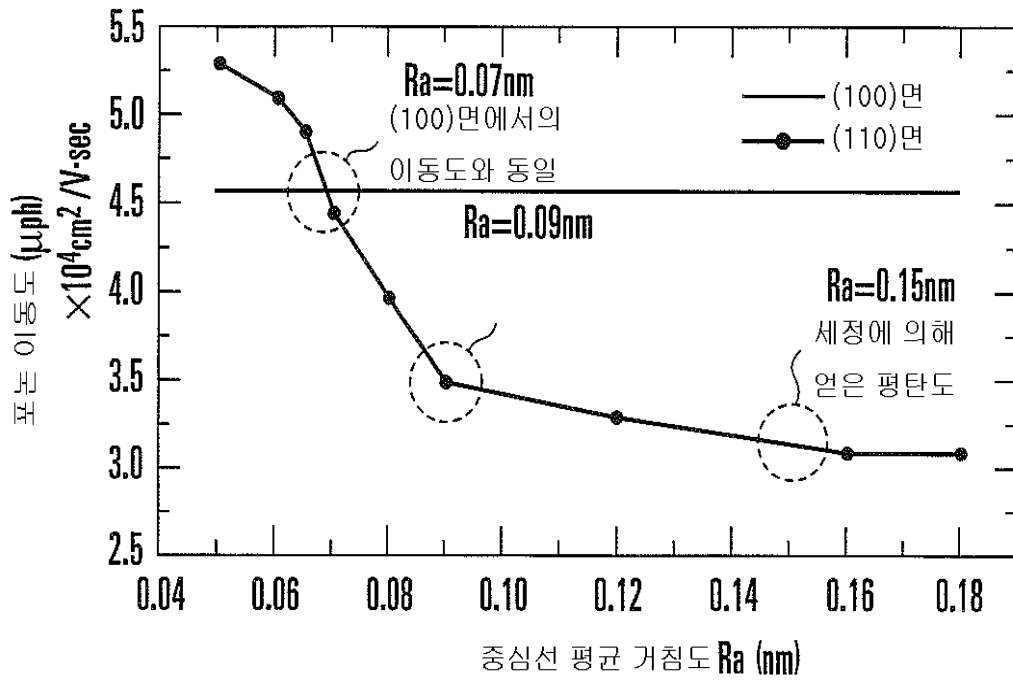
도면11j



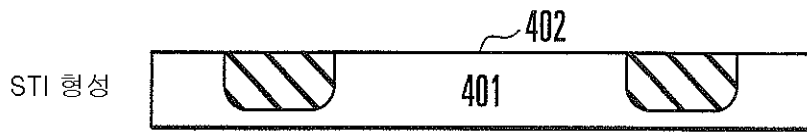
도면12



도면13



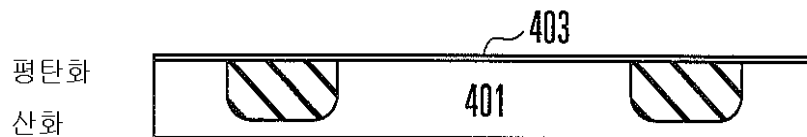
도면14a



도면14b



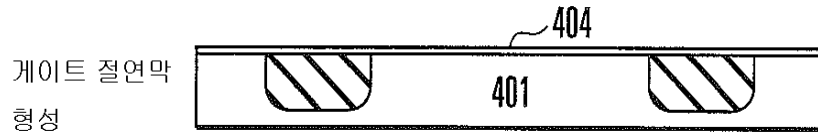
도면14c



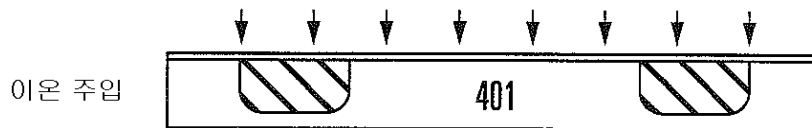
도면14d



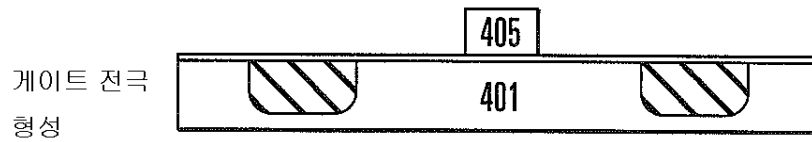
도면14e



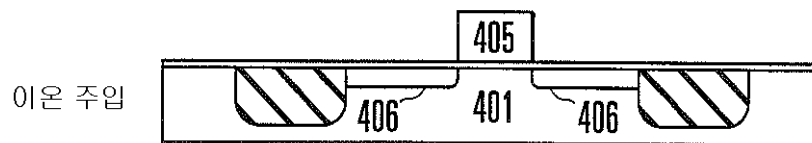
도면14f



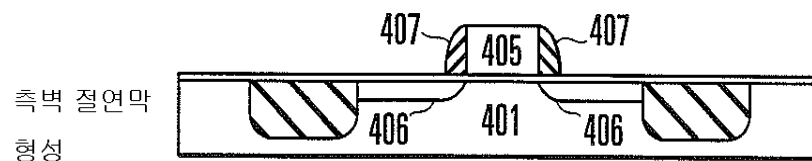
도면14g



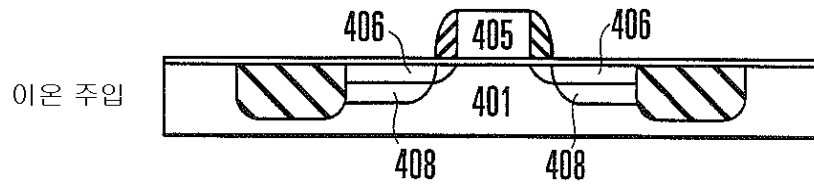
도면14h



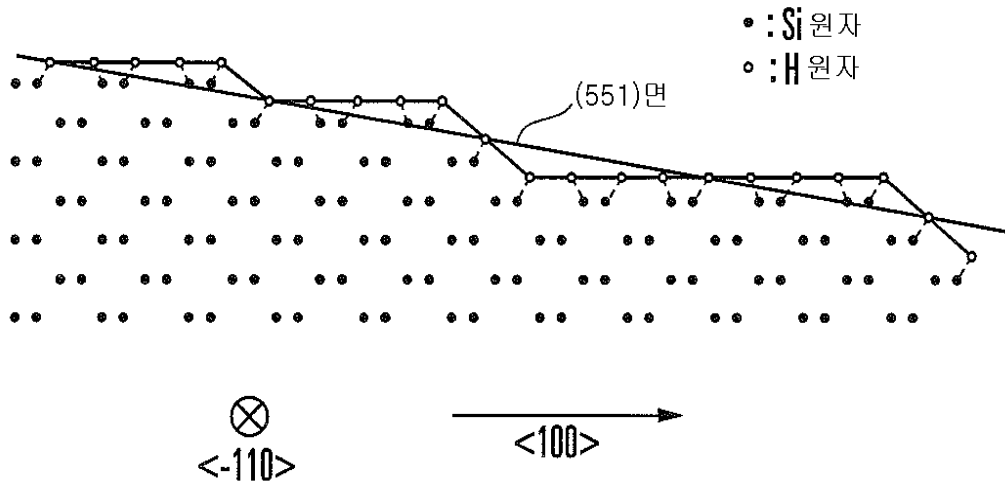
도면14i



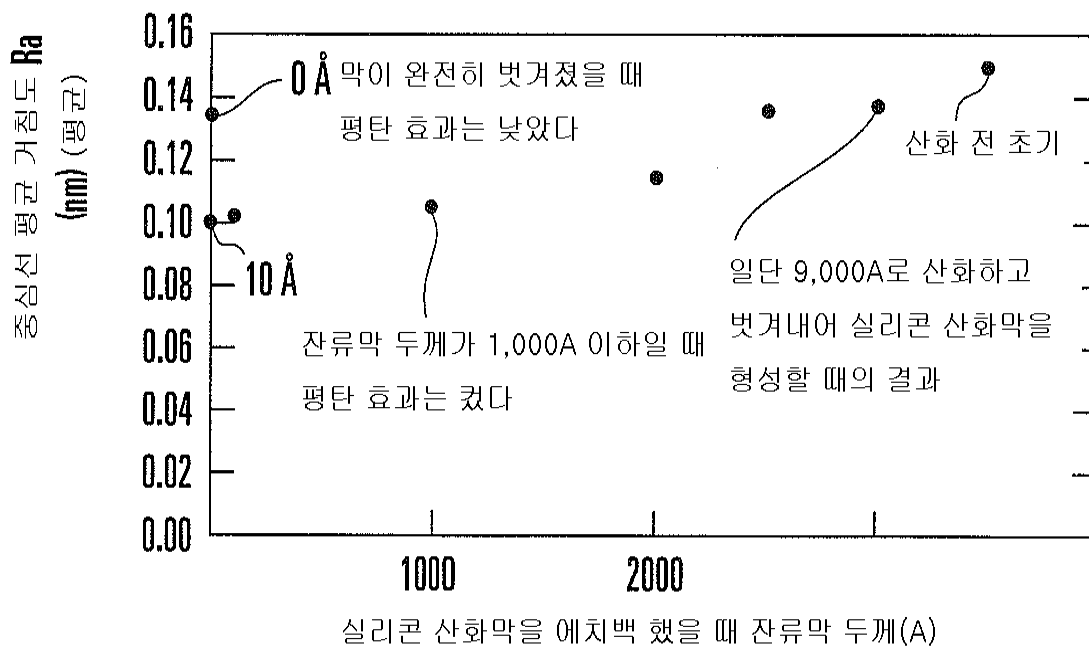
도면14j



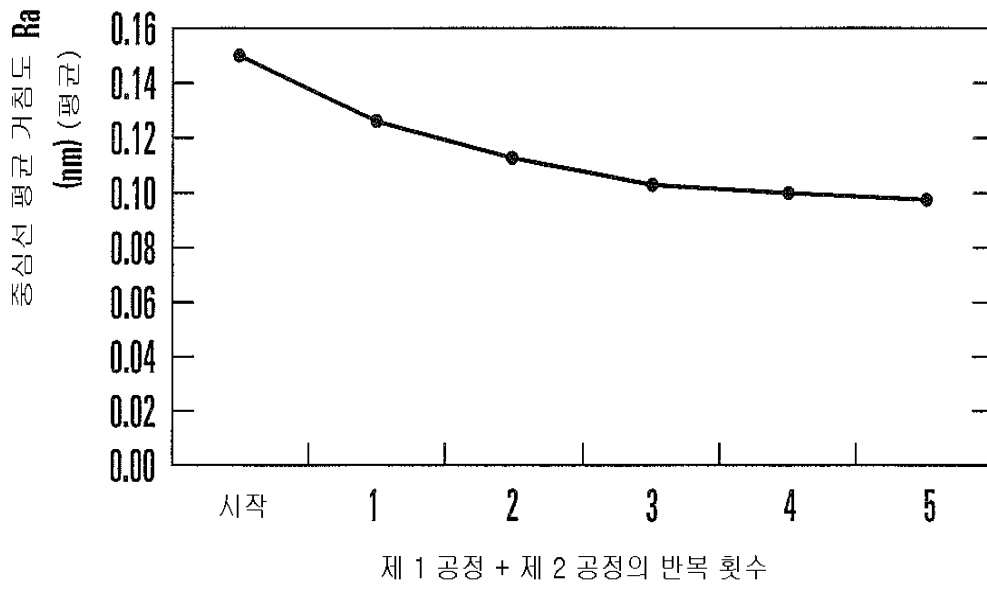
도면15



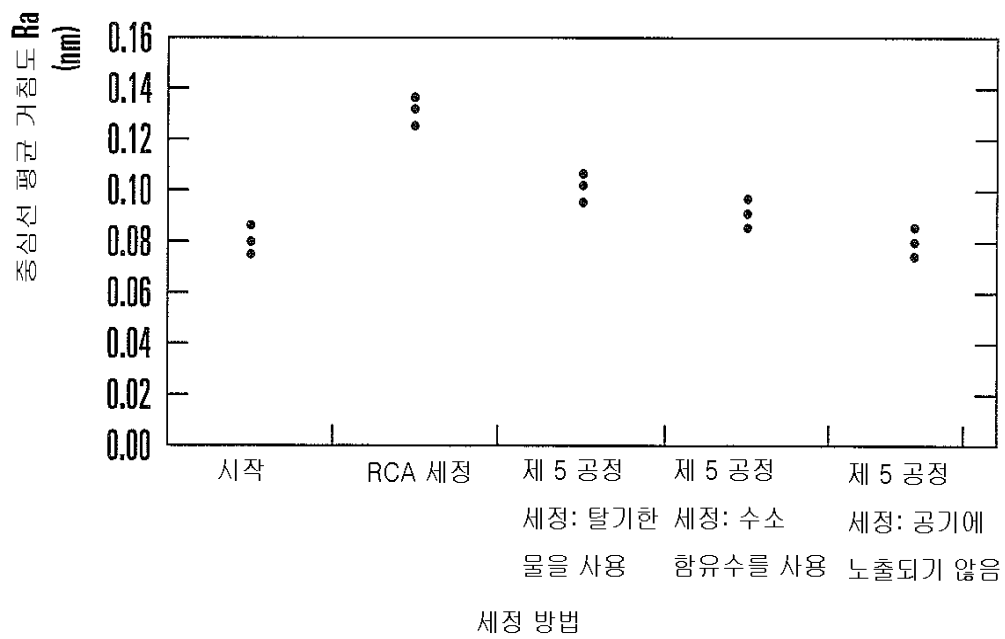
도면16



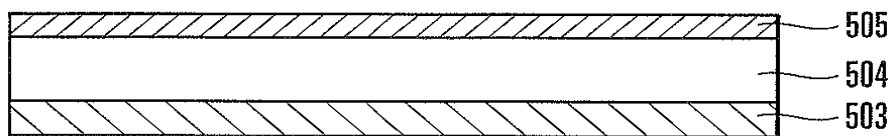
도면17



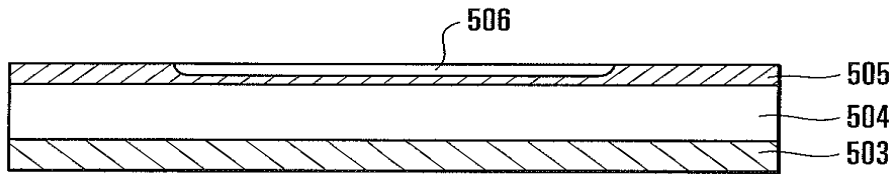
도면18



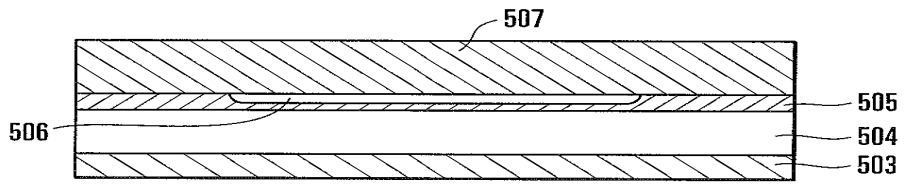
도면19a



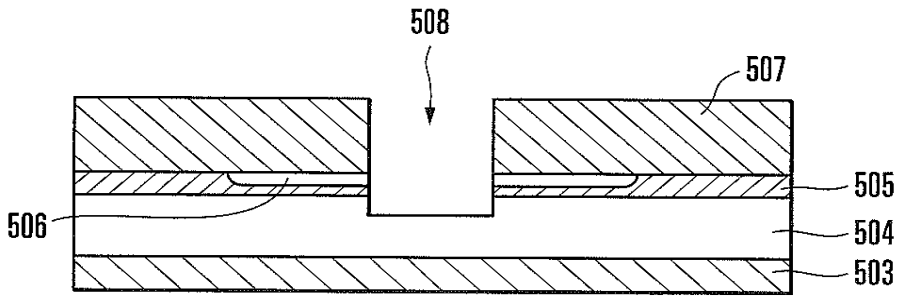
도면19b



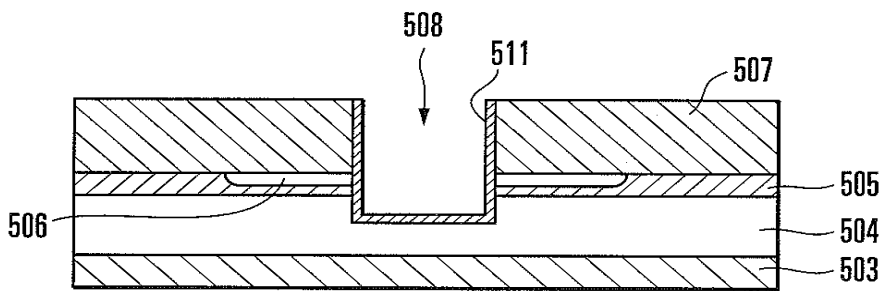
도면19c



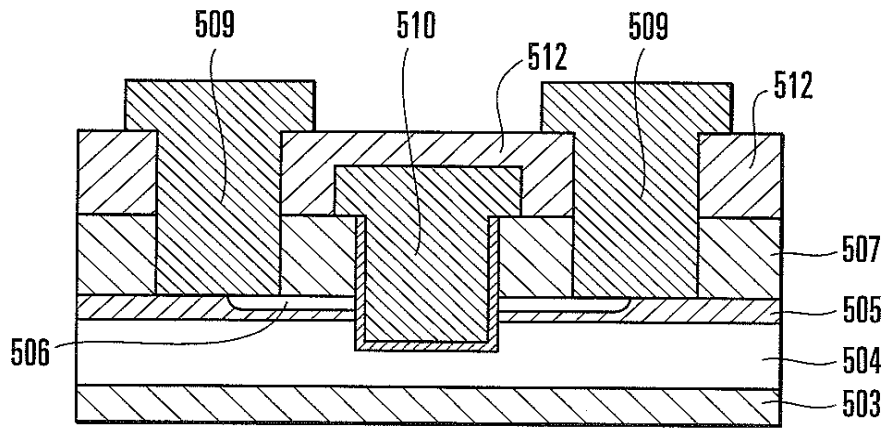
도면19d



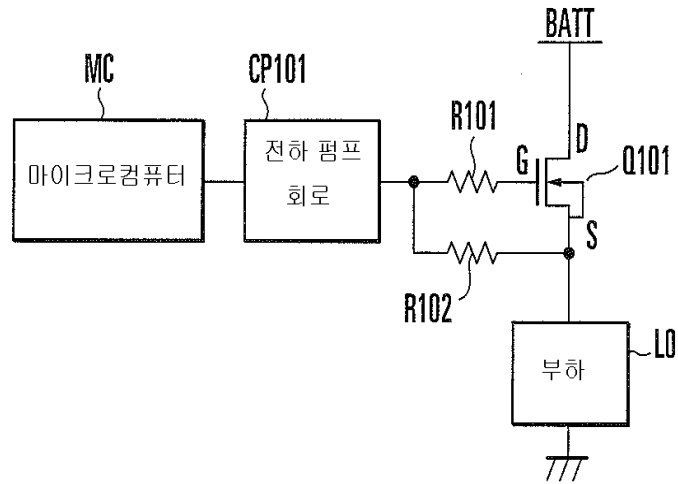
도면20a



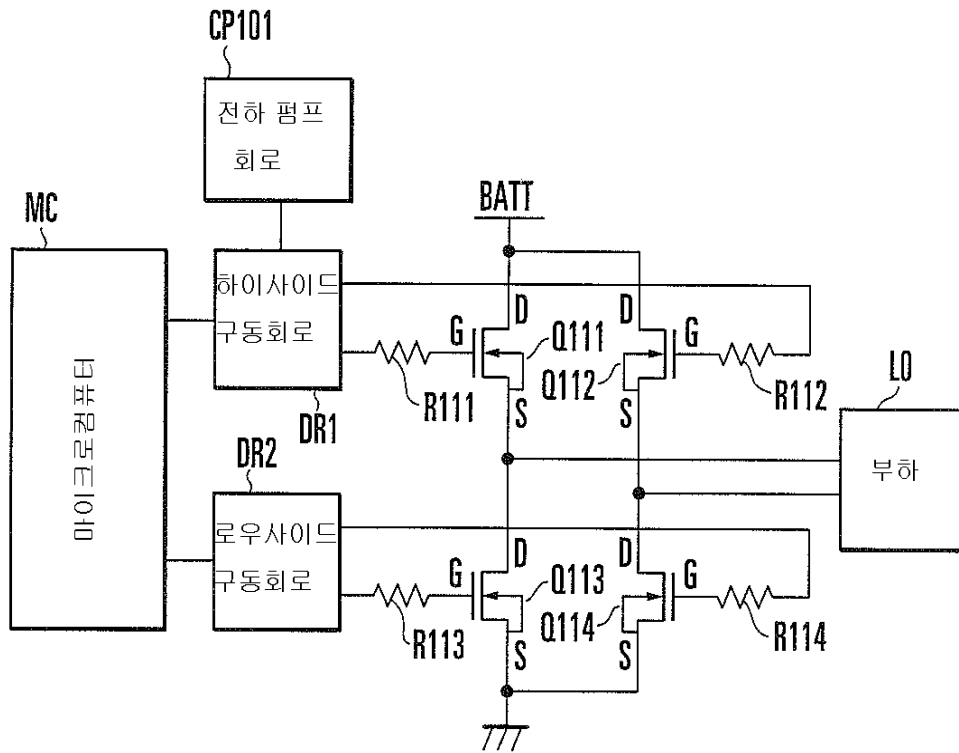
도면20b



도면21



도면22



도면23

