

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 2 月 6 日(06.02.2014)



(10) 国際公開番号
WO 2014/021159 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/070000
- (22) 国際出願日: 2013 年 7 月 24 日(24.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-169593 2012 年 7 月 31 日(31.07.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 小原 将紀(OHARA, Masanori). 野口 登(NOGUCHI, Noboru). 岸 宣孝(KISHI, Noritaka).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

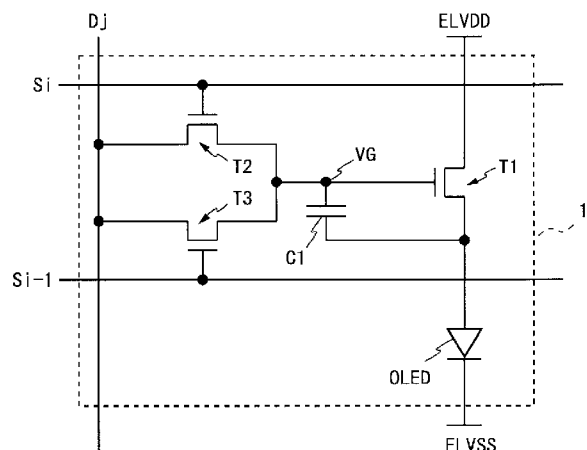
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: PIXEL CIRCUIT, DISPLAY DEVICE PROVIDED THEREWITH, AND DRIVE METHOD OF SAID DISPLAY DEVICE

(54) 発明の名称: 画素回路、それを備える表示装置、およびその表示装置の駆動方法



(57) Abstract: Provided is a pixel circuit which can maintain display quality if the mobility of the input transistor is low or even if the select period of the scan lines cannot be sufficiently ensured. This pixel circuit (11) is provided with an organic EL element (OLED), transistors (T1-T3), and a capacitor (C1). The drain terminal of the drive transistor (T1) is connected to a high-level power source (ELVDD), and the source terminal thereof is connected to the anode terminal of the organic EL element (OLED). The gate terminal of the first input transistor (T2) is connected to a scan line (Si), and said first input transistor (T2) is provided between a data line (Dj) and the gate terminal of the drive transistor (T1). The gate terminal of the second input transistor (T3) is connected to a scan line (Si-1) in the (i-1)th row, and said second input transistor (T3) is provided between the data line (Dj) and the gate terminal of the drive transistor (T1). The capacitor is provided between the gate terminal and the source terminal of the drive transistor (T1).

(57) 要約:

[続葉有]

WO 2014/021159 A1



入力トランジスタの移動度が低い場合または各走査線の選択期間を十分に確保できない場合であっても表示品位を維持することができる画素回路を提供する。画素回路(11)は、有機EL素子(OLED)、トランジスタ(T1~T3)、およびコンデンサ(C1)を備える。駆動トランジスタ(T1)は、ハイレベル電源線(ELVDD)にドレイン端子が接続され、有機EL素子(OLED)のアノード端子にソース端子が接続される。第1入力トランジスタ(T2)は、走査線(S_i)にゲート端子が接続され、データ線(D_j)と駆動トランジスタ(T1)のゲート端子との間に設けられる。第2入力トランジスタ(T3)は、i-1行目の走査線(S_{i-1})にゲート端子が接続され、データ線(D_j)と駆動トランジスタ(T1)のゲート端子との間に設けられる。コンデンサ(C1)は、駆動トランジスタ(T1)のゲート端子とソース端子との間に設けられる。

明 細 書

発明の名称：

画素回路、それを備える表示装置、およびその表示装置の駆動方法

技術分野

[0001] 本発明は画素回路に関し、より詳細には、有機EL (Electro Luminescence) 素子などの電気光学素子を含む画素回路、それを備える表示装置、およびその表示装置の駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機EL表示装置が知られている。有機EL表示装置には、電流で駆動される自発光型の電気光学素子である有機EL素子および駆動トランジスタなどを含む複数の画素回路がマトリクス状に配置されている。

[0003] 図17は、従来の画素回路91の構成を示す回路図である。画素回路91は、例えば特許文献1などに開示されている。以下では、図17に示す画素回路91のことを便宜上「参考従来例」という場合がある。画素回路91は、データ線 D_j (j は自然数)と走査線 S_i (i は自然数)との交差点に対応して配置され、1個の有機EL素子OLED、2個のトランジスタ T_1 、 T_2 、および1個のコンデンサ C_1 を備えている。トランジスタ T_1 は駆動トランジスタであり、トランジスタ T_2 は入力トランジスタである。トランジスタ $T_1 \sim T_4$ は n チャネル型の薄膜トランジスタ (Thin Film Transistor: 以下「TFT」と略記する。) である。

[0004] トランジスタ T_1 は、有機EL素子OLEDと直列に設けられ、ハイレベル電源電圧 $ELVDD$ を供給する電源線 (以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号 $ELVDD$ で表す。) にドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。トランジスタ T_2 は、走査線 S_i にゲート端子が接続され、データ線 D_j とトランジスタ T_1 のゲート端子との間に設けられている。コンデンサ

C 1 は、トランジスタ T 1 のゲート端子およびソース端子にそれぞれ一端および他端が接続されている。有機 E L 素子 O L E D のカソード端子は、ローレベル電源電圧 E L V S S を供給する電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号 E L V S S で表す。）に接続されている。以下、参考従来例に関する説明では、トランジスタ T 1 のゲート端子と、コンデンサの一端と、トランジスタ T 1 のゲート端子側に位置するトランジスタ T 2 の導通端子との接続点のことを便宜上「ゲートノード V G」という。

[0005] 図 1 8 は、図 1 7 に示す画素回路 9 1 の動作を説明するためのタイミングチャートである。時刻 t 1 以前では、トランジスタ T 2 がオフ状態になっており、ゲートノード V G の電位は初期レベル（例えば、前フレーム期間での書き込みに応じたレベル）を維持している。時刻 t 1 になると、走査線 S i が選択されてトランジスタ T 2 がターンオンし、データ線 D j およびトランジスタ T 2 を介して、i 行目の画素回路 9 1 が形成する画素（サブ画素）の輝度に対応するデータ電圧（以下「i 行目のデータ電圧」といい、符号 V d a t a i で表す。）がゲートノード V G に供給される。その後、時刻 t 2 までの期間に、ゲートノード V G の電位がデータ電圧 V d a t a i に応じて変化する。このとき、コンデンサ C 1 は、ゲートノード V G の電位とトランジスタ T 1 のソース電位との差であるゲートーソース間電圧 V g s に充電される。時刻 t 2 になると、トランジスタ T 2 がターンオフし、コンデンサ C 1 が保持するゲートーソース間電圧 V g s が確定する。トランジスタ T 1 は、コンデンサ C 1 が保持するゲートーソース間電圧 V g s に応じて有機 E L 素子 O L E D に駆動電流を供給する。その結果、駆動電流に応じた輝度で有機 E L 素子 O L E D が発光する。その他、本願発明に関連した画素回路および有機 E L 表示装置が特許文献 2, 3 に開示されている。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開 2 0 0 3 - 2 7 1 0 9 5 号公報

特許文献2：日本国特開2005-31630号公報

特許文献3：日本国特許4637070号公報

発明の概要

発明が解決しようとする課題

[0007] 図19は、HD (High Definition: 1280×720)、FHD (Full High Definition: 1920×1080)、および2K4K (4096×2160)のそれぞれの解像度に対応する1水平期間(1H期間)の長さを示す図である。なお、2K4Kは、4K2Kまたは4Kなどとも呼ばれる。60Hz駆動時(リフレッシュレートが60Hzとなるように表示装置を駆動する場合すなわち駆動周波数が60Hzである場合を意味する。)のFHDを基準とすると、図19に示すように、60Hz駆動時の2K4Kでは1H期間が約1/2になり、120Hz駆動時(リフレッシュレートが120Hzとなるように表示装置を駆動する場合すなわち駆動周波数が120Hzである場合を意味する。)の2K4Kでは1H期間が約1/4になる。このように、解像度および駆動周波数のそれぞれが高くなるほど1H期間が短くなる、すなわち、各走査線の選択期間が短くなる。各走査線の選択期間を十分に確保できない場合、各走査線の選択期間においてデータ電圧の書き込みを十分に行うことができない。このため、図18に示すように、ゲートノードVGの電位を目標レベルに到達させることが困難になる。ゲートノードVGの電位が目標レベルに到達しない場合、すなわちコンデンサC1を所望の電圧に充電できない。その結果、表示品位が低下する。

[0008] ところで、低温ポリシリコンTF Tの一種であるCGS (Continuous Grain silicon: 連続粒界結晶シリコン) -TF Tの一般的な移動度は約100 cm²/V・sである。これに対して、アモルファスシリコンTF T (アモルファスシリコンよりチャネル層が形成されたTF T)の一般的な移動度は約0.5 cm²/V・sであり、微結晶シリコンTF T (微結晶シリコンTF Tよりチャネル層が形成されたTF T)の一般的な移動度は約2 cm²/V・sであり、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、および酸素

(O) を主成分とする酸化物半導体である InGaZnO_x (以下「IGZO」という。) によりチャネル層が形成された IGZO-TFT の一般的な移動度は約 $10 \text{ cm}^2/\text{V} \cdot \text{s}$ である。上述のトランジスタ T2 として、CGS-TFT に比べて大幅に移動度が低いアモルファスシリコン TFT、微結晶シリコン TFT、または IGZO-TFT などを使用する場合、各走査線の選択期間においてトランジスタ T2 がオン状態を維持している間にゲートノード VG に十分な電荷を供給できない。すなわち、各走査線の選択期間においてデータ電圧の書き込みを十分に行うことができない。このため、各走査線の選択期間を十分に確保できない場合と同様に、ゲートノード VG の電位を目標レベルに到達させることが困難になる。また、トランジスタ T2 としてアモルファスシリコン TFT、微結晶シリコン TFT、または IGZO-TFT などを使用し且つ各走査線の選択期間を十分に確保できない場合には、ゲートノード VG の電位を目標レベルに到達させることがさらに困難になる。

[0009] そこで、本発明は、入力トランジスタの移動度が低い場合または各走査線の選択期間を十分に確保できない場合であっても、表示品位を維持することができる画素回路、それを備える表示装置、およびその表示装置の駆動方法を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第 1 の局面は、アクティブマトリクス型の表示装置内に、複数のデータ線のいずれかと順次選択される複数の走査線のいずれかとに対応して配置された画素回路であって、

電流で駆動される電気光学素子と、

前記電気光学素子と直列に設けられ、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタと、

前記駆動トランジスタを制御するための電圧を保持する駆動容量素子と、

対応する走査線に制御端子が接続され、対応するデータ線と前記駆動容量素子との間に設けられた第 1 入力トランジスタと、

前記対応する走査線に先行する走査線に制御端子が接続され、前記対応するデータ線と前記駆動容量素子との間に設けられた第2入力トランジスタとを備えることを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、

前記第2入力トランジスタの前記制御端子は、前記画素回路に対応する走査線の直前の走査線に接続されていることを特徴とする。

[0012] 本発明の第3の局面は、本発明の第1の局面において、

前記対応する走査線に先行し且つ前記第2入力トランジスタの前記制御端子に接続された走査線と異なる走査線に制御端子が接続され、前記対応するデータ線と前記駆動容量素子との間に設けられた第3入力トランジスタをさらに備えることを特徴とする。

[0013] 本発明の第4の局面は、本発明の第1の局面において、

前記電気光学素子と直列に設けられ、前記第1入力トランジスタの前記制御端子および前記第2入力トランジスタの前記制御端子のいずれかに接続された走査線が選択されているときにオフ状態になる発光制御トランジスタをさらに備えることを特徴とする。

[0014] 本発明の第5の局面は、本発明の第1の局面において、

前記第1入力トランジスタは、酸化物半導体、微結晶シリコン、またはアモルファスシリコンによりチャネル層が形成された薄膜トランジスタであることを特徴とする。

[0015] 本発明の第6の局面は、アクティブマトリクス型の表示装置であって、

本発明の第1の局面から第5の局面までのいずれかに係る画素回路と、

前記複数の走査線を順次選択する走査駆動部とを備えることを特徴とする

。

[0016] 本発明の第7の局面は、複数のデータ線と、複数の走査線と、前記複数の

データ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部を備え、前記画素回路は、電流で駆動される電気光学素子と、前記電気光学素子と直列に設けられ、前記電気光学素子に供給すべき駆動電流

を制御する駆動トランジスタと、前記駆動トランジスタを制御するための電圧を保持する駆動容量素子とを含む、アクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査線を順次選択する走査ステップと、

前記画素回路に対応する走査線を選択に応じて、前記画素回路に対応するデータ線と前記駆動容量素子とを電氣的に互いに接続する第1入力ステップと、

前記画素回路に対応する走査線に先行する走査線を選択に応じて、前記画素回路に対応するデータ線と前記駆動容量素子とを電氣的に互いに接続する第2入力ステップとを備えることを特徴とする。

発明の効果

[0017] 本発明の第1の局面によれば、第1入力トランジスタを介してデータ線から駆動容量素子に電圧が供給される前に、第2入力トランジスタを介してデータ線から駆動容量素子に電圧が供給される、すなわち、画素回路に対応する走査線に先行する走査線を選択時に予備充電が行われる。このため、第1入力トランジスタの移動度が比較的低い場合または各走査線を選択期間を十分に確保できない場合であっても、駆動容量素子が所望の電圧に充電される。これにより、本発明の第1の局面に係る画素回路を備える表示装置において、表示品位を維持することができる。

[0018] 本発明の第2の局面によれば、画素回路に対応する走査線の直前の走査線を選択時に予備充電が行われる。一般的な画像では隣接画素が互いに類似しているため、データ線の延伸方向に隣接する2つの画素回路では、データ線を介して駆動容量素子に供給すべき電圧が互いに類似している。このため、画素回路に対応する走査線の直前の走査線を選択時に予備充電を行うことにより、駆動容量素子に充電される電圧が所望の電圧により近づく。これにより、表示品位をより確実に維持することができる。

[0019] 本発明の第3の局面によれば、第3入力トランジスタを使用してさらなる予備充電が行われる。このため、駆動容量素子に充電される電圧が所望の電

圧により近づく。これにより、表示品位をより確実に維持することができる。

[0020] 本発明の第4の局面によれば、発光制御トランジスタが設けられることにより、画素回路において予備充電を行うための期間（以下、発明の効果の説明において「予備充電期間」という。）と、画素回路が形成する画素の輝度に対応するデータ電圧を書き込むべき期間（以下、発明の効果の説明において「本充電期間」という。）とにおいて、電気光学素子への駆動電流の供給が停止する。このため、予備充電期間および本充電期間で生じ得る電気光学素子の異常発光を抑制することができる。

[0021] 本発明の第5の局面によれば、酸化物TFT、微結晶シリコンTFT、またはアモルファスシリコンTFTを第1入力トランジスタに使用して、本発明の第1の局面と同様の効果を奏することができる。

[0022] 本発明の第6の局面によれば、表示装置において、本発明の第1の局面と同様の効果を奏することができる。

[0023] 本発明の第7の局面によれば、表示装置の駆動方法において、本発明の第1の局面と同様の効果を奏することができる。

図面の簡単な説明

[0024] [図1]本発明の第1の実施形態に係る画素回路を備える有機EL表示装置の構成を示すブロック図である。

[図2]図1に示す画素回路の構成を示す回路図である。

[図3]図2に示す画素回路の動作を説明するためのタイミングチャートである。

[図4]参考従来例と上記第1の実施形態とを比較するためのタイミングチャート（A，B）である。（A）は、上記参考従来例の動作を説明するためのタイミングチャートである。（B）は、上記第1の実施形態における予備充電の動作を説明するためのタイミングチャートである。

[図5]上記参考従来例と上記第1の実施形態とを比較したシミュレーション結果を示す図である。

[図6]本発明の第2の実施形態に係る画素回路を備える有機EL表示装置の構成を示すブロック図である。

[図7]図6に示す画素回路の構成を示す回路図である。

[図8]図7に示す画素回路の動作を説明するためのタイミングチャートである。

[図9]上記第2の実施形態の変形例に係る画素回路の構成を示す回路図である。

[図10]本発明の第3の実施形態に係る画素回路の構成を示す回路図である。

[図11]図10に示す画素回路の動作を説明するためのタイミングチャートである。

[図12]上記参考従来例と上記第3の実施形態とを比較するためのタイミングチャート(A, B)である。(A)は、上記参考従来例の動作を説明するためのタイミングチャートである。(B)は、上記第3の実施形態における予備充電の動作を説明するためのタイミングチャートである。

[図13]上記参考従来例と上記第1の実施形態と上記第3の実施形態とを比較したシミュレーション結果を示す図である。

[図14]上記参考従来例において予備充電を行う態様の動作を説明するための図である。

[図15]本発明の第4の実施形態に係る画素回路の構成を示す回路図である。

[図16]図15に示す画素回路の動作を説明するための図である。

[図17]上記参考従来例に係る画素回路の構成を示す回路図である。

[図18]図17に示す画素回路の動作を説明するためのタイミングチャートである。

[図19]各解像度に対応する1H期間の長さを示す図である。

発明を実施するための形態

[0025] 以下、添付図面を参照しながら、本発明の第1～第4の実施形態について説明する。以下では、 m 、 n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であるとする。なお、各実施形態に係る画素回路に含

まれるトランジスタは電界効果トランジスタであり、典型的にはTFTである。画素回路に含まれるトランジスタとしては、アモルファスシリコンTFT、微結晶シリコンTFT、またはIGZO-TFTに代表される酸化物TFTなどが挙げられる。また画素回路に含まれるトランジスタは、CGS-TFTなどであっても良い。

[0026] <1. 第1の実施形態>

<1. 1 全体構成>

図1は、本発明の第1の実施形態に係る画素回路11を備えるアクティブマトリクス型の有機EL表示装置1の構成を示すブロック図である。有機EL表示装置1は、表示部10、表示制御回路20、ソースドライバ30、および走査ドライバ40を備えている。本実施形態では、ソースドライバ30がデータ駆動部に相当し、走査ドライバ40が走査駆動部に相当する。ソースドライバ30および走査ドライバ40の一方または双方は、表示部10と一体的に形成されていても良い。

[0027] 表示部10には、m本のデータ線D1～Dmおよびこれらに直交するn本の走査線S1～Snが配設されている。以下では、データ線の延伸方向を列方向とし、走査線の延伸方向を行方向とする。また、列方向に沿った構成要素を「列」といい、行方向に沿った構成要素を「行」という場合がある。表示部10にはさらに、m本のデータ線D1～Dmとn本の走査線S1～Snに対応してm×n個の画素回路11が設けられている。各画素回路11は、赤色のサブ画素（以下「Rサブ画素」という。）、緑色のサブ画素（以下「Gサブ画素」という。）、および青色のサブ画素（以下「Bサブ画素」という。）のいずれかを形成し、行方向に並んだ画素回路11は、例えば走査ドライバ40側から順にRサブ画素、Gサブ画素、およびBサブ画素を形成する。なお、サブ画素の種類は、赤色、緑色、および青色に限定されるものではなく、シアン、マゼンタ、および黄色などでも良い。また、表示部10には、図示しないハイレベル電源線ELVDDおよびローレベル電源線ELVSSが配設されている。ハイレベル電源電圧ELVDDおよびローレベル電

源電圧 E_{LVS} のそれぞれは固定電圧であり、ローレベル電源電圧 E_{LVSS} は例えば接地電圧である。

[0028] 表示制御回路 20 は、ソースドライバ 30 に映像データ DA およびソース制御信号 $CT1$ を送信し、走査ドライバ 40 に走査制御信号 $CT2$ を送信することにより、ソースドライバ 30 および走査ドライバ 40 を制御する。ソース制御信号 $CT1$ は、例えばソーススタートパルス、ソースクロック、およびラッチストロブ信号を含んでいる。走査制御信号 $CT2$ は、例えば走査スタートパルスおよび走査クロックを含んでいる。

[0029] ソースドライバ 30 は、 m 本のデータ線 $D1 \sim Dm$ に接続され、それらを駆動する。ソースドライバ 30 は、より詳細には、図示しないシフトレジスタ、サンプリング回路、ラッチ回路、 m 個の D/A コンバータ、 m 個のバッファなどを備えている。シフトレジスタは、ソースクロックに同期してソーススタートパルスを順次転送することによりサンプリングパルスを順次出力する。サンプリング回路は、サンプリングパルスのタイミングに従って 1 行分の映像データ DA を順次記憶する。ラッチ回路は、サンプリング回路が記憶する 1 行分の映像データ DA をラッチストロブ信号に応じて取り込み保持すると共に、当該 1 行分の映像データに含まれる各サブ画素の映像データ DA （以下「階調データ」という。）を対応する D/A コンバータに与える。 D/A コンバータは、受け取った階調データをデータ電圧に変換し出力する。 D/A コンバータから出力されたデータ電圧は、対応するバッファを経由して対応するデータ線に供給される。

[0030] 走査ドライバ 40 は、 n 本の走査線 $S1 \sim Sn$ に接続され、それらを駆動する。走査ドライバ 40 は、より詳細には、図示しないシフトレジスタおよび n 個のバッファなどを備えている。シフトレジスタは、走査クロックに同期して走査スタートパルスを順次転送する。シフトレジスタの各段からの出力信号は、対応するバッファを経由して対応する走査線に供給される。このようにして、走査ドライバ 40 は、 n 本の走査線 $S1 \sim Sn$ を走査線 $S1$ から順に順次選択する。

[0031] <1. 2 画素回路>

図2は、図1に示す*i*行*j*列目の画素回路11の構成を示す回路図である。画素回路11は、1個の有機EL素子OLED、3個のトランジスタT1～T3、および1個のコンデンサC1を備えている。トランジスタT1は駆動トランジスタであり、トランジスタT2は第1入力トランジスタであり、トランジスタT3は第2入力トランジスタである。コンデンサC1は駆動容量素子に相当し、有機EL素子OLEDは電流で駆動される電気光学素子に相当する。トランジスタT1～T3はすべてnチャネル型のTFTである。

[0032] トランジスタT1は、有機EL素子OLEDと直列に設けられ、ハイレベル電源線ELVDDに第1導通端子としてのドレイン端子が接続され、有機EL素子OLEDのアノード端子に第2導通端子としてのソース端子が接続されている。トランジスタT2は、*i*行目の走査線*S_i*にゲート端子（制御端子に相当する。他のトランジスタのゲート端子についても同様である。）が接続され、データ線*D_j*とトランジスタT1のゲート端子との間に設けられている。トランジスタT3は、*i*行目の走査線*S_i*の直前の走査線である*i* - 1行目の走査線*S_i* - 1にゲート端子が接続され、データ線*D_j*とトランジスタT1のゲート端子との間に設けられている。ここで、「直前の走査線」とは、選択される順が直前である走査線を意味する。コンデンサC1は、トランジスタT1のゲート端子およびソース端子にそれぞれ一端および他端が接続されている。コンデンサC1は、トランジスタT1のゲートーソース間電圧*V_{gs}*を保持する。有機EL素子OLEDのカソード端子は、ローレベル電源線ELVSSに接続されている。以下では、トランジスタT1のゲート端子と、コンデンサC1の一端と、トランジスタT1のゲート端子側に位置するトランジスタT2の導通端子との接続点のことを便宜上「ゲートノードVG」という。上記参考従来例と異なり、本実施形態におけるゲートノードVGにはトランジスタT1のゲート端子側に位置するトランジスタT3の導通端子が接続されている。

[0033] <1. 3 動作>

図3は、図2に示す画素回路11の動作を説明するためのタイミングチャートである。図3に示すゲートノードVGの波形は、i行j列目の画素回路11におけるゲートノードVGの電位を表す。図3と後述の図4(A)および図4(B)とでは、時刻t1～t2はi-1行目の走査線Si-1の選択期間であると共に、i行目の画素回路11において予備充電を行うための期間（以下「予備充電期間」という。）である。また、時刻t2～t3はi行目の走査線Siの選択期間であると共に、i行目の画素回路11においてi行目のデータ電圧Vdataiを書き込むべき期間（以下「本充電期間」という。）である。各走査線の選択期間は1H期間である。以下では、i行目の走査線Siの選択期間のことを「i行目の選択期間」という。

[0034] 時刻t1以前では、i-1行目、i行目の走査線Si-1、Siがローレベルになっている。このとき、トランジスタT2、T3がオフ状態になっているので、ゲートノードVGの電位は初期レベルを維持している。トランジスタT1は初期レベルに応じた駆動電流を有機EL素子OLEDに供給し、有機EL素子OLEDはその駆動電流に応じた輝度で発光している。ここで、初期レベルは、例えば前フレーム期間での書き込みに応じた電位である。また、全走査線の走査終了後の帰線期間中に全走査線を選択状態にし且つ全データ線を接地電位にすることにより、初期レベルを接地電位に設定しても良い。

[0035] 時刻t1になると、i-1行目の走査線Si-1がハイレベルに変化するので、トランジスタT3がターンオンする。このため、データ線DjおよびトランジスタT3を介してi-1行目のデータ電圧Vdatai-1がゲートノードVGに供給される。その後、時刻t2までの期間に、ゲートノードVGの電位がi-1行目のデータ電圧Vdatai-1に応じて変化する。このとき、コンデンサC1は、ゲートノードVGの電位とトランジスタT1のソース電位との差であるゲートソース間電圧Vgsに充電される。このようにして、本実施形態では、i行目の画素回路11においてi-1行目の選択期間（予備充電期間）に予備充電が行われる。このような予備充電によ

り、ゲートノードV_Gの電位は、*i*行目の選択期間において達すべき目標レベル（V_{d a t a i}）に近づく。なお、予備充電に関する詳しい説明は後述する。

[0036] 時刻 *t*₂ になると、*i* − 1 行目の走査線 *S*_{*i* − 1} がローレベルに変化するので、トランジスタ *T*₃ がターンオフする。また、*i* 行目の走査線 *S*_{*i*} がハイレベルに変化するので、トランジスタ *T*₂ がターンオンする。このため、データ線 *D*_{*j*} およびトランジスタ *T*₂ を介して、*i* 行目のデータ電圧 V_{d a t a i} がゲートノードV_Gに供給される。その後、*t*₃ までの期間に、ゲートノードV_Gの電位が*i*行目のデータ電圧V_{d a t a i}に応じて変化する。このとき、コンデンサC₁は、ゲートノードV_Gの電位とトランジスタ*T*₁のソース電位との差であるゲート−ソース間電圧V_{g s}に充電される。より詳細には、上述の予備充電により、ゲートノードV_Gの電位が予め*i*行目のデータ電圧V_{d a t a i}に近いレベルになっているので、*i*行目の選択期間（本充電期間）において、ゲートノードV_Gの電位は確実にV_{d a t a i}になる。これにより、*i*行目の選択期間において、コンデンサC₁は次式（1）で与えられるゲート−ソース間電圧V_{g s}に充電される。

$$\begin{aligned} V_{gs} &= V_G - V_S \\ &= V_{datai} - V_S \quad \dots (1) \end{aligned}$$

ここで、V_Sはトランジスタ*T*₁のソース電位を表し、説明の便宜上定数であるとする。

[0037] 時刻 *t*₃ になると、*i* 行目の走査線 *S*_{*i*} がローレベルに変化するので、トランジスタ *T*₂ がターンオフする。このため、コンデンサC₁が保持するゲート−ソース間電圧V_{g s}が上記式（1）に示される値に確定する。トランジスタ*T*₁は、コンデンサC₁が保持するゲート−ソース間電圧V_{g s}に応じて駆動電流 *I*_{o l e d}を有機EL素子OLEDに供給する。より詳細には、トランジスタ*T*₁は、次式（2）で与えられる駆動電流 *I*_{o l e d}を有機EL素子OLEDに供給する。

$$I_{oled} = (\beta/2) \cdot (V_{gs} - V_{th})^2$$

$$= (\beta/2) * (V_{datai} - V_S - V_{th})^2 \quad \dots (2)$$

ここで、 β はトランジスタT1のゲインを表し、トランジスタT1の移動度などに比例する。式(2)に示されるとおり、駆動電流 I_{oled} がi行目のデータ電圧 V_{datai} に応じた値になるので、有機EL素子OLEDは、i行目のデータ電圧 V_{datai} に応じた輝度で発光する。

[0038] <1.4 予備充電>

図4は、上記参考従来例と本実施形態とを比較するためのタイミングチャートである。より詳細には、図4(A)は上記参考従来例の動作を説明するためのタイミングチャートであり、図4(B)は本実施形態における予備充電の動作を説明するためのタイミングチャートである。図示の便宜上、図4(A)および図4(B)ではゲートノードVGの波形鈍りを省略している。

[0039] 図4(A)に示すように、上記参考従来例では、i行目の選択期間になるまでデータ電圧がゲートノードVGに供給されず、i行目の選択期間になって初めてi行目のデータ電圧 V_{datai} がゲートノードVGに供給される。このとき、i行目の選択期間においてゲートノードVGの電位が目標レベル(V_{datai})に達するために変化すべき電位(以下「シフト電位」といい、符号 ΔV で表す。)は目標レベルと初期レベルとの差であるので、比較的大きな値になる。i行目の選択期間においてゲートノードVGが目標レベル(V_{datai})に達するために必要な時間(以下「充電時間」といい、符号Tで表す。)は次式(3)で与えられる。

$$T = C1 * \Delta V / I_d \quad \dots (3)$$

ここで、 I_d はトランジスタT2がコンデンサC1(ゲートノードVG)に供給する電流(以下「書き込み電流」という。)を表し、トランジスタT2が飽和領域で動作する間は一定である。書き込み電流 I_d はトランジスタT2の移動度に比例する。なお、本明細書では、トランジスタT2が直線領域で動作するときの説明を便宜上省略する。式(3)から、書き込み電流 I_d が小さい場合、すなわちトランジスタT2の移動度が低い場合に充電時間Tが長くなることがわかる。この場合、i行目の走査線Siの選択期間をある

程度十分に確保できたとしても、ゲートノード V_G の電位が目標レベルに達しない可能性がある。また、 i 行目の選択期間を十分に確保できない場合には、トランジスタ T_2 の移動度がある程度高いとしても、ゲートノード V_G の電位が目標レベルに達しない可能性がある。

[0040] これに対して、本実施形態では、図4（B）に示すように $i-1$ 行目の選択期間において予め $i-1$ 行目のデータ電圧 $V_{data\ i-1}$ をゲートノード V_G に供給する予備充電が行われる。ところで、一般的な画像（例えば自然画など）では隣接画素が互いに類似しているので、列方向に隣接する2つの画素回路11では、コンデンサ C_1 に供給すべきデータ電圧が互いに類似している。すなわち、 $i-1$ 行目、 i 行目のデータ電圧 $V_{data\ i-1}$ 、 $V_{data\ i}$ は互いに類似している。このため、 $i-1$ 行目の選択期間において予備充電が行われることにより、ゲートノード V_G の電位は、 i 行目の選択期間において達すべき目標レベル（ $V_{data\ i}$ ）に近いレベルになる。具体的には、ゲートノード V_G 電位が $V_{data\ i-1}$ になるか、または $V_{data\ i-1}$ に近いレベルになる。以下、本実施形態に関する説明では、 $i-1$ 行目の選択期間においてゲートノード V_G の電位が $V_{data\ i-1}$ になるものとして説明する。

[0041] その後、 i 行目の選択期間において、 i 行目のデータ電圧 $V_{data\ i}$ がゲートノード V_G に供給される。上記参考従来例と異なり、本実施形態では、シフト電位 ΔV は目標レベルである $V_{data\ i}$ と、 $V_{data\ i}$ に近い $V_{data\ i-1}$ との差であるので、比較的小さな値になる。このため、参考従来例に比べて上記式（3）に示される充電時間 T が短くなる。これにより、トランジスタ T_2 の移動度が低い場合または i 行目の選択期間を十分に確保できない場合であっても、ゲートノード V_G の電位は目標レベルに容易に達する。

[0042] 図5は、上記参考従来例と本実施形態とを比較したシミュレーション結果を示す図である。図5および後述の図13における横軸はトランジスタ T_2 の移動度 μ を表し、縦軸は充電時間 T を表す。移動度 μ が低いほど充電時間

Tは長くなる。図5に示すように、上述の予備充電を行う本実施形態では、上記参考従来例に比べて充電時間Tが短くなる（約50%程度になる。）。また、参考従来例における充電時間Tと本実施形態における充電時間Tとの差、すなわち充電時間Tの短縮量は移動度 μ が低いほど大きくなる。

[0043] <1.5 効果>

本実施形態によれば、トランジスタT2を介してデータ線DjからコンデンサC1にi行目のデータ電圧Vdataiが供給される前に、トランジスタT3を介してデータ線DjからコンデンサC1にi-1行目のデータ電圧Vdatai-1が供給される、すなわち、直前の走査線Si-1の選択期間において予備充電が行われる。言い換えると、本充電期間の前に予備充電期間が設定される。このため、トランジスタT2の移動度 μ が比較的低い場合または各走査線の選択期間を十分に確保できない場合であっても、コンデンサC1が所望のゲートソース間電圧Vgsに充電される。これにより、表示品位を維持することができる。本実施形態は、トランジスタT2が酸化物TFT、微結晶シリコンTFT、またはアモルファスシリコンTFTなどの比較的移動度が低いTFTである場合に好適である。ただし、トランジスタT2がCGS-TFTなどの比較的移動度が高いTFTであっても、各走査線の選択期間が比較的短い場合には、予備充電を行うことにより表示品位を確実に維持することができる。

[0044] また、本実施形態によれば、本充電期間の直前の1H期間が予備充電期間になる。一般的な画像では隣接画素が互いに類似しているので、列方向に隣接する2つの画素回路11では、データ電圧が互いに類似している。このため、本充電期間の直前に予備充電を行うことにより、コンデンサC1に充電されるゲートソース間電圧Vgsが所望の値により近づく。これにより、表示品位をより確実に維持することができる。

[0045] <2. 第2の実施形態>

<2.1 全体構成>

図6は、本発明の第2の実施形態に係る画素回路11を備えるアクティブ

マトリクス型の有機EL表示装置1の構成を示すブロック図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。本実施形態に係る画素回路11を備える有機EL表示装置1は、図1に示す有機EL表示装置1にエミッションドライバ（発光制御駆動部）50を追加したものである。また、本実施形態における表示部10には、 n 本の走査線 $S1 \sim Sn$ に沿って n 本のエミッション線（発光制御線） $EM1 \sim EMn$ が配設されている。

[0046] 表示制御回路20は、エミッションドライバ50にエミッション制御信号CT3を送信することにより、エミッションドライバ50を制御する。エミッション制御信号CT3は、例えばエミッションスタートパルスおよびエミッションクロックを含んでいる。

[0047] エミッションドライバ50は、 n 本のエミッション線 $EM1 \sim EMn$ に接続され、それらを駆動する。より詳細には、図示しないシフトレジスタ、 n 個の論理回路、および n 個のバッファなどを備えている。シフトレジスタは、エミッションクロックに同期してエミッションスタートパルスを順次転送する。論理回路は、シフトレジスタのいずれかの複数段からの出力信号に基づいて、対応するエミッション線に供給すべき信号を生成する。エミッション線に供給すべき信号は、対応するバッファを経由して対応するエミッション線に供給される。このようにして、エミッションドライバ50は、 n 本のエミッション線 $EM1 \sim EMn$ を駆動する。なお、エミッションドライバ50は、走査ドライバ40と一体的に形成されていても良い。この場合、シフトレジスタなどがエミッションドライバ50と走査ドライバ40とで供給される。

[0048] <2. 2 画素回路>

図7は、図6に示す i 行 j 列目の画素回路11の構成を示す回路図である。本実施形態に係る画素回路11は、図2に示す画素回路11にトランジスタ $T4$ 、 $T5$ を追加したものである。トランジスタ $T4$ 、 $T5$ のそれぞれは発光制御トランジスタである。より詳細には、トランジスタ $T4$ は第1発光

制御トランジスタであり、トランジスタ T5 は第 2 発光制御トランジスタである。トランジスタ T4, T5 は n チャネル型の TFT であり、その種類は特に限定されるものではないが、例えば IGZO-TFT に代表される酸化物 TFT、微結晶シリコン TFT、またはアモルファスシリコン TFT などである。また、トランジスタ T4, T5 は CGS-TFT などであっても良い。トランジスタ T4 は、 i 行目のエミッション線 EM_i にゲート端子が接続され、トランジスタ T1 のソース端子と有機 EL 素子 OLED のアノード端子との間に設けられている。トランジスタ T5 は、 i 行目のエミッション線 EM_i にゲート端子が接続され、ハイレベル電源線 $ELVDD$ とトランジスタ T1 のドレイン端子との間に設けられている。なお、本実施形態に係る画素回路 11 のその他の構成は、上記第 1 の実施形態におけるものと同様である。

[0049] <2. 3 動作>

図 8 は、図 7 に示す画素回路 11 の動作を説明するためのタイミングチャートである。図 8 において、時刻 $t_1 \sim t_2$ は $i-1$ 行目の選択期間であると共に、 i 行目の予備充電期間である。また、時刻 $t_2 \sim t_3$ は i 行目の選択期間であると共に、 i 行目の本充電期間である。以下、本実施形態に係る画素回路 11 の動作のうち、上記第 1 の実施形態と同様の動作については適宜説明を省略する。図 8 に示すように、 i 行目のエミッション線 EM_i は、 $i-1$ 行目、 i 行目の走査線 S_{i-1} , S_i の選択期間でローレベルになり、ローレベルになっている期間が $i-1$ 行目のエミッション線 EM_{i-1} と 1 H 期間重複している。

[0050] 時刻 t_1 以前では、 $i-1$ 行目、 i 行目の走査線 S_{i-1} , S_i がローレベルに、 i 行目のエミッション線 EM_i がハイレベルになっている。このとき、トランジスタ T2, T3 がオフ状態になっているので、ゲートノード VG の電位は初期レベルを維持している。また、トランジスタ T4, T5 がオン状態になっているので、トランジスタ T1 のソース端子と有機 EL 素子 OLED のアノード端子とが電氣的に互いに接続され、トランジスタ T1 のド

レイン端子とハイレベル電源線 $ELVDD$ とが電氣的に互いに接続されている。このため、トランジスタ $T1$ は初期レベルに応じた駆動電流を有機 EL 素子 $OLED$ に供給し、有機 EL 素子 $OLED$ はその駆動電流に応じた輝度で発光している。上述のように、初期レベルは、例えば前フレーム期間での書き込みに応じた電位である。また、全走査線の走査終了後の帰線期間中に全走査線を選択状態にし且つ全データ線を接地電位にすることにより、初期レベルを接地電位に設定しても良い。

[0051] 時刻 $t1$ になると、 i 行目のエミッション線 EMi がローレベルに変化するので、トランジスタ $T4$ 、 $T5$ がターンオフする。このため、トランジスタ $T1$ のソース端子と有機 EL 素子 $OLED$ のアノード端子とが電氣的に互いに切り離され、トランジスタ $T1$ のドレイン端子とハイレベル電源線 $ELVDD$ とが電氣的に互いに切り離される。これにより、トランジスタ $T1$ による有機 EL 素子 $OLED$ への駆動電流 I_{oled} の供給が停止し、有機 EL 素子 $OLED$ が非発光となる。したがって、データ電圧をゲートノード V_G に供給する際に生じ得る有機 EL 素子 $OLED$ の異常発光が抑制される。なお、 i 行目のエミッション線 EMi は時刻 $t3$ までローレベルを維持する。また、時刻 $t1$ になると、 $i-1$ 行目の走査線 $Si-1$ がハイレベルに変化するので、トランジスタ $T3$ がターンオンする。このため、 $i-1$ 行目の選択期間において、上記第1の実施形態と同様に予備充電が行われる。

[0052] 時刻 $t2$ になると、 $i-1$ 行目の走査線 $Si-1$ がローレベルに変化するので、トランジスタ $T3$ がターンオフする。また、 i 行目の走査線 Si がハイレベルに変化するので、トランジスタ $T2$ がターンオンする。このため、 i 行目の選択期間において、上記第1の実施形態と同様にコンデンサ $C1$ が上記式(1)で与えられるゲートソース間電圧 V_{gs} に充電される。

[0053] 時刻 $t3$ になると、 i 行目の走査線 Si がローレベルに変化するので、トランジスタ $T2$ がターンオフする。このため、コンデンサ $C1$ が保持するゲートソース間電圧 V_{gs} が上記式(1)に示される値に確定する。また、時刻 $t3$ になると、 i 行目のエミッション線 EMi がハイレベルに変化する

ので、トランジスタT1のソース端子と有機EL素子OLEDのアノード端子とが電氣的に互いに接続され、トランジスタT1のドレイン端子とハイレベル電源線ELVDDとが電氣的に互いに接続される。これにより、トランジスタT1は、上記式(2)で与えられる駆動電流 I_{oled} を有機EL素子OLEDに供給する。

[0054] <2.4 効果>

本実施形態によれば、トランジスタT4、T5が設けられることにより、予備充電期間および本充電期間において、トランジスタT1のソース端子と有機EL素子OLEDのアノード端子とが電氣的に互いに切り離される共にトランジスタT1のドレイン端子とハイレベル電源線ELVDDとが電氣的に互いに切り離される。このため、トランジスタT1による有機EL素子OLEDへの駆動電流 I_{oled} の供給が停止する。これにより、予備充電期間および本充電期間で生じ得る有機EL素子OLEDの異常発光を抑制することができる。また、トランジスタT4、T5の双方を使用することにより、トランジスタT1による有機EL素子OLEDへの駆動電流 I_{oled} の供給が確実に停止する。したがって、有機EL素子OLEDの異常発光を確実に抑制することができる。

[0055] <2.5 変形例>

図9は、上記第2の実施形態の変形例に係る画素回路11の構成を示す回路図である。本変形例に係る画素回路11は、図7に示す画素回路11からトランジスタT5を除いたものである。このため、トランジスタT1のドレイン端子はハイレベル電源線ELVDDに接続されている。なお、本変形に係る画素回路11のその他の構成は、上記第2の実施形態におけるものと同様である。また、本変形に係る画素回路11の動作は、上記第2の実施形態におけるものと同様である。

[0056] 本変形例によれば、トランジスタT5を設けることなく簡易な回路構成で有機EL素子OLEDの異常発光を抑制することができる。

[0057] <3. 第3の実施形態>

＜３．１ 画素回路＞

図１０は、本発明の第３の実施形態に係る i 行 j 列目の画素回路１１の構成を示す回路図である。本実施形態に係る画素回路１１は、図２に示す画素回路１１にトランジスタＴ６を追加したものである。本実施形態では、トランジスタＴ３、Ｔ６の一方が第２入力トランジスタであり、他方が第３入力トランジスタである。トランジスタＴ６は n チャネル型のＴＦＴであり、その種類は特に限定されるものではないが、例えばＩＧＺＯ－ＴＦＴに代表される酸化物ＴＦＴ、微結晶シリコンＴＦＴ、またはアモルファスシリコンＴＦＴなどである。また、トランジスタＴ６はＣＧＳ－ＴＦＴなどであっても良い。トランジスタＴ６は、トランジスタＴ３のゲート端子が接続された $i-1$ 行目の走査線 S_{i-1} に先行する走査線である $i-k$ 行目（ k は２以上の自然数）の走査線 S_{i-k} にゲート端子が接続され、データ線 D_j とトランジスタＴ１のゲート端子との間に設けられている。ここで、「先行する走査線」とは、選択される順が先行する走査線を意味する。なお、本実施形態に係る画素回路１１のその他の構成は、上記第１の実施形態におけるものと同様である。

[0058] ＜３．２ 動作＞

図１１は、図１０に示す画素回路１１の動作を説明するためのタイミングチャートである。ここでは $k=2$ としている。図１１と後述の図１２（Ａ）および図１２（Ｂ）とでは、時刻 $t_1 \sim t_2$ は $i-2$ 行目の選択期間であると共に、 i 行目の画素回路１１において１回目の予備充電を行うための期間（以下「第１予備充電期間」という。）である。また、時刻 $t_2 \sim t_3$ は $i-1$ 行目の走査線 S_{i-1} の選択期間であると共に、 i 行目の画素回路１１において２回目の予備充電を行うための期間（以下「第２予備充電期間」という。）である。また、時刻 $t_3 \sim t_4$ は i 行目の走査線 S_i の選択期間であると共に、 i 行目の本充電期間である。以下、本実施形態に係る画素回路１１の動作のうち、上記第１の実施形態と同様の動作については適宜説明を省略する。

[0059] 時刻 t_1 以前では、 $i-2 \sim i$ 行目の走査線 $S_{i-2} \sim S_i$ がローレベルになっている。このとき、トランジスタ T_2 , T_3 , T_6 がオフ状態になっているので、ゲートノード V_G の電位は初期レベルを維持している。トランジスタ T_1 は初期レベルに応じた駆動電流を有機 EL 素子 OLED に供給し、有機 EL 素子 OLED はその駆動電流に応じた輝度で発光している。

[0060] 時刻 t_1 になると、 $i-2$ 行目の走査線 S_{i-2} がハイレベルに変化するので、トランジスタ T_6 がターンオンする。このため、データ線 D_j およびトランジスタ T_6 を介して $i-2$ 行目のデータ電圧 $V_{data\ i-2}$ がゲートノード V_G に供給される。その後、時刻 t_2 までの期間に、ゲートノード V_G の電位が $i-2$ 行目のデータ電圧 $V_{data\ i-2}$ に応じて変化する。このとき、コンデンサ C_1 は、ゲートノード V_G の電位とトランジスタ T_1 のソース電位との差であるゲートソース間電圧 V_{gs} に充電される。このようにして、本実施形態では、 i 行目の画素回路 11 において $i-2$ 行目の選択期間に 1 回目の予備充電が行われる。このような予備充電により、ゲートノード V_G の電位は、 i 行目の選択期間において達すべき目標レベル ($V_{data\ i}$) に近づく。

[0061] 時刻 t_2 になると、 $i-2$ 行目の走査線 S_{i-2} がローレベルに変化するので、トランジスタ T_6 がターンオフする。また、 $i-1$ 行目の走査線 S_{i-1} がハイレベルに変化するので、トランジスタ T_3 がターンオンする。このため、 $i-1$ 行目の選択期間において、上記第 1 の実施形態と同様の予備充電（ただし、本実施形態では 2 回目の予備充電である。）が行われる。このように、本実施形態では、 $i-2$ 行目の選択期間（第 1 予備充電期間）および $i-1$ 行目の選択期間（第 2 予備充電期間）のそれぞれにおいて予備充電が行われる、すなわち、合計 2 回の予備充電が行われる。

[0062] 時刻 t_3 になると、 $i-1$ 行目の走査線 S_{i-1} がローレベルに変化するので、トランジスタ T_3 がターンオフする。また、 i 行目の走査線 S_i がハイレベルに変化するので、トランジスタ T_2 がターンオンする。このため、 i 行目の選択期間において、上記第 1 の実施形態と同様にコンデンサ C_1 が

上記式（１）で与えられるゲートソース間電圧 V_{gs} に充電される。

[0063] 時刻 t_4 になると、 i 行目の走査線 S_i がローレベルに変化するので、トランジスタ T_2 がターンオフする。このため、コンデンサ C_1 が保持するゲートソース間電圧 V_{gs} が上記式（１）に示される値に確定する。これにより、トランジスタ T_1 は、上記式（２）で与えられる駆動電流 I_{oled} を有機 EL 素子 OLED に供給する。

[0064] < 3. 3 予備充電 >

図 12 は、上記参考従来例と本実施形態とを比較するためのタイミングチャートである。より詳細には、図 12（A）は上記参考従来例の動作を説明するためのタイミングチャートであり、図 12（B）は本実施形態における予備充電の動作を説明するためのタイミングチャートである。図示の便宜上、図 12（A）および図 12（B）ではゲートノード V_G の波形鈍りを省略している。図 12（A）は上記図 4（A）と同様であるので、ここでは上記参考従来例の動作の説明を省略する。なお、上記図 4（A）における時刻 t_1 、 t_2 、 t_3 はそれぞれ、図 12（A）における時刻 t_2 、 t_3 、 t_4 に相当する。

[0065] 本実施形態では、図 12（B）に示すように、 $i-2$ 行目の選択期間および $i-1$ 行目の選択期間においてそれぞれ 1 回目および 2 回目の予備充電が行われる。上述のように、一般的な画像（例えば自然画など）では隣接画素が互いに類似しているので、列方向に隣接する 2 つの画素回路 11 では、コンデンサ C_1 に供給すべきデータ電圧が互いに類似している。すなわち、 $i-1$ 行目、 i 行目のデータ電圧 $V_{data\ i-1}$ 、 $V_{data\ i}$ は互いに類似している。また、 $i-2$ 行目、 $i-1$ 行目のデータ電圧 $V_{data\ i-2}$ 、 $V_{data\ i-1}$ も互いに類似している。このため、 $i-2$ 行目の選択期間において予備充電が行われることにより、ゲートノード V_G 電位は、 $V_{data\ i-1}$ に近いレベルになる。具体的には、ゲートノード V_G 電位が $V_{data\ i-2}$ になるか、または $V_{data\ i-1}$ に近いレベルになる。以下、本実施形態に関する説明では、 $i-2$ 行目の選択期間においてゲートノ

ードVG電位が $V_{data i-2}$ になるものとして説明する。

[0066] その後、 $i-1$ 行目の選択期間において予備充電が行われることにより、ゲートノードVG電位は、 i 行目の選択期間において達すべき目標レベル($V_{data i}$)に近いレベルになる。具体的には、ゲートノードVG電位が $V_{data i-1}$ になるか、または $V_{data i-1}$ に近いレベルになる。なお、本実施形態では、上述のように $i-2$ 行目の選択期間においても予備充電が行われるので、 $i-1$ 行目の選択期間ではゲートノードVG電位をより確実に $V_{data i-1}$ に近づけることができる。

[0067] その後、 i 行目の選択期間において、 i 行目のデータ電圧 $V_{data i}$ がゲートノードVGに供給される。上記参考従来例と異なり、本実施形態では、シフト電位 ΔV は目標レベルである $V_{data i}$ と、 $V_{data i}$ に近い $V_{data i-1}$ との差であるので、比較的小さな値になる。さらに、本実施形態では、上記第1の実施形態と異なり、 $i-2$ 行目の選択期間においても予備充電が行われるので、 i 行目の走査線 S_i の選択期間の開始時点(時刻 t_3)でのゲートノードVGが確実に $V_{data i-1}$ になる。このため、本実施形態では、上記第1の実施形態に比べてシフト電位 ΔV がさらに小さくなる。これにより、上記第1の実施形態に比べて上記式(3)に示される充電時間 T がさらに短くなる。したがって、トランジスタ T_2 の移動度が低い場合または i 行目の選択期間を十分に確保できない場合であっても、ゲートノードVGの電位はさらに容易に目標レベルに達する。

[0068] 図13は、上記参考従来例と上記第1の実施形態と本実施形態とを比較したシミュレーション結果を示す図である。図13に示すように、第1予備充電期間および第2予備充電期間でそれぞれ1回目および2回目の予備充電を行う本実施形態では、上記参考従来例に比べて充電時間 T が短くなる(約25%程度になる。)と共に、予備充電を1回のみ行う上記第1の実施形態に比べて充電時間 T が短くなる(約50%程度になる。)

[0069] <3.4 効果>

トランジスタ T_6 、 T_3 を使用して、第1、第2予備充電期間でそれぞれ

予備充電が行われる。このため、コンデンサ C_1 に充電されるゲートソース間電圧 V_{gs} が所望の値により近づく。これにより、表示品位をさらに向上させることができる。本実施形態では、 $k=2$ である例を挙げて説明したが、 k が3以上の場合でも、本実施形態と同様かまたは本実施形態に近い効果を奏することができる。

[0070] <4. 第4の実施形態>

本発明の第4の実施形態について説明する前に、上記参考従来例において、各走査線の選択期間を $2H$ 期間とし、連続する走査線間で選択期間を $1H$ 期間重複させて予備充電を行う態様（以下「参考従来例において予備充電を行う態様」という。）について説明する。図14は、上記参考従来例において予備充電を行う態様の動作を説明するための図である。図14に示すゲートノード V_G の波形は、 i 行 j 列目の画素回路11におけるゲートノード V_G の電位を表す。なお、図示の便宜上ゲートノード V_G の波形鈍りを省略している。図14において、時刻 $t_1 \sim t_3$ は $i-3$ 行目の走選択期間であり、時刻 $t_2 \sim t_4$ は $i-2$ 行目の選択期間であり、時刻 $t_3 \sim t_5$ は $i-1$ 行目の選択期間であり、時刻 $t_4 \sim t_6$ は i 行目の選択期間であり、時刻 $t_5 \sim t_7$ は $i+1$ 行目の選択期間である。各行の選択期間のうち、前半の $1H$ 期間は予備充電期間であり、後半の $1H$ 期間は本充電期間である。

[0071] ここで、1行毎に白・黒・白…が順に並んだストライプ表示を行う場合を考える。図14では、 $i-3$ 行目、 $i-1$ 行目、 $i+1$ 行目のデータ電圧のそれぞれは白表示を行うための輝度（最大輝度）に対応するデータ電圧（以下「白データ電圧」といい、符号 V_w で表す。）であり、 $i-2$ 行目、 i 行目のデータ電圧のそれぞれは黒表示を行うための輝度（最小輝度）に対応するデータ電圧（以下「黒データ電圧」といい、符号 V_b で表す。）であるとする。

[0072] 時刻 t_4 以前では、ゲートノード V_G の電位は初期レベルを維持している。時刻 $t_4 \sim t_5$ である i 行目の予備充電期間では、トランジスタ T_2 を介して $i-1$ 行目の白データ電圧 V_w がゲートノード V_G に供給され、当該白

データ電圧 V_w に応じてゲートノード V_G の電位が変化する。具体的には、ゲートノード V_G の電位が V_w になるか、または V_w に近いレベルになる。時刻 $t_5 \sim t_6$ である i 行目の本充電期間では、トランジスタ T_2 を介して i 行目の黒データ V_b がゲートノード V_G に供給され、当該黒データ V_b に応じてゲートノード V_G の電位が変化する。このとき、シフト電位 ΔV は、最大データ電圧である白データ電圧 V_w と最小データ電圧である黒データ電圧 V_b または V_b に近いレベルとの差になるので、上記式 (3) に示される充電時間 T が長くなる。このため、ゲートノード V_G の電位が目標レベルに到達することが困難になる。このように、参考従来例において予備充電を行う態様で 1 行毎に白・黒・白…が順に並んだストライプ表示を行うと、予備充電期間において、本充電期間にゲートノード V_G の電位が達すべき目標レベルに逆行する方向にゲートノード V_G の電位が変化する。このため、予備充電の効果が得られない。

[0073] <4. 1 画素回路および動作>

図 15 は、本発明の第 4 の実施形態に係る i 行 j 列目の画素回路 11 の構成を示す回路図である。本実施形態に係る画素回路 11 は、トランジスタ T_3 のゲート端子が $i-1$ 行目の走査線 S_{i-1} ではなく $i-2$ 行目の走査線 S_{i-2} に接続されていることを除き、図 2 に示す画素回路 11 と同様の構成である。

[0074] 図 16 は、図 15 に示す画素回路 11 の動作を説明するための図である。

図 16 において、時刻 $t_1 \sim t_2$ は $i-2$ 行目の予備充電期間であり、時刻 $t_2 \sim t_3$ は $i-3$ 行目の本充電期間および $i-1$ 行目の予備充電期間であり、時刻 $t_3 \sim t_4$ は $i-2$ 行目の本充電期間および i 行目の予備充電期間であり、時刻 $t_4 \sim t_5$ は $i-1$ 行目の本充電期間および $i+1$ 行目の予備充電期間であり、時刻 $t_5 \sim t_6$ は i 行目の本充電期間であり、時刻 $t_6 \sim t_7$ は $i+1$ 行目の本充電期間である。ここでは、図 14 に示す例と同様に、1 行毎に白・黒・白…が順に並んだストライプ表示を行う場合を考える。

[0075] 時刻 t_3 以前では、ゲートノード V_G の電位は初期レベルを維持している

。時刻 $t_3 \sim t_4$ である i 行目の予備充電期間では、トランジスタ T_3 を介して $i - 2$ 行目の黒データ電圧 V_b がゲートノード V_G に供給され、当該黒データ電圧 V_b に応じてゲートノード V_G の電位が変化する。具体的には、ゲートノード V_G の電位が V_b になるか、または V_b に近いレベルになる。時刻 $t_4 \sim t_5$ では、トランジスタ T_2 、 T_3 がオフ状態であるので、ゲートノード V_G の電位は変化しない。時刻 $t_5 \sim t_6$ である i 行目の本充電期間では、トランジスタ T_2 を介して i 行目の黒データ電圧 V_b がゲートノード V_G に供給され、当該黒データ電圧 V_b に応じてゲートノード V_G の電位が変化する。このとき、シフト電位 ΔV は、黒データ電圧 V_b または V_b に近いレベルと、黒データ電圧 V_b との差になる。すなわち、シフト電位 ΔV は極めて小さい値になる。このため、参考従来例において予備充電を行う態様に比べて、上記式 (3) に示される充電時間 T が十分に短くなる。

[0076] <4. 2 効果>

本実施形態によれば、 $i - 2$ 行目の走査線 S_{i-2} にゲート端子が接続されたトランジスタ T_3 を使用することにより、参考従来例において予備充電を行う態様では予備充電の効果を得られない表示を行う場合であっても、充電時間 T を十分に短くすることができる。また、トランジスタ T_3 を使用することにより、連続する走査線間で選択期間を 1 H 期間重複させるなどの走査ドライバ 40 の特殊な動作を行うことなく、 n 本の走査線 $S_1 \sim S_n$ を順次選択する一般的な動作で予備充電を行うことができる。なお、1 行毎に白・黒・白…が順に並んだストライプ表示を行う場合に限らず、列方向において一定周期でパターンが変化する画像を表示する場合であれば、トランジスタ T_3 のゲート端子の接続先となる走査線を適切に設定することにより、本実施形態と同様の効果を奏することができる。

[0077] <5. その他>

本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上記第 1、第 2 の実施形態では、トランジスタ T_3 のゲート端子の接続先を直前の走査線

としているが、その接続先が先行する走査線であっても良い。

[0078] また、上記第3の実施形態でも、トランジスタT3のゲート端子の接続先を直前の走査線としているが、その接続先が先行する走査線であっても良い。ただしこの場合、トランジスタT3のゲート端子の接続先の走査線と、トランジスタT6のゲート端子の接続先の走査線とを互いに異ならせる必要がある。

[0079] また、上記第2の実施形態の変形例では、トランジスタT4、T5のうちトランジスタT4のみを使用しているが、トランジスタT4、T5のうちトランジスタT5のみを使用しても良い。

[0080] また、上記第3の実施形態において、ゲート端子の接続先の走査線が互いに異なるトランジスタT6を2個以上設けるようにしても良い。ただしこの場合、トランジスタT3のゲート端子の接続先の走査線と、各トランジスタT6のゲート端子の接続先の走査線とを互いに異ならせる必要がある。

[0081] また、上記各実施形態では、画素回路11内のトランジスタとしてnチャネル型のトランジスタを使用しているが、pチャネル型のトランジスタを使用しても良い。

[0082] また、上記各実施形態において、トランジスタT1の閾値電圧のばらつきを補償するための構成を追加しても良い。

産業上の利用可能性

[0083] 本発明は、有機EL (Electro Luminescence) 素子などの電気光学素子を含む画素回路、それを備える表示装置、およびその表示装置の駆動方法に適用することができる。

符号の説明

- [0084] 1…有機EL表示装置
10…表示部
11…画素回路
20…表示制御回路
30…ソースドライバ（データ駆動部）

4 0…走査ドライバ（走査駆動部）

D 1 ～ D m…データ線

S 1 ～ S n…走査線

E M 1 ～ E M n…エミッション線

T 1 ～ T 6…トランジスタ

C 1…コンデンサ（駆動容量素子）

O L E D…有機E L 素子（電気光学素子）

V d a t a…データ電圧

V G…ゲートノード

請求の範囲

- [請求項1] アクティブマトリクス型の表示装置内に、複数のデータ線のいずれかと順次選択される複数の走査線のいずれかとに対応して配置された画素回路であって、
- 電流で駆動される電気光学素子と、
- 前記電気光学素子と直列に設けられ、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタと、
- 前記駆動トランジスタを制御するための電圧を保持する駆動容量素子と、
- 対応する走査線に制御端子が接続され、対応するデータ線と前記駆動容量素子との間に設けられた第1入力トランジスタと、
- 前記対応する走査線に先行する走査線に制御端子が接続され、前記対応するデータ線と前記駆動容量素子との間に設けられた第2入力トランジスタとを備えることを特徴とする、画素回路。
- [請求項2] 前記第2入力トランジスタの前記制御端子は、前記対応する走査線の直前の走査線に接続されていることを特徴とする、請求項1に記載の画素回路。
- [請求項3] 前記対応する走査線に先行し且つ前記第2入力トランジスタの前記制御端子に接続された走査線と異なる走査線に制御端子が接続され、前記対応するデータ線と前記駆動容量素子との間に設けられた第3入力トランジスタをさらに備えることを特徴とする、請求項1に記載の画素回路。
- [請求項4] 前記電気光学素子と直列に設けられ、前記第1入力トランジスタの前記制御端子および前記第2入力トランジスタの前記制御端子のいずれかに接続された走査線が選択されているときにオフ状態になる発光制御トランジスタをさらに備えることを特徴とする、請求項1に記載の画素回路。
- [請求項5] 前記第1入力トランジスタは、酸化物半導体、微結晶シリコン、ま

たはアモルファスシリコンによりチャネル層が形成された薄膜トランジスタであることを特徴とする、請求項 1 に記載の画素回路。

[請求項6] 請求項 1 から 5 までのいずれか 1 項に記載の画素回路と、
前記複数の走査線を順次選択する走査駆動部とを備えることを特徴とする、アクティブマトリクス型の表示装置。

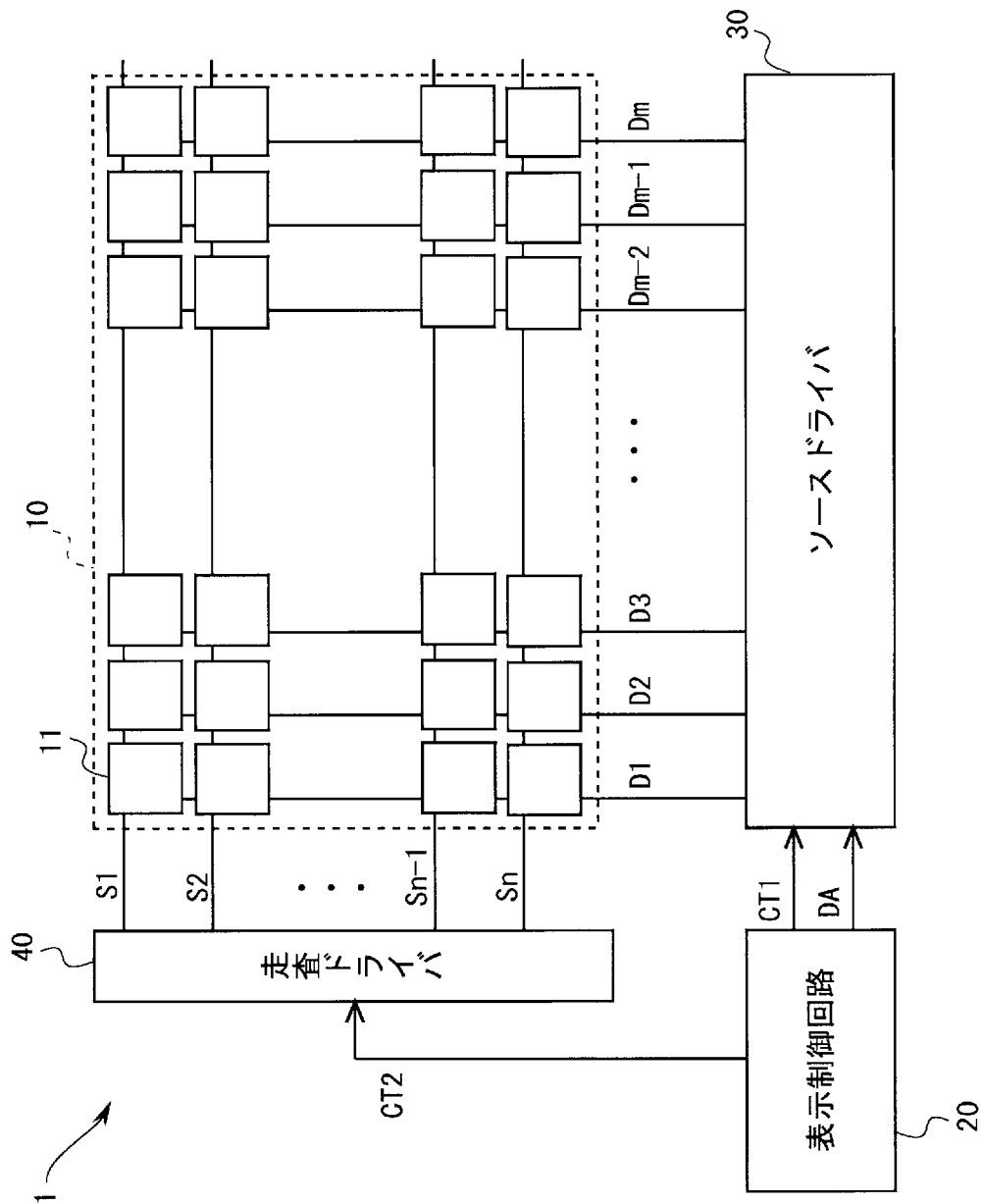
[請求項7] 複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部を備え、前記画素回路は、電流で駆動される電気光学素子と、前記電気光学素子と直列に設けられ、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタと、前記駆動トランジスタを制御するための電圧を保持する駆動容量素子とを含む、アクティブマトリクス型の表示装置の駆動方法であって、

前記複数の走査線を順次選択する走査ステップと、

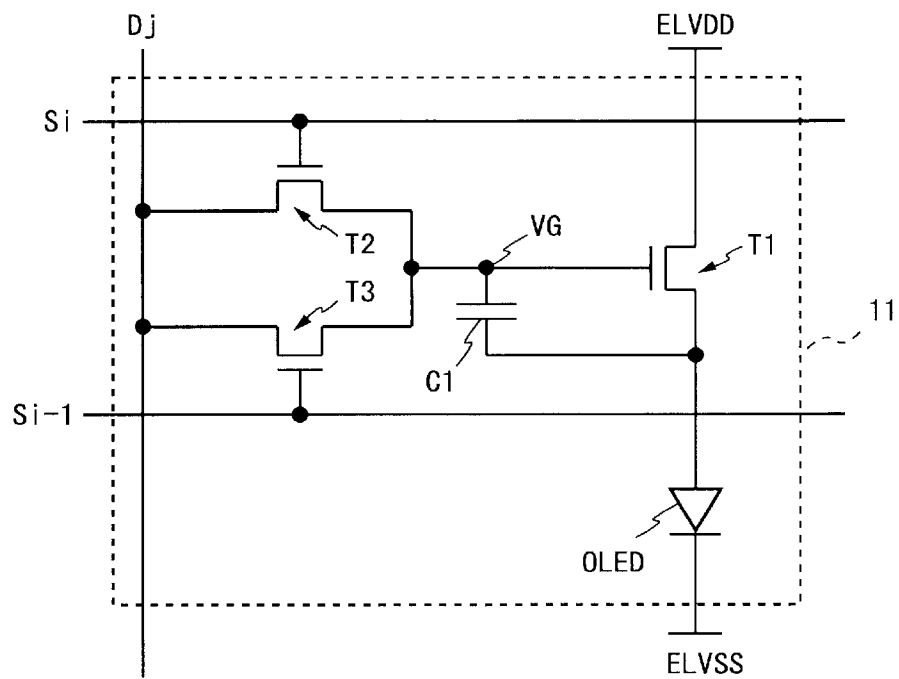
前記画素回路に対応する走査線の選択に応じて、前記画素回路に対応するデータ線と前記駆動容量素子とを電氣的に互いに接続する第 1 入力ステップと、

前記画素回路に対応する走査線に先行する走査線の選択に応じて、前記画素回路に対応するデータ線と前記駆動容量素子とを電氣的に互いに接続する第 2 入力ステップとを備えることを特徴とする、駆動方法。

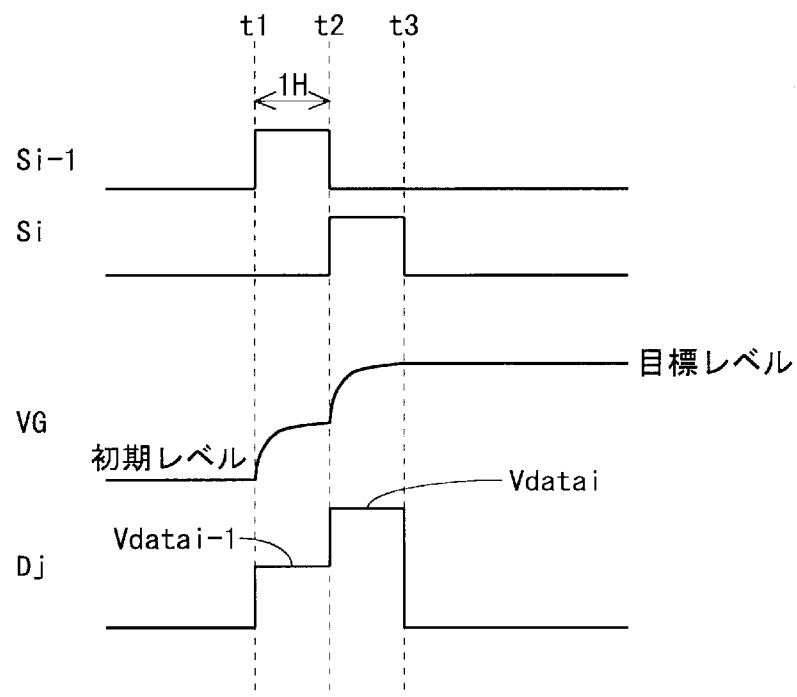
[図1]



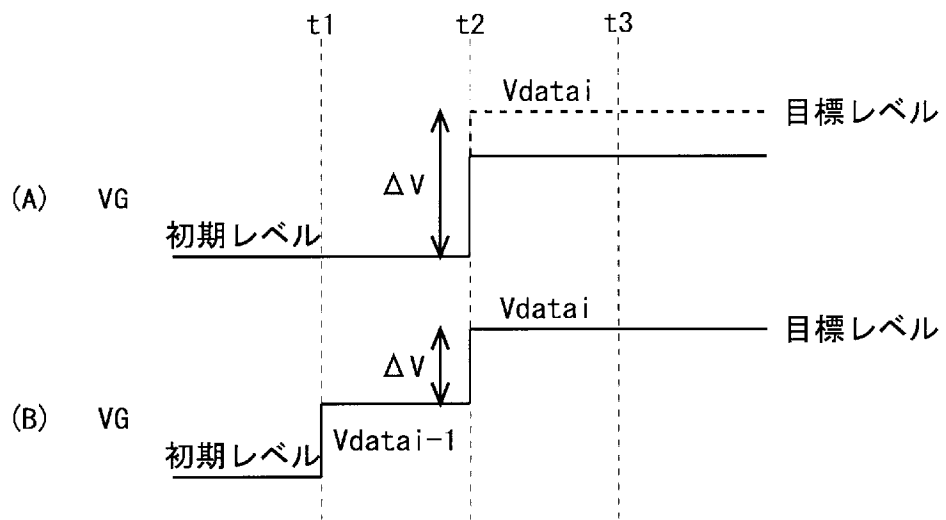
[図2]



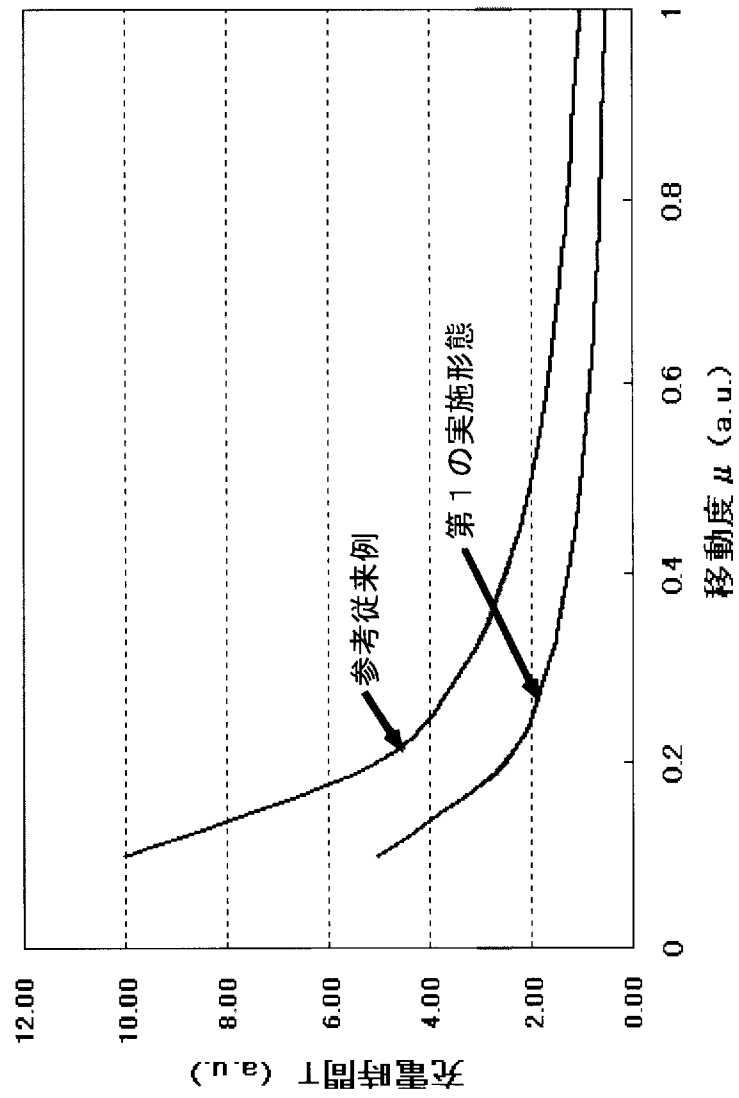
[図3]



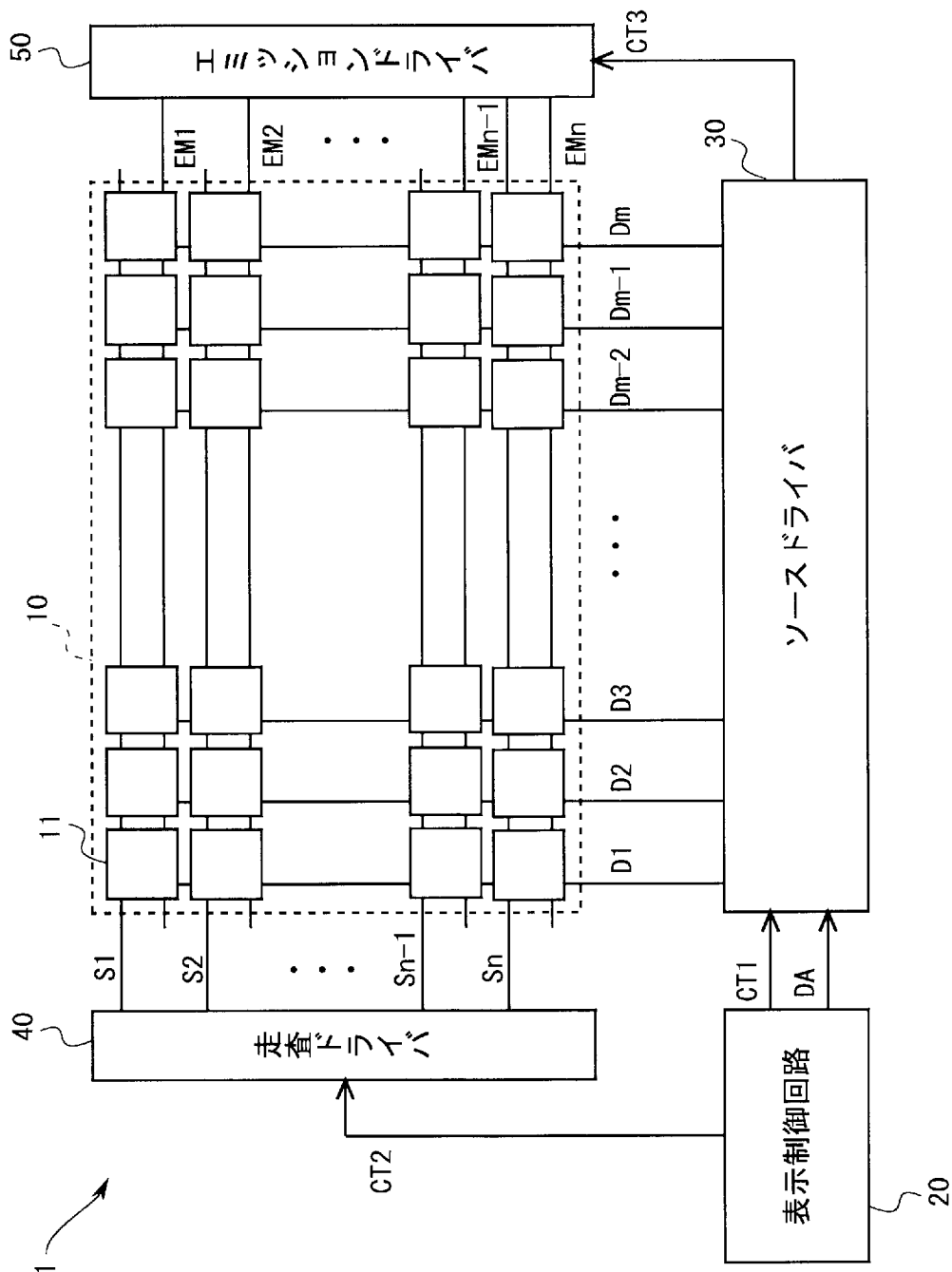
[図4]



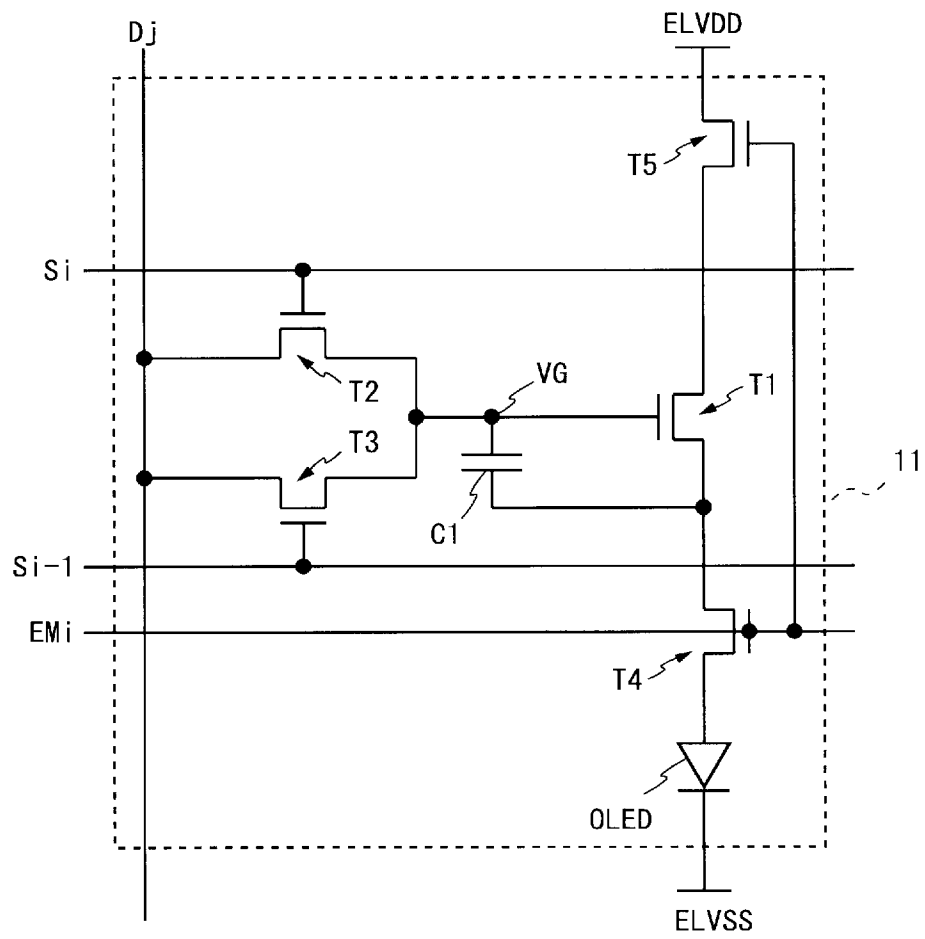
[図5]



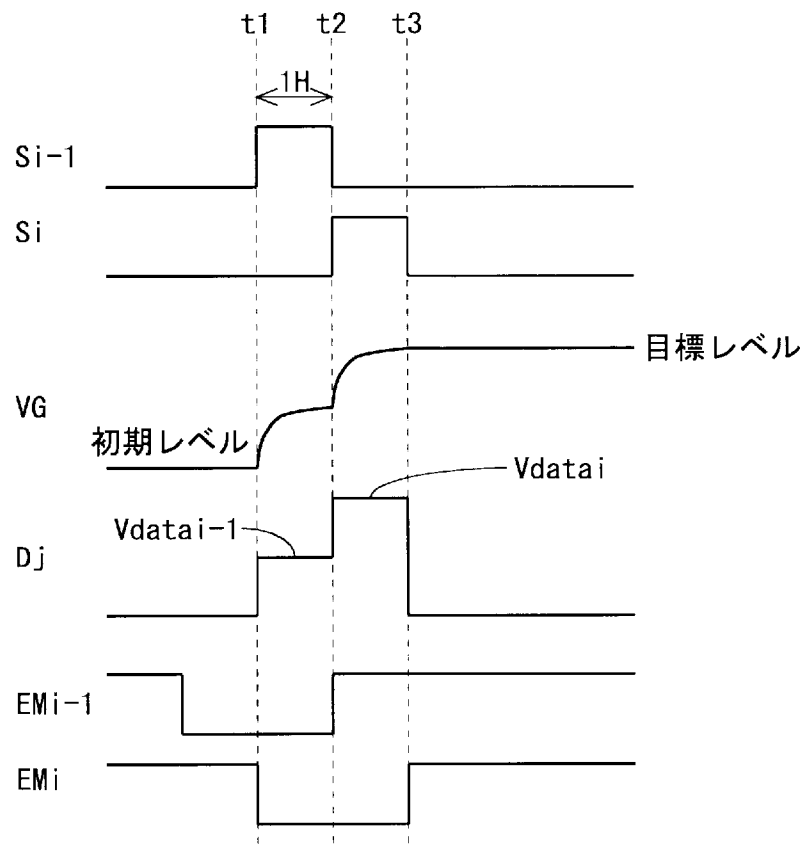
[図6]



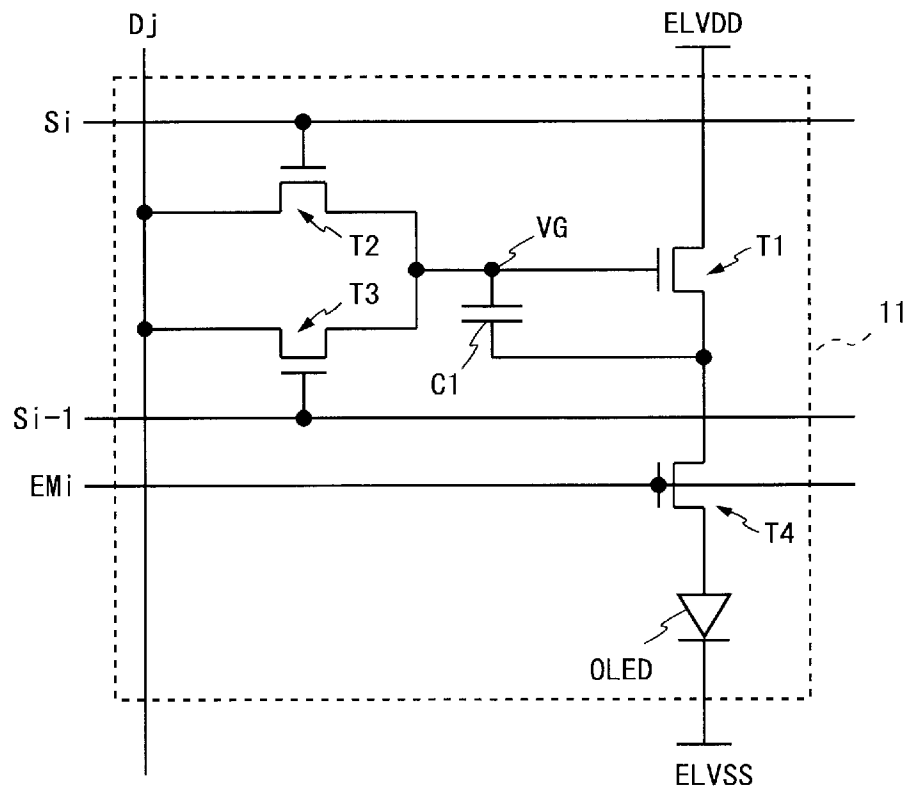
[図7]



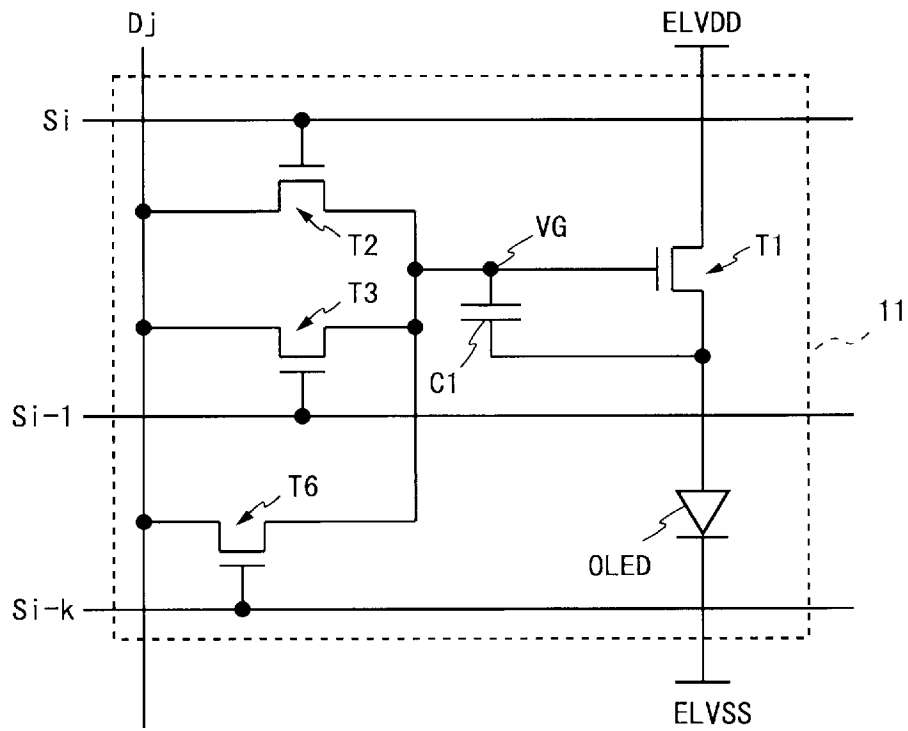
[図8]



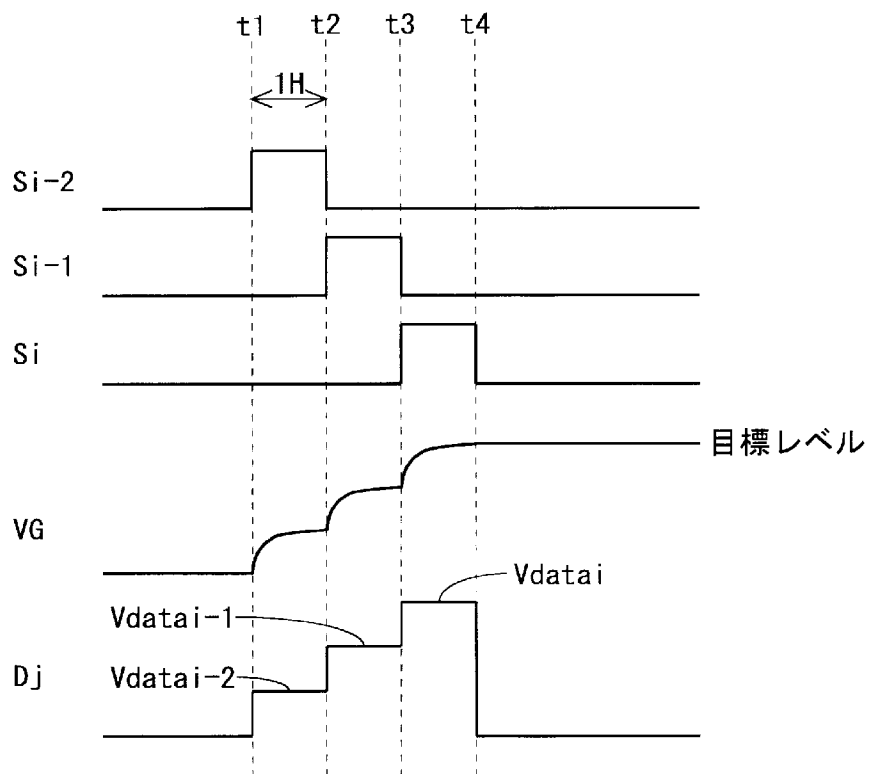
[図9]



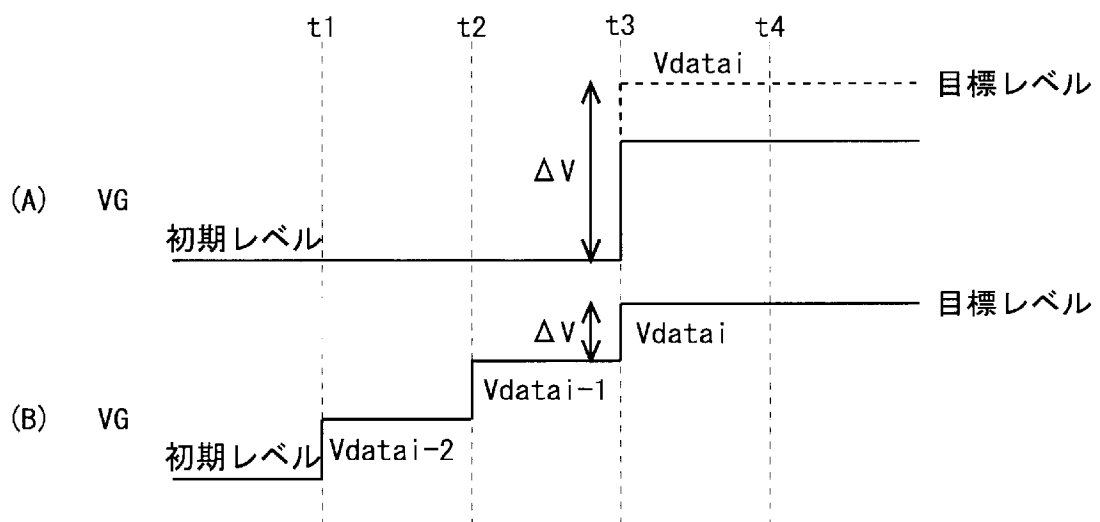
[図10]



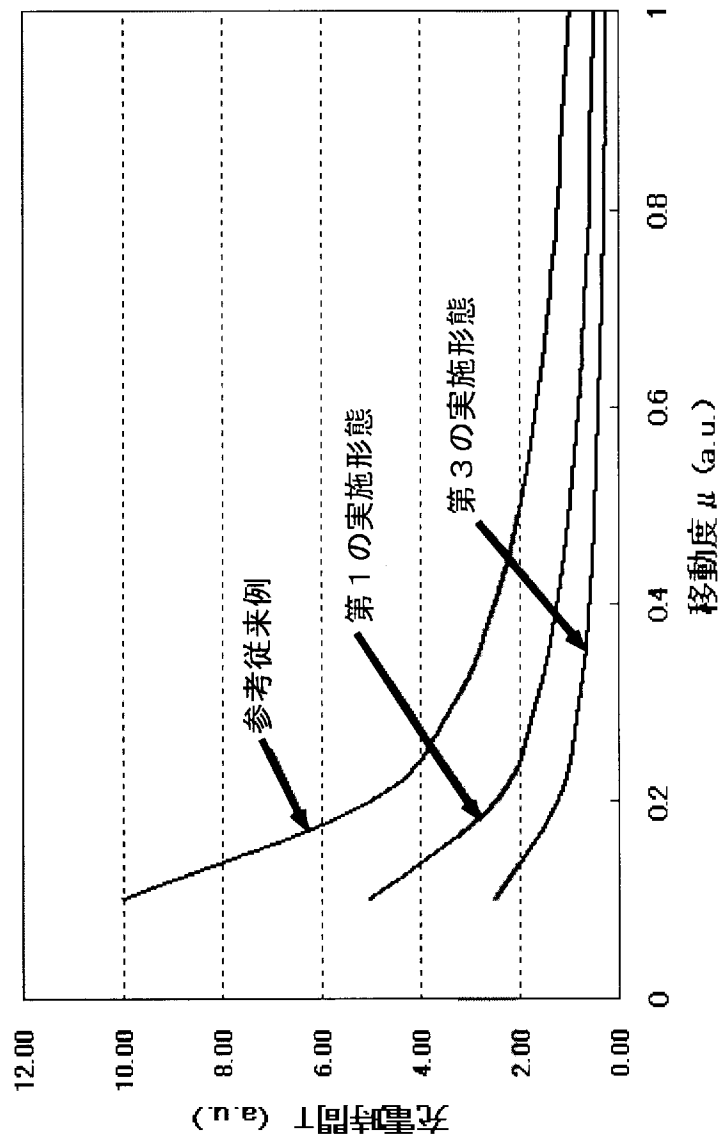
[図11]



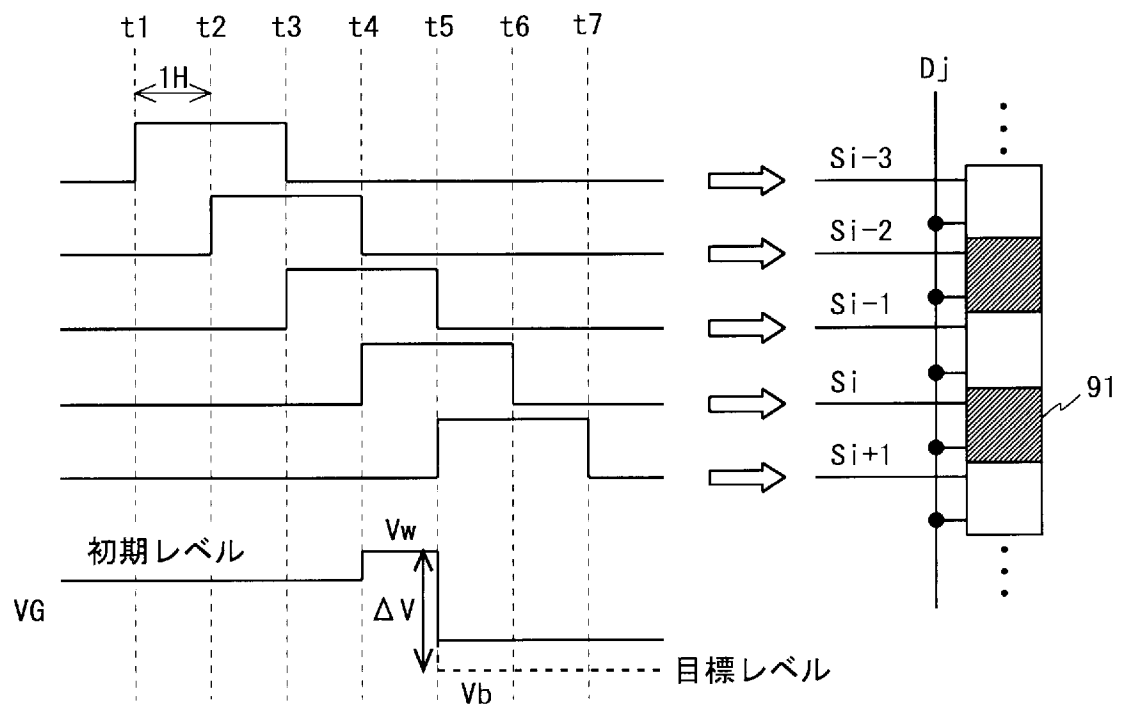
[図12]



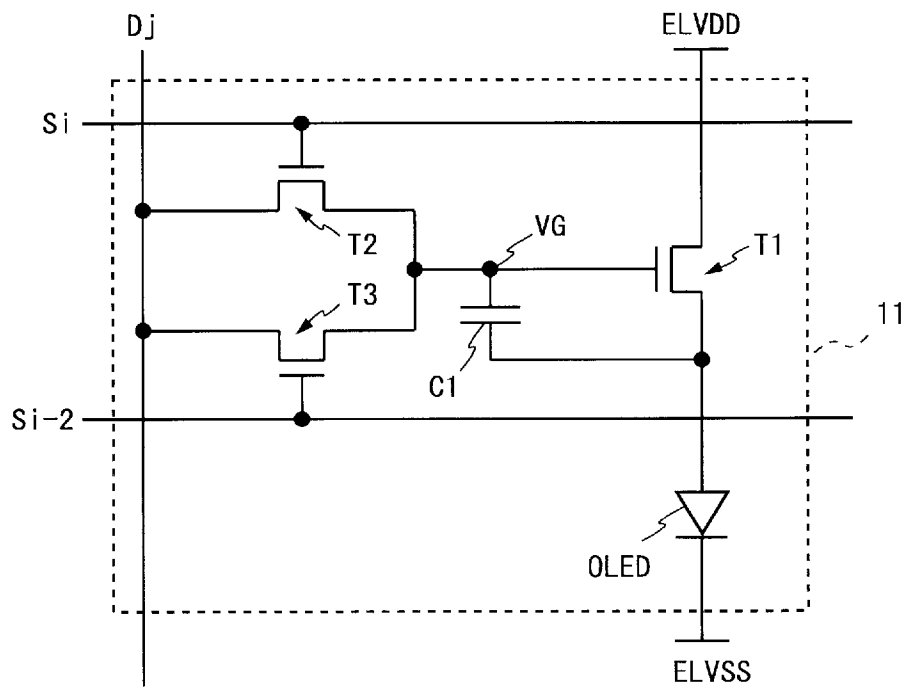
[図13]



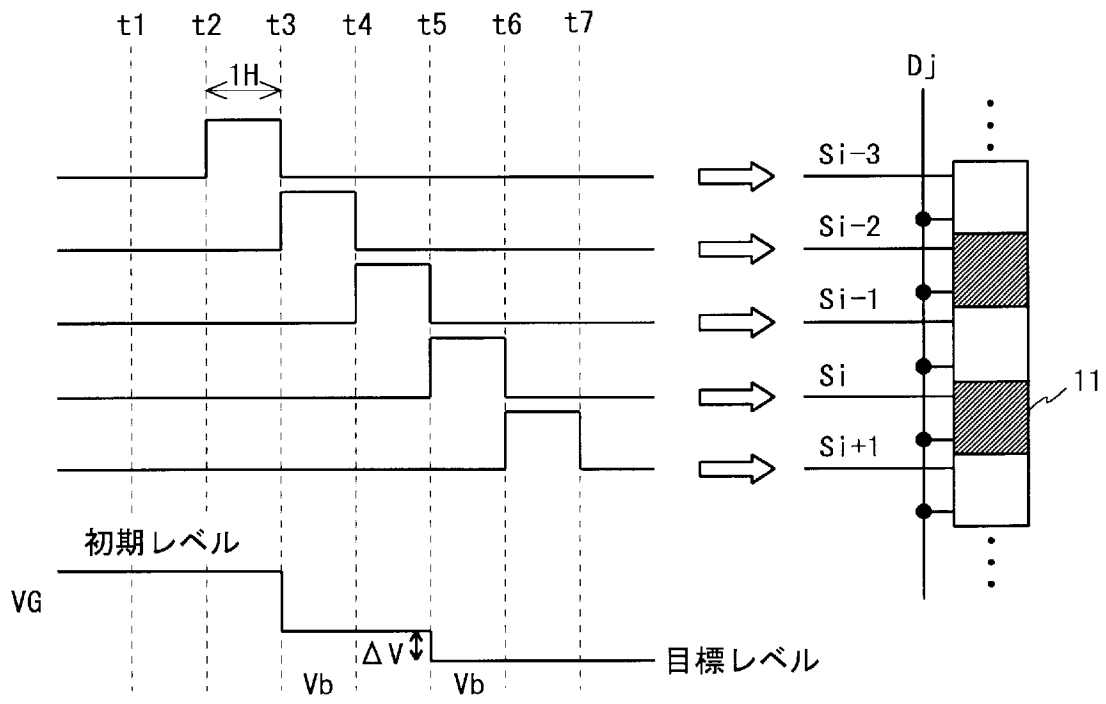
[図14]



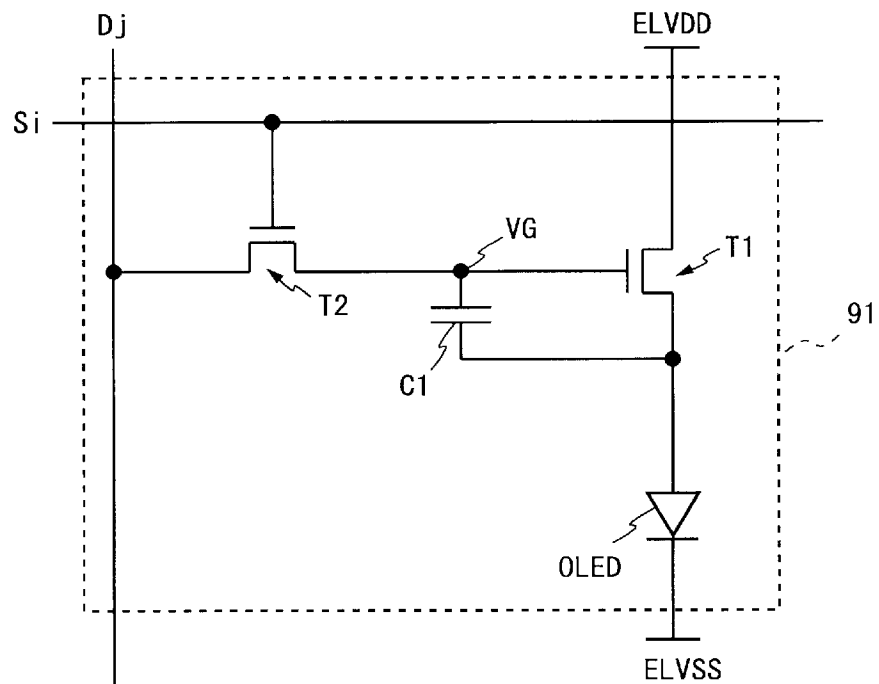
[図15]



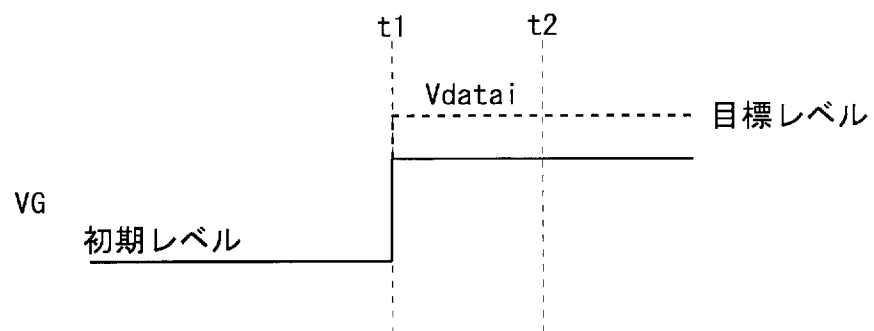
[図16]



[図17]



[図18]



[図19]

解像度	走査線本数	1H期間(μ s)	
		60Hz	120Hz
HD	720	23.1	11.6
FHD	1080	15.4	7.7
2k4k	2180	7.7	3.8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/070000

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-145446 A (Sony Corp.), 01 July 2010 (01.07.2010), fig. 16 to 18 (Family: none)	1-7
A	JP 2010-91641 A (Sony Corp.), 22 April 2010 (22.04.2010), fig. 14 (Family: none)	1-7
A	JP 2008-180836 A (Sharp Corp.), 07 August 2008 (07.08.2008), fig. 1 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 August, 2013 (28.08.13)

Date of mailing of the international search report
10 September, 2013 (10.09.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/070000

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-324958 A (Semiconductor Energy Laboratory Co., Ltd.), 22 November 2001 (22.11.2001), paragraphs [0150] to [0175]; fig. 6 & JP 2007-310404 A & JP 2010-277109 A & JP 2012-63781 A & JP 2013-92789 A & US 2001/0022565 A1 & US 2007/0115223 A1 & US 2012/0206425 A1 & TW 522360 B	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-3/38, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-145446 A（ソニー株式会社）2010.07.01, 図 1 6 - 1 8 (ファミリーなし)	1-7
A	JP 2010-91641 A（ソニー株式会社）2010.04.22, 図 1 4 (ファミリーなし)	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 8 . 2 0 1 3

国際調査報告の発送日

1 0 . 0 9 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中 村 直 行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-180836 A (シャープ株式会社) 2008.08.07, 図 1 (ファミリーなし)	1-7
A	JP 2001-324958 A (株式会社半導体エネルギー研究所) 2001.11.22, 【0150】 - 【0175】, 図 6 & JP 2007-310404 A & JP 2010-277109 A & JP 2012-63781 A & JP 2013-92789 A & US 2001/0022565 A1 & US 2007/0115223 A1 & US 2012/0206425 A1 & TW 522360 B	1-7