

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年5月27日(2010.5.27)

【公開番号】特開2009-32905(P2009-32905A)

【公開日】平成21年2月12日(2009.2.12)

【年通号数】公開・登録公報2009-006

【出願番号】特願2007-195492(P2007-195492)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 29/423 (2006.01)

H 01 L 29/49 (2006.01)

【F I】

H 01 L 29/78 301V

H 01 L 29/78 301G

H 01 L 29/58 G

H 01 L 29/78 301X

【手続補正書】

【提出日】平成22年4月14日(2010.4.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1導電型半導体基板に形成された、ゲート幅方向に側面と底面を有するトレンチ部と、

ゲート絶縁膜を介して前記トレンチ部の内部およびプレーナー部上面に形成されたゲート電極と、

前記ゲート電極の一方の側に形成された第2導電型のソース領域と、

前記ゲート電極の他方の側に形成された第2導電型のドレイン領域と、

を備え、

前記ソース領域と前記ドレイン領域のゲート電極近傍の一部の表面を他の表面よりも低い位置に配置すると共に前記ソースおよびドレイン領域の拡散深さも前記低い位置に配置された表面の下方部分においては前記他の表面の下方部分よりも深くなっていることを特徴とする半導体装置。

【請求項2】

第1導電型半導体基板と、

前記第1導電型半導体基板の表面近傍に離間して配置された第2導電型のソース領域およびドレイン領域と、

前記ソース領域およびドレイン領域の間に配置された第1のチャネル領域となる平坦なプレーナー部と、

前記プレーナー部に沿って配置された、その側面および底面が第2のチャネル領域となる、一定の深さを有するトレンチ部と、

前記プレーナー部および前記トレンチ部の表面に設けられたゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

を備え、

前記ソース領域およびドレイン領域のうち前記トレンチ部を介して向き合う部分の表面

は他の部分の表面よりも低い位置に配置するとともに、前記ソースおよびドレイン領域の拡散深さも前記トレンチ部を介して向き合う部分においては他の部分よりも深くなっていることを特徴とする半導体装置。

【請求項3】

前記低い位置に配置された前記ソース領域およびドレイン領域の表面に配線のためのコンタクトを有することを特徴とする請求項1あるいは2に記載の半導体装置。

【請求項4】

前記プレーナー部のソース領域およびドレイン領域表面のコンタクトとゲート電極との距離は、前記トレンチ部のソース領域およびドレイン領域表面のコンタクトとゲート電極との距離よりも短いことを特徴とする請求項1乃至請求項3のいずれか1項記載の半導体装置。

【請求項5】

第1導電型の半導体基板を用意する工程と、

ソース領域およびドレイン領域となる領域のうちのそれぞれ一部を前記半導体基板の表面から除去し、凹部を形成する工程と、

チャネルとなる領域に側面と底面を有するトレンチを形成してプレーナー部とトレンチ部を配置する工程と、

前記トレンチ部の側面と底面および前記プレーナー部の表面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上にゲート電極を形成する工程と、  
前記ゲート電極を挟んで前記凹部の周囲に第2導電型のソース領域とドレイン領域を形成する工程とからなる半導体装置の製造方法。

【請求項6】

前記凹部を形成する工程は、LOCOS法を用いて厚膜酸化膜を形成させ、前記厚膜酸化膜を除去することにより形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】

前記ソース領域とドレイン領域を形成する工程は、同一半導体基板上に形成される他のトランジスタのソース領域およびドレイン領域への不純物導入と同じ条件を有する不純物導入工程を含むことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】

前記ソース領域とドレイン領域を形成する工程は、同一半導体基板上に形成される他のトランジスタのソース領域およびドレイン領域への不純物導入と同時になされる不純物導入工程を含むことを特徴とする請求項5に記載の半導体装置の製造方法。