

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY PATENTU TYMCZASOWEGO

113351

Patent tymczasowy dodatkowy
do patentu nr _____

Zgłoszono: 02.08.78 (P. 208818)

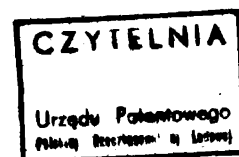
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 02.07.79

Opis patentowy opublikowano: 27.02.1983

Int. Cl².

H04L 3/02



Twórcy wynalazku: Kazimierz Tomaszewski, Eugeniusz Morzyński,
Stanisław Kwaśniewski

Uprawniony z patentu tymczasowego: Politechnika Gdańska,
Gdańsk-Wrzeszcz (Polska)

Układ kodera sygnałów w kodzie binarnym NRZ na sygnały w kodzie liniowym HDB3

Przedmiotem wynalazku jest układ kodera, którego zadaniem jest zamiana wejściowych sygnałów w kodzie binarnym NRZ na wyjściowe sygnały w kodzie liniowym HDB3.

Kodowanie oparte jest o następujące zależności pomiędzy sygnałami wejściowymi i wyjściowymi: sygnałom wejściowym o wartości „1” zostają przyporządkowane sygnały wyjściowe o wartości B, sygnałom wejściowym o wartości „0” z każdej sekwencji najwyżej trzech zer zostają przyporządkowane sygnały wyjściowe o wartości „0”; sygnałom wejściowym o wartości „0”, występującym w postaci sekwencji czterech zer, zostaje przyporządkowany sygnał wyjściowy w postaci 000V w wypadku, jeżeli ilość elementów o wartości B, poprzedzająca tę sekwencję, była nieparzysta, lub B00V w wypadku jeżeli ilość elementów o wartości B była parzysta. Elementy o wartości B są impulsami o polaryzacji przeciwnej do polaryzacji impulsu poprzedzającego, a elementy V mają wartość elementu B i polaryzację zgodną z poprzedzającym go elementem B.

W znanym układzie kodera sygnał wejściowy w postaci kodu binarnego NRZ podawany jest na przerzutnik, a z jego wyjścia na wejście szeregowo czterostopniowego rejestru. Wejście to oraz trzy pierwsze równoległe wyjścia połączone są z czterowejściowym układem logicznym NAND. W przypadku wystąpienia w sygnale wejściowym sekwencji 0000, na wyjściu tego układu pojawia się sygnał powodujący przełączenie pracy rejestru z szeregowo na równoległą. Do rejestru poprzez równoległe wejścia zostaje wpisana odpowiednia sekwencja sygnału wyjściowego. Informacja o wystąpieniu sekwencji 0000 w sygnale wejściowym zostaje jednocześnie zarejestrowana przez dwa przerzutniki X i Y. Przerzutnik X służy do określania ostatniej polaryzacji elementu V i jest wykorzystywany wraz z przerzutnikiem wyjściowym Z do ustalenia wpisywanej do wspomnianego rejestru czterostopniowej sekwencji sygnału wyjściowego. Analiza stanów przerzutników X i Z dokonywana jest za pomocą układu logicznego półsumatora. Przerzutnik Y służy do zmiany w odpowiednim miejscu sygnału wyjściowego, polaryzacji impulsów tak, aby była ona zgodna z zasadą kodowania. Sygnał z czterostopniowego rejestru poprzez inwerter podawany jest na dwa układy logiczne NAND, na które podawana jest też informacja z przerzutnika Z o polaryzacji wysyłanych przez układ wyjściowy impulsów sygnału w kodzie HDB3.

Wadą opisanego układu jest wrażliwość na wprowadzane przez układy logiczne opóźnienia.

Istota rozwiązania, według wynalazku, polega na zastosowaniu układu decydującego o wpisywaniu do czterostopniowego rejestru odpowiedniej sekwencji sygnału wyjściowego przy wystąpieniu na wejściu sekwencji 0000, składającego się z jednego tylko przerzutnika oraz układu decydującego o odpowiedniej zmianie polaryzacji impulsów wyjściowych, zbudowanego w postaci dwustopniowego rejestru współpracującego z przerzutnikiem zmieniającym polaryzację impulsów wyjściowych.

Układ kodera, według wynalazku, zawiera inwerter, którego wyjście połączone jest z wejściem SI, wpisyującym szeregowo, rejestru przesuwającego oraz z wejściem A układu logicznego NAND. Do pozostałych wejść B, C, D układu logicznego NAND dołączone są odpowiednio wyjścia Q_A , Q_B , Q_C rejestru, natomiast wyjście Q_D tego układu jest połączone z wejściem D pierwszego przerzutnika oraz z wejściem drugiego inwertera. Do wejścia MC sterującego pracą rejestru dołączone jest wyjście drugiego inwertera, a wejścia D wpisyującego równolegle rejestru, dołączone jest wyjście drugiego przerzutnika, natomiast pozostałe wejścia A, B, C wpisyujące równolegle rejestru, połączone są następująco: wejście A z potencjałem o wartości logicznej „0” z wejścia B, C z potencjałem o wartości logicznej „1”. Wyjście Q_D rejestru połączone jest z wejściem trzeciego inwertera, a także z wejściem B drugiego układu logicznego NAND. Wyjście trzeciego inwertera połączone jest z wejściami J i K drugiego przerzutnika oraz z wejściami A trzeciego i czwartego układu logicznego NAND. Wyjście Q pierwszego przerzutnika połączone jest z wejściem D trzeciego przerzutnika, którego wyjście Q połączone jest z wejściem A drugiego układu logicznego NAND. Wyjście drugiego układu logicznego połączone jest z wejściami J i K czwartego przerzutnika, którego wyjścia Q i $\bar{Q}$ połączone są z wejściami B trzeciego i czwartego układu logicznego NAND, natomiast wyjścia tych układów logicznych doprowadzone są do wejść dwóch następnych inwerterów. Z kolei wyjścia tych inwerterów dołączone są do układu wyjściowego. Impulsy taktujące o wypełnieniu 50% i częstotliwości pracy systemu podawane są poprzez czwarty inwerter do wejścia C przerzutników pierwszego i trzeciego i do wejścia piątego inwertera. Następnie z wyjścia piątego inwertera impulsy te doprowadzane są do wejść C_1 , C_2 rejestru, wejść C przerzutników drugiego i czwartego oraz wejść C trzeciego i czwartego układu logicznego NAND.

Układ, według wynalazku, realizuje kodowanie przy użyciu minimalnej liczby elementów elektronicznych, a jego działanie jest niezależne od wprowadzanych przez układy logiczne opóźnień.

Przedmiot wynalazku jest pokazany w przykładzie wykonania na rysunku przedstawiającym schemat blokowy układu kodera sygnałów w kodzie binarnym NRZ na sygnały w kodzie liniowym HDB3.

Układ kodera zawiera inwerter 1, którego wyjście połączone jest z wejściem SI, wpisyującym szeregowo czterostopniowego rejestru przesuwającego 2 o wpisywaniu szeregowo-równoległym i wyjściach równoległych oraz z wejściem A układu logicznego NAND 3. Wyjścia Q_A , Q_B i Q_C rejestru 2 połączone są z pozostałymi wejściami B, C i D układu logicznego 3 odpowiednio: wyjście Q_A z wejściem B, wyjście Q_B z wejściem C i wyjście Q_C z wejściem D, wykrywającego pojawienie się w sygnale wejściowym sekwencji 0000. Wyjście układu logicznego NAND 3 połączone jest z wejściem D pierwszego przerzutnika 6 oraz z wejściem drugiego inwertera 4, którego wyjście połączone jest z wejściem MC sterującym pracą rejestru 2. Wyjście drugiego przerzutnika 5 połączone jest z wejściem D wpisyującego równolegle rejestru 2, pozostałe wejścia A, B i C wpisyujące równolegle rejestru 2 połączone są: wejście A z potencjałem o wartości „0” logicznego, wejścia B i C z potencjałem o wartości „1” logicznej. Wyjście Q_D rejestru 2 połączone jest z wejściem trzeciego inwertera 8, a także z wejściem B drugiego układu logicznego NAND 9. Wyjście inwertera 8 połączone jest z wejściami J i K przerzutnika 5 oraz z wejściami A układów logicznych NAND trzeciego 11 i czwartego 12. Wyjście Q przerzutnika 6 połączone jest z wejściem D trzeciego przerzutnika 7, którego wyjście Q połączone jest z wejściem A układu logicznego NAND 9. Wyjście układu logicznego NAND 9 połączone jest z wejściami J i K czwartego przerzutnika 10, którego wyjścia Q i $\bar{Q}$ połączone są z wejściami B układów logicznych trzeciego 11 i czwartego 12, odpowiednio wyjście Q z wejściem układu 11, wyjście $\bar{Q}$ z wejściem układu 12. Wyjścia układów logicznych 11 i 12 połączone są z wejściami inwerterów 13 i 14, odpowiednio wyjście układu 11 z wejściem inwertera 13, wyjście układu 12 z wejściem inwertera 14. Wyjścia inwerterów 13 i 14 sterują układem wyjściowym 17. Impulsy taktujące o wypełnieniu 50% częstotliwości pracy systemu podawane są na wejście czwartego inwertera 15. Wyjście tego inwertera połączone jest z wejściami C przerzutników 6 i 7 oraz poprzez piąty inwerter 16 z wejściami C_1 i C_2 rejestru 2, wejściami C przerzutników 5 i 10 i wejściami C układów logicznych NAND 11 i 12.

Sygnał wejściowy w kodzie binarnym NRZ podany zostaje na wejście inwertera 1, skąd po inwersji zostaje wpisywany poprzez szeregowo wpisyujące wejście do czterostopniowego rejestru przesuwającego 2 o wpisywaniu szeregowo-równoległym oraz wyjściach równoległych. Z wejścia rejestru 2 i jego wyjść Q_A , Q_B i Q_C pobierana jest informacja o wystąpieniu w sygnale wejściowym czterech kolejnych zer. W wypadku ich wystąpienia, na wyjściu czterostopniowego układu logicznego NAND 3 pojawi się sygnał logiczny o wartości „0”. Sygnał ten, po inwersji w inwerterze 4 na sygnał o wartości „1”, zmienia rodzaj pracy rejestru 2 z wpisywania szeregowego na wpisywanie równoległe.

Z wyjścia Q_D rejestru 2 sygnał podawany jest poprzez inwerter 8 na wejścia A układów logicznych 11 i 12, które wraz z przerzutnikiem 10 służą do nadania odpowiedniej polaryzacji impulsom sygnału wyjściowego. Jednocześnie z wyjścia inwertera 8 sygnał podawany jest na wejście przerzutnika 5 określającego parzystość impulsów sygnału wyjściowego. W przypadku wystąpienia na wejściu sekwencji 0000 poprzez równoległe wejścia A, B, C i D rejestru 2 zostaje wpisana odpowiednia sekwencja, w zależności od ilości poprzednio występujących w sygnale wyjściowym elementów B. Jeżeli ilość ta była nieparzysta, to na wyjściu przerzutnika 5 pojawi się sygnał o wartości „1” i do rejestru zostanie wpisana sekwencja 1110, co odpowiada sekwencji wyjściowej 000V, natomiast jeżeli ilość była parzysta, to na wyjściu przerzutnika pojawi się sygnał o wartości „0” i do rejestru wpisana zostaje sekwencja 0110, co odpowiada sekwencji B00V. Do nadania odpowiedniej polaryzacji, wygenerowanemu w rejestrze 2 elementowi V służy dwustopniowy rejestr zbudowany z przerzutników 6 i 7.

W rejestrze tym zostaje zapisany sygnał o wystąpieniu na wejściu sekwencji 0000. Sygnał ten po przejściu przez rejestr zmienia poprzez układ logiczny NAND 9 stan przerzutnika 10. Jest to jednoznaczne z nadaniem elementowi V polaryzacji ostatniego elementu B. Układ logiczny 9 służy do sumowania informacji zmieniających polaryzację impulsów wyjściowych, pochodzących z dwóch torów: toru sygnałowego i toru zmiany polaryzacji elementów V. Sygnały z wyjść układów logicznych 11 i 12 podawane są poprzez inwertery 13 i 14 na układ wyjściowy 17, na którego wyjściu pojawia się sygnał wyjściowy w kodzie liniowym HDB3. Inwertery 15 i 16 służą do odpowiedniej zmiany fazy sygnału taktującego układ kodera.

Zastrzeżenie patentowe

Układ kodera sygnałów w kodzie binarnym NRZ na sygnały w kodzie liniowym HDB3, zawierający czterostopniowy rejestr przesuwający o wpisywaniu szeregowo-równoległym i wyjściach równoległych, zamieniający wejściowe sekwencje 0000 na odpowiednie sekwencje sygnału wyjściowego oraz czterowejściowy układ logiczny NAND, wykrywający wystąpienie w sygnale wejściowym sekwencji 0000, z n a m i e n n y t y m, że posiada inwerter (1), którego wyjście połączone jest z wejściem (SI), wpisyującym szeregowo rejestr przesuwającego (2) oraz z wejściem (A) układu logicznego NAND (3), przy czym wyjścia (Q_A), (Q_B) i (Q_C) rejestru (2) połączone są z pozostałymi wejściami (B), (C) i (D) układu logicznego NAND (3) odpowiednio wyjście (Q_A) z wejściem (B), wyjście (Q_B) z wejściem (C) i wyjście (Q_C) z wejściem (D), natomiast wyjście układu logicznego (3) połączone jest z wejściem (D) pierwszego przerzutnika (6) oraz z wejściem drugiego inwertera (4), którego wyjście połączone jest z wejściem (MC), sterującym pracą rejestru (2), zaś wyjście drugiego przerzutnika (5) połączone jest z wejściem (D), wpisyującym równoległe rejestru (2), a wyjście (Q_D) rejestru (2) połączone jest z wejściem trzeciego inwertera (8), a także z wejściem (B) drugiego układu logicznego NAND (9), natomiast wyjście trzeciego inwertera (8) połączone jest z wejściami (J) i (K) drugiego przerzutnika (5) oraz z wejściami (A) układów logicznych NAND trzeciego (11) i czwartego (12), wyjście (Q) pierwszego przerzutnika (6) połączone jest z wejściem (D) trzeciego przerzutnika (7), którego wyjście (Q) połączone jest z wejściem (A) drugiego układu logicznego NAND (9), a wyjście tego układu logicznego NAND (9) połączone jest z wejściami (J) i (K) czwartego przerzutnika (10), którego wyjścia (Q) i ($\bar{Q}$) połączone są z wejściami (B) układów logicznych NAND trzeciego (11) i czwartego (12) odpowiednio, wyjście (Q) z wejściem układu (11), a wyjście (Q) z wejściem układu (12), zaś wyjścia tych układów logicznych NAND (11 i 12) połączone są z wejściami dwóch następnych inwerterów (13 i 14) odpowiednio wyjście układu (11) z wejściem inwertera (13), wyjście układu (12) z wejściem inwertera (14), przy czym wyjścia tych inwerterów (13 i 14) dołączone są do układu wyjściowego (17), ponadto wyjście czwartego inwertera (15) jest doprowadzone do wejść (C_1) i (C_2) rejestru (2), do wejść (C) przerzutników pierwszego (6) i trzeciego (7) i poprzez piąty inwerter (16) do wejść (C_1) i (C_2) rejestru (2), do wejść (C) przerzutników drugiego (5) i czwartego (10) oraz do wejść (C) układów logicznych NAND trzeciego (11) i czwartego (12).

