

República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial

(21) **PI0608710-8 A2**



(22) Data de Depósito: 14/02/2006
(43) Data da Publicação: 26/01/2010
(RPI 2038)

(51) *Int.Cl.*:
H04H 20/44 (2010.01)

(54) Título: **MÉTODO E APARELHO PARA SINCRONIZAR UM RELÓGIO EXCITADOR COM UM RELÓGIO DE QUADRO DE MODEM EM UM SISTEMA DE RADIODIFUSÃO**

(30) Prioridade Unionista: 16/03/2005 US 11/081,267

(73) Titular(es): Ibiqity Digital Corporation

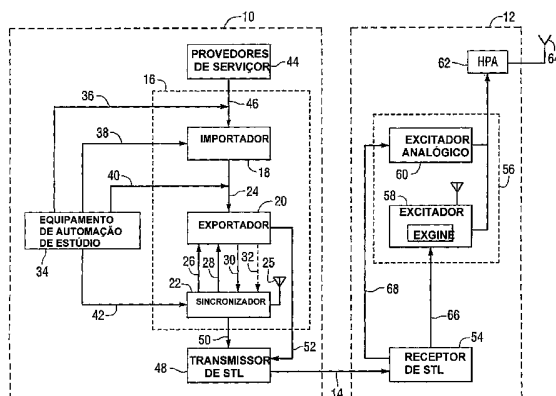
(72) Inventor(es): BRIAN KROEGER

(74) Procurador(es): Momsen, Leonardos & CIA.

(86) Pedido Internacional: PCT US2006005134 de 14/02/2006

(87) Publicação Internacional: WO 2006/101622 de 28/09/2006

(57) Resumo: MÉTODO E APARELHO PARA SINCRONIZAR UM RELÓGIO EXCITADOR COM UM RELÓGIO DE QUADRO DE MODEM EM UM SISTEMA DE RADIODIFUSÃO. Um método para sincronizar um relógio excitador com um relógio de quadro de modem em um sistema de radiodifusão de IBOC inclui as etapas de receber uma pluralidade de pulsos de quadro de modem que são representativos do começo de quadros de modem de sinais de áudio e sinais de dados, em que temporização dos pulsos de quadro de modem é controlada por um relógio de quadro de modem, produzindo um sinal de relógio excitador, contando pulsos representativos do sinal de relógio excitador para produzir uma contagem representativa de erro de temporização de cada pulso de quadro de modem de chegada, e controlando o sinal de relógio excitador em resposta à contagem. Um aparelho que executa o método também é provido.



“MÉTODO E APARELHO PARA SINCRONIZAR UM RELÓGIO
EXCITADOR COM UM RELÓGIO DE QUADRO DE MODEM EM UM
SISTEMA DE RADIODIFUSÃO”

CAMPO DA INVENÇÃO

5 Esta invenção relaciona-se a sistemas de radiodifusão, e mais particularmente a métodos e aparelho para sincronizar relógios em estúdios e transmissores.

FUNDAMENTO DA INVENÇÃO

10 O sistema de iBiquity Digital Corporation HD Radio™ é projetado para permitir uma evolução suave de rádio de Modulação de Amplitude analógica (AM) atual e Modulação de Frequência (FM) para um sistema em Canal em Banda (IBOC) completamente digital. Este sistema entrega serviços de áudio digital e dados a receptores móveis, portáteis, e fixos de transmissores terrestres nas bandas de rádio de Frequência Média
15 (MF) e Frequência Muito Alta (VHF) existentes. Radiodifusoras podem continuar transmitindo análogo AM e FM simultaneamente com os novos sinais digitais de alta qualidade e mais robustos, permitindo a eles mesmos e seus ouvintes converterem de rádio analógico para digital enquanto mantendo suas alocações de frequência atuais.

20 Dois componentes principais na arquitetura de sistema de radiodifusão são o exportador e o excitador. Normalmente, o exportador é residente no estúdio de uma estação de rádio e o excitador está localizado no local de transmissão, embora nada os proíba de estarem dispostos no local de transmissão. A interface entre o exportador e excitador é unidirecional
25 (normalmente através de uma Ligação de Transmissor de Estúdio Digital (STL)) tipicamente usando uma Ethernet para a ligação de excitador.

Os sinais de áudio e dados digitais podem incluir uma pluralidade de serviços incluindo um Serviço de Programa Principal (MPS) e um Serviço de Informação de Estação (SIS). O exportador contém o software

e hardware requeridos para o MPS e o SIS. Ele aceita áudio analógico e digital através de uma interface de áudio, comprime o áudio e produz o áudio comprimido para o excitador através da ligação de excitador de unidirecional.

Um Codec de HD (HDC) pode estar localizado no estúdio no exportador. O exportador produz um sinal para o caminho de STL que contém ambos o áudio codificado de HDC e todos os serviços de dados. O sinal de áudio analógico é atrasado no exportador para atraso de diversidade, e saído a 44,1 kHz. Pode então ser enviado em um STL existente ou re-amostrado a 32 kHz e enviado com o fluxo de HDC em um STL multiplexado que pode se ajustar dentro da alocação de STL de 300 kHz. A porção de modulação de RF está no local de transmissor. Isto permite um fluxo de bits eficiente em largura da banda.

O excitador contém um subsistema de máquina excitadora ('exgine') e o hardware necessário requerido para produzir a forma de onda de HD Radio™. Toda a interconexão entre o exportador e 'exgine' ocorre através da ligação de excitador unidirecional. As mensagens de ligação de excitador que são transmitidas pela ligação contêm os dados de canal lógico a serem modulados por 'exgine' como também comando apropriado e controle precisados entre o exportador e 'exgine'.

O áudio e dados codificados são combinados em um único fluxo de transporte, com a codificação de áudio e manipulação de dados sendo executada no estúdio. Tudo passado através da ligação de excitador é baseado em mensagem. Cada mensagem tem um cabeçalho e um corpo. O cabeçalho inclui pelo menos um identificador, um corpo, um número de seqüência e uma verificação de redundância cíclica. Os corpos das mensagens têm um formato específico. Para a ligação de excitador unidirecional, o corpo é sempre uma mensagem de comando, desde que não há nenhum canal de retorno para levar uma resposta.

Um elemento do sistema de 'exgine' é o importador. O

importador é implementado em software, e administra todos os dados, incluindo dados de terceiros, dados associados a programa (PAD) ou canais suplementares, por exemplo. Multiplexa os dados, mais a informação de HDC codificada do sinal de IBOC digital, e alimenta essa informação como um
5 fluxo de bits para o excitador.

Em certos sistemas de HD Radio™, o Sistema de FM de HDC é capaz de uma resposta de 20 kHz, enquanto o Sistema de AM HDC provê uma resposta de 15 kHz. Para uma resposta de áudio de 20 kHz para HDC FM, o sistema de STL deve empregar uma taxa de amostragem de 44,1 kHz
10 ou mais alta a fim de passar os espectros superiores. Desde que o sistema de HDC requer um relógio mestre de 44,1 kHz, há uma vantagem sutil em usar um sistema de STL digital que opera a 44,1 kHz, como eliminará um conversor de taxa de amostra (SRC). Porém, sistemas de STL empregando tanto amostragem de 32 kHz ou 48 kHz também podem ser usados.

15 O sistema de HDC emprega um relógio mestre para sincronizar tudo à taxa de amostragem de 44,1 kHz. Processamento pode utilizar duas configurações: duas unidades separadas (uma para HDC e uma para transmissão convencional), ou um único processador de combinação de saída dual que provê áudio processado dedicado para ambos os canais.

20 Considere primeiro os efeitos de erro de relógio na sincronização de tempo entre o exportador e a 'exgine'. Se os relógios nestes dispositivos tiverem uma diferença de erro de 1 ppm, então um relógio deslizará todo milionésimo tempo de relógio. Outro modo para caracterizar isto é que o erro de tempo é um milionésimo do lapso de tempo total. Por
25 exemplo, um erro de 1 ppm deriva 3,6 ms/h, ou 86,4 ms/dia, que é equivalente a 159 relógios, ou 3810 relógios do relógio de áudio de 44,1 kHz durante uma hora, ou um dia, respectivamente. Se uma tolerância de amostra de relógio de 44,1 kHz de uma única amostra de relógio for requerida, então os relógios derivarão fora de especificação em só 22,7 segundos a erro de

relógio de 1 ppm. Assim está claro que algum tipo de sincronização adicional é precisado.

Relógios de 10 MHz travados por GPS podem ser usados ambos no exportador no estúdio e a 'exgine' no local de transmissor para
5 manter sincronização entre os dois locais quando eles estão conectados por ligação de STL. Porém, pode ser difícil em alguns casos receber o sinal de GPS no local de transmissor devido a alto ruído de RF.

Há uma necessidade por um método alternativo para gerar um relógio síncrono no local de transmissor.

10 SUMÁRIO DA INVENÇÃO

Esta invenção provê um método para sincronizar um relógio excitador com um relógio de quadro de modem em um sistema de radiodifusão. O método inclui as etapas de receber uma pluralidade de pulsos de quadro de modem que são representativos do começo de quadros de
15 modem de sinais de áudio e sinais de dados, em que temporização dos pulsos de quadro de modem é controlada por um relógio de quadro de modem, produzindo um sinal de relógio excitador, contando pulsos representativos do sinal de relógio excitador para produzir uma contagem representativa de erro de temporização de cada pulso de quadro de modem de chegada, e
20 controlando o sinal de relógio excitador em resposta à contagem. Um aparelho que executa o método também é provido.

Em outro aspecto, a invenção provê um aparelho para sincronizar um relógio excitador com um relógio de quadro de modem em um sistema de radiodifusão. O aparelho inclui uma entrada para receber uma
25 pluralidade de pulsos de quadro de modem que são representativos do começo de quadros de modem de sinais de áudio e sinais de dados, em que temporização dos pulsos de quadro de modem é controlada por um relógio de quadro de modem, um oscilador controlado por tensão para produzir um sinal de relógio excitador, um contador para contar pulsos representativos do sinal

de relógio excitador para produzir uma contagem representativa de erro de temporização de cada pulso de quadro de modem de chegada, e um filtro de malha para controlar o sinal de relógio excitador em resposta à contagem.

BREVE DESCRIÇÃO DOS DESENHOS

5 Figura 1 é um diagrama de blocos de um estúdio, transmissor e ligação de estúdio para transmissor para uma estação de rádio de FM.

Figura 2 é um diagrama de blocos de um estúdio, transmissor e ligação de estúdio para transmissor para uma estação de rádio de AM.

10 Figura 3 é um diagrama funcional de uma porção do excitador em um local de transmissor.

Figura 4 é um diagrama de blocos de um circuito de sincronização construído de acordo com a invenção.

Figura 5 é um diagrama esquemático de um circuito construído de acordo com a invenção.

15 Figura 6 é um diagrama de um modelo linear da invenção.

Figuras 7a e 7b são diagramas usados para ilustrar constantes de tempo dos modelos.

Figura 8 é um diagrama de um modelo de simulação digital da invenção.

20 Figura 9 é um gráfico da resposta de PLL a compensação inicial de 1 ms e instabilidade fase de entrada de 1 ms rms.

Figura 10 é um gráfico da resposta de PLL a compensação inicial de 10 ms e instabilidade fase de entrada de 10 ms rms.

DESCRIÇÃO DETALHADA DOS DESENHOS

25 Se referindo aos desenhos, Figura 1 é um diagrama de blocos funcional dos componentes pertinentes de um local de estúdio 10, um local de transmissor 12, e ligação de estúdio para transmissor (STL) 14, que são construídos de acordo com a invenção. O estúdio inclui, entre outras coisas, um Centro de Operações Conjuntas (EOC) 16, que inclui um importador 18,

um exportador 20 e um sincronizador 22. O importador e exportador estão conectados por uma ligação de dados de exportador 24. O sincronizador 22 inclui um receptor de GPS que está conectado a uma antena 25. O exportador e sincronizador trocam uma pluralidade de sinais incluindo áudio de serviço de programa principal digital (MPS), áudio de serviço de programa principal analógico (MPS), áudio de serviço de programa principal analógico atrasado (MPS), e controle de desvio, como ilustrado por setas 26, 28, 30 e 32. O EOC recebe uma pluralidade dos sinais de áudio e dados de equipamento de áudio de estúdio 34, incluindo um serviço de dados de áudio secundários na linha 36, áudio de serviço de áudio secundário na linha 38, dados de serviço de programa principal na linha 40, e áudio de serviço de programa principal na linha 42. Provedores de serviço de dados 44 provêem dados de serviço na linha 46. Um transmissor de ligação de transmissor de estúdio (STL) 48 recebe áudio de MPS analógico atrasado na linha 50 e dados de ligação de excitador na linha 52.

O EOC formata os vários sinais em quadros de modem, e o transmissor de STL envia os quadros de modem, na forma de dados em quadro, ao local de transmissor 12 por meio da ligação de STL 14. Os quadros de modem provêem uma série de pulsos para sincronização no excitador. Um relógio de quadro de modem é usado para controlar a temporização de sinal. O local de transmissor inclui um receptor de STL 54, um excitador 56, que inclui um subsistema de 'exgine' 58 e um excitador analógico 60. O local de transmissor recebe os sinais de áudio e dados e os processa para radiodifusão por um amplificador de alta potência 62 e antena 64. Dados de ligação de excitador são providos à 'exgine' como ilustrado por seta 66. Áudio de MPS analógico atrasado é provido ao excitador analógico como ilustrado por seta 68. O excitador inclui um relógio de 10 MHz e um conversor à cima.

Figura 2 é um diagrama de blocos funcional dos componentes pertinentes de um local de estúdio 110, um local de transmissor 112, e ligação

de estúdio para transmissor (STL) 114, que são construídos de acordo com a invenção. O estúdio inclui, entre outras coisas, um EOC 116, que inclui um importador 118, um exportador 120 e um sincronizador 122. O importador e exportador estão conectados por uma ligação de dados de exportador 124. O sincronizador 122 inclui um receptor de GPS que está conectado a uma antena 125. O exportador e sincronizador trocam uma pluralidade de sinais incluindo áudio de serviço de programa principal digital (MPS), áudio de serviço de programa principal analógico (MPS), e controle de desvio, como ilustrado por setas 126, 128 e 130. O EOC recebe uma pluralidade de sinais de áudio e dados de equipamento de áudio de estúdio 132, incluindo um serviço de dados de áudio secundário na linha 134, áudio de serviço de áudio secundário na linha 136, dados de serviço de programa principal na linha 138, e áudio de serviço de programa principal na linha 140. Provedores de serviço de dados 142 provêem dados de serviço na linha 144. Um transmissor de ligação de transmissor de estúdio (STL) 146 recebe os sinais a serem transmitidos em dados de ligação de excitador na linha 148.

O EOC formata os vários sinais em quadros de modem, e o transmissor de STL envia os quadros de modem na forma de uma série de pulsos para o local de transmissor 112 por meio da ligação de STL 114. Um relógio de quadro de modem é usado para controlar a temporização de sinal. O local de transmissor inclui um receptor de STL 150 e um excitador 152, que inclui um subsistema de 'exgine' 154. O local de transmissor recebe os sinais de áudio e dados e os processa para radiodifusão por um amplificador de alta potência 156 e antena 158. Dados de ligação de excitador são providos à 'exgine' como ilustrado por seta 160. O excitador inclui um relógio de 10 MHz e um conversor à cima.

Uma solução para o assunto de sincronização se confia na transmissão periódica de um sinal de sincronização de tempo através de um STL. É assumido aqui que a temporização de STL é assíncrona com respeito

ao relógio de 10 MHz no transmissor, assim o relógio de STL é um candidato improvável para uso como um relógio de referência na ‘exgine’. Porém, pulsos de sincronização de tempo periódicos (quase) coincidentes à taxa de quadro de modem podem ser usados para sincronizar o relógio de ‘exgine’.

5 Embora o sinal de sincronização de tempo possa ser travado em frequência ao relógio de referência de exportador através de um lapso de tempo suficientemente longo, tem uma instabilidade de tempo de pico a pico, de por exemplo 1 ms, devido ao relógio de STL assíncrono e temporização de software. Também é importante considerar que este ruído de instabilidade não
10 é provavelmente não correlacionado (branco) e pode ter uma periodicidade longa, ou frequência de batimento. Se algum tipo de malha travada por fase (PLL) fosse usada na ‘exgine’ para regenerar o relógio de 10 MHz, então o ruído de fase e erro de frequência devem permanecer dentro de especificações durante estes erros graduais se transmissão de sinal estiver habilitada. A
15 tolerância de frequência, estabilidade de PLL, gama de captura e constantes de tempo requeridas deste PLL fixam os parâmetros de projeto para implementação. A multiplicação de frequência extraordinariamente alta (aproximadamente 15 milhões) do relógio de quadro de modem para 10 MHz, junto com a instabilidade na entrada do STL, resulta em um projeto não
20 convencional com constantes de tempo muito longas.

Outro fator a considerar é a precisão, ou instabilidade de tempo, da informação de sincronização. Média estatística provê um meio para estimar um parâmetro (isto é, período de tempo de quadro de modem) de amostras ruidosas corrompidas por instabilidade (assuma uma distribuição
25 Gaussiana não correlacionada para análise para produzir uma estimativa imparcial ótima). A variância estatística da média de estimativa é igual à variância de cada amostra dividida pelo número de amostras. Ou equivalentemente, o desvio-padrão é reduzido pela raiz quadrada do número de amostras na média. Um tipo de média ponderada pode ser realizado usando

técnicas de PLL.

Figura 3 é um diagrama funcional de uma porção do excitadores das Figuras 1 e 2. O subsistema de 'exgine' 180 produz um sinal de relógio tendo uma frequência de cerca de 0,673 Hz na linha 182. Este sinal de relógio é derivado da temporização de quadro de modem. O sinal de relógio é provido como uma mensagem de sincronização através da ligação de STL do exportador, e então decodificado para criar o pulso quando a mensagem de sincronização chega periodicamente a cerca de 0,637 Hz. O sinal serve como uma entrada para um gerador de relógio de 10 MHz 184. O gerador de relógio de 10 MHz produz um sinal de relógio de 10 MHz na linha 186, que é usado para controlar um conversor à cima digital 188. O conversor à cima digital recebe os dados de forma de onda do subsistema de 'exgine', como ilustrado por seta 190, e produz o sinal de HD Radio™ na linha 192.

Figura 4 é um diagrama de blocos do relógio de 10 MHz da Figura 3. O sinal de relógio de 0,673 Hz é entrado na linha 182 a um arranjo de portas programáveis em campo (FPGA) 194, por exemplo. O FPGA processa o sinal de relógio para produzir um sinal de controle digital na linha 196. Um conversor digital para analógico 198 produz um sinal de tensão analógico na linha 200. Um oscilador controlado por tensão (VCXO) 202 produz o sinal de relógio de 10 MHz na linha 186 em resposta à tensão de controle analógica. O sinal de relógio de 10 MHz é realimentado ao FPGA, como ilustrado por seta 204.

Esta invenção provê um método para sincronizar o relógio de 10 MHz de 'exgine' com o relógio de quadro de modem do exportador. Figura 5 é um diagrama esquemático de um circuito de malha travada por fase (PLL) construído de acordo com a invenção. No circuito da Figura 5, pulsos de quadro de modem a um período de cerca de 1,486 segundos (recíproco = 0,637 Hz) são entrados na linha 210 para um circuito de trava 212. Os pulsos de quadro de modem indicam o início do quadro de modem. Um sinal de

sincronização inicial na linha 214 é sujeito uma operação E lógica com os pulsos de quadro de modem por porta 216 para produzir um sinal de reiniciação para contador de módulo 2^{16} 218 na linha 220. Vários métodos podem ser usados para iniciar a aquisição de sincronização inicial. Um protótipo usa um botão de aperto para iniciar a aquisição de sincronização inicial. Hardware comercial pode iniciar isto de um controlador de computador, onde todos os parâmetros de transmissão são controlados de uma interface gráfica de usuário (GUI), ou qualquer que o fabricante julgar conveniente. A contagem de contador 218 é armazenada em trava 212. A contagem é travada em resposta a uma borda dianteira de um pulso de quadro de modem.

O complemento de 2 negativo da contagem travada é executado como mostrado em bloco 222 para produzir um sinal de erro que é entregue a uma filtro de malha 224. O complemento de 2 é um método conveniente de representar ambos erros de contagem de temporização positivos e negativos (relativo a erro de contagem zero) no contador/detector de fase. Esta contagem (complemento de 2) provê uma medição da fase relativa ou erro temporização entre os pulsos de entrada e relógio de quadro de modem regenerado da 'exgine'. A PLL atua para reduzir esta contagem a zero. A resolução da contagem é em amostras de relógio de 44,1 kHz, ou cerca de 23 microssegundos. Em malhas travadas por fase convencionais, um circuito do tipo de trava binária é usado para criar uma largura de pulso de erro para cada impulso que é igual à diferença de tempo de pulso da entrada e dividido por sinal de realimentação. Esta largura de pulso normalmente seria processada no filtro de malha. Ao invés, esta invenção usa um contador (em vez de uma largura de pulso analógica) para indicar o erro de temporização de cada pulso de quadro de modem de chegada. Este método permite uma reiniciação ao contador para assegurar que a PLL esteja dentro de seu de erro fase visado (tempo) e converge mais depressa (embora ainda seja várias

horas), caso contrário pode levar dias para convergir. Esta reiniciação de contador permite a característica de aquisição inicial, que seria caso contrário impossível com o método de largura de pulso analógico convencional. O tempo de aquisição caso contrário extremamente longo é a motivação para este detector de fase de contador, embora a aquisição ainda seja longa (horas em vez de dias).

O filtro de malha inclui pontos de adição 226, 228 e 230, limitadores 232 e 234, amplificadores 236 e 238 e elementos de realimentação 240 e 242. Os elementos de realimentação são elementos de atraso de amostra única. A saída do filtro de malha está limitada como mostrado no bloco 244 e a saída digital do limitador é convertida a uma tensão de controle analógica na linha 246 por conversor digital para analógico 248. Um oscilador controlado por tensão 250 produz um sinal de relógio de 10 MHz na linha 252 em resposta a esta tensão de controle.

Um divisor de módulo variável 254 é usado para criar um relógio de 44,1 kHz do relógio de 10 MHz. O divisor de módulo variável 254 inclui contadores 256 e 258 e detector 260, e produz um sinal de relógio de 44,1 kHz na linha 262. A frequência de 44,1 kHz é conveniente desde que é usada para a taxa de amostra de áudio e é um múltiplo exato da taxa de quadro de modem. O divisor de módulo variável multiplica efetivamente a frequência de relógio de 10 MHz por um fator de 441/100000. O relógio de 44,1 kHz é entrado a um contador de 16 bits, que cicla na taxa de quadro de modem de 44100/65536, ou aproximadamente 0,673 Hz produzindo um período de quadro de modem de aproximadamente 1,486 s.

O contador 218 tem uma resolução de 16 bits. Estes 16 bits representam a diferença de fase relativa entre o contador de quadro de modem virtual e a temporização de quadro de modem de referência de entrada. A contagem é travada na borda dianteira do relógio de quadro de modem de entrada. Esta contagem (complemento de 2) provê uma medição da fase

relativa ou erro temporização entre os pulsos de entrada e relógio de quadro de modem regenerado da 'exgine'. Este erro de fase é processado subsequentemente por um filtro de malha e DAC para controlar a frequência instantânea do VCXO. O filtro de malha controla o desempenho global da PLL.

O VCXO é especificado para ter uma frequência nominal de 10 MHz $\pm 0,5$ ppm. A gama de tensão de controle deveria permitir à frequência de VCXO alcançar 10 MHz $\pm 1,0$ ppm. Além disso, a gama máxima de frequências de VCXO deverá ser limitada a 10 MHz $\pm 1,5$ ppm sob todas as condições. Esta limitação impede a frequência de exceder sua tolerância de pior caso de sistema de ± 2 ppm.

Um DAC de 16 bits é assumido, embora só 8 MSBs (por exemplo, DAC de 8 bits) sejam precisados pra desempenho adequado. A gama completa do DAC está limitada a $\pm 2^{15}$, que deveria controlar o VCXO a pelo menos uma gama de 10 MHz $\pm 1,0$ ppm, mas não maior que $\pm 1,5$ ppm para assegurar complacência com a especificação do sistema. Funções limitadoras são aplicadas a vários pontos no caminho de sinal digital para prevenir transbordamento positivo ou negativo.

A PLL da Figura 5 produz uma saída de relógio de 10 MHz na linha 252 e um divisor de frequência associado é usado para produzir um período de quadro de modem virtual de aproximadamente 1,486 segundos. A PLL trava em fase os períodos de quadro de modem virtuais aos pulsos de quadro de modem de chegada, assegurando que o relógio de 10 MHz na 'exgine' seja relacionado coerentemente aos períodos de quadro de modem de chegada no exportador.

Uma característica especial da concretização descrita é o uso de um contador de entrada com uma reiniciação no detector de fase de entrada. Em malhas travadas por fase conhecidas, um circuito de trava do tipo binário é usado para criar uma largura de pulso de erro para cada impulso que

é igual à diferença de tempo de pulso da entrada e dividido por sinal de realimentação. Esta largura de pulso normalmente seria processada no filtro de malha. Ao invés, esta invenção usa um contador com uma reiniciação para assegurar que a PLL esteja dentro de seu erro de fase visado (tempo) e converge mais depressa (embora ainda seja várias horas), caso contrário pode levar dias para convergir.

A estabilidade, fator de amortecimento e outros parâmetros de desempenho da PLL são analisados mais convenientemente em operação de estado estável usando uma abordagem de modelo linear ideal da PLL. O modelo linear permite técnicas de análise de teoria de servo-controle convencionais para determinar parâmetros de projeto apropriados (particularmente o filtro de malha) para controlar a estabilidade e desempenho em operação. Este modelo mostrado na Figura 6 descreve frequência em unidades de radianos/s, e valores de sinal em volts.

Figura 6 é um diagrama de um modelo linear da PLL da Figura 5. O modelo inclui uma detector de fase, que recebe pulsos de quadro de modem de entrada como ilustrado por linha. A saída do detector de fase na linha é amplificada por amplificador tendo um ganho de K_d volts/radiano. O sinal amplificado na linha é amplificado e integrado por integrador, enquanto tendo um ganho de " b ", e amplificado por amplificador, enquanto tendo um ganho de " a ". O sinal integrado na linha é somado ao sinal amplificado na linha em ponto de adição. O sinal resultante na linha é usado para controlar um oscilador controlado por tensão (integrador de fase) são alimentados para produzir um sinal de saída na linha, que é realimentado ao detector de fase. A filtragem de malha ilustrada na Figura 6 pode ser implementada em software, e um oscilador a cristal controlado por tensão de hardware (VCXO) controlado por um conversor digital para analógico (DAC).

Os valores de ganho a e b dentro do filtro de malha podem ser

determinados usando técnicas de teoria de servo-controle convencionais começando com os valores derivados de a e b determinados em uma análise completa. Então, o desempenho de PLL resultante pode ser caracterizado com estes valores assumidos. Se referindo à Figura 6, o ganho de detector de fase K_d produz um valor (tensão) relacionado a contador travado de 16 bits. Portanto, K_d é computado como:

$$K_d = \frac{2^{16}}{2\pi} = 10430 \text{ volts/radiano}$$

O VCXO, incluindo o divisor de frequência, produz uma onda quadrada com um período $P=1,486$ segundos ($f_0 \approx 0,672$ Hz). Uma mudança de valor de DAC de 2^{15} (volts) causa um deslocamento de frequência de 1 ppm. Então, o ganho de VCXO K_o é computado como:

$$K_o = \frac{10^{-6} \cdot 2\pi \cdot f_0}{2^{15}} = 1,29 \cdot 10^{-10} \text{ radianos/s-volt.}$$

ou

$$K_o = \frac{10^{-6} \cdot 2^{-15} \cdot 2\pi}{P}, \text{ onde } f_0 = 1/P.$$

Os dois fatores K_d e K_o podem ser expressos convenientemente como um parâmetro K , onde:

$$K = K_d \cdot K_o = 2 \cdot 10^{-6} \cdot f_0 = 1,3458 \cdot 10^{-6} \text{ s}^{-1}$$

A função de transferência de malha fechada $H(s)$ do modelo linear da PLL pode ser usada para avaliar o desempenho e estabilidade. Figuras 7a e 7b são diagramas esquemáticos de circuitos que mostram um projeto de malha de filtro de malha analógica convencional, que serve como projetos de partida para facilitar o uso de teoria de malha de servo convencional (Transformadas de Laplace, etc.). Então, os projetos podem ser convertidos a uma versão digital equivalente. Figura 7a é um circuito tendo uma entrada 302 e uma saída 304. Resistores R_1 conectam a entrada a amplificadores 306 e 308. As saídas dos amplificadores são adicionadas em ponto de adição 310. Capacitor C provê realimentação para amplificador 306. Resistor R_2 provê realimentação para amplificador

308.

Figura 7b é um circuito 320 tendo uma entrada 322 e uma saída 324. A entrada está conectada a um primeiro amplificador 326 e um ponto de adição 328. O ponto de adição 328 está conectado a um segundo amplificador 330. As saídas dos amplificadores são somadas em ponto de adição 332. Impedância 334 provê realimentação para ponto de adição 328.

As constantes de tempo para os circuitos ilustrados nas Figuras 7a e 7b são:

$$\tau_1 = R_1 \cdot C = \frac{P}{b}; \text{ e } \tau_2 = R_2 \cdot C = \frac{a \cdot P}{b}$$

A função de transferência $H(s)$ é melhor descrita usando técnicas de Transformada de Laplace como:

$$H(s) = \frac{K \cdot F(s)}{s + K \cdot F(s)}$$

onde $F(s)$ é a função de transferência de filtro de malha embutida. Um filtro de malha de segunda ordem ideal tem uma função de transferência:

$$F(s) = -\left[\frac{1}{s \cdot C \cdot R_1} + \frac{R_2}{R_1}\right]$$

Análise convencional do filtro de malha descreve características importantes da PLL em termos de constantes de tempo τ_1 e τ_2 . Estas constantes de tempo se referem a propriedades de um integrador e componentes de ganho de um filtro de malha implementado com componentes RC usados em uma PLL de segunda ordem ideal. As relações entre estas constantes de tempo e seus equivalentes digitais são ilustrados nas Figuras 7a e 7b.

A função de transferência resultante para a PLL pode ser rescrita agora como:

$$H(s) = \frac{K \cdot F(s)}{s + K \cdot F(s)} = \frac{K(s \cdot \tau_2 + 1) / \tau_1}{s^2 + s(K \cdot \tau_2 / \tau_1) + K / \tau_1}$$

Além disso, a função de transferência pode ser descrita em

terminologia de servo como:

$$H(s) = \frac{2.\xi.\omega_n.s + \omega_n^2}{s^2 + 2.\xi.\omega_n.s + \omega_n^2}$$

onde ω_n é a frequência natural e ζ é o fator de amortecimento da PLL, e:

$$\omega_n = \sqrt{\frac{K}{\tau_1}} = \sqrt{\frac{K.b}{P}} \text{ e } \zeta = \frac{\tau.2.\omega_n}{2} = \frac{a.P.\omega_n}{2.b}$$

A análise, projeto e desempenho de simulação da PLL sugerem um valor desejado de $a = 512$, e $b = 0,063$ ($b = 1/16$). A frequência natural de PLL pode ser computada como:

$$\omega_n = \sqrt{\frac{K.b}{P}} \approx 2,38.10^{-4} \text{ Hz}$$

O fator de amortecimento resultante é então:

$$\zeta = \frac{a.P.\omega_n}{2.b} \approx 1,448$$

Este fator de amortecimento é fixado um mais alto que valor típico (mais tipicamente entre 0,7 e 1,0) para prover margem de fase adicional para estabilidade. A margem adicional é precisada para compensar o atraso na implementação de filtro adicional para o caminho de ganho b. Também, a margem assegura estabilidade e minimiza ultrapassagem quando o ganho de VCO implementado K_o é ligeiramente mais alto que predito. Embora a abordagem de modelo linear seja útil para derivar alguns parâmetros como descrito acima, refinamento algo mais do projeto por técnicas de simulação digitais é geralmente desejável.

Figura 8 é um diagrama de um modelo de simulação digital da invenção. O modelo inclui uma entrada conectada ao ponto de adição 354. O ponto de adição está conectado a um filtro de malha na forma de um filtro de resposta de impulso infinita (IIR) incluindo amplificadores 358 e 360, pontos de adição 362, 364 e 366, limitadores 368 e 370, e impedâncias 372 e 374. A saída do filtro de malha está limitada por limitador 376. O sinal limitado resultante na linha 378 é combinado em ponto

de adição 380 com uma sinal compensado de frequência na linha 382 e um sinal de realimentação de integrador de fase digital 384 na linha 386 para produzir um sinal de relógio de 10 MHz na linha 388. O sinal de relógio é realimentado ao ponto de adição 354 por amplificador 390.

5 Desempenho do projeto de PLL pode ser adicionalmente avaliado usando o modelo de simulação digital mostrado na Figura 8. Os parâmetros de projeto derivados do modelo linear são usados no modelo digital. Qualquer componente analógico tal como o VCXO é convertido a sua versão digital equivalente (por exemplo, um integrador de fase digital para o
10 VCXO). A simulação digital pode ser usada para caracterizar os efeitos de não linearidades e detalhes, que não traduzem facilmente a técnicas de análise lineares simplificadas.

Um refinamento do modelo linear para o modelo de simulação digital é a modificação do caminho de ganho b dentro do filtro de malha. O
15 ganho $= b$ simples foi substituído com um filtro de IIR de um pólo tendo um ganho de CC de b . Isto foi feito para alisar e limitar os picos das amostras de erro de fase ruidosas. Sem este filtro, os picos ruidosos tipicamente cortariam. Este corte resultaria em um erro de polarização quando a tensão de controle não é nominalmente zero, tal como durante aquisição. A filtragem reduz os
20 valores de pico e suprime qualquer polarização durante aquisição. Porém, esta filtragem reduz de fato a margem de fase devido ao atraso de filtro de IIR adicional relativo ao ganho plano b . O fator de amortecimento era inicialmente fixado mais alto que típico para compensar este efeito antecipado.

25 O projeto foi simulado e os resultados para algumas condições de operação típicas são ilustrados nas Figuras 9 e 10. Figura 9 mostra gráficos de vários sinais quando a entrada era iniciada com um erro de degrau de 1 ms, e com uma instabilidade de fase de 1 ms rms. Figura 10 mostra resultados semelhantes quando o erro de degrau inicial e ruído de fase rms são ambos

fixados a 10 ms.

O erro de temporização entre os pulsos de quadro de modem de chegada e os pulsos de PLL regenerados pode ser avaliado por observação da saída da porção de ganho de IIR do filtro de malha. Este filtro de IIR tem
 5 uma constante de tempo de cerca de 512 períodos de quadro de modem, ou aproximadamente 12,7 minutos, onde as amostras de erro são calculadas em média efetivamente com sua resposta de impulso exponencial decadente. O valor médio do filtro representa o erro de temporização de entrada médio ($\pm 2^{15}$ de escala completa = 1 período), multiplicado pelo ganho $a = 512$.
 10 Desde que o filtro de IIR inclui uma função limitadora de $\pm 2^{15}$, então a saída satura a um valor de erro de entrada de $\pm 2^{15}/512 = \pm 64$, que iguala a uma saída de filtro de IIR de $\pm 2^{15}$, ou aproximadamente 2,9 ms. Este valor pode ser usado para determinar se o erro de aquisição inicial é grande demais para continuar, e seria preferível re-sincronizar o sistema. Caso contrário, o valor
 15 representa o erro de fase médio de curto prazo (12,7 minutos). Quando a instabilidade de erro de fase de entrada e ruído são pequenos (menos de 1 ms), o erro de estado estável depois de um período longo (aproximadamente 8 horas) deveria convergir a menos de 0,1 ms rms. Com 10 ms de erro de instabilidade de entrada, a instabilidade de erro de fase de sistema resultante
 20 deveria ser menos de 1 ms rms.

A PLL usada nos sistemas de radiodifusão de áudio digital descritos é incomum por causa do fator de multiplicação de frequência extremamente alto de cerca de 15 milhões (0,673 Hz para 10 MHz), junto com a instabilidade de fase relativamente alta nos pulsos de entrada através da
 25 ligação de STL. O pulso de frequência de entrada é criado decodificando uma mensagem periódica da ligação de STL.

A saída da ligação de STL levando quadros de modem periódicos é convertida a pulsos de sincronização ao começo de cada quadro de modem recebido. O sinal de entrada de PLL inclui mensagens periódicas,

em que os pulsos de entrada indicam o começo de uma quadro de modem. Desde que o ruído de fase de saída é computado como o ruído de fase de entrada multiplicado pelo fator de multiplicador de frequência (15 milhões), e filtrado pela função de transferência de malha, este ruído de fase seria
5 geralmente muito grande, exceto que a largura da banda de malha seja feita extremamente pequena para produzir um ruído de fase de saída muito baixo. Na realidade, a largura de banda de malha é tão pequena que leva várias horas para o erro de fase convergir (como mostrado nas Figuras 9 e 10). Isto requer um oscilador de alta estabilidade e alguns parâmetros de projeto especiais.

10 Os parâmetros de PLL são escolhidos para produzir o desempenho requerido sob as condições (incomuns) descritas (ruído de fase, tempo de aquisição, fator de multiplicação). Usando terminologia de malha de servo convencional, a frequência de malha natural deveria ser aproximadamente 1 hora, e a malha é sobre-amortecida com um fator de
15 amortecimento de cerca de 1,5 para assegurar estabilidade acomodar margem de erro de ganho de volts/freq de VCXO. As constantes de tempo resultantes (t_1 e t_2 descritas acima) são computadas como valores convenientes mais próximos como funções da frequência natural e fator de amortecimento.

20 Enquanto a invenção foi descrita em termos de várias concretizações, será aparente àqueles qualificados na arte que várias mudanças podem ser feitas às concretizações expostas sem partir da extensão da invenção como publicada nas reivindicações seguintes.

REIVINDICAÇÕES

1. Método para sincronizar um relógio excitador com um relógio de quadro de modem em um sistema de radiodifusão, caracterizado pelo fato de compreender as etapas de:

5 receber uma pluralidade de pulsos de quadro de modem que são representativos do começo de quadros de modem de sinais de áudio e sinais de dados, em que temporização dos pulsos de quadro de modem é controlada por um relógio de quadro de modem;

 produzir um sinal de relógio excitador;

10 contar pulsos representativos do sinal de relógio excitador para produzir uma contagem representativa de erro de temporização de cada pulso de quadro de modem de chegada; e

 controlar o sinal de relógio excitador em resposta à contagem.

15 2. Método de acordo com reivindicação 1, caracterizado pelo fato de compreender adicionalmente a etapa de:

 travar a contagem em resposta aos pulsos de quadro de modem.

 3. Método de acordo com reivindicação 1, caracterizado pelo fato de compreender adicionalmente a etapa de:

 tomar o complemento de 2 da contagem.

20 4. Método de acordo com reivindicação 1, caracterizado pelo fato de que pulsos representativos do sinal de relógio excitador são produzidos usando um divisor de módulo variável.

 5. Método de acordo com reivindicação 1, caracterizado pelo fato de compreender adicionalmente a etapa de:

25 reiniciar a contagem.

 6. Aparelho para sincronizar um relógio excitador com um relógio de quadro de modem em um sistema de radiodifusão, caracterizado pelo fato de compreender:

 uma entrada para receber uma pluralidade de pulsos de quadro de

modem que são representativos do começo de quadros de modem de sinais de áudio e sinais de dados, em que temporização dos pulsos de quadro de modem é controlada por um relógio de quadro de modem;

5 uma oscilador controlado por tensão para produzir um sinal de relógio excitador;

contador para contar pulsos representativos do sinal de relógio excitador para produzir uma contagem representativa de erro de temporização de cada pulso de quadro de modem de chegada; e

10 um filtro de malha para controlar o sinal de relógio excitador em resposta à contagem.

7. Aparelho de acordo com reivindicação 6, caracterizado pelo fato de compreender adicionalmente:

uma trava para travar a contagem em resposta aos pulsos de quadro de modem.

15 8. Aparelho de acordo com reivindicação 6, caracterizado pelo fato de compreender adicionalmente:

um circuito para tomar o complemento de 2 da contagem.

9. Aparelho de acordo com reivindicação 6, caracterizado pelo fato de compreender adicionalmente:

20 um divisor de módulo variável para produzir pulsos representativos do sinal de relógio excitador.

10. Aparelho de acordo com reivindicação 6, caracterizado pelo fato de compreender adicionalmente:

uma entrada para reiniciar a contagem.

25 11. Aparelho para sincronizar um relógio excitador com um relógio de quadro de modem em um sistema de radiodifusão, caracterizado pelo fato de compreender:

meio para receber uma pluralidade de pulsos de quadro de modem que são representativos do começo de quadros de modem de sinais de áudio e

sinais de dados, em que a temporização dos pulsos de quadro de modem é controlada por um relógio de quadro de modem;

meio para produzir um sinal de relógio excitador;

5 meio para contar os pulsos representativos do sinal de relógio excitador para produzir uma contagem representativa de erro de temporização de cada pulso de quadro de modem de chegada; e

meio para controlar o sinal de relógio excitador em resposta à contagem.

10 12. Aparelho de acordo com reivindicação 11, caracterizado pelo fato de compreender adicionalmente:

meio para travar a contagem em resposta aos pulsos de quadro de modem.

13. Aparelho de acordo com reivindicação 11, caracterizado pelo fato de compreender adicionalmente:

15 meio para tomar o complemento de 2 da contagem.

14. Aparelho de acordo com reivindicação 11, caracterizado pelo fato de compreender adicionalmente:

meio para produzir pulsos representativos do sinal de relógio excitador.

20 15. Aparelho de acordo com reivindicação 11, caracterizado pelo fato de compreender adicionalmente:

meio para reiniciar a contagem.

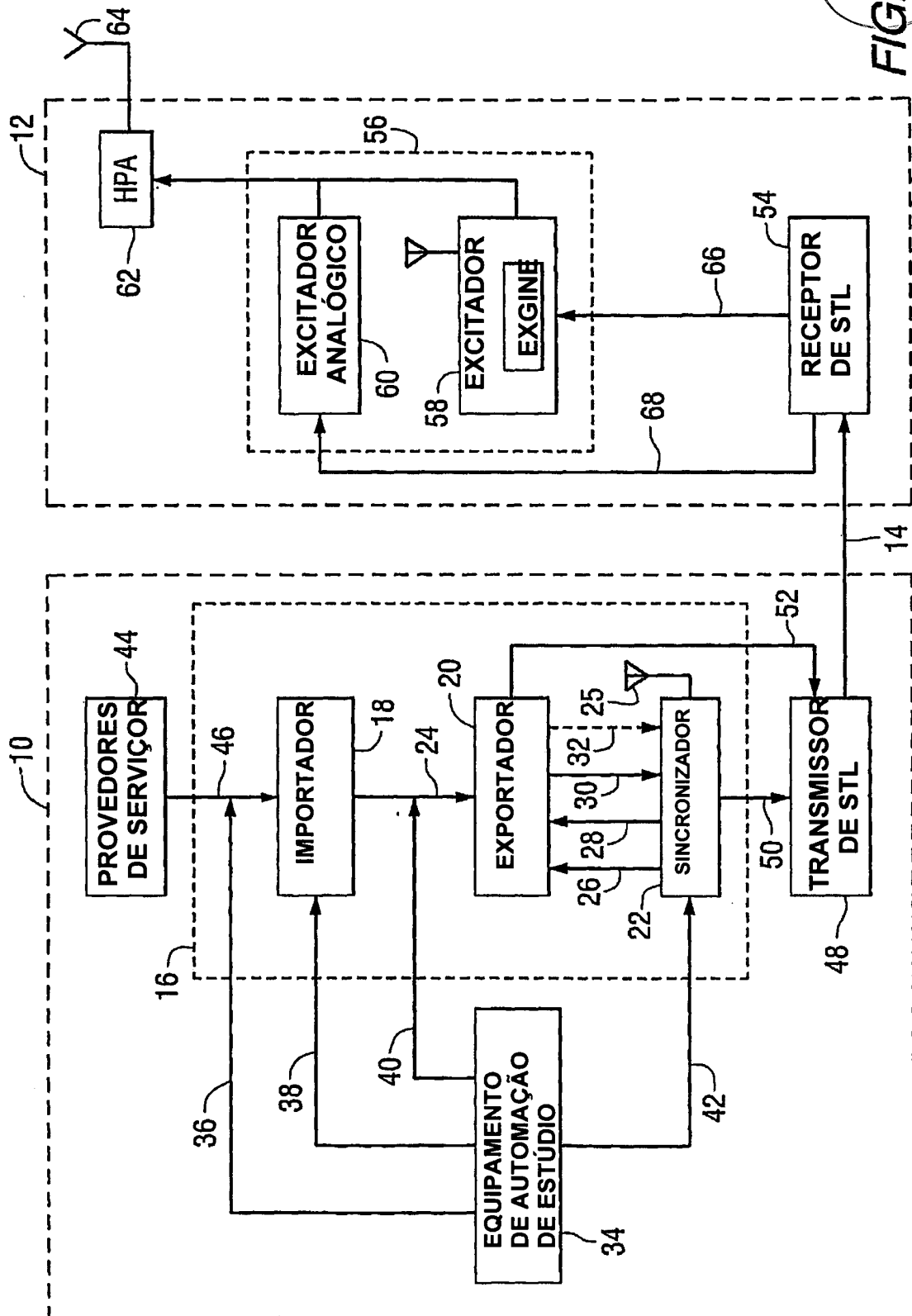
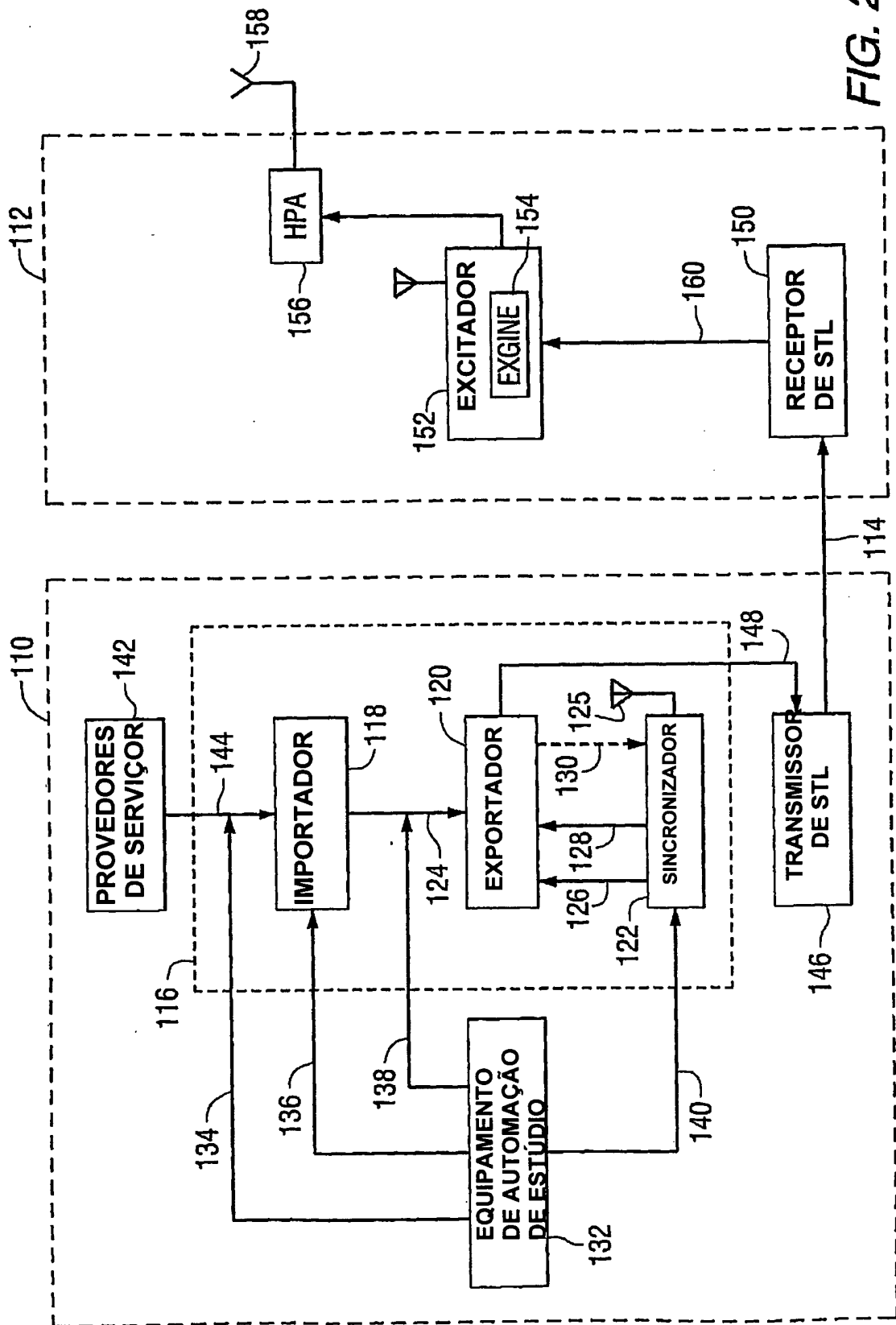
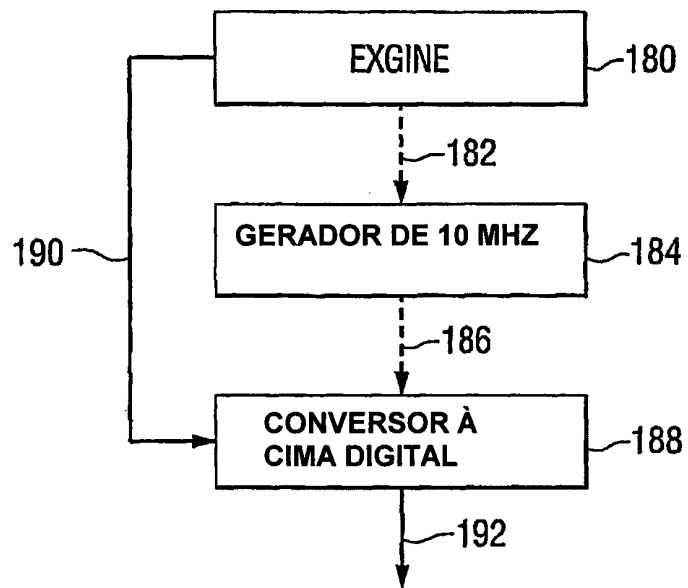
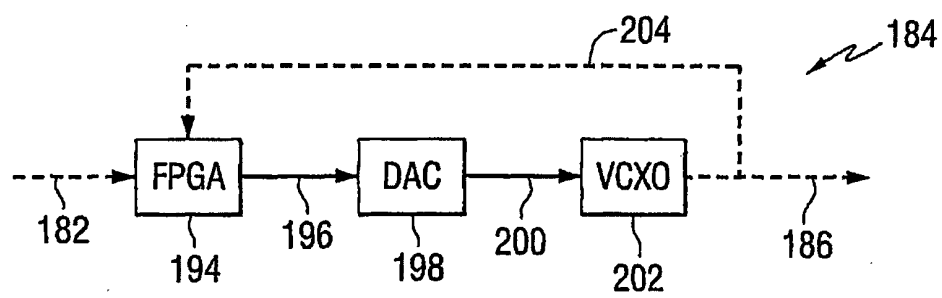


FIG. 1



**FIG. 3****FIG. 4**

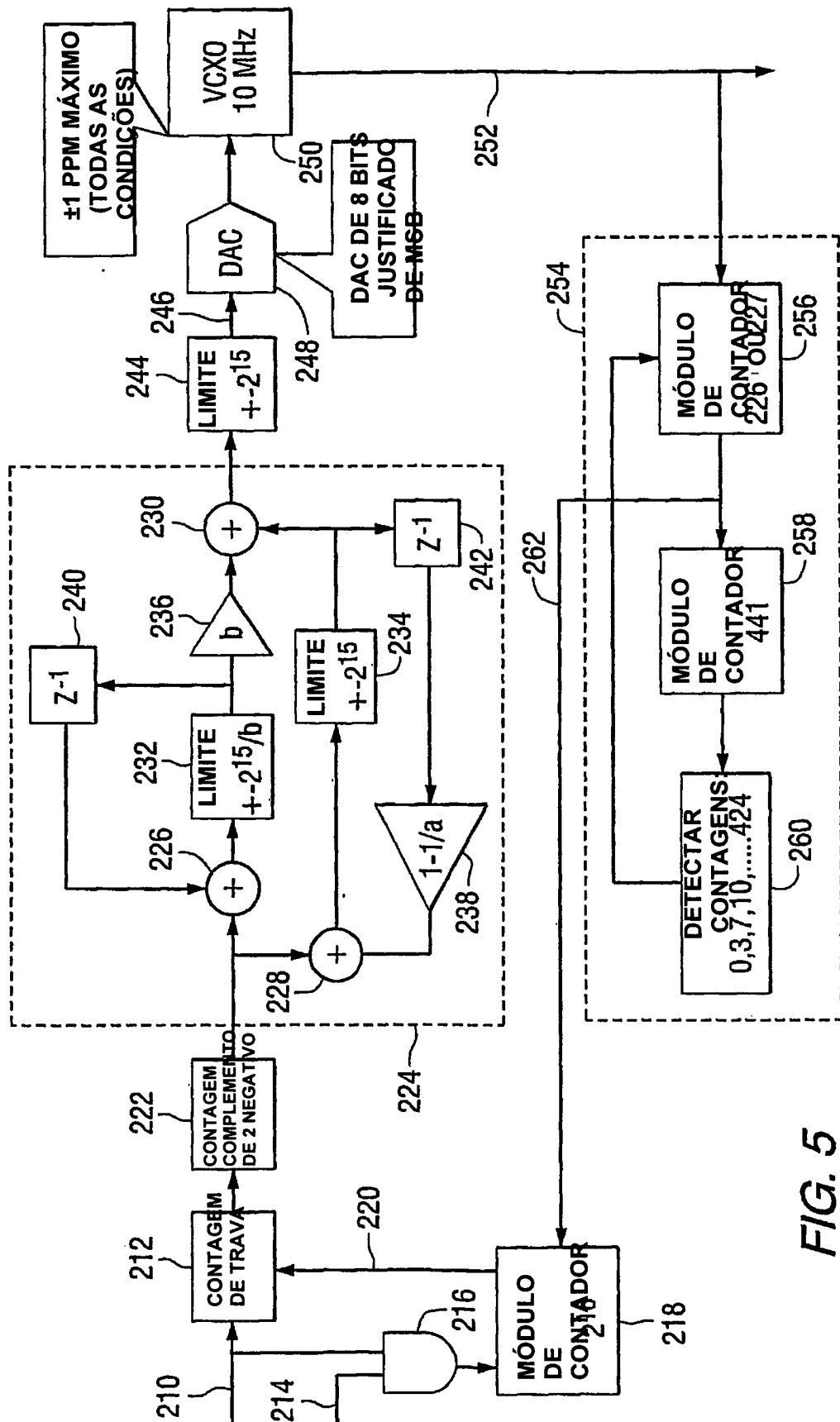


FIG. 5

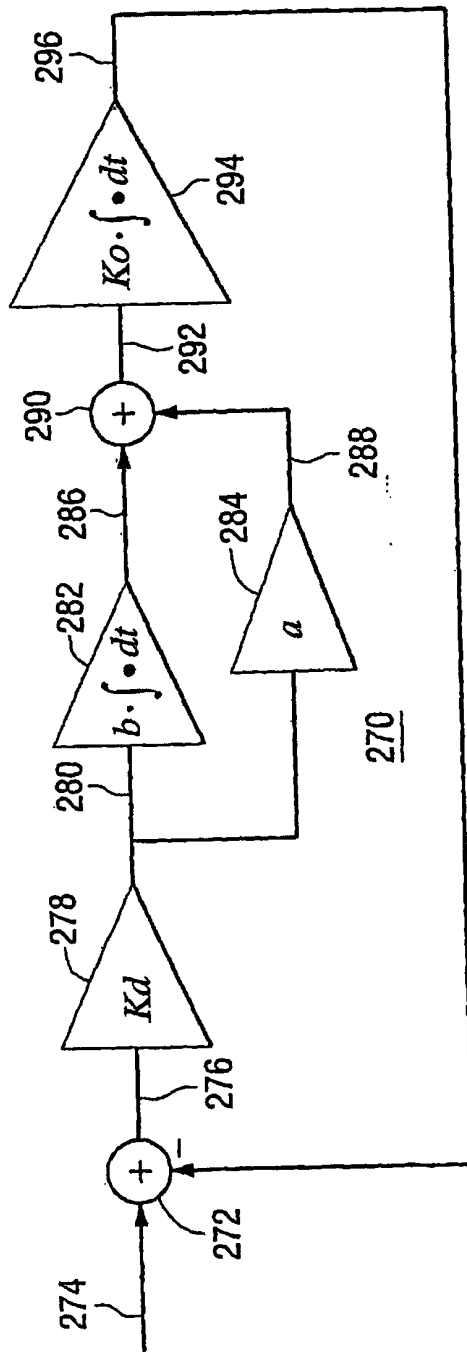


FIG. 6

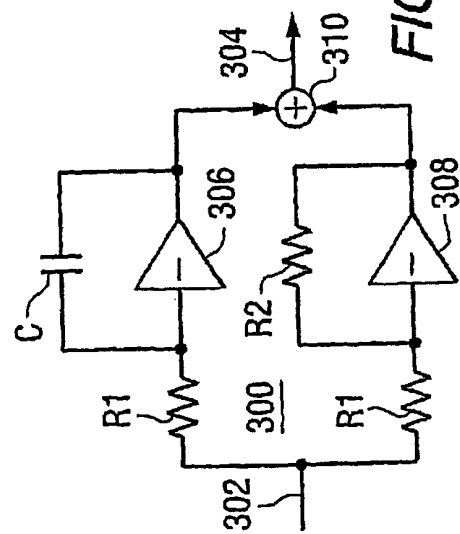


FIG. 7a

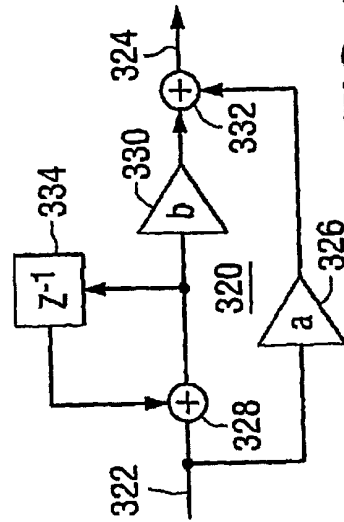
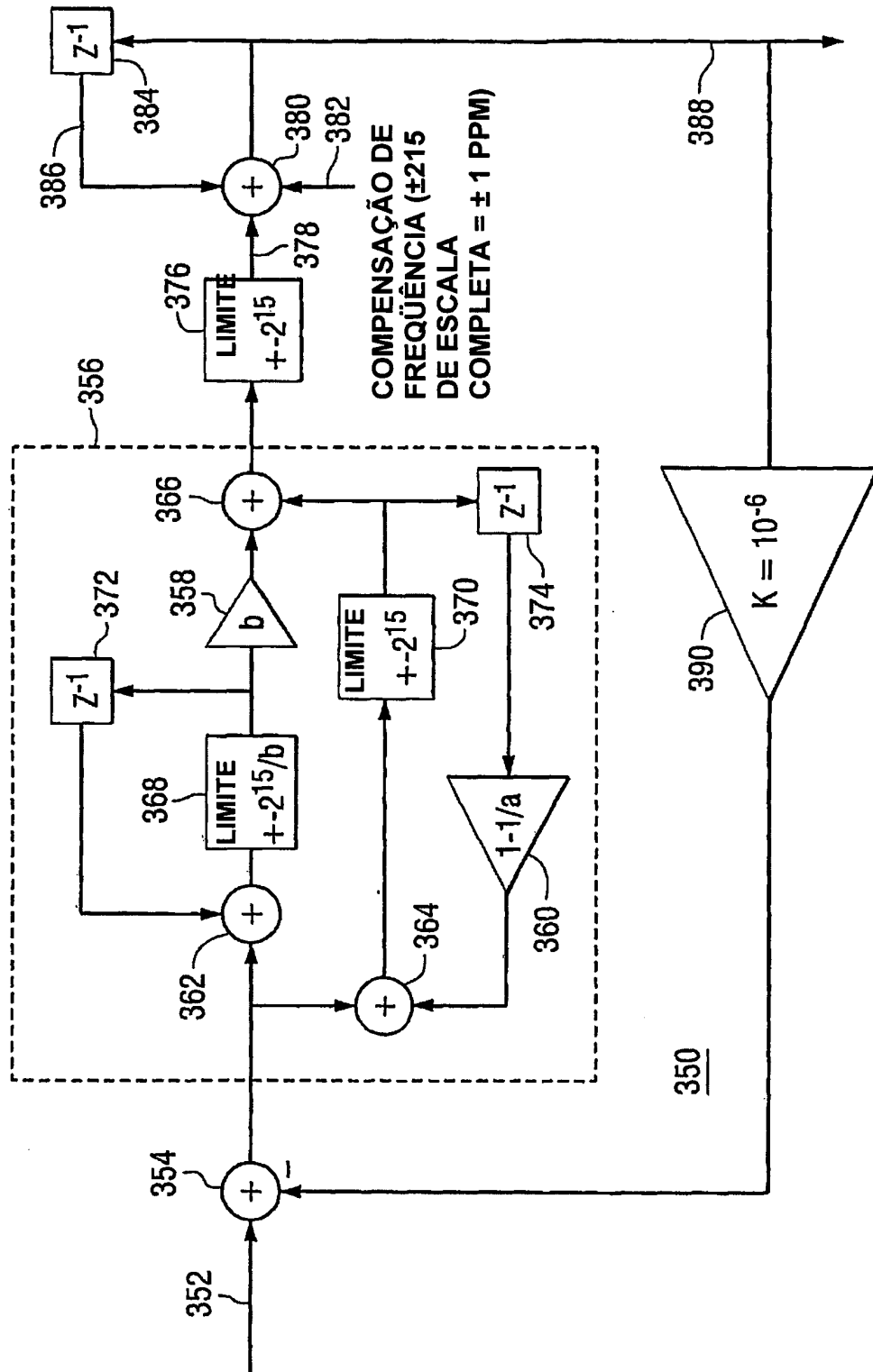
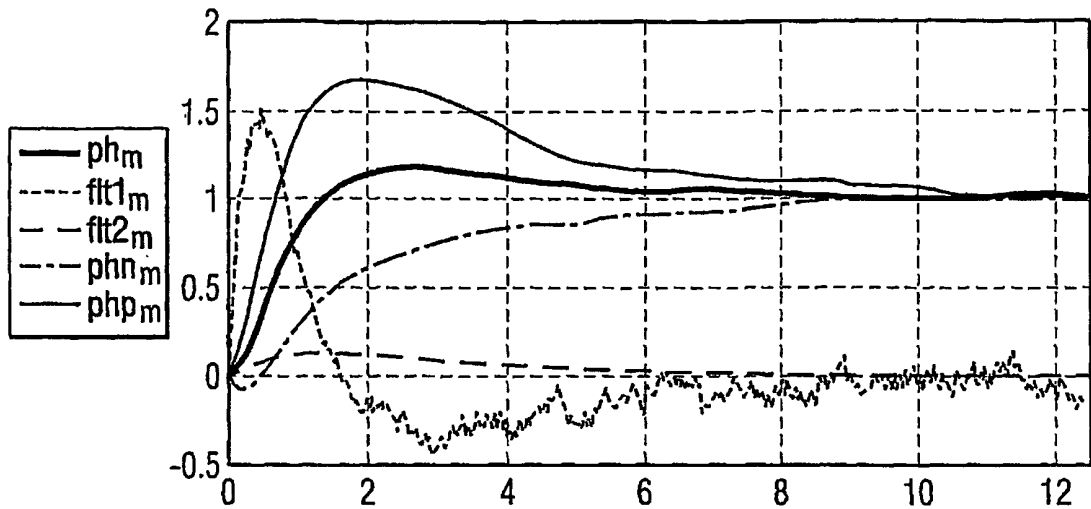


FIG. 7b



TRANSIENTE DE DEGRAU DE MS

RESPOSTA DE PLL A DEGRAU DE FASE DE 1 MS



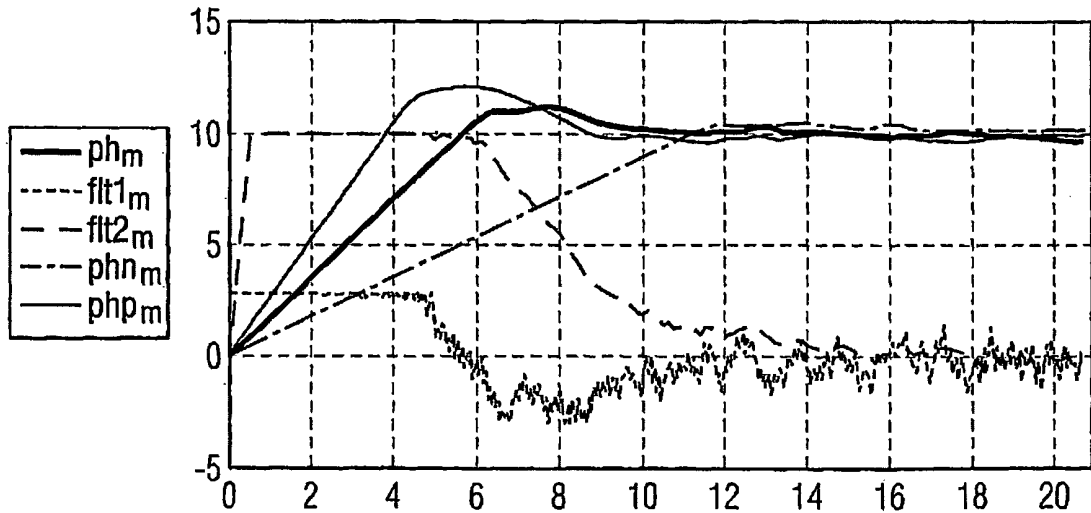
— ERRO DE FREQUÊNCIA DE 0 PPM DE
 RESPOSTA DEGRAU
 - - - GANHO DE IIR = A, EM MS
 - . - SINAL DE GANHO=B DE INTEGRADOR
 - - - ERRO DE FREQUÊNCIA DE -0,5 PPM DE
 RESPOSTA DEGRAU
 - - - ERRO DE FREQUÊNCIA DE +0,5 PPM DE
 RESPOSTA DEGRAU

$m \cdot \text{press} \cdot \frac{P}{3600}$
 horas

FIG. 9

TRANSIENTE DE DEGRAU DE MS

RESPOSTA DE PLL A DEGRAU DE FASE DE 10 MS



— ERRO DE FREQUÊNCIA DE 0 PPM DE
 RESPOSTA DEGRAU
 - - - GANHO DE IIR = A, EM MS
 - . - SINAL DE GANHO=B DE INTEGRADOR
 - - - ERRO DE FREQUÊNCIA DE -0,5 PPM DE
 RESPOSTA DEGRAU
 - - - ERRO DE FREQUÊNCIA DE +0,5 PPM DE
 RESPOSTA DEGRAU

$m \cdot \text{press} \cdot \frac{P}{3600}$
 horas

FIG. 10

RESUMO

“MÉTODO E APARELHO PARA SINCRONIZAR UM RELÓGIO EXCITADOR COM UM RELÓGIO DE QUADRO DE MODEM EM UM SISTEMA DE RADIODIFUSÃO”

5 Um método para sincronizar um relógio excitador com um relógio de quadro de modem em um sistema de radiodifusão de IBOC inclui as etapas de receber uma pluralidade de pulsos de quadro de modem que são representativos do começo de quadros de modem de sinais de áudio e sinais de dados, em que temporização dos pulsos de quadro de modem é controlada
10 por um relógio de quadro de modem, produzindo um sinal de relógio excitador, contando pulsos representativos do sinal de relógio excitador para produzir uma contagem representativa de erro de temporização de cada pulso de quadro de modem de chegada, e controlando o sinal de relógio excitador em resposta à contagem. Um aparelho que executa o método também é
15 provido.

técnicas de PLL.

Figura 3 é um diagrama funcional de uma porção do excitadores das Figuras 1 e 2. O subsistema de 'exgine' 180 produz um sinal de relógio tendo uma frequência de cerca de 0,673 Hz na linha 182. Este sinal de relógio é derivado da temporização de quadro de modem. O sinal de relógio é provido como uma mensagem de sincronização através da ligação de STL do exportador, e então decodificado para criar o pulso quando a mensagem de sincronização chega periodicamente a cerca de 0,673 Hz. O sinal serve como uma entrada para um gerador de relógio de 10 MHz 184. O gerador de relógio de 10 MHz produz um sinal de relógio de 10 MHz na linha 186, que é usado para controlar um conversor à cima digital 188. O conversor à cima digital recebe os dados de forma de onda do subsistema de 'exgine', como ilustrado pela seta 190, e produz o sinal de HD Radio™ na linha 192.

Figura 4 é um diagrama de blocos do relógio de 10 MHz da Figura 3. O sinal de relógio de 0,673 Hz é entrado na linha 182 a um arranjo de portas programáveis em campo (FPGA) 194, por exemplo. O FPGA processa o sinal de relógio para produzir um sinal de controle digital na linha 196. Um conversor digital para analógico 198 produz um sinal de tensão analógico na linha 200. Um oscilador controlado por tensão (VCXO) 202 produz o sinal de relógio de 10 MHz na linha 186 em resposta à tensão de controle analógica. O sinal de relógio de 10 MHz é realimentado ao FPGA, como ilustrado pela seta 204.

Esta invenção provê um método para sincronizar o relógio de 10 MHz de 'exgine' com o relógio de quadro de modem do exportador. A Figura 5 é um diagrama esquemático de um circuito de malha travada por fase (PLL) construído de acordo com a invenção. No circuito da Figura 5, pulsos de quadro de modem a um período de cerca de 1,486 segundos (recíproco = 0,673 Hz) são entrados na linha 210 para um circuito de trava 212. Os pulsos de quadro de modem indicam o início do quadro de modem. Um sinal de