



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년04월25일

(11) 등록번호 10-2660302

(24) 등록일자 2024년04월19일

(51) 국제특허분류(Int. Cl.)

H01L 29/66 (2006.01) H01L 21/84 (2006.01)

H01L 27/12 (2006.01) H10B 43/00 (2023.01)

H10B 43/35 (2023.01)

(52) CPC특허분류

H01L 29/66545 (2013.01)

H01L 21/84 (2013.01)

(21) 출원번호 10-2019-0171498

(22) 출원일자 2019년12월20일

심사청구일자 2022년10월27일

(65) 공개번호 10-2020-0080171

(43) 공개일자 2020년07월06일

(30) 우선권주장

JP-P-2018-243513 2018년12월26일 일본(JP)

(56) 선행기술조사문헌

JP2007142036 A*

(뒷면에 계속)

전체 청구항 수 : 총 16 항

심사관 : 방기인

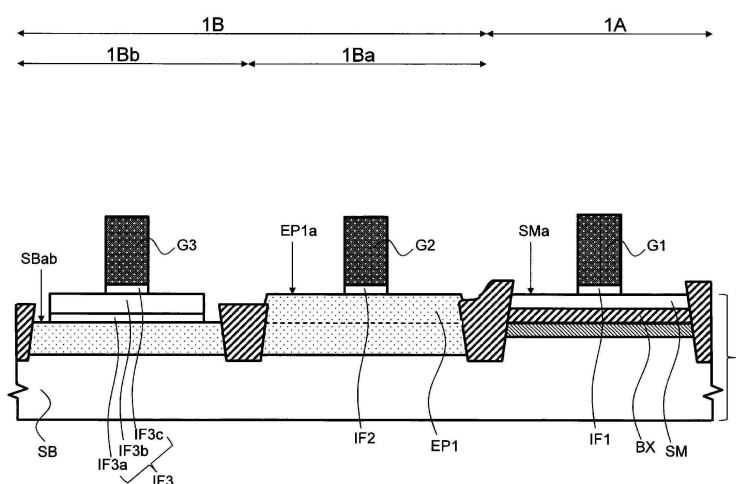
(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

[과제]반도체 장치의 신뢰성이 저하되는 것을 억제한다.

[해결 수단]반도체 기재(SB), 절연층(BX), 반도체층(SM)을 갖는 기판(1)의 SOI 영역(1A)에 위치하는 반도체층(SM) 상에 제1 게이트 절연막을 통해 제1 게이트 전극을, 벌크 영역(1B) 중 제1 영역(1Ba)에 위치하고, 또한 에피택셜 성장 처리가 실시된 반도체 기재(SB) 상에 제2 게이트 절연막을 통해 제2 게이트 전극을, 벌크 영역(1B) 중 제2 영역(1Bb)에 위치하고, 또한 에피택셜 성장 처리가 실시되지 않은 반도체 기재(SB) 상에 제3 게이트 절연막을 통해 제3 게이트 전극을, 각각 형성한다.

대표도



(52) CPC특허분류

H01L 27/1203 (2013.01)

H01L 27/1207 (2013.01)

H10B 43/00 (2023.02)

H10B 43/35 (2023.02)

(56) 선행기술조사문헌

KR1020120066599 A*

KR1020160006116 A

KR1020160035986 A

KR1020180130434 A

US20110049629 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치의 제조 방법으로서,

- (a) 반도체 기재, 상기 반도체 기재 상에 형성된 절연층, 상기 절연층 상에 형성된 반도체층을 갖는 기판을 준비하는 공정;
- (b) 상기 (a) 공정 후, 상기 기판의 벌크 영역에 위치하는 상기 반도체층 및 상기 절연층의 각각을 제거하는 공정;
- (c) 상기 (b) 공정 후, 상기 벌크 영역 중 제1 영역에 위치하는 상기 반도체 기재의 표면에 에피택셜 성장 처리를 실시하는 공정;
- (d) 상기 (c) 공정 후, 상기 기판의 SOI 영역에 위치하는 상기 반도체층 상에 제1 게이트 절연막을 통해 제1 게이트 전극을, 상기 벌크 영역 중 상기 제1 영역에 위치하고, 또한 에피택셜 성장 처리가 실시된 상기 반도체 기재 상에 제2 게이트 절연막을 통해 제2 게이트 전극을, 상기 벌크 영역 중 제2 영역에 위치하고, 또한 에피택셜 성장 처리가 실시되지 않은 상기 반도체 기재 상에 제3 게이트 절연막을 통해 제3 게이트 전극을, 각각 형성하는 공정,

여기서,

상기 제3 게이트 절연막의 두께는, 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막의 각각의 두께보다도 두껍고,

상기 제1 내지 제3 게이트 전극의 각각은, 제1 재료로 이루어지고;

- (e) 상기 (d) 공정 후, 상기 제1 내지 제3 게이트 전극의 각각을 덮도록, 상기 기판 상에 층간 절연막을 형성하는 공정;

- (f) 상기 (e) 공정 후, 상기 층간 절연막을 연마하고, 상기 제1 내지 제3 게이트 전극의 각각을 상기 층간 절연막으로부터 노출시키는 공정;

- (g) 상기 (f) 공정 후, 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제3 게이트 전극의 각각을 구성하는 상기 제1 재료를, 상기 제1 재료와는 다른 제2 재료로 치환하는 공정

을 포함하고,

상기 (c) 공정에서는, 단면으로 보아, 상기 (c) 공정에 의해 형성되고, 또한 상기 제2 게이트 절연막이 접하는 에피택셜 성장층의 상면이, 상기 제2 영역에 위치하고, 또한 상기 제3 게이트 절연막이 접하는 상기 반도체 기재의 상면보다도 높은 높이에 위치하도록, 및 상기 제1 게이트 절연막이 접하는 상기 반도체층의 상면과 동일한 높이, 혹은 상기 반도체층의 상기 상면보다도 낮은 높이에 위치하도록, 에피택셜 성장 처리를 실시하는, 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 제3 게이트 절연막의 두께는, 상기 반도체층, 또는 상기 절연층의 두께보다도 두꺼운, 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서,

상기 (g) 공정 후, 상기 SOI 영역에는 상기 제2 재료로 이루어지는 상기 제1 게이트 전극을 구비한 제1 전계 효과 트랜지스터가 형성되고, 상기 벌크 영역의 상기 제1 영역에는 상기 제2 재료로 이루어지는 상기 제2 게이트

전극을 구비한 제2 전계 효과 트랜지스터가 형성되고, 상기 벌크 영역의 상기 제2 영역에는 상기 제2 재료로 이루어지는 상기 제3 게이트 전극을 구비한 제3 전계 효과 트랜지스터가 형성되고,

상기 제3 전계 효과 트랜지스터를 구성하는 상기 제3 게이트 전극의 게이트 길이는, 상기 제2 전계 효과 트랜지스터를 구성하는 상기 제2 게이트 전극의 게이트 길이보다도 긴, 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 제3 게이트 절연막은, 제1 산화 실리콘막, 상기 제1 산화 실리콘막 상에 형성되고, 또한 상기 제1 산화 실리콘막의 유전율보다도 높은 유전율을 갖는 절연막, 및 상기 절연막 상에 형성된 제2 산화 실리콘막으로 이루어지는, 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서,

상기 제3 게이트 절연막은, 산화 실리콘으로 이루어지는 제1 절연층과, 질화 실리콘으로 이루어지고, 또한 상기 제1 절연층 상에 형성된 제2 절연층과, 산화 실리콘으로 이루어지고, 또한 상기 제2 절연층 상에 형성된 제3 절연층을 갖는, 반도체 장치의 제조 방법.

청구항 6

제5항에 있어서,

상기 제1 재료는, 다결정 실리콘이며,

상기 제2 재료는, 금속인, 반도체 장치의 제조 방법.

청구항 7

제6항에 있어서,

상기 (d) 공정 후, 또한 상기 (e) 공정 전에, 상기 SOI 영역에 위치하는 상기 반도체층 중 상기 제1 게이트 전극으로부터 노출되는 부분의 표면에, 에피택셜 성장 처리를 실시하는, 반도체 장치의 제조 방법.

청구항 8

이하의 공정을 포함하는 반도체 장치의 제조 방법:

(a) 반도체 기재, 상기 반도체 기재 상에 형성된 절연층, 상기 절연층 상에 형성된 반도체층을 갖는 기판을 준비하는 공정;

(b) 상기 (a) 공정 후, 상기 기판의 벌크 영역에 위치하는 상기 반도체층 및 상기 절연층의 각각을 제거하는 공정;

(c) 상기 (b) 공정 후, 상기 벌크 영역 중 제1 영역에 위치하는 상기 반도체 기재의 표면에 에피택셜 성장을 실시함으로써, 에피택셜 성장층을 형성하는 공정;

(d) 상기 (c) 공정 후, 상기 기판의 SOI 영역에 위치하는 상기 반도체층 상에 제1 게이트 절연막을 통해 제1 게이트 전극을, 상기 벌크 영역 중 상기 제1 영역에 위치하는 상기 에피택셜 성장층 상에 제2 게이트 절연막을 통해 제2 게이트 전극을, 상기 벌크 영역 중 제2 영역에 위치하는 상기 반도체 기재 상에 제3 게이트 절연막을 통해 제3 게이트 전극을, 각각 형성하는 공정

여기서,

상기 제3 게이트 절연막은, 산화 실리콘으로 이루어지는 제1 절연층과, 질화 실리콘으로 이루어지고, 또한 상기 제1 절연층 상에 형성된 제2 절연층과, 산화 실리콘으로 이루어지고, 또한 상기 제2 절연층 상에 형성된 제3 절연층을 갖고,

상기 제3 게이트 절연막의 두께는, 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막의 각각의 두께보다도 두

접고,

상기 제1 내지 제3 게이트 전극의 각각은, 다결정 실리콘으로 이루어지고;

(e) 상기 (d) 공정 후, 상기 제1 내지 제3 게이트 전극의 각각을 덮도록, 상기 기판 상에 층간 절연막을 형성하는 공정;

(f) 상기 (e) 공정 후, 상기 층간 절연막을 연마하고, 상기 제1 내지 제3 게이트 전극의 각각을 상기 층간 절연막으로부터 노출시키는 공정;

(g) 상기 (f) 공정 후, 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제3 게이트 전극의 각각을 제거하는 공정;

(h) 상기 (g) 공정 후, 상기 (g) 공정에 의해 형성된 공간 내를, 금속막으로 메우는 공정.

청구항 9

제8항에 있어서,

상기 (c) 공정에서는, 단면으로 보아, 상기 (c) 공정에 의해 형성되고, 또한 상기 제2 게이트 절연막이 접하는 상기 에피택셜 성장층의 상면이, 상기 제2 영역에 위치하고, 또한 상기 제3 게이트 절연막이 접하는 상기 반도체 기재의 상면보다도 높은 높이에 위치하도록, 및 상기 제1 게이트 절연막이 접하는 상기 반도체층의 상면과 동일한 높이, 혹은 상기 반도체층의 상기 상면보다도 낮은 높이에 위치하도록, 에피택셜 성장 처리를 실시하는, 반도체 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 제3 게이트 절연막의 두께는, 상기 반도체층, 또는 상기 절연층의 두께보다도 두꺼운, 반도체 장치의 제조 방법.

청구항 11

제9항에 있어서,

상기 (d) 공정 후, 또한 상기 (e) 공정 전에, 상기 SOI 영역에 위치하는 상기 반도체층 중 상기 제1 게이트 전극으로부터 노출되는 부분의 표면에, 에피택셜 성장 처리를 실시하는, 반도체 장치의 제조 방법.

청구항 12

이하의 공정을 포함하는 반도체 장치의 제조 방법:

(a) 반도체 기재, 상기 반도체 기재 상에 형성된 절연층, 상기 절연층 상에 형성된 반도체층을 갖는 기판을 준비하는 공정,

여기서,

상기 기판은, SOI 영역과, 벌크 영역을 갖고,

상기 SOI 영역은, 제1 전계 효과 트랜지스터가 형성되는 영역이며,

상기 벌크 영역은, 제2 전계 효과 트랜지스터가 형성되는 제1 영역과, 메모리 트랜지스터 및 상기 메모리 트랜지스터를 선택하는 선택 트랜지스터의 각각이 형성되는 제2 영역을 갖고,

상기 제2 영역은, 상기 메모리 트랜지스터가 형성되는 제1 부분과, 상기 선택 트랜지스터가 형성되는 제2 부분을 갖고,

(b) 상기 (a) 공정 후, 상기 벌크 영역에 위치하는 상기 반도체층 및 상기 절연층의 각각을 제거하는 공정;

(c) 상기 (b) 공정 후, 상기 제1 영역에 위치하는 상기 반도체 기재의 표면 및 상기 제2 부분에 위치하는 상기 반도체 기재의 표면의 각각에 에피택셜 성장 처리를 실시함으로써, 에피택셜 성장층을 형성하는 공정;

(d) 상기 (c) 공정 후, 상기 SOI 영역에 위치하는 상기 반도체층 상에 제1 게이트 절연막을 통해 제1 게이트 전

극을, 상기 제1 영역에 위치하는 상기 에피택셜 성장층 상에 제2 게이트 절연막을 통해 제2 게이트 전극을, 상기 제1 부분에 위치하는 상기 반도체 기재 상에 제3 게이트 절연막을 통해 제3 게이트 전극을, 상기 제2 부분에 위치하는 상기 에피택셜 성장층 상에 제4 게이트 절연막을 통해 제4 게이트 전극을, 각각 형성하는 공정,

여기서,

상기 제3 게이트 절연막은, 산화 실리콘으로 이루어지는 제1 절연층과, 질화 실리콘으로 이루어지고, 또한 상기 제1 절연층 상에 형성된 제2 절연층과, 산화 실리콘으로 이루어지고, 또한 상기 제2 절연층 상에 형성된 제3 절연층을 갖고,

상기 제3 게이트 절연막의 두께는, 상기 제1 게이트 절연막, 상기 제2 게이트 절연막 및 상기 제4 게이트 절연막의 각각의 두께보다도 두껍고,

상기 제1 내지 제4 게이트 전극의 각각은, 제1 재료로 이루어지고;

(e) 상기 (d) 공정 후, 상기 제1 내지 제4 게이트 전극의 각각을 덮도록, 상기 기판 상에 층간 절연막을 형성하는 공정;

(f) 상기 (e) 공정 후, 상기 층간 절연막을 연마하고, 상기 제1 내지 제4 게이트 전극의 각각을 상기 층간 절연막으로부터 노출시키는 공정;

(g) 상기 (f) 공정 후, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극 및 상기 제4 게이트 전극의 각각을 구성하는 상기 제1 재료를, 상기 제1 재료와는 다른 제2 재료로 치환하는 공정.

청구항 13

제12항에 있어서,

상기 (c) 공정에서는, 단면으로 보아, 상기 (c) 공정에 의해 형성되고, 또한 상기 제2 게이트 절연막이 접하는 상기 에피택셜 성장층의 상면이, 상기 제2 영역에 위치하고, 또한 상기 제3 게이트 절연막이 접하는 상기 반도체 기재의 상면보다도 높은 높이에 위치하도록, 및 상기 제1 게이트 절연막이 접하는 상기 반도체층의 상면과 동일한 높이, 혹은 상기 반도체층의 상기 상면보다도 낮은 높이에 위치하도록, 에피택셜 성장 처리를 실시하는, 반도체 장치의 제조 방법.

청구항 14

제13항에 있어서,

상기 제3 게이트 절연막의 두께는, 상기 반도체층, 또는 상기 절연층의 두께보다도 두꺼운, 반도체 장치의 제조 방법.

청구항 15

제14항에 있어서,

상기 제1 재료는, 다결정 실리콘이며,

상기 제2 재료는, 금속인, 반도체 장치의 제조 방법.

청구항 16

제15항에 있어서,

상기 (d) 공정 후, 또한 상기 (e) 공정 전에, 상기 SOI 영역에 위치하는 상기 반도체층 중 상기 제1 게이트 전극으로부터 노출되는 부분의 표면에, 에피택셜 성장을 실시하는, 반도체 장치의 제조 방법.

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치의 제조 방법에 관한 것이며, 예를 들어 SOI 기판을 사용한 반도체 장치에 적용하기에 유효한 기술에 관한 것이다.

배경 기술

[0002] 특허문헌 1에는, SOI 구조(SOI형 MISFET 형성 영역 Rs)와 벌크(벌크형 MISFET 형성 영역 Rb) 구조가 혼재하는, 소위 하이브리드 기판 구조를 갖는 반도체 집적 회로 장치를 게이트 라스트 방식에 의해 제조하는 것이 기재되어 있다. 구체적으로는, 특허문헌 1에는, 메탈 게이트 전극의 SOI(Silicon On Insulator)형 MISFET(Metal Insulator Semiconductor Field Effect Transistor)와, 폴리실리콘 게이트 전극의 벌크형 MISFET를 구비한 반도체 집적 회로 장치에 관한 기술이 기재되어 있다.

[0003] 특허문헌 2에는, 불휘발성 메모리의 메모리 소자(기억 소자, 메모리 셀)(MC)가 형성된 메모리 영역(1A), 저내압의 MISFET2가 형성된 저내압 MISFET 형성 영역(1B), 및 고내압의 MISFET3이 형성된 고내압 MISFET 형성 영역(1C)을 갖는 반도체 장치와 그 제조 방법에 관한 기술이 기재되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 제2013-84766호 공보
(특허문헌 0002) 일본 특허 공개 제2018-26457호 공보

발명의 내용

해결하려는 과제

[0005] 본 발명자는, 먼저 예를 들어 상기 특허문헌 1에 나타내는 벌크형 MISFET 형성 영역(이하, 「벌크 영역」이라고 칭함)에, 예를 들어 상기 특허문헌 2와 같이, 복수 종류의 MISFET를 혼재시키는 것을 검토하고 있다. 그리고, 본 발명자는, SOI형 MISFET 형성 영역(이하, 「SOI 영역」이라고 칭함)에 형성된 MISFET의 게이트 전극뿐만 아니라, 상기의 벌크 영역에 형성된 각 MISFET의 게이트 전극에 대해서도, 메탈 게이트 전극 구조를 채용하는 것을 검토하고 있다. 그리고, 본 발명자의 검토에 의하면, 상기와 같은 구조(구성)에 대해서, 단순히 상기 특허문헌 1에 나타내는 게이트 라스트 방식을 채용하면, 각 MISFET의 게이트 전극을 원하는 형상으로 형성할 수 없고, 이 결과, 반도체 장치의 신뢰성(즉, 전기 특성)이 저하될 우려가 있다는 것을 알게되었다.

[0006] 그 밖의 과제와 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명확해질 것이다.

과제의 해결 수단

[0007] 본원에 있어서 개시되는 실시 형태 중, 대표적인 것의 개요를 간단하게 설명하면, 다음과 같다.

[0008] 일 실시 형태에 있어서의 반도체 장치의 제조 방법은, 먼저 기판의 벌크 영역에 위치하는 반도체층 및 절연층을 제거한 후, 이 벌크 영역 중 제1 영역에 위치하는 반도체 기재의 표면에 에피택셜 성장을 실시한다. 그리고, 기판의 SOI 영역에 위치하는 반도체층 상에 제1 게이트 절연막을 통해 제1 게이트 전극을, 상기 벌크 영역 중 제1 영역에 위치하고, 또한 에피택셜 성장 처리가 실시된 반도체 기재 상에 제2 게이트 절연막을 통해 제2 게이트 전극을, 상기 벌크 영역 중 제2 영역에 위치하고, 또한 에피택셜 성장 처리가 실시되지 않은 반도체 기재 상에 제3 게이트 절연막을 통해 제3 게이트 전극을, 각각 형성한다. 여기서, 제3 게이트 절연막의 두께는, 제1 게이트 절연막 및 제2 게이트 절연막의 각각의 두께보다도 두껍다. 또한, 제1 내지 제3 게이트 전극의 각각은, 제1 재료로 이루어진다. 그 후, 상기 제1 내지 제3 게이트 전극의 각각을 덮도록 기판 상에 형성한 층간 절연막을 연마하고, 제1 내지 제3 게이트 전극의 각각을 층간 절연막으로부터 노출시킨 후, 제1 내지 제3 게이트 전극의 각각을 구성하는 제1 재료를, 이 제1 재료와는 다른 제2 재료로 치환한다.

[0009] 또한, 일 실시 형태에 있어서의 반도체 장치의 제조 방법은, 먼저 기판의 벌크 영역에 위치하는 반도체층 및 절연층을 제거한 후, 이 벌크 영역 중 제1 영역에 위치하는 반도체 기재의 표면에 에피택셜 성장을 실시함으로써,

에피택셜 성장층을 형성한다. 그리고, 기관의 SOI 영역에 위치하는 반도체층 상에 제1 게이트 절연막을 통해 제1 게이트 전극을, 상기 벌크 영역 중 제1 영역에 위치하는 에피택셜 성장층 상에 제2 게이트 절연막을 통해 제2 게이트 전극을, 상기 벌크 영역 중 제2 영역에 위치하고, 또한 에피택셜 성장 처리가 실시되지 않은 반도체 기재 상에 제3 게이트 절연막을 통해 제3 게이트 전극을, 각각 형성한다. 여기서, 제3 게이트 절연막은, 산화 실리콘으로 이루어지는 제1 절연층과, 질화 실리콘으로 이루어지고, 또한 제1 절연층 상에 형성된 제2 절연층과, 산화 실리콘으로 이루어지고, 또한 제2 절연층 상에 형성된 제3 절연층을 갖는다. 또한, 제3 게이트 절연막의 두께는, 제1 게이트 절연막 및 제2 게이트 절연막의 각각의 두께보다도 두껍다. 또한, 제1 내지 제3 게이트 전극의 각각은, 다결정 실리콘으로 이루어진다. 그 후, 상기 제1 내지 제3 게이트 전극의 각각을 덮도록 기관 상에 형성한 층간 절연막을 연마하고, 제1 내지 제3 게이트 전극의 각각을 층간 절연막으로부터 노출시킨 후, 제1 내지 제3 게이트 전극의 각각을 제거함으로써 형성된 공간 내를, 금속막으로 메운다.

[0010] 또한, 일 실시 형태에 있어서의 반도체 장치의 제조 방법은, 먼저 기관의 벌크 영역에 위치하는 반도체층 및 절연층을 제거한 후, 이 벌크 영역 중 제1 영역에 위치하는 반도체 기체의 표면 및 이 벌크 영역 중 제2 영역의 제2 부분에 위치하는 반도체 기체의 표면의 각각에 에피택셜 성장 처리를 실시함으로써, 에피택셜 성장층을 형성한다. 그리고, SOI 영역에 위치하는 반도체층 상에 제1 게이트 절연막을 통해 제1 게이트 전극을, 상기 벌크 영역 중 제1 영역에 위치하는 에피택셜 성장층 상에 제2 게이트 절연막을 통해 제2 게이트 전극을, 상기 벌크 영역 중 제2 영역의 제1 부분에 위치하는 반도체 기재 상에 제3 게이트 절연막을 통해 제3 게이트 전극을, 상기 벌크 영역 중 제2 영역의 제2 부분에 위치하는 에피택셜 성장층 상에 제4 절연막을 통해 제4 게이트 전극을, 각각 형성한다. 여기서, 제3 게이트 절연막은, 산화 실리콘으로 이루어지는 제1 절연층과, 질화 실리콘으로 이루어지고, 또한 제1 절연층 상에 형성된 제2 절연층과, 산화 실리콘으로 이루어지고, 또한 제2 절연층 상에 형성된 제3 절연층을 갖는다. 또한, 제3 게이트 절연막의 두께는, 제1 게이트 절연막, 제2 게이트 절연막 및 제4 게이트 절연막의 각각의 두께보다도 두껍다. 또한, 제1 내지 제4 게이트 전극의 각각은, 제1 재료로 이루어진다. 그 후, 제1 내지 제4 게이트 전극의 각각을 덮도록 기관 상에 형성한 층간 절연막을 연마하고, 제1 내지 제4 게이트 전극의 각각을 층간 절연막으로부터 노출시킨 후, 제1 내지 제4 게이트 전극의 각각을 구성하는 제1 재료를, 이 제1 재료와는 다른 제2 재료로 치환한다.

발명의 효과

[0011] 일 실시 형태에 의하면, 반도체 장치의 신뢰성이 저하되는 것을 억제할 수 있다.

도면의 간단한 설명

[0012] 도 1은, 실시 형태 1의 반도체 장치의 주요부 평면도이다.
 도 2는, 도 1의 X-X선에 있어서의 주요부 단면도이다.
 도 3은, 실시 형태 1의 반도체 장치의 제조 공정을 나타내는 프로세스 흐름도이다.
 도 4는, 실시 형태 1의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 5는, 도 4에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 6은, 도 5에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 7은, 도 6에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 8은, 도 7에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 9는, 도 8에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 10은, 도 9에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 11은, 도 10에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 12는, 도 11에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 13은, 도 12에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 14는, 도 13에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 15는, 도 14에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.

도 16은, 검토에 1의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 17은, 도 16에 이어지는 검토에 1의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 18은, 검토에 2의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 19는, 검토에 3의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 20은, 도 19에 이어지는 검토에 3의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 21은, 검토에 4의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
 도 22는, 실시 형태 1의 변형예에 관한 반도체 장치의 주요부 단면도이다.
 도 23은, 실시 형태 2의 반도체 장치의 회로도이다.
 도 24는, 실시 형태 2의 반도체 장치의 주요부 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그것들은 서로 무관계인 것은 아니며, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)에 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수로 한정되는 것은 아니며, 특정한 수 이상이어도 이하여도 된다. 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 명백하게 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다. 마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특별히 명시한 경우 및 원리적으로 명백하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다.
- [0014] 이하, 실시 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙여, 그 반복의 설명은 생략한다. 또한, 이하의 실시 형태에서는, 특별히 필요한 때 이외에는 동일 또는 마찬가지로의 부분의 설명을 원칙적으로 반복하지 않는다.
- [0015] 또한, 실시 형태에서 사용하는 도면에 있어서는, 단면도여도 도면을 보기 쉽게 하기 위해서 해칭을 생략하는 경우도 있다. 또한, 평면도여도 도면을 보기 쉽게 하기 위해서 해칭을 하는 경우도 있다.
- [0016] (실시 형태 1)
- [0017] 먼저, 본 실시 형태 1의 반도체 장치에 대해서, 도 1 및 도 2를 사용하여 설명한다. 도 1은, 본 실시 형태 1의 반도체 장치(SD1)의 주요부 평면도이다. 도 2는, 도 1의 X-X선에 있어서의 주요부 단면도이다.
- [0018] [반도체 장치]
- [0019] 도 1 및 도 2에 나타내는 바와 같이, 반도체 장치(SD1)는, 복수의 전계 효과 트랜지스터(MISFET, MOSFET)(Q1, Q2, Q3)를 포함하고 있다. 여기서, 각 전계 효과 트랜지스터(Q1, Q2, Q3)는, 도 1 및 도 2에 나타내는 바와 같이, 반도체층(SM) 및 절연층(BX)을 관통하고, 또한 반도체 기재(SB)에 달하는 홈(TR)의 내부에 매립된 소자 분리부(ST)로 둘러싸인 영역(활성 영역)에 형성되어 있다.
- [0020] 또한, 반도체 장치(SD1)는, 도 1 및 도 2에 나타내는 바와 같이, 반도체 기재(기재)(SB)의 일부, 이 반도체 기재(SB)의 일부 상에 형성된 절연층(BX), 및 이 절연층(BX) 상에 형성된 반도체층(SM)을 갖는 SOI(Silicon On Insulator) 영역(1A)과, 상기 절연층(BX) 및 상기 반도체층(SM)을 갖지 않는 벌크 영역(1B)을 구비한, 소위 하이브리드 구조의 SOI 기판(기판)(1)을 포함하고 있다. 또한, 도 1에 기재된 부호 BDL이 가리키는 파선은, 편의상, 평면으로 보아 SOI 영역(1A)과 벌크 영역(1B)의 경계를 나타내는 것이다. 그리고, 이 파선은, 도 2에 있어서, SOI 영역(1A)과 벌크 영역(1B)의 경계에 걸쳐 있도록 형성된 소자 분리부(ST)의 단차면에, 대략 상당한다. 또한, 도 2에 나타내는 바와 같이, 벌크 영역(1B)은, 반도체 기재(SB)의 일부에 대해서 에피택셜 성장 처리를 실시함으로써, 이 반도체 기재(SB)의 일부의 표면에 에피택셜 성장층(EP1)이 형성된 영역(제1 영역(1Ba))과, 에피택셜 성장 처리가 실시되지 않은 영역(제2 영역(1Bb))을 가지고 있다. 또한, 에피택셜 성장층(EP1)은, 반도체 기재(SB)를 구성하는 재료와 동일한 재료로 이루어진다.

- [0021] 그리고, SOI 영역(1A)에는, 예를 들어 로직 회로 또는 디지털 회로를 구성하는 MISFET(Metal Insulator Semiconductor Field Effect Transistor) Q1이 형성되어 있다. 또한, 벌크 영역(1B) 중 제1 영역(1Ba)에는, 예를 들어 주변 회로, 구체적으로는 입출력 회로를 구성하는 MISFETQ2가 형성되어 있다. 또한, 벌크 영역(1B) 중 제2 영역(1Bb)에는, 예를 들어 플래시 메모리를 구성하는 MISFETQ3이 형성되어 있다.
- [0022] 여기서, 각 전계 효과 트랜지스터(MISFET) Q1, Q2, Q3의 각 게이트 전극은, 금속 재료(금속막)로 이루어지는 메탈 게이트 전극(MTG1, MTG2, MTG3)이다. 또한, 도 2에 나타내는 바와 같이, 전계 효과 트랜지스터 Q1의 게이트 전극(메탈 게이트 전극(MTG1))은, 게이트 절연막(IF1)을 통해, 반도체층(SM) 상에 형성되어 있다. 또한, 도 2에 나타내는 바와 같이, 전계 효과 트랜지스터(Q2)의 게이트 전극(메탈 게이트 전극(MTG2))은, 게이트 절연막(IF2)을 통해, 에피택셜 성장층(EP1) 상에 형성되어 있다. 또한, 도 2에 나타내는 바와 같이, 전계 효과 트랜지스터(Q3)의 게이트 전극(메탈 게이트 전극(MTG3))은, 게이트 절연막(IF3)을 통해, 반도체 기체(SB) 상에 형성되어 있다.
- [0023] 그리고, 각 게이트 전극(메탈 게이트 전극(MTG1, MTG2, MTG3))의 형상은, 도 2에 나타내는 바와 같이, 서로 대략 동일한 형상이다. 또한, 여기에서 말하는 「형상」이란, 두께다. 한편, 게이트 절연막(IF3)의 두께는, 도 2에 나타내는 바와 같이, 게이트 절연막(IF1, IF2)의 두께보다도 두껍다. 또한, 도 2에 나타내는 바와 같이, 제2 영역(1Bb)에 위치하고, 또한 게이트 절연막(IF3)이 접하는 면(반도체 기체(SB)의 표면)은, SOI 영역(1A)에 위치하고, 또한 게이트 절연막(IF1)이 접하는 면(반도체층(SM)의 표면), 및 제1 영역(1Ba)에 위치하고, 또한 게이트 절연막(IF2)이 접하는 면(에피택셜 성장층(EP1)의 표면)의 각각보다도 낮은 개소(높이)에 위치하고 있다.
- [0024] 또한, 도 2에 나타내는 바와 같이, 각 전계 효과 트랜지스터(MISFET)(Q1, Q2, Q3)는, 층간 절연막(IL1)과, 이 층간 절연막(IL1) 상에 형성된 층간 절연막(IL2)으로 덮여 있다. 그리고, 각 전계 효과 트랜지스터(MISFET)(Q1, Q2, Q3)의 소스/드레인, 이 두 층간 절연막(IL1, IL2)을 관통하도록 형성된 각 콘택트 플러그(CP1, CP2, CP3)를 통해, 층간 절연막(IL2) 상에 위치하는 배선층(ML1)에 형성된 각 배선(배선 패턴)(M1)과 전기적으로 접속되어 있다. 또한, 각 배선(M1)은, 층간 절연막(IL2) 상에 형성된 다른 층간 절연막(IL3)으로 덮여 있다.
- [0025] [본 실시 형태 1의 반도체 장치에 의한 효과]
- [0026] 다음으로, 본 실시 형태 1의 반도체 장치(SD1)에 의한 효과에 대해서, 이하에 설명한다.
- [0027] 본 실시 형태 1에서는, 상기한 바와 같이 각 전계 효과 트랜지스터(MISFET)(Q1, Q2, Q3)의 각 게이트 전극이, 금속막으로 이루어지는 메탈 게이트 전극(MTG1, MTG2, MTG3)이기 때문에, 예를 들어 다결정 실리콘막으로 이루어지는 게이트 전극을 MISFET의 게이트 전극으로서 채용한 경우에 비해서, 반도체 장치의 고속화를 실현할 수 있다. 즉, 미세화에 대응할 수 있다.
- [0028] 또한, 본 실시 형태 1에서는, 상기한 바와 같이, 벌크 영역(1B) 중 제1 영역(1Ba)에 위치하는 전계 효과 트랜지스터(MISFET)(Q2)의 게이트 절연막(IF2)의 두께가, 벌크 영역(1B) 중 제2 영역(1Bb)에 위치하는 전계 효과 트랜지스터(MISFET)(Q3)의 게이트 절연막(IF3)의 두께보다도 얇다. 그러나, 본 실시 형태 1에서는, 도 2에 나타내는 바와 같이, 두께가 얇은 게이트 절연막을 갖는 MISFET(예를 들어, 전계 효과 트랜지스터(Q2))가 형성되는 영역의 반도체 기체의 표면이, 두께가 두꺼운 게이트 절연막을 갖는 MISFET(예를 들어, 전계 효과 트랜지스터(Q3))가 형성되는 영역의 반도체 기체의 표면보다도 상방에 위치하고 있다. 그 때문에, 각 영역(1A, 1Ba, 1Bb)에 형성된 각 MISFET의 게이트 전극의 형상을, 서로 대략 동일한 형상으로 할 수 있다. 즉, 각 MISFET의 게이트 전극을 원하는 형상으로 형성할 수 있기 때문에, 반도체 장치(SD1)의 신뢰성(즉, 전기 특성)이 저하되는 것을 억제할 수 있다.
- [0029] [반도체 장치의 제조 방법]
- [0030] 다음으로, 본 실시 형태 1의 반도체 장치의 제조 방법에 대해서, 도 3에 나타내는 프로세스 플로우(스텝 S1 내지 스텝 S8)를 따라, 또한 도 4 내지 도 15를 사용하여 설명한다.
- [0031] 1. SOI 기판 준비(스텝 S1)
- [0032] 먼저, 도 3의 스텝 S1로서, SOI 기판(1)을 준비한다. 본 실시 형태에서는, 상기한 SOI 기판(기판)(1)에 대해서, 또한 도 4에 나타내는 바와 같이, 반도체층(SM) 및 절연층(BX)을 관통하고, 또한 반도체 기체(SB)에 달하는 홈(TR)의 내부에 소자 분리부(ST)가 매립된 것을 준비한다. 또한, 본 실시 형태 1에서는, 예를 들어 반도체 기체(SB)는 p형의 단결정 실리콘으로 이루어지고, 그 두께는 250 μ m 내지 800 μ m이다. 단, n형의 단결정 실리콘

콘으로 이루어지는 반도체 기재(SB)를 사용해도 된다. 또한, 예를 들어 절연층(BX)은 산화 실리콘으로 이루어지고, 그 두께는 5nm 내지 20nm이다. 또한, 예를 들어 반도체층(SM)은 단결정 실리콘으로 이루어지고, 그 두께는 예를 들어 5nm 내지 20nm이다. 또한, 예를 들어 소자 분리부(ST)는 산화 실리콘으로 이루어진다. 여기서, 이 반도체층(SM)에는, 예를 들어 이온 주입에 의해 n형 또는 p형의 불순물이 도입되어 있지 않은, 혹은 이온 주입에 의해 불순물이 도입되어 있었다고 해도, 그 불순물 농도는 $1 \times 10^{13} / \text{cm}^3$ 이하이다. 또한, 홈(TR) 및 소자 분리부(ST)는, 반도체 기재(SB), 절연층(BX) 및 반도체층(SM)을 갖는 SOI 기판(1)을 준비한 후에 형성된 것이지만, 홈(TR) 및 소자 분리부(ST)의 각각의 형성 방법에 관한 설명은, 생략한다.

[0033] 또한, 도 4에 나타내는 바와 같이, SOI 기판(1)은, 제1 MISFET가 형성되는, 소위 SOI 영역(1A)과, 제2 MISFET 및 제3 MISFET의 각각이 형성되는, 소위 벌크 영역(1B)을 구비하고 있다. 또한, 이 벌크 영역(1B)은, 제2 MISFET가 형성되는 제1 영역(1Ba)과, 제3 MISFET가 형성되는 제2 영역(1Bb)을 구비하고 있다.

[0034] 2. 벌크 영역 형성(스텝 S2)

[0035] 다음으로, 도 3의 스텝 S2로서, 도 5에 나타내는 바와 같이, SOI 영역(1A)에 위치하는 반도체층(SM) 및 절연층(BX)의 각각이 제거되지 않도록, 벌크 영역(1B)에 위치하는 반도체층(SM) 및 절연층(BX)의 각각을 제거한다. 구체적으로는, 도시하지 않은 포토레지스트 패턴(레지스트 패턴, 마스크층)을 SOI 영역(1A)에 위치하는 반도체층(SM) 상에 형성하고, SOI 영역(1A)을 포토레지스트 패턴으로 덮는다. 그리고, 이 포토레지스트 패턴을 에칭 마스크로 하여, 벌크 영역(1B(1Ba, 1Bb))에 위치하는 반도체층(SM)에 에칭 처리를 실시하고, 이 벌크 영역(1B(1Ba, 1Bb))에 위치하는 반도체층(SM)을 제거한다. 이에 의해, 벌크 영역(1B(1Ba, 1Bb))에 위치하는 절연층(BX)이 노출된다. 한편, SOI 영역(1A)은, 도시하지 않은 포토레지스트 패턴으로 덮여 있기 때문에, 이 SOI 영역(1A)에 위치하는 반도체층(SM)은, 제거되지 않는다. 또한, 본 실시 형태 1에서는, 이 에칭 처리로서, 예를 들어 불소 라디칼 주체의 등방성의 건식 에칭을 사용하고 있다. 또한, 에칭 가스는, 예를 들어 SF_6 (육불화황) 가스를 사용하고 있다. 또한, 본 실시 형태 1에서는, 반도체층(SM)의 에칭 속도보다도, 절연층(BX) 및 소자 분리부(ST)의 각각의 에칭 속도가 작아지는 에칭 조건을 사용하고 있기 때문에, 반도체층(SM)이 제거됨으로써 노출된 절연층(BX)을, 에칭 스톱퍼로서 기능시킬 수 있다.

[0036] SOI 영역(1A)에 위치하는 반도체층(SM)을 덮고 있던 포토레지스트 패턴을 제거한 후, 벌크 영역(1B)을 도시하지 않은 새로운 포토레지스트 패턴으로 덮은 상태에서, SOI 영역(1A)에 위치하는 반도체 기재(SB)에 대해서 이온 주입을 행한다. 이에 의해, 도 5에 나타내는 바와 같이, 이 SOI 영역(1A)에 위치하는 반도체 기재(SB)에, 반도체 영역(불순물 확산층)(GP)을 형성한다. 또한, 이 반도체 영역(GP)은, p형 또는 n형의 반도체 영역이며, SOI 영역(1A)에 위치하는 절연층(BX)에 인접한 위치에 형성된다. 또한, 이 반도체 영역(GP)은, SOI 영역(1A)에 형성되는 MISFET의 역치 전압을 제어하기 위해서 형성된다. 구체적으로는, 제조된 반도체 장치에 있어서, 이 반도체 영역(GP)에 소정의 전압을 인가함으로써, SOI 영역(1A)에 형성된 MISFET의 역치 전압을 제어할 수 있다.

[0037] 그 후, SOI 영역(1A)에 반도체 영역(GP)을 형성할 때 벌크 영역(1B)을 덮고 있던 포토레지스트 패턴을 제거하는 한편, 도시하지 않은 새로운 포토레지스트 패턴으로 SOI 영역(1A)을 덮는다. 그리고, SOI 영역(1A)을 덮은 포토레지스트 패턴을 마스크(이온 주입 저지 마스크)로 하여, 벌크 영역(1B)에 위치하는 반도체 기재(SB)에 불순물을 주입한다. 이에 의해, 도 5에 나타내는 바와 같이, 벌크 영역(1B)에 위치하는 절연층(BX)에 인접한 위치에, 웰(반도체 영역)(WEL)이 형성된다. 또한, 본 실시 형태 1에서는, 불순물로서, 예를 들어 붕소를 사용하고 있다. 즉, 벌크 영역(1B)에 위치하는 절연층(BX)에 인접한 위치에 형성되는 웰(WEL)은, p형의 웰이다.

[0038] 그 후, SOI 영역(1A)을 덮고 있던 포토레지스트 패턴을 제거한다. 그리고, 벌크 영역(1B(1Ba, 1Bb))에 위치하는 절연층(BX)에 에칭 처리를 실시하고, 이 벌크 영역(1B(1Ba, 1Bb))에 위치하는 절연층(BX)을 제거한다. 이에 의해, 도 5이 상태로 된다. 또한, 본 실시 형태 1에서는, 이 에칭 처리로서, 예를 들어 습식 에칭(등방성의 에칭 처리)을 사용하고 있다.

[0039] 3. 엘리베이션 처리(스텝 S3)

[0040] 다음으로, 도 3의 스텝 S3으로서, 벌크 영역(1B) 중 제1 영역(1Ba)이 노출되도록, SOI 영역(1A)과, 벌크 영역(1B) 중 제2 영역(1Bb)을, 도시하지 않은 보호막으로 덮는다. 그리고, 벌크 영역(1B) 중 제1 영역(1Ba)에 대해서 에피택셜 성장 처리를 실시함으로써, 도 6에 나타내는 바와 같이, 이 제1 영역(1Ba)에 위치하는 반도체 기재(SB)의 표면(절연층(BX)을 제거함으로써 노출된 면)(SBaa) 상에 에피택셜 성장층(EP1)을 형성한다. 즉, 벌크 영역(1B) 중 제1 영역(1Ba)에 위치하는 반도체 기재(SB)의 상면(SBaa)을 들어 올린다(이후, 「엘리베이션 처리」라고도 칭함). 또한, 본 실시 형태 1에서는, 도 6에 나타내는 바와 같이, 에피택셜 성장층(EP1)의 상면

(EP1a)이, SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)과 대략 동일한 높이에 위치하도록, 에피택셜 성장 처리를 실시하고 있다. 구체적으로는, 에피택셜 성장층(EP1)의 상면(EP1a)이, 벌크 영역(1B) 중 제2 영역(1Bb)에 위치하는 반도체 기재(SB)의 상면(SBab)보다도 높은 높이에 위치하도록, 에피택셜 성장 처리를 실시하고 있다. 또한, 에피택셜 성장층(EP1)의 상면(EP1a)이, SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)과 동일한 높이, 혹은 SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)보다도 낮은 높이에 위치하도록, 에피택셜 성장 처리를 실시하고 있다. 이 이유에 대해서는, 나중에, 설명한다.

[0041] 또한, 상기한 바와 같이 본 실시 형태 1에서는, 에피택셜 성장층(EP1)의 상면(EP1a)이 SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)과 대략 동일한 높이에 위치하도록 에피택셜 성장 처리를 실시하고 있기 때문에, 본 공정에 의해 형성되는 에피택셜 성장층(EP1)의 두께는, SOI 영역(1A)에 위치하는 반도체층(SM)의 두께와, SOI 영역(1A)에 위치하는 절연층(BX)의 두께의 합과, 대략 동일하다. 또한, 본 공정에 의해 형성되는 에피택셜 성장층(EP1)의 두께는, 절연층(BX) 및 반도체층(SM)의 각각의 두께보다도 두꺼우며, 예를 들어 10nm 내지 40nm이다.

[0042] 또한, 본 공정에 의해 형성된 에피택셜 성장층(EP1)은, 반도체 기재(SB)를 구성하는 재료와 동일한 재료로 이루어진다. 즉, 본 실시 형태 1에서는, 반도체 기재(SB)는 단결정 실리콘으로 이루어지기 때문에, 본 공정에 의해 형성된 에피택셜 성장층(EP1)도, 예를 들어 단결정 실리콘으로 이루어진다.

[0043] 그리고, 벌크 영역(1B) 중 제1 영역(1Ba)에 에피택셜 성장층(EP1)을 형성한 후, 이 에피택셜 성장층(EP1)에 대해서 불순물을 주입한다. 이에 의해, 도 6에 나타내는 바와 같이, 에피택셜 성장층(EP1) 내에 웰(반도체 영역, 불순물 영역)(WEL)이 형성된다. 여기서, 에피택셜 성장층(EP1)에 대해서 주입하는 불순물의 종류는, 앞선 공정에 있어서 벌크 영역(1B)에 위치하는 반도체 기재(SB)에 주입한 불순물의 종류와 동일한 것이다. 이 이유는, 제1 영역(1Ba)에 형성되는 MISFET의 채널 영역이, 제1 영역(1Ba)에 형성된 웰(WEL)과, 에피택셜 성장층(EP1) 내에 형성된 웰(WEL)로 이루어지기 때문이다. 그 후, SOI 영역(1A)과, 벌크 영역(1B) 중 제2 영역(1Bb)을 덮고 있던, 도시하지 않은 보호막을 제거한다.

[0044] 4. 게이트 전극 형성(스텝 S4)

[0045] 다음으로, 도 3의 스텝 S4로서, 각 영역(1A, 1B(1Ba, 1Bb))에, 게이트 전극을 형성한다. 구체적으로는, 도 8에 나타내는 바와 같이, SOI 영역(1A)에 위치하는 반도체층(SM)의 표면(SMa) 상에 게이트 절연막(IF1)을 통해 게이트 전극(G1)을, 벌크 영역(1B) 중 제1 영역(1Ba)에 위치하는 에피택셜 성장층(EP1)의 표면(EP1a) 상에 게이트 절연막(IF2)을 통해 게이트 전극(G2)을, 벌크 영역(1B) 중 제2 영역(1Bb)에 위치하는 반도체 기재(SB)의 표면(SBab) 상에 게이트 절연막(IF3)을 통해 게이트 전극(G3)을, 각각 형성한다. 또한, 각 게이트 전극(G1, G2, G3)의 두께는, 예를 들어 30nm 내지 200nm이다. 보다 구체적으로는, 각 게이트 전극(G1, G2, G3)은, 이하의 수순으로 형성된다.

[0046] 먼저, 도 7에 나타내는 바와 같이, 각 영역(1A, 1B(1Ba, 1Bb)) 및 소자 분리부(ST)의 각각을 포함하는 반도체 기재(SB) 상에, 산화 실리콘막(IF)을 통해, 예를 들어 CVD(Chemical Vapor Deposition)법에 의해 다결정 실리콘막(또는 도프트 폴리실리콘막)(PS)을 퇴적한다. 여기서, 제2 영역(1Bb)에 있어서는, 절연막(IF)을 반도체 기재(SB) 상에 퇴적하기 전에, 후술하는 절연층(IF3a, IF3b)을 미리 형성해 둔다. 그 후, 이 퇴적된 다결정 실리콘막(PS)을, 건식 에칭 처리에 의해 패터닝한다. 또한, 산화 실리콘(IF)에 대해서도, 에칭 처리에 의해 패터닝한다. 이에 의해, 도 8에 나타내는 바와 같이, 각 게이트 절연막(IF1, IF2, IF3)과 맞추어, 각 게이트 전극(G1, G2, G3)이 각 영역(1A, 1B(1Ba, 1Bb))에 형성된다. 즉, 본 실시 형태 1에서는, 각 게이트 전극(G1, G2, G3)은, 1회의 CVD 프로세스에 의해 형성된다. 또한, 각 게이트 전극(G1, G2, G3)은, 서로 동일한 재료(다결정 실리콘)로 이루어진다.

[0047] 또한, 게이트 절연막(IF1) 및 게이트 절연막(IF2)의 각각은, 산화 실리콘으로 이루어진다. 한편, 게이트 절연막(IF3)은, 도 8에 나타내는 바와 같이, 3층 구조로 이루어진다. 구체적으로는, 게이트 절연막(IF3)은, 벌크 영역(1B)의 제2 영역(1Bb)에 위치하는 반도체 기재(SB)의 표면(SBab) 상에 형성되고, 또한 산화 실리콘으로 이루어지는 절연층(IF3a)과, 절연층(IF3a) 상에 형성되고, 또한 질화 실리콘으로 이루어지는 절연층(IF3b)과, 절연층(IF3b) 상에 형성되고, 또한 산화 실리콘으로 이루어지는 절연층(IF3c)를 가지고 있다. 즉, 절연층(IF3b)은, 두 절연층(IF3a, IF3c)의 사이에 끼워져 있으며, 전하를 가두기 위한 전하 유지층(전하 축적층)으로서 기능한다.

[0048] 또한, 게이트 절연막(IF1), 게이트 절연막(IF2), 절연층(IF3a) 및 절연층(IF3c)의 각각의 두께는, 예를 들어 2

nm 내지 4nm이다. 한편, 절연층(전하 유지층, 전하 축적층)(IF3b)의 두께는, 예를 들어 5nm 내지 13nm이다. 즉, 세 절연층(IF3a, 3b, 3c)으로 이루어지는 게이트 절연막(IF3)의 두께는, 9nm 내지 21nm이며, 게이트 절연막(IF1) 및 게이트 절연막(IF2)의 각각의 두께보다도 두껍다. 또한, 본 실시 형태 1에서는, 앞선 공정에 있어서, 벌크 영역(1B) 중 제1 영역(1Ba)에 위치하는 반도체 기재(SB)에 대해서 에피택셜 성장 처리를 실시하고 있다. 그 때문에, 도 8에 나타내는 바와 같이, 각 게이트 절연막(IF1, IF2, IF3(IF3c))의 상면의 위치가 서로 대략 동일한 높이에 위치하게 되기 때문에, 각 게이트 전극(G1, G2, G3)의 표면(상면)에 대해서도, 서로 대략 동일한 높이에 위치시킬 수 있다.

[0049] 5. 소스/드레인 형성(스텝 S5)

[0050] 다음으로, SOI 영역(1A) 및 벌크 영역(1B(1Ba, 1Bb))의 각각에 형성되는 MISFET를 구성하는, 소스/드레인으로 되는 반도체 영역(불순물 영역)을, 각 영역(1A, 1B(1Ba, 1Bb))에 형성한다. 또한, 소스/드레인으로 되는 각 반도체 영역은, 도 9에 나타내는 바와 같이, 반도체 영역(불순물 영역)(EX, LDD, LMD)과, 이 반도체 영역(EX, LDD, LMD)과 접하고, 또한 이 반도체 영역(EX, LDD, LMD)의 불순물 농도보다도 높은 불순물 농도로 이루어지는 반도체 영역(불순물 영역)(D1, D2, MD)으로 이루어진다. 또한, 저농도의 각 반도체 영역(EX, LDD, LMD)은, 각 오프셋 스페이스(OS1, OS2, OS3)를 형성한 후에, 또한 각 사이드 월 스페이스(SW1, SW2, SW3)를 형성하기 전에, 형성된다. 또한, 고농도의 각 반도체 영역(D1, D2, MD)은, 상술한 각 사이드 월 스페이스(SW1, SW2, SW3)를 형성한 후에, 형성된다. 각 영역(1A, 1B)에 형성되는 소스/드레인의 상세에 대해서는, 이하에 설명한다.

[0051] 먼저, SOI 영역(1A)에 형성되는 소스/드레인은, 도 9에 나타내는 바와 같이, 반도체층(SM) 중, 게이트 전극(G1)의 측면을 덮도록 형성된 오프셋 스페이스(절연막)(OS1)와, 이 오프셋 스페이스(OS1)를 덮도록 형성된 사이드 월(절연막)(SW1)로 덮인 부분(위치)에 형성된 반도체 영역(익스텐션 영역)(EX)과, 반도체층(SM) 중, 오프셋 스페이스(OS1)와 사이드 월(SW1)로부터 노출되는 부분(위치)에 형성된 반도체 영역(확산 영역)(D1)으로 이루어진다.

[0052] 여기서, SOI 영역(1A)에 위치하는 반도체층(SM)의 일부(게이트 전극(G1)의 바로 아래에 위치하고, 또한 소스로 되는 반도체 영역과 드레인으로 되는 반도체 영역의 사이에 위치하는 부분)는, 이 SOI 영역(1A)에 형성되는 MISFET의 채널 영역으로 된다. 그리고, 본 실시 형태 1에서는, 이 채널 영역을 구성하는 반도체층(SM)의 두께가 5nm 내지 20nm으로 얇다. 그 때문에, 후속 공정에 있어서, 소스/드레인으로 되는 반도체 영역 상에 콘택트 홀을 형성할 때, 이 반도체층(SM)의 하방에 위치하는 절연층(BX), 또는 이 절연층(BX)의 하방에 위치하는 반도체 기재(SB)까지 콘택트 홀의 저부가 달하게, 콘택트 홀이 형성될 우려가 있다.

[0053] 그래서, 본 실시 형태 1에서는, 도 9에 나타내는 바와 같이, 게이트 전극(G1) 및 오프셋 스페이스(OS1)로부터 노출된 반도체층(SM)에 대해서 에피택셜 성장 처리를 실시하고, 이 반도체층(SM)의 표면(SMa) 중, 게이트 전극(G1) 및 오프셋 스페이스(OS1)로부터 노출된 면(노출면) 상에 에피택셜 성장층(EP2)을 형성하고 있다. 그리고, 이 형성된 에피택셜 성장층(EP2)에 대해서도 불순물을 주입하고 있다. 즉, SOI 영역(1A)에 형성되는 소스/드레인을 구성하는 반도체 영역(확산 영역)(D1)은, 도 9에 나타내는 바와 같이, 반도체층(SM)에 형성된 부분과, 이 반도체층(SM) 상에 형성된 에피택셜 성장층(EP2)에 형성된 부분으로 이루어진다.

[0054] 또한, 벌크 영역(1B) 중 제1 영역(1Ba)에 형성되는 소스/드레인은, 도 9에 나타내는 바와 같이, 에피택셜 성장층(EP1) 중, 게이트 전극(G2)의 측면을 덮도록 형성된 오프셋 스페이스(OS2)와, 이 오프셋 스페이스(OS2)를 덮도록 형성된 사이드 월(SW2)로 덮인 부분(위치)에 형성된 반도체 영역(불순물 영역)(LDD)과, 에피택셜 성장층(EP1) 중, 오프셋 스페이스(OS2)와 사이드 월(SW2)로부터 노출되는 부분(위치)에 형성된 반도체 영역(확산 영역)(D2)으로 이루어진다. 또한, 벌크 영역(1B) 중 제2 영역(1Bb)에 형성되는 소스/드레인은, 도 9에 나타내는 바와 같이, 반도체 기재(SB) 중, 게이트 전극(G3)의 측면을 덮도록 형성된 오프셋 스페이스(OS3)와, 이 오프셋 스페이스(OS3)를 덮도록 형성된 사이드 월(SW3)로 덮인 부분(위치)에 형성된 반도체 영역(불순물 영역)(LMD)과, 반도체 기재(SB) 중, 오프셋 스페이스(OS3)와 사이드 월(SW3)로부터 노출되는 부분(위치)에 형성된 반도체 영역(확산 영역)(MD)으로 이루어진다.

[0055] 또한, 소스/드레인으로 되는 각 반도체 영역(익스텐션 영역, 불순물 영역, 확산 영역)을 형성하기 위해서 사용되는 불순물은, 형성되는 MISFET가 n형의 전계 효과 트랜지스터라면, 예를 들어 인(P)이나 비소(As)와 같은 n형의 불순물이다. 한편, 각 반도체 영역(익스텐션 영역, 불순물 영역, 확산 영역)을 형성하기 위해서 사용되는 불순물은, 형성되는 MISFET가 p형의 전계 효과 트랜지스터라면, 예를 들어 보론(B)과 같은 p형의 불순물이다.

[0056] 그리고, 각 MISFET의 소스/드레인을 구성하는 각 반도체 영역을 형성한 후, 도 9에 나타내는 바와 같이, 이 각

MISFET의 소스/드레인을 구성하는 각 반도체 영역(D1, D2, MD)의 표면(EP2a, EP1a, SBab)에, 실리콘사이드막(SLF1, SLF2, SLF3)을 형성한다.

[0057] 6. 층간 절연막 형성(스텝 S6)

[0058] 다음으로, 도 3의 스텝 S6으로서, 각 영역(1A, 1B(1Ba, 1Bb))에 형성된 각 게이트 전극(G1, G2, G3)을 덮도록, 기판(1) 상에 층간 절연막(IL)을 형성한다. 여기서, 도 10에 나타내는 바와 같이, 각 게이트 전극(G1, G2, G3)은 기판(1)의 표면으로부터 상방을 향해서 돌출되어 있기 때문에, 형성된 각 게이트 전극(G1, G2, G3)의 두께(높이)에 따라, 층간 절연막(IL)의 표면에는 요철이 형성된다. 즉, 층간 절연막(IL) 중, 각 게이트 전극(G1, G2, G3) 상에는 블록부(P1, P2, P3)가 형성된다.

[0059] 7. 연마 공정(스텝 S7)

[0060] 다음으로, 도 3의 스텝 S7로서, 층간 절연막(IL)의 일부를 연마한다. 여기서, 다결정 실리콘막으로 이루어지는 게이트 전극을 갖는 MISFET를 제조하는 경우는, 게이트 전극이 노출되지 않도록, 층간 절연막(IL)의 연마량을 제어한다. 이에 비해, 본 실시 형태 1에 있어서의 반도체 장치의 제조 방법은, 금속 재료로 이루어지는 게이트 전극을 갖는 MISFET를 형성하는 것이다. 그 때문에, 본 실시 형태 1에서는, 도 11에 나타내는 바와 같이, 각 영역(1A, 1B(1Ba, 1Bb))에 형성된 각 게이트 전극(G1, G2, G3)이 층간 절연막(IL)으로부터 노출되도록, 층간 절연막(IL)을 연마한다. 그리고, 본 연마 공정에 의해, 연마 공정이 실시된 층간 절연막(IL1)이 형성된다. 그 후, 각 게이트 전극(G1, G2, G3)을 구성하는 재료(다결정 실리콘막)를, 이 재료와는 다른 금속 재료로 치환하는 공정을 행한다.

[0061] 8. 게이트 전극 치환 공정(스텝 S8)

[0062] 다음으로, 도 3의 스텝 S8로서, 게이트 전극을 구성하는 재료의 치환 공정에 대해서 설명한다.

[0063] 먼저, 연마된 층간 절연막(IL1)으로부터 노출된 각 게이트 전극(G1, G2, G3)에 대해서, 예를 들어 습식 에칭 처리를 실시함으로써, 이 각 게이트 전극(G1, G2, G3)을 제거한다. 이에 의해, 도 12에 나타내는 바와 같이, 서로 대향하는 한 쌍의 오프셋 스페이서(OS1, OS2, OS3)와, 게이트 절연막(IF1, IF2, IF3(IF3c))으로 둘러싸인 영역에, 공간(GAP1, GAP2, GAP3)을 형성한다.

[0064] 다음으로, 도 12에 있어서 설명한 각 영역(1A, 1B(1Ba, 1Bb))의 각 공간(GAP1, GAP2, GAP3) 내를 막도록, 도 13에 나타내는 바와 같이, 연마된 층간 절연막(IL1) 상에 금속막(MF)을 형성한다. 여기서, 금속막(MF)은, 예를 들어 스퍼터링에 의해 형성한다. 또한, 금속막(MF)은, 예를 들어 질화티타늄으로 이루어진다. 또한, 도시하지 않지만, 금속막(MF)은, 예를 들어 산화하프늄계의 고유전율 재료로 이루어지는 게이트 절연막(High-k 게이트 절연막)을 통해, 연마된 층간 절연막(IL1) 상, 오프셋 스페이서(OS1, OS2, OS3) 상 및 게이트 절연막(IF1, IF2, IF3) 상에 형성된다. 또한, 이 High-k 게이트 절연막(HfON, HfO)은, 예를 들어 ALCVD(Atomic Layer Chemical Vapor Deposition)에 의해 형성된다. 또한, 고유전율 게이트 절연막의 두께는, 예를 들어 수 Å 내지 수십 Å 이다.

[0065] 그리고, 도 14에 나타내는 바와 같이, 금속막(MF)(및 High-k 게이트 절연막) 중 도 12에 있어서 설명한 각 공간(GAP1, GAP2, GAP3) 밖에 위치하는 부분(즉, 금속막(MF) 중, 연마된 층간 절연막(IL1)의 표면 상에 위치하는 불필요 부분)을 제거함으로써, 금속 재료로 이루어지는 게이트 전극(메탈 게이트 전극)(MTG1, MTG2, MTG3)이 형성된다. 또한, 본 실시 형태 1에서는, 예를 들어 연마에 의해 불필요 부분을 제거한다.

[0066] 다음으로, 도 15에 나타내는 바와 같이, 연마된 층간 절연막(IL1)으로부터 노출된 각 메탈 게이트 전극(MTG1, MTG2, MTG3)의 노출 부분을 덮도록, 연마된 층간 절연막(IL1) 상에, 다른 층간 절연막(IL2)을 형성한다. 그리고, 이들 층간 절연막(IL1, IL2) 중, 메탈 게이트 전극(MTG1, MTG2, MTG3)을 갖는 각 전계 효과 트랜지스터(MISFET, MOSFET)(Q1, Q2, Q3)의 소스/드레인으로 되는 반도체 영역(D1, D2, MD)과 겹치는 위치에, 콘택트 홀(CH1, CH2, CH3)을 형성한다. 또한, 콘택트 홀(CH1, CH2, CH3)은, 예를 들어 포토리소그래피 기술 및 건식 에칭에 의해 형성된다. 그리고, 각 콘택트 홀(CH1, CH2, CH3) 내에, 예를 들어 텅스텐으로 이루어지는 도체막을 매립함으로써, 도 15에 나타내는 바와 같이, 콘택트 플러그(CP1, CP2, CP3)를 형성한다. 그 후, 층간 절연막(IL2) 상에 위치하는 배선층(ML1)에 복수의 배선(배선 패턴)(M1)을 형성하고, 또한 이 복수의 배선(M1)을 층간 절연막(IL3)으로 덮음으로써, 도 2의 상태로 된다.

[0067] [본 실시 형태 1의 반도체 장치의 제조 방법에 의한 효과]

- [0068] 다음으로, 본 실시 형태 1의 반도체 장치의 제조 방법에 의한 효과에 대해서, 몇 가지 검토예와 함께 설명한다.
- [0069] (검토예 1)
- [0070] 먼저, 상기한 바와 같이, 본 실시 형태 1의 반도체 장치를 구성하는 기판은, 반도체 기재 상에 형성된 절연층 및 반도체층을 갖는 SOI 영역(예를 들어, SOI 영역(1A))뿐만 아니라, 이 절연층 및 반도체층을 갖지 않는 벌크 영역(예를 들어, 벌크 영역(1B))을 구비하고 있다. 또한, 상기 벌크 영역은, 제1 두께로 이루어지는 게이트 절연막(예를 들어, 게이트 절연막(IF2))을 갖는 MISFET가 형성되는 영역(예를 들어, 제1 영역(1Ba))과, 상기 제1 두께보다도 두꺼운 두께로 이루어지는 제2 게이트 절연막(예를 들어, 게이트 절연막(IF3))을 갖는 MISFET가 형성되는 영역(예를 들어, 제2 영역(1Bb))을, 구비하고 있다. 또한, 여기까지의 구성을, 검토예 1로서, 도 16에 나타낸다.
- [0071] 한편, 이것도 상기한 바와 같이 본 실시 형태 1의 반도체 장치의 제조 방법은, 먼저 잠정의 게이트 전극을 형성한 후, 이 게이트 전극의 측면(측벽)을 덮도록, 오프셋 스페이서 및 사이드 월을 순차, 형성한다. 그리고, 소스/드레인으로 되는 반도체 영역을, MISFET가 형성되는 영역(활성 영역)에 형성한 후, 층간 절연막으로 잠정의 게이트 전극을 덮는다. 그리고, 잠정의 게이트 전극의 일부가 노출되도록 층간 절연막의 일부를 제거한 후, 이 잠정의 게이트 전극을 제거함으로써 형성된 공간 내에, 잠정의 게이트 전극을 구성하고 있던 재료(예를 들어, 다결정 실리콘막)와는 다른 재료(예를 들어, 금속막)를 매립한다. 즉, 본 실시 형태 1의 반도체 장치의 제조 방법은, 소위 게이트 라스트 프로세스이다.
- [0072] 여기서, 도 16에 나타내는 바와 같이, 검토예 1의 경우, 벌크 영역(1B) 중 제1 영역(1Ba)에 대해서 에피택셜 성장 처리를 실시하지 않았기 때문에, 각 게이트 전극(G1, G2a, G3)의 표면(상면)은, 서로 대략 동일한 높이에 위치해 있지 않다. 구체적으로는, 벌크 영역(1B) 중 제1 영역(1Ba)에 형성된 게이트 전극(G2a)의 표면은, 다른 영역(1A, 1Bb)에 형성된 게이트 전극(G1, G3)의 표면보다도 낮다. 그 때문에, 이와 같은 구성에 있어서, 각 영역(1A, 1B(1Ba, 1Bb))에 형성된 게이트 전극(G1, G2a, G3) 전체가 층간 절연막(IL1)으로부터 노출되도록 층간 절연막(IL1)을 연마하면, 도 17에 나타내는 바와 같이, 게이트 전극(G1, G3)이 필요 이상으로 연마(제거)되어 버린다. 이 결과, 후의 치환 공정에 의해 형성되는 메탈 게이트 전극이 원하는 형상(두께)을 갖지 않게 되어, 전기 특성(즉, 반도체 장치의 신뢰성)이 저하될 우려가 있다.
- [0073] (검토예 2)
- [0074] 그래서, 게이트 전극(G2a)보다도 기판(1)의 상방을 향해서 돌출되어 있는 게이트 전극(G1, G3)이 노출된 시점에, 층간 절연막(IL1)의 연마를 종료한다는 검토예 2에 대해서도, 본 발명자는 검토하였다. 그러나, 이 검토예 2의 경우, 도 18에 나타내는 바와 같이, 모든 게이트 전극(G1, G2a, G3) 중, 게이트 전극의 표면(상면)이 가장 기판(1)을 구성하는 반도체 기재(SB)측에 위치하는 게이트 전극(G2a)이, 층간 절연막(IL1)으로부터 노출되지 않는다. 이 결과, 게이트 전극(G2a)을 구성하는 재료(예를 들어, 다결정 실리콘막)를, 다른 재료(예를 들어, 금속막)로 치환시킬 수 없다. 즉, 게이트 전극(G2a)으로 이루어지는 회로에 대해서는, 그 처리 속도를 향상시키는 것이, 곤란해진다.
- [0075] (검토예 3)
- [0076] 그래서, 본 발명자는, 새로운 검토예로서, 게이트 전극(G2a)의 높이(두께)보다도 높은(두꺼운) 게이트 전극(G2b)을 채용하는 것을 검토하였다. 이 결과, 도 19에 나타내는 바와 같이, 각 게이트 전극(G1, G2b, G3)을 필요 이상으로 연마(제거)하지 않고, 각 게이트 전극(G1, G2b, G3)을 층간 절연막(IL1)으로부터 노출시킬 수 있다. 그러나, 본 검토예 3의 경우, 도 20에 나타내는 바와 같이, 게이트 전극(G2b)에 대해서 치환 공정의 일부를 행함으로써 형성되는 공간(GAP2b)의 에스펙트비(H2/L2)가, 검토예 1에 있어서의 게이트 전극(G2a)에 대해서 치환 공정의 일부를 행함으로써 형성되는 공간의 에스펙트비, 즉 다른 게이트 전극에 대해서 치환 공정의 일부를 행함으로써 형성되는 공간의 에스펙트비(H1/L1)보다도 커져 버린다. 이 결과, 형성된 공간(GAP2b) 내에 금속막이 매립되기 어려워진다. 즉, 형성되는 메탈 게이트 전극이 보이드를 가질 우려가 있어, 반도체 장치의 신뢰성을 저하시킬 우려가 있다.
- [0077] (검토예 4)
- [0078] 여기서, 상기한 바와 같이, 본 실시 형태 1의 반도체 장치를 구성하는 기판은, 반도체 기재 상에 형성된 절연층 및 반도체층을 갖는 SOI 영역(예를 들어, SOI 영역(1A))뿐만 아니라, 이 절연층 및 반도체층을 갖지 않는 벌크 영역(예를 들어, 벌크 영역(1B))을 구비하고 있다. 즉, 벌크 영역(1B)에 형성되는 MISFET의 게이트 전극의 표

면(상면)은, 단면으로 보아, SOI 영역(1A)에 형성되는 MISFET의 게이트 전극의 표면(상면)보다도, 낮은 개소에 위치한다. 그래서, 본 발명자는, 한층 더한 검토에로서, 도 21에 나타내는 바와 같이, 벌크 영역(1B)에 위치하는 반도체층 및 절연층을 제거한 후, 모든 벌크 영역(1B), 즉, 제1 영역(1Ba) 및 제2 영역(1Bb)의 양쪽에 대해서 에피택셜 성장 처리를 실시함으로써, 반도체층 및 절연층의 양쪽을 제거한 것에 의해 발생한 단차량을 저감하는 것을 고려하였다. 바꾸어 말하면, 에피택셜 성장층(EP1)의 상면(EP1a)뿐만 아니라, 에피택셜 성장층(EP3)의 상면(EP1b)에 대해서도, SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)과 대략 동일한 높이에 위치하도록, 각 영역(1Ba, 1Bb)에 대해서 에피택셜 성장 처리를 실시하는 것을 고려하였다.

[0079] 그러나, 도 21에 나타내는 바와 같이, 벌크 영역(1B) 중 제2 영역(1Bb)에 형성되는 MISFET의 게이트 절연막(IF3)의 두께는, 다른 영역(1A, 1Ba)에 형성되는 MISFET의 게이트 절연막(IF1, IF2)의 두께보다도 두껍다. 그 때문에, 검토에 1 및 검토에 2와 마찬가지로, 연마 공정에 앞서, 각 게이트 전극(G1, G2, G3)의 표면(상면)을, 서로 대략 동일한 높이에 위치시킬 수 없다.

[0080] 이에 비해, 본 실시 형태 1에서는, 도 2, 도 6 및 도 15에 나타내는 바와 같이, 벌크 영역(1B) 중, 두께가 얇은 게이트 절연막(IF2)을 갖는 전계 효과 트랜지스터(MISFET)(Q2)가 형성되는 제1 영역(1Ba)에 대해서 에피택셜 성장 처리를 실시하지만, 벌크 영역(1B) 중, 두께가 두꺼운 게이트 절연막(IF3)을 갖는 전계 효과 트랜지스터(MISFET)(Q3)가 형성되는 제2 영역(1Bb)에 대해서는 에피택셜 성장 처리를 실시하지 않는다. 그 때문에, 도 8에 나타내는 바와 같이, 중간 절연막(IL)의 연마 공정에 앞서, 각 게이트 전극(G1, G2, G3)의 표면(상면)을, 서로 대략 동일한 높이에 위치시킬 수 있다. 이 결과, 도 11 내지 도 14에 나타내는 바와 같이, 미리 형성해 둔 잠정의 게이트 전극(G1, G2, G3)과 대략 동일한 형상(두께)의 메탈 게이트 전극(MTG1, MTG2, MTG3)을 형성할 수 있기 때문에, 반도체 장치의 신뢰성이 저하되는 것을 억제할 수 있다. 바꾸어 말하면, 각 MISFET에 대해서 원하는 형상으로 이루어지는 메탈 게이트 전극을 채용할 수 있기 때문에, 반도체 장치의 고속화를 실현할 수 있다. 또한, 본 실시 형태 1에서는, 상기한 바와 같이 중간 절연막(IL)의 연마 공정에 앞서, 각 게이트 전극(G1, G2, G3)의 표면(상면)을, 서로 대략 동일한 높이에 위치시키고 있기 때문에, 후의 연마 공정에 있어서의 연마 조건(연마량)을 용이하게 설정할 수 있다. 즉, 안정적으로 모든 게이트 전극을 연마된 중간 절연막(IL1)으로부터 용이하게 노출시킬 수 있기 때문에, 반도체 장치의 수율도 향상시킬 수 있다.

[0081] [본 실시 형태 1의 변형예]

[0082] 다음으로, 본 실시 형태 1의 변형예에 대해서 설명한다.

[0083] (변형예 1)

[0084] 먼저, 상기 실시 형태 1에서는, 도 5를 사용하여 설명한 바와 같이, 벌크 영역(1B)에 위치하는 반도체층(SM)을 제거한 후, SOI 영역(1A)에 위치하는 반도체 기재(SB)에 이온 주입하고, 또한 벌크 영역(1B)에 위치하는 반도체 기재(SB)에 이온 주입한 후, SOI 영역(1A) 및 벌크 영역(1B)의 각각에 위치하는 절연층(BX)을 제거하는 것에 대해서 설명하였다. 이에 비해, 본 변형예 1은, 먼저 벌크 영역(1B)에 위치하는 반도체층(SM)을 제거한 후, 이 벌크 영역(1B)에 위치하는 반도체 기재(SB)에 이온 주입하고, 또한 SOI 영역(1A)에 위치하는 반도체 기재(SB)에 이온 주입한 후, SOI 영역(1A) 및 벌크 영역(1B)의 각각에 위치하는 절연층(BX)을 제거하는 것이다. 또한, 상기 실시 형태 1 및 본 변형예 1의 각각에 있어서, 반도체층(SM) 및 절연층(BX)을 제거하는 에칭 공정에서 사용하는 포토레지스트 패턴의 종류와, 이온 주입 공정에서 사용하는 포토레지스트 패턴의 종류는, 서로 다르다.

[0085] (변형예 2)

[0086] 다음으로, 상기 실시 형태 1에서는, 도 6을 사용하여 설명한 바와 같이, 엘리베이션 처리에 있어서의 구체예로서, 에피택셜 성장층(EP1)의 상면(EP1a)이, 벌크 영역(1B) 중 제2 영역(1Bb)에 위치하는 반도체 기재(SB)의 상면(SBab)보다도 높은 높이에 위치하도록, 및 SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)과 동일한 높이, 혹은 SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)보다도 낮은 높이에 위치하도록, 에피택셜 성장 처리를 실시하는 것에 대해서 설명하였다. 이에 비해, 본 변형예 2는, 에피택셜 성장층(EP1)의 상면(EP1a)이, SOI 영역(1A)에 위치하는 반도체층(SM)의 상면(SMa)보다도 높은 높이에 위치하도록, 에피택셜 성장 처리를 실시하는 것이다. 그러나, 에피택셜 성장층(EP1)의 상면(EP1a)을 반도체층(SM)의 상면(SMa)보다도 지나치게 높게(두껍게) 하면, 에피택셜 성장 처리의 시간이 길어질 뿐만 아니라, 이 제1 영역(1Ba)에 형성되는 게이트 전극(G2a)이, 후의 연마 공정에 있어서 필요 이상으로 연마(제거)되어 버린다. 그 때문에, 에피택셜 성장층(EP1)의 상면(EP1a)이 반도체층(SM)의 상면(SMa)과 같은 높이로 되도록 에피택셜 성장을 제어하는 것이 곤란한 경우는, 이 에피택셜 성장 처리에 요하는 시간을 고려하면, 상기 실시 형태 1과 같이, 에피택셜 성장층(EP1)의 상면

(EP1a)이, 반도체층(SM)의 상면(SMa)과 동일한 높이, 혹은 이 반도체층(SM)의 상면(SMa)보다도 낮은 높이에 위치하도록, 에피택셜 성장 처리를 실시하는 것이 바람직하다.

[0087] (변형예 3)

[0088] 다음으로, 상기 실시 형태 1에서는, 도 5에 나타내는 바와 같이, 벌크 영역(1B)(특히, 제1 영역(1Ba))에 위치하는 절연층(BX)에 인접한 위치에 웰(WEL)을 형성하고, 또한 제1 영역(1Ba)에 대해서 엘리베이션 처리(즉, 에피택셜 성장 처리)를 실시한 후, 상기 엘리베이션 처리에 의해 형성된 에피택셜 성장층(EP1) 내에 웰(WEL)을 형성하는 것에 대해서 설명하였다. 이에 비해, 본 변형예 3은, 제1 영역(1Ba)에 있어서는, 엘리베이션 처리를 행하기 전의 이온 주입은 실시하지 않고, 엘리베이션 처리를 행한 후에만 이온 주입 공정을 행하는 것이다. 즉, 벌크 영역(1B) 중 제2 영역(1Bb)에 대해서 이온 주입을 행할 때, 제1 영역(1Ba)은 포토레지스트 패턴으로 덮어 두는 것이다. 그리고, 본 변형예 3에 의하면, 제1 영역(1Ba)에 대한 이온 주입의 횟수를 저감시킬 수 있기 때문에, 이 제1 영역(1Ba)에 형성되는 제2 전계 효과 트랜지스터(Q2)의 역치 전압의 편차를, 상기 실시 형태 1보다도 저감할 수 있다.

[0089] (변형예 4)

[0090] 다음으로, 상기 실시 형태 1에서는, 제2 영역(1Bb)에 형성되고, 또한 플래시 메모리 회로를 구성하는 전계 효과 트랜지스터(Q3)가, 산화 실리콘으로 이루어지는 절연층(IF3a)과, 절연층(IF3a) 상에 형성되고, 또한 질화 실리콘으로 이루어지는 절연층(IF3b)과, 절연층(IF3b) 상에 형성되고, 또한 산화 실리콘으로 이루어지는 절연층(IF3c)으로 이루어지는 게이트 절연막(IF3)을 갖는 것에 대해서 설명하였다. 이에 비해, 본 변형예 4는, 다른 메모리 회로를 구성하는 MISFET로서, 강유전체 메모리에 관한 것이다. 구체적으로는, 본 변형예 4의 MISFET의 게이트 전극은, 제2 영역(1Bb)에 위치하는 반도체 기재(SB) 상에 형성되고, 또한 산화 실리콘으로 이루어지는 절연층과, 이 절연층 상에 형성되고, 또한 하프늄을 포함하는 절연층(예를 들어, HfSiO_4 , HfZrO_2 등)과, 이 하프늄을 포함하는 절연층 상에 형성되고, 또한 질화티타늄으로 이루어지는 캡막을 통해, 반도체 기재(SB) 상에 형성된다. 또한, 한가운데에 위치하는 하프늄을 포함하는 절연층이, 강유전체막이다. 또한, 이 강유전체막은, 상기한 세 층 중에서 가장 두꺼운 층이다. 그러나, 이 강유전체막의 두께의 최댓값은 약 10nm이며, 상기 실시 형태 1의 절연층(전하 유지층, 전하 축적층)(IF3b)의 두께의 최댓값(약 13nm)보다도 얇다.

[0091] (변형예 5)

[0092] 또한, 상기 실시 형태 1에서는, 3층의 게이트 절연막(IF3)을 갖는 MISFET가 벌크 영역(1B) 중 제2 영역(1Bb)에 형성되는 것에 대해서 설명하였다. 이에 비해, 본 변형예 5는, 이 제2 영역(1Bb)에 형성되는 MISFET의 게이트 절연막이 1층인 것이다. 구체적으로는, 도 22에 나타내는 바와 같이, 본 변형예 5의 반도체 장치(SD2)에서는, 벌크 영역(1B) 중 제1 영역(1Ba)에는 저내압형의 전계 효과 트랜지스터(MISFET)(Q4)가 형성되고, 벌크 영역(1B) 중 제2 영역(1Bb)에는 고내압형의 전계 효과 트랜지스터(MISFET)(Q5)가 형성된다. 그리고, 도 22에 나타내는 바와 같이, 고내압형의 전계 효과 트랜지스터(Q5)를 구성하는 게이트 절연막(IF5)의 두께는, 저내압형의 전계 효과 트랜지스터(Q4)를 구성하는 게이트 절연막(IF4)의 두께보다도, 두껍다. 또한, 본 변형예 5에 있어서의 게이트 절연막(IF4)의 두께는, 예를 들어 2nm 내지 4nm이다. 또한, 본 변형예 5에 있어서의 게이트 절연막(IF5)의 두께는, 예를 들어 9nm 내지 21nm이다. 여기서, 각 게이트 절연막(IF4, IF5)의 두께는, 필요로 하는 내압에 따라 바뀐다. 그 때문에, 고내압형의 전계 효과 트랜지스터를 구성하는 게이트 절연막의 두께가, 예를 들어 상기 실시 형태 1의 게이트 절연막(IF3)의 두께(9nm 내지 21nm)의 절반 이하로 되는 경우도 있다. 그리고, 그와 같은 고내압형의 전계 효과 트랜지스터의 게이트 전극에도 메탈 게이트 전극을 채용하고 싶은 경우는, 이 고내압형의 전계 효과 트랜지스터가 형성되는 영역(여기서는, 제2 영역(1Bb))에 대해서도, 엘리베이션 처리를 실시할 필요가 있다. 또한, 본 변형예에서는, 고내압형의 전계 효과 트랜지스터(Q5)의 게이트 절연막(IF5)의 두께가, 저내압형의 전계 효과 트랜지스터(Q4)의 게이트 절연막(IF4)의 두께보다도 두꺼운 것에 대해서 설명하였지만, 고내압형의 전계 효과 트랜지스터(Q5)의 게이트 길이가, 저내압형의 전계 효과 트랜지스터(Q4)의 게이트 길이보다도 길어도 된다. 또한, 여기에서 말하는 「게이트 길이」란, 도 22에 있어서, 소스/드레인으로 되는 두 반도체 영역(LDD) 중 한쪽으로부터 다른 쪽을 향하는 방향을 따른 게이트 전극의 길이이다. 또한, 고내압형의 전계 효과 트랜지스터(Q5)의 게이트 길이 및 게이트 절연막(IF5)의 두께가, 저내압형의 전계 효과 트랜지스터(Q4)의 게이트 길이 및 게이트 절연막(IF4)의 두께보다도, 각각 커도 된다. 또한, 게이트 절연막, 메탈 게이트 전극, 혹은 오프셋 스페이서 등을 구성하는 재료, 또는 소스/드레인으로 되는 반도체 영역의 구성 등, 상기 이외의 각 구성에 대해서는, 상기 실시 형태 1 및 각 변형예에서 설명한 내용과 동일하기 때문에, 설명은 생략한다.

[0093] (실시 형태 2)

[0094] 다음으로, 본 실시 형태 2의 반도체 장치(SD3)에 대해서, 도 23 및 도 24를 사용하여 설명한다. 도 23은, 본 실시 형태 2의 반도체 장치(SD3)의 회로도이다. 도 24는, 도 23에 나타나 있는 복수의 메모리 셀(MC) 중 하나를 포함하는 실시 형태 2의 반도체 장치의 주요부 단면도이다. 또한, 상기 실시 형태 1과의 상위점에 대해서는, 먼저 상기 실시 형태 1에서는, 벌크 영역(1B) 중, 하나의 활성 영역인 제2 영역(1Bb)에는 하나(1종류)의 전계 효과 트랜지스터(MISFET)(Q3)가 형성되는 것에 대해서 설명하였지만, 본 실시 형태 2에서는, 도 23 및 도 24에 나타내는 바와 같이, 벌크 영역(1B) 중, 하나의 활성 영역인 제2 영역(1Bb)에는 두(2종류) 전계 효과 트랜지스터(MISFET)(Q3, Q6)가 형성된다는 점에서, 상기 실시 형태 1과는 상이하다. 그 이외의 구성에 대해서는, 상기 실시 형태 1 및 각 변형예에서 설명한 내용과 동일하기 때문에, 설명은 생략한다.

[0095] 도 23에 나타내는 바와 같이, 복수의 메모리 셀(MC)의 각각은, 전계 효과 트랜지스터(메모리 트랜지스터)(Q3)와, 이 전계 효과 트랜지스터(Q3)와 직렬로 접속 되고, 또한 이 전계 효과 트랜지스터(Q3)를 제어(선택)하는 전계 효과 트랜지스터(선택 트랜지스터)(Q6)를 구비하고 있다. 또한, 전계 효과 트랜지스터(Q3)의 게이트 전극(메탈 게이트 전극(MTG3))은, 대응하는 메모리 게이트선(워드선)(MGL0, MGL1)과 전기적으로 접속되어 있다. 즉, 전계 효과 트랜지스터(Q3)의 게이트 전극은, 메모리 게이트 전극(MG)이다. 한편, 전계 효과 트랜지스터(Q6)의 게이트 전극(메탈 게이트 전극(MTG6))은, 대응하는 제어 게이트선(선택 게이트선)(CGL0, CGL1)과 전기적으로 접속되어 있다. 즉, 전계 효과 트랜지스터(Q6)의 게이트 전극은, 제어 게이트 전극(선택 게이트 전극)(CG)이다. 또한, 전계 효과 트랜지스터(Q3)의 소스/드레인, 비트선(BL0, BL1)과 전기적으로 접속되어 있다. 또한, 전계 효과 트랜지스터(Q6)의 소스/드레인, 소스선(SL0, SL1)과 전기적으로 접속되어 있다.

[0096] 또한, 본 실시 형태 2의 반도체 장치는, 도 24에 나타내는 바와 같이, 벌크 영역(1B) 중 제2 영역(1Bb)에 있어서, 메모리 트랜지스터(Q3)가 형성된 메모리 트랜지스터 형성 영역(메모리 트랜지스터 형성부)(1Bba)과, 선택 트랜지스터(Q6)가 형성된 선택 트랜지스터 형성 영역(선택 트랜지스터 형성부)(1Bbb)에 걸쳐 있는 공통 반도체 영역(확산 영역, 불순물 영역)(CMD)을 가지고 있다. 구체적으로는, 이 공통 반도체 영역(CMD)은, 메모리 트랜지스터 형성 영역(1Bba)에 위치하는 반도체 기재(SB)와, 선택 트랜지스터 형성 영역(1Bbb)에 위치하는 반도체 기재(SB) 상에 형성된 에피택셜 성장층(EP4)의 양쪽에 형성되어 있다. 즉, 공통 반도체 영역(CMD)은, 전계 효과 트랜지스터(Q3)의 드레인으로 되는 반도체 영역(확산 영역, 불순물 영역)이며, 전계 효과 트랜지스터(Q6)의 소스로 되는 반도체 영역(확산 영역, 불순물 영역)이기도 하다.

[0097] 또한, 본 실시 형태 2에서는, 도 24에 나타내는 바와 같이, 선택 트랜지스터(Q6)의 게이트 절연막(IF6)의 두께가, 메모리 트랜지스터(Q3)의 게이트 절연막(IF3)의 두께보다도 얇다. 즉, 선택 트랜지스터(Q6)의 게이트 절연막(IF6)의 두께는, 예를 들어 예를 들어 2nm 내지 8nm이다. 그 때문에, 도 24에 나타내는 바와 같이, 제2 영역(1Bb) 중 선택 트랜지스터 형성 영역(1Bbb)에 위치하는 반도체 기재(SB) 상에는, 에피택셜 성장층(EP4)이 형성되어 있다. 또한, 선택 트랜지스터 형성 영역(1Bbb)에 형성된 에피택셜 성장층(EP4)에 대해서도, 상기 실시 형태 1과 마찬가지로, 불순물이 주입되어 있다. 즉, 이 에피택셜 성장층(EP4)에도, 웰(반도체 영역, 불순물 영역)(WEL)이 형성되어 있다.

[0098] 또한, 선택 트랜지스터 형성 영역(1Bbb)에 형성된 에피택셜 성장층(EP4)은, 예를 들어 도 3의 프로세스 플로우에 나타내는 스텝 S3(엘리베이션 처리)에 있어서, 벌크 영역(1B) 중 제1 영역(1Ba)에 대해서 에피택셜 성장 처리를 실시할 때, 이 선택 트랜지스터 형성 영역(1Bbb)에 대해서도 에피택셜 성장 처리를 실시함으로써, 형성한다. 그러나, 선택 트랜지스터 형성 영역(1Bbb)에 대한 에피택셜 성장 처리는, 제1 영역(1Ba)에 대한 에피택셜 성장 처리와는 다른 공정에서 행해진다.

[0099] [본 실시 형태 2의 반도체 장치의 제조 방법에 의한 효과]

[0100] 다음으로, 본 실시 형태 2의 반도체 장치의 제조 방법에 의한 효과에 대해서 설명한다.

[0101] 본 실시 형태 2에서는, 도 24에 나타내는 바와 같이, 벌크 영역(1B) 중, 두께가 얇은 게이트 절연막(IF2)을 갖는 전계 효과 트랜지스터(MISFET)(Q2)가 형성되는 제1 영역(1Ba)과, 동일하게 두께가 얇은 게이트 절연막(IF6)을 갖는 전계 효과 트랜지스터(MISFET)(Q6)가 형성되는 선택 트랜지스터 형성 영역(1Bbb)에 대해서 에피택셜 성장 처리를 실시하지만, 벌크 영역(1B) 중, 두께가 두꺼운 게이트 절연막(IF3)을 갖는 전계 효과 트랜지스터(MISFET)(Q3)가 형성되는 선택 트랜지스터 형성 영역(1Bbb)에 대해서는 에피택셜 성장 처리를 실시하지 않는다. 그 때문에, 상기 실시 형태 1에 있어서의 설명과 마찬가지로, 층간 절연막(IL)의 연마 공정에 앞서, 각 영역

(1A, 1Ba, 1Bba, 1Bbb)에 형성되는 각 게이트 전극의 표면(상면)을, 서로 대략 동일한 높이에 위치시킬 수 있다. 이 결과, 이것도 상기 실시 형태 1에 있어서의 설명과 마찬가지로, 미리 형성해 둔 잠정의 게이트 전극과 대략 동일한 형상(두께)의 메탈 게이트 전극(MTG1, MTG2, MTG3, MTG6)을 형성할 수 있기 때문에, 반도체 장치의 신뢰성이 저하되는 것을 억제할 수 있다. 바꾸어 말하면, 비록 하나의 활성 영역에, 서로 두께가 다른 게이트 절연막(IF3, IF6)을 갖는 2종류의 MISFET가 형성되었다고 해도, 각 MISFET에 대해서 원하는 형상으로 이루어지는 메탈 게이트 전극을 채용할 수 있기 때문에, 반도체 장치의 고속화를 실현할 수 있다.

[0102] 이상, 본 발명자에 의해 이루어진 발명을 그 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니며, 그 요지를 벗어나지 않는 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다.

[0103] 그 외, 상기 실시 형태에 기재된 내용의 일부를 이하에 기재한다.

[0104] [부기 1]

[0105] 기재를 갖는 기판과,

[0106] 상기 기판의 제1 영역에 형성된 제1 전계 효과 트랜지스터와,

[0107] 상기 기판의 제2 영역에 형성된 제2 전계 효과 트랜지스터와,

[0108] 상기 기판의 제3 영역에 형성된 제3 전계 효과 트랜지스터

[0109] 를 포함하고,

[0110] 상기 제1 영역은, 상기 기재의 제1 부분과, 상기 기재의 상기 제1 부분 상에 형성된 절연층과, 상기 절연층 상에 형성된 반도체층을 갖고,

[0111] 상기 제1 전계 효과 트랜지스터의 제1 게이트 전극은, 제1 게이트 절연막을 통해, 상기 반도체층 상에 형성되어 있고,

[0112] 상기 제2 영역은, 상기 기재의 제2 부분과, 상기 기재의 제2 부분 상에 형성된 에피택셜 성장층을 갖고,

[0113] 상기 제2 전계 효과 트랜지스터의 제2 게이트 전극은, 제2 게이트 절연막을 통해, 상기 에피택셜 성장층 상에 형성되어 있고,

[0114] 상기 제3 영역은, 상기 기판의 제3 부분을 갖고,

[0115] 상기 제3 전계 효과 트랜지스터의 제3 게이트 전극은, 제3 게이트 절연막을 통해, 상기 기재의 상기 제3 부분 상에 형성되어 있고,

[0116] 상기 제3 게이트 절연막의 두께는, 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막의 각각의 두께보다도 두껍고,

[0117] 상기 제1 게이트 절연막, 상기 제2 게이트 절연막 및 상기 제3 게이트 절연막의 각각은, 금속 재료로 이루어지고,

[0118] 상기 제1 게이트 절연막, 상기 제2 게이트 절연막 및 상기 제3 게이트 절연막의 각각은, 서로 대략 동일한 두께로 이루어지는, 반도체 장치.

부호의 설명

[0119] 1: SOI 기판(기판)

1A: SOI 영역(로직 회로 형성 영역)

1B: 벌크 영역

1Ba: 제1 영역(입출력 회로 형성 영역, 저내압 MISFET 형성 영역)

1Bb: 제2 영역(메모리 형성 영역, 고내압 MISFET 형성 영역)

1Bba: 메모리 트랜지스터 형성 영역

1Bbb: 선택 트랜지스터 형성 영역

BL0, BL1: 비트선

BX: 절연층

CG: 제어 게이트 전극(선택 게이트 전극)

CGL0, CGL1: 제어 게이트선(선택 게이트선)

CH1, CH2, CH3: 콘택트 홀

CMD: 공통 반도체 영역(공통 확산 영역, 공통 불순물 영역)

CP1, CP2, CP3, CP4, CP5: 콘택트 플러그

D1, D2: 반도체 영역(확산 영역, 불순물 영역)

EP1, EP2, EP3, EP4: 에피택셜 성장층

EP1a, EP2a, EP1b: 표면(상면)

EX: 반도체 영역(익스텐션 영역, 불순물 영역)

G1, G2, G3, G2a, G2b: 게이트 전극

GP: 반도체 영역(불순물 영역)

GAP1, GAP2, GAP3, GAP2b: 공간

IF: 산화 실리콘막

IF1, IF2, IF3, IF4, IF5, IF6: 게이트 절연막

IF3a, IF3b, IF3c: 절연층

IL, IL1, IL2, IL3: 층간 절연막

LDD, LDD1, LDD2: 반도체 영역(확산 영역, 불순물 영역)

LMD: 반도체 영역(확산 영역, 불순물 영역)

M1: 배선(배선 패턴)

MC: 메모리 셀

MD: 반도체 영역(확산 영역, 불순물 영역)

MF: 금속막

MG: 메모리 게이트 전극

MTG1, MTG2, MTG3, MTG6: 메탈 게이트 전극

MGL0, MGL1: 메모리 게이트선

ML1: 배선층

OS1, OS2, OS3, OS4, OS5, OS6: 오프셋 스페이서(절연막)

P1, P2, P3: 불록부

PS: 다결정 실리콘막

Q1, Q2, Q3, Q4, Q5, Q6: 전계 효과 트랜지스터(MISFET)

SB: 반도체 기재(기재)

SBaa, SBab: 표면(상면)

SD1, SD2, SD3: 반도체 장치

SL0, SL1: 소스선

SLF1, SLF2, SLF3: 실리콘사이드막

SM: 반도체층

S_{Ma}: 표면(상면)

ST: 소자 분리부

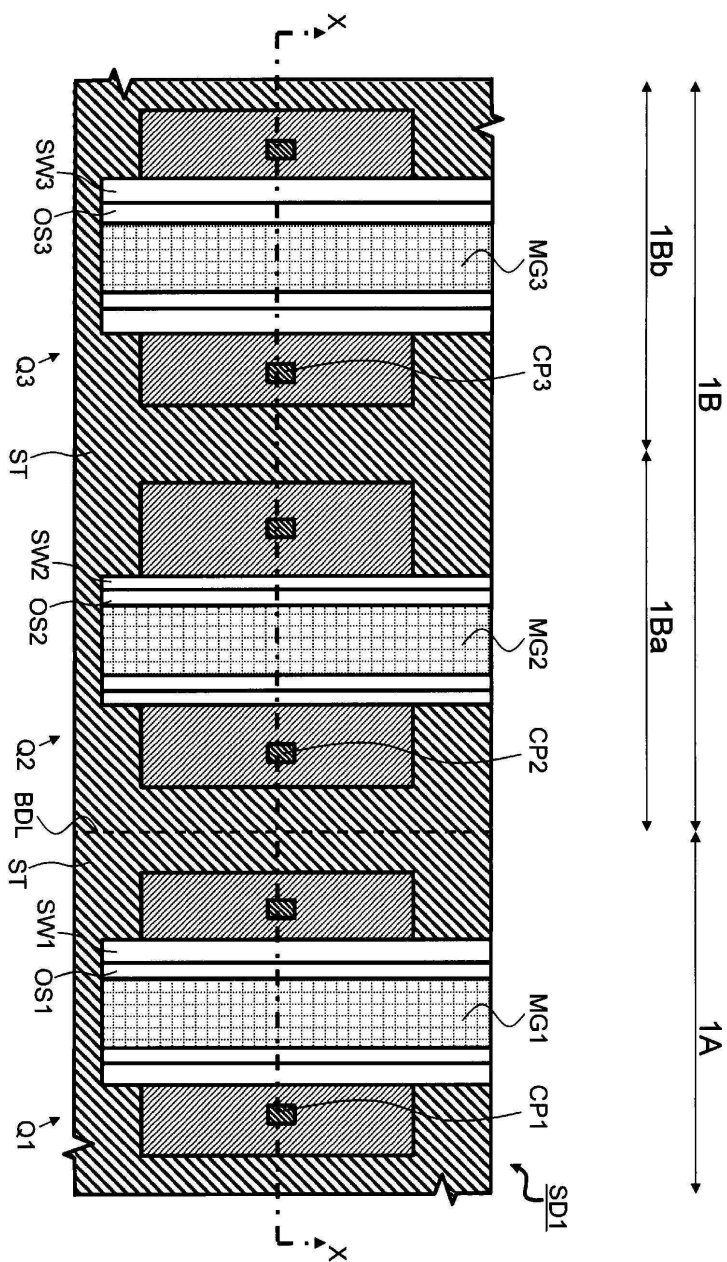
SW1, SW2, SW3: 사이드 웰(절연막)

TR: 홈

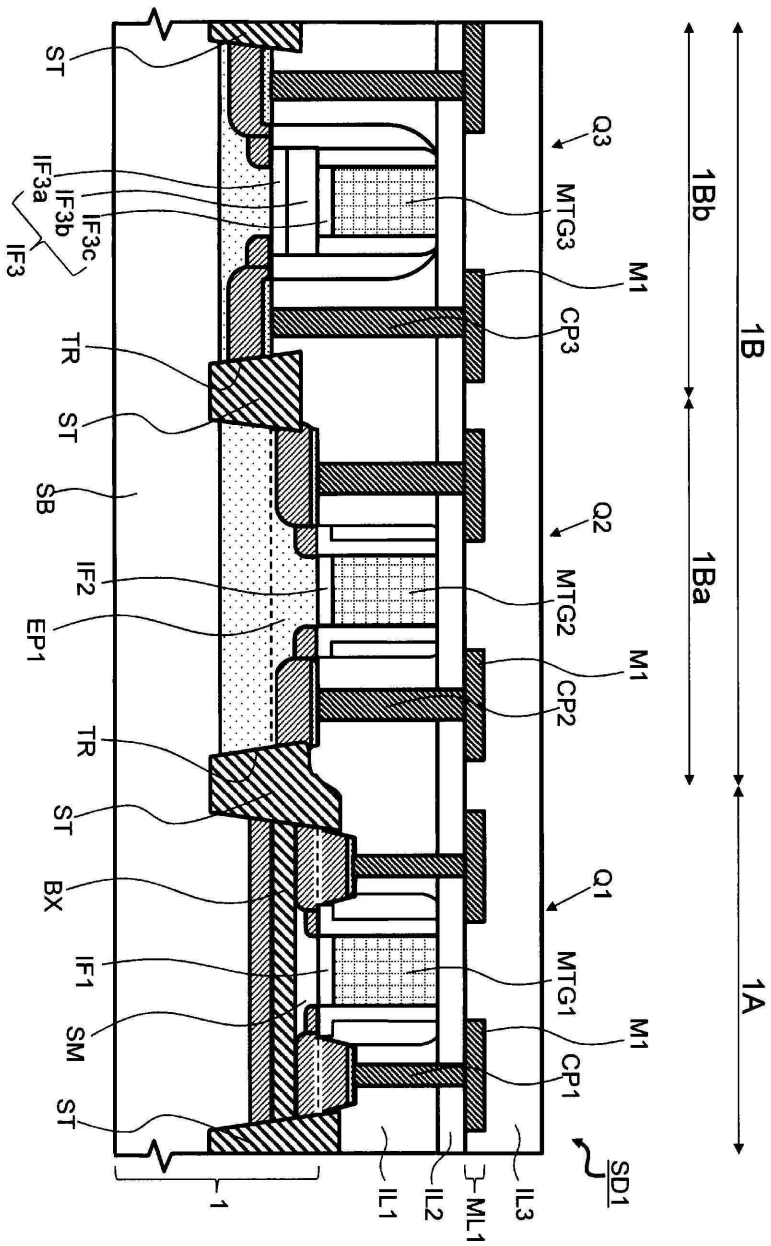
WEL: 웰(반도체 영역, 불순물 영역)

도면

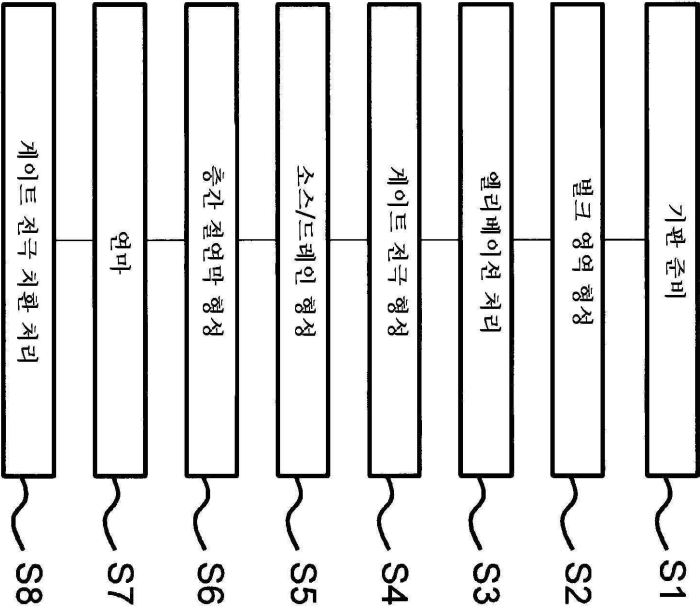
도면1



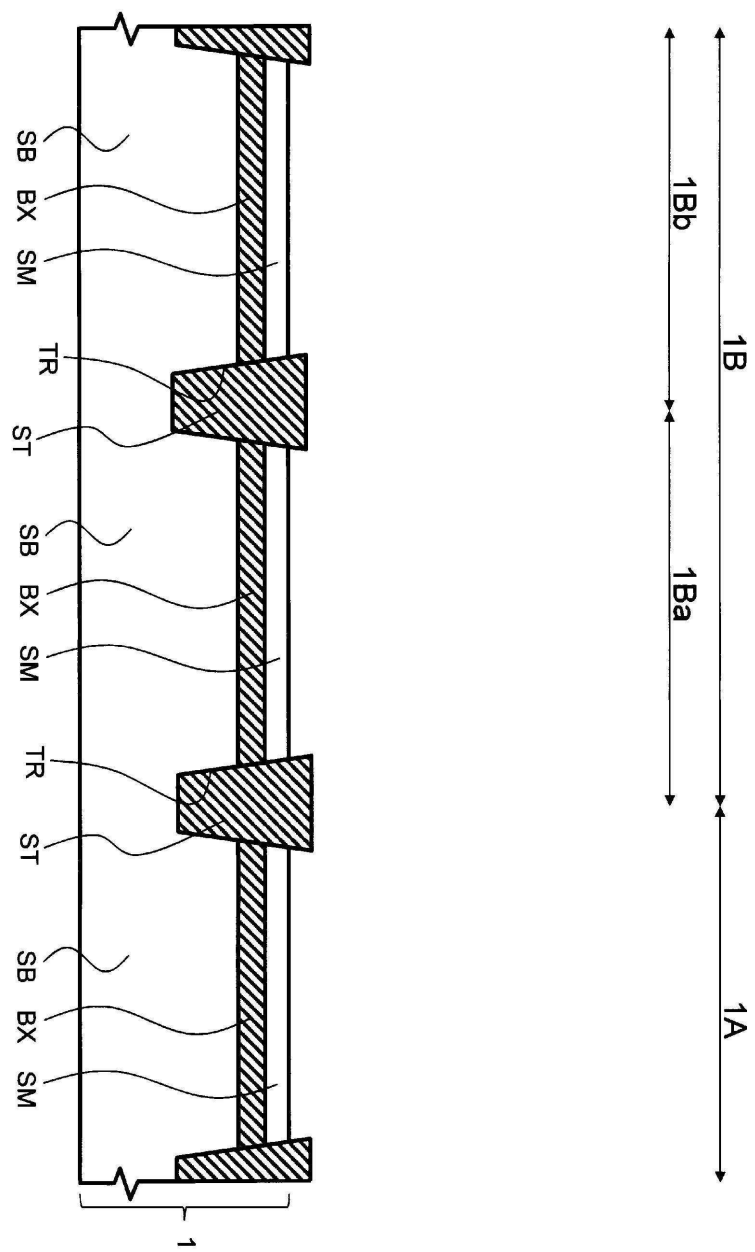
도면2



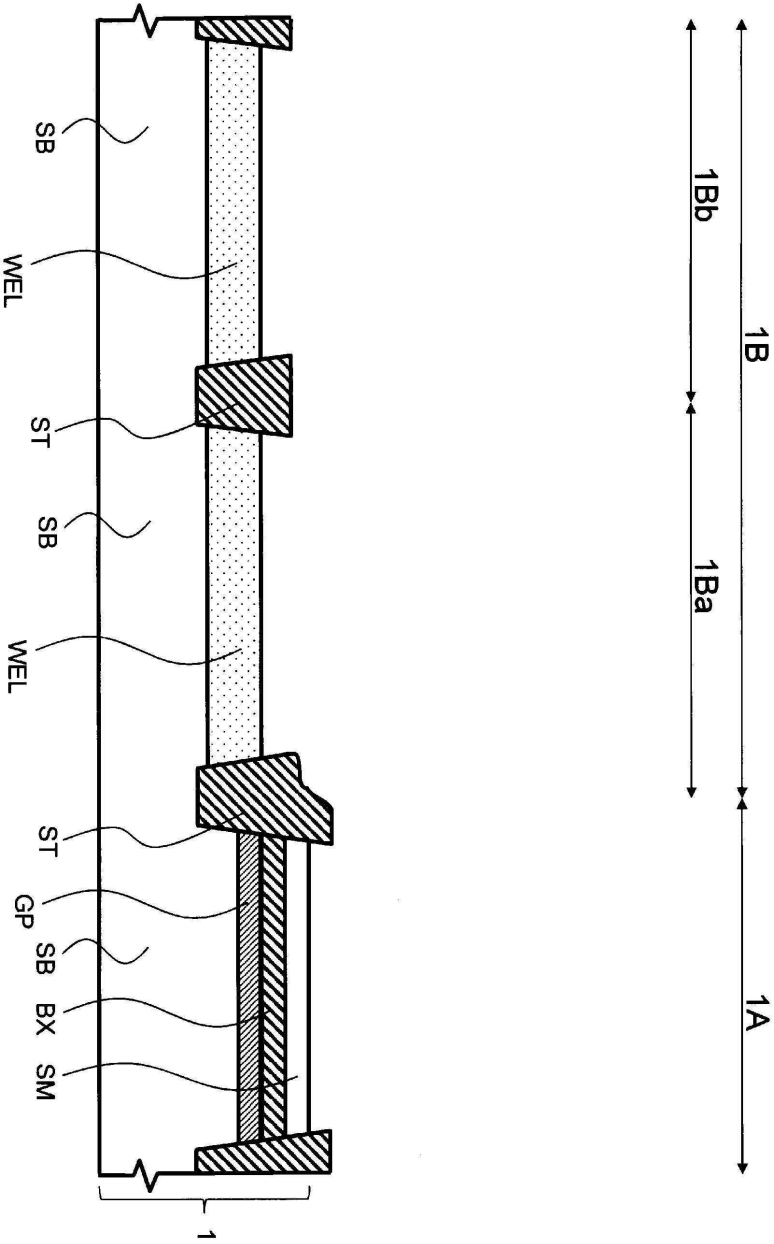
도면3



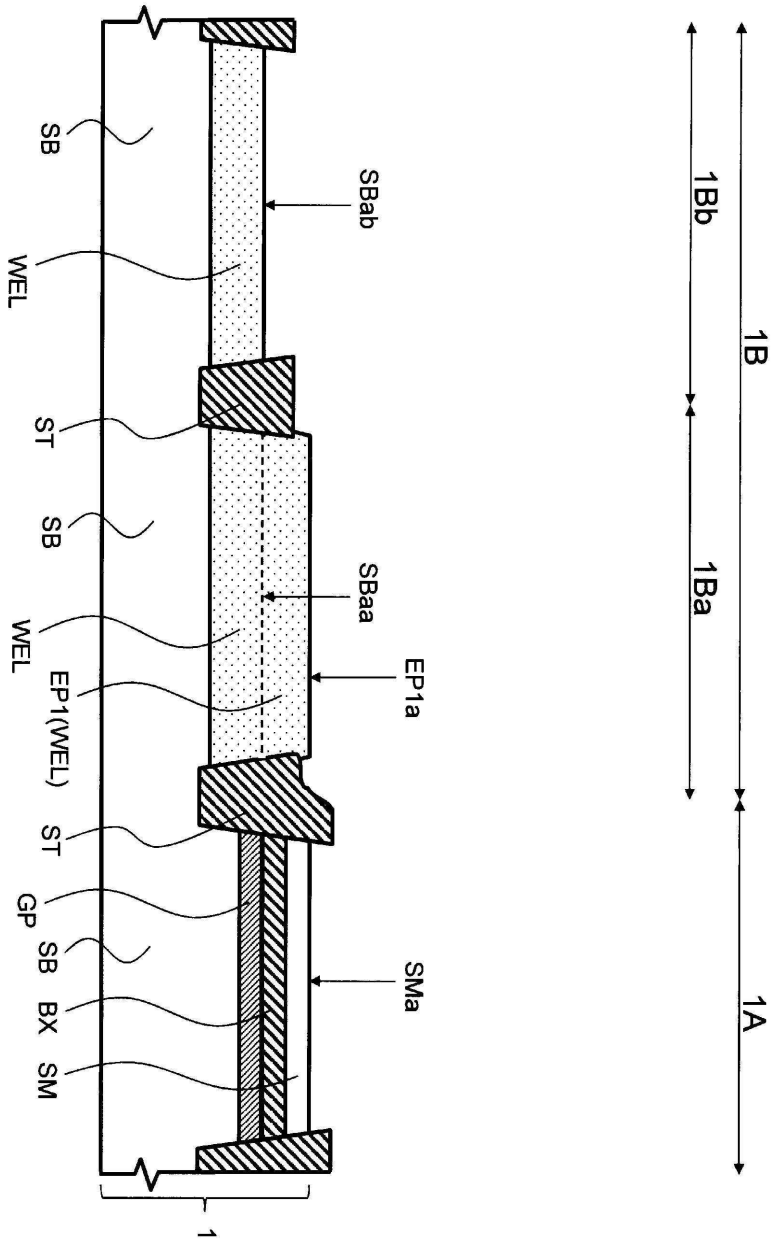
도면4



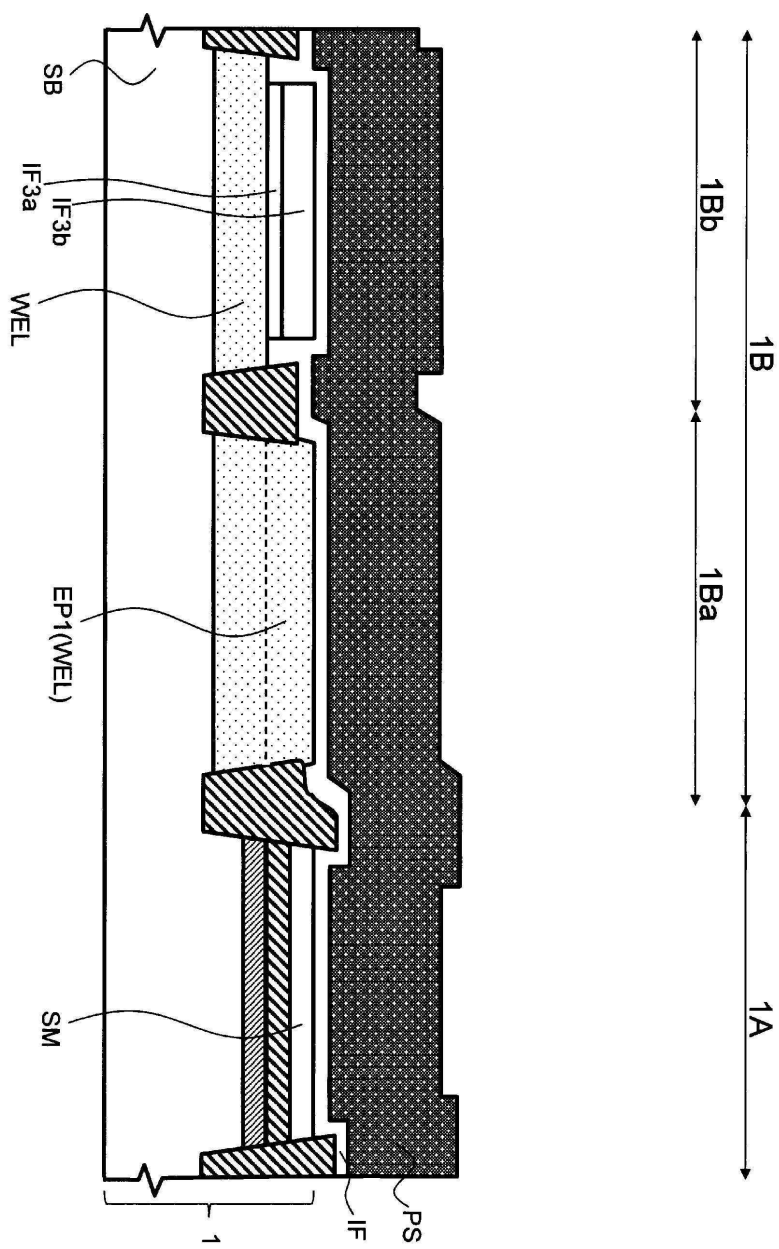
도면5



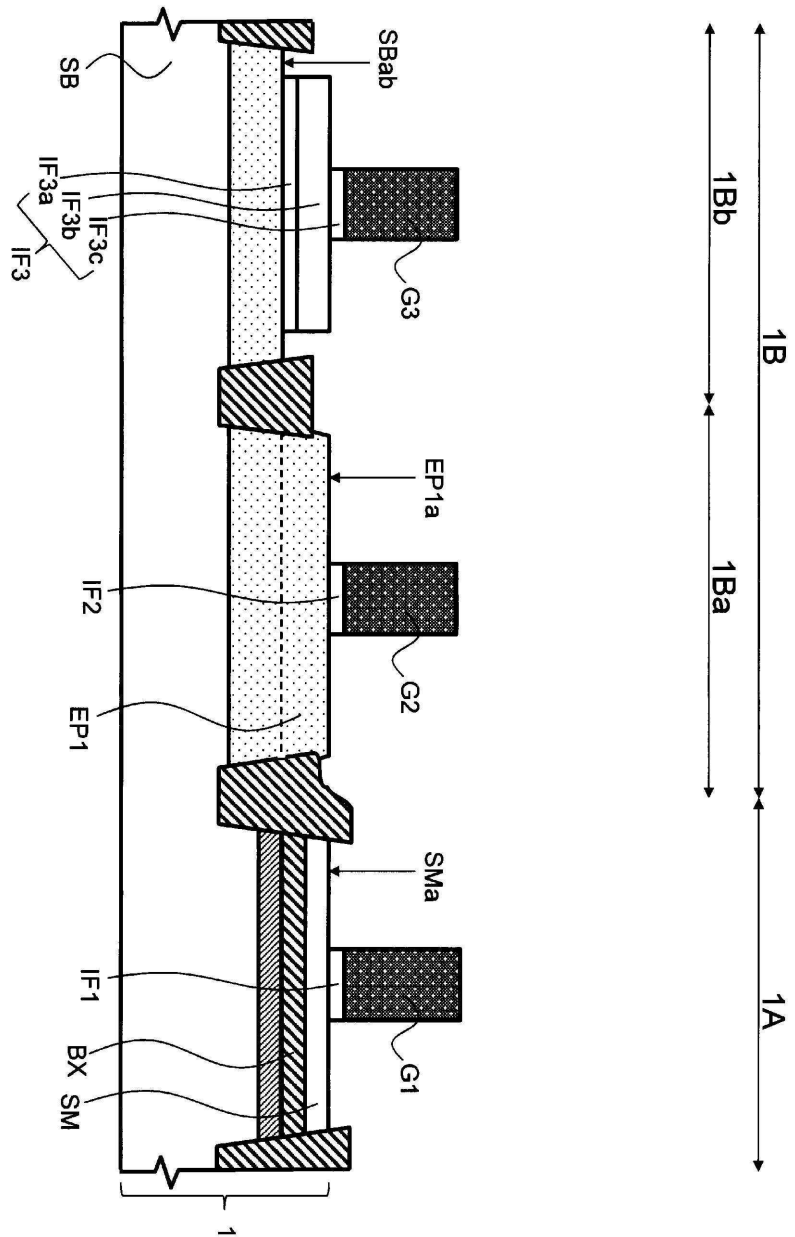
도면6



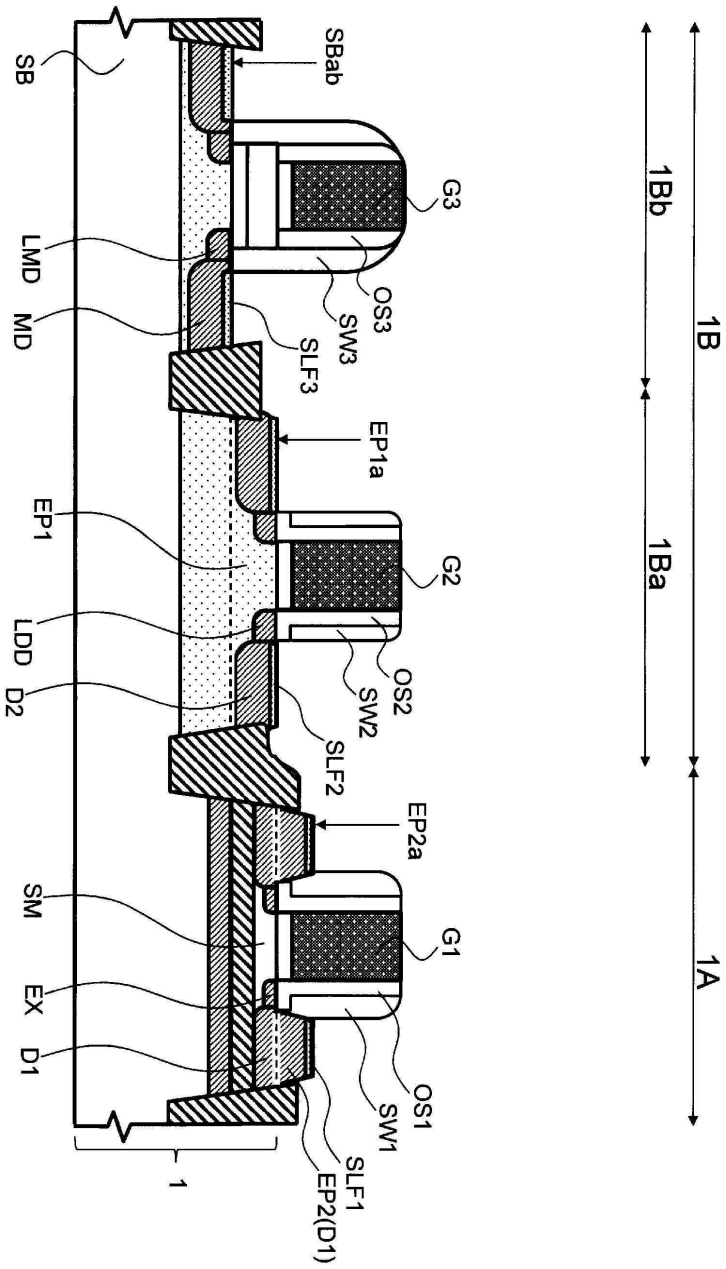
도면7



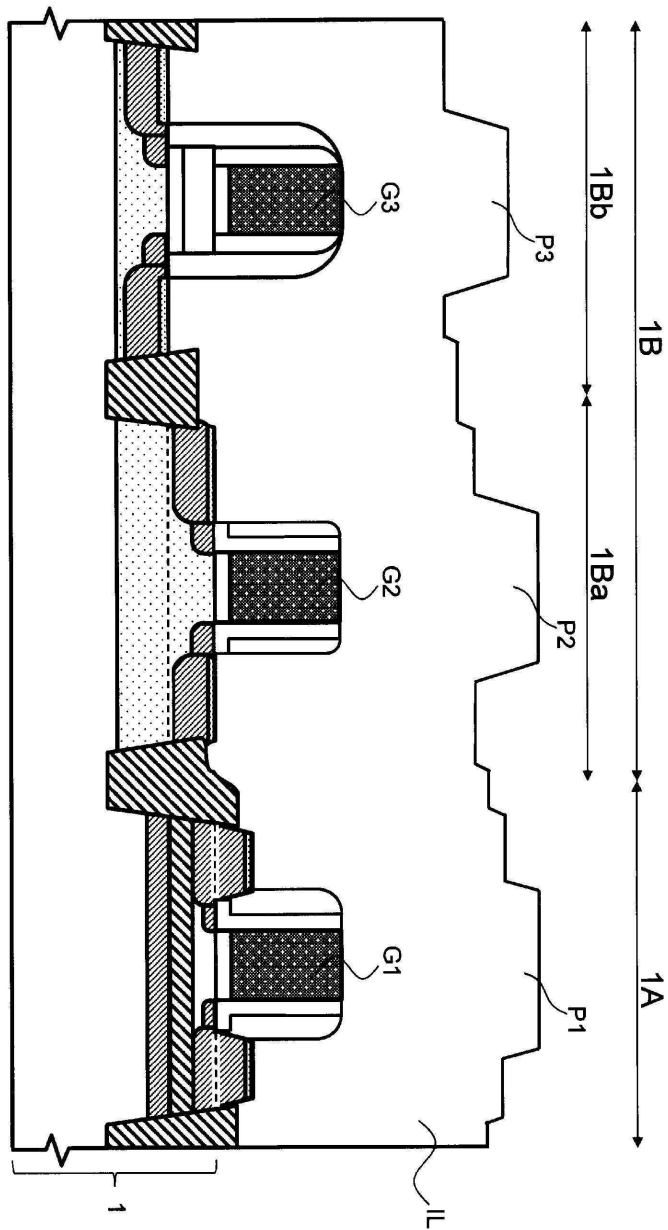
도면8



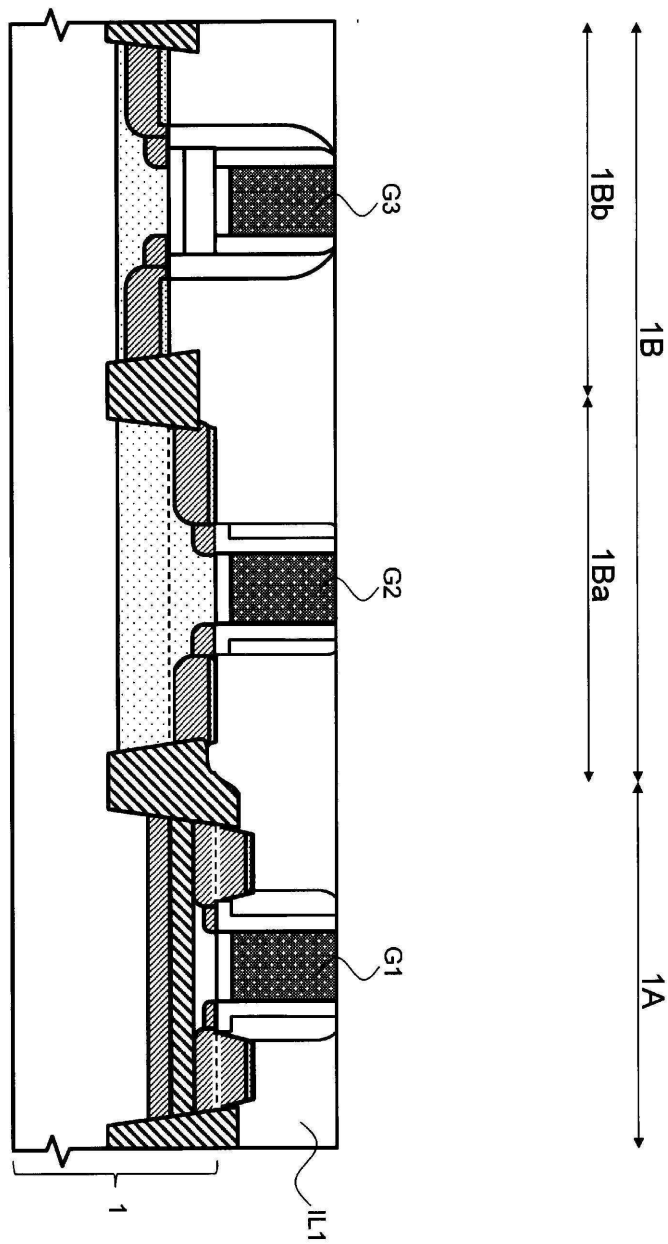
도면9



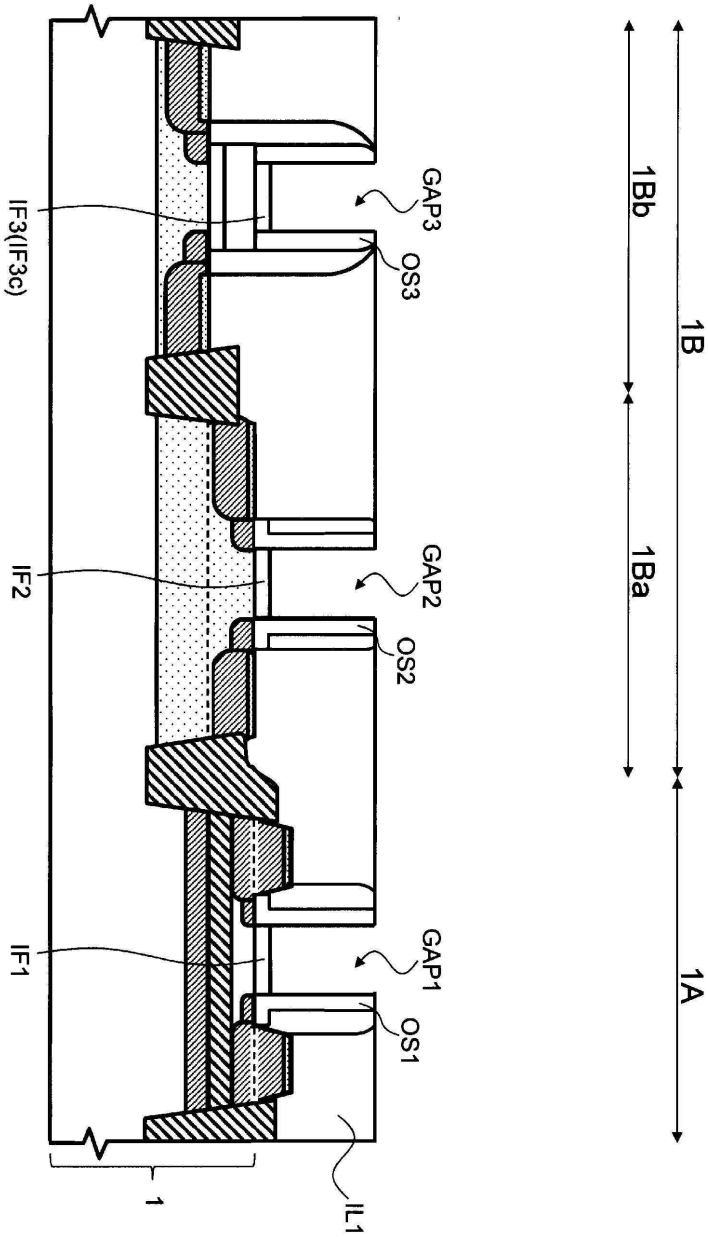
도면 10



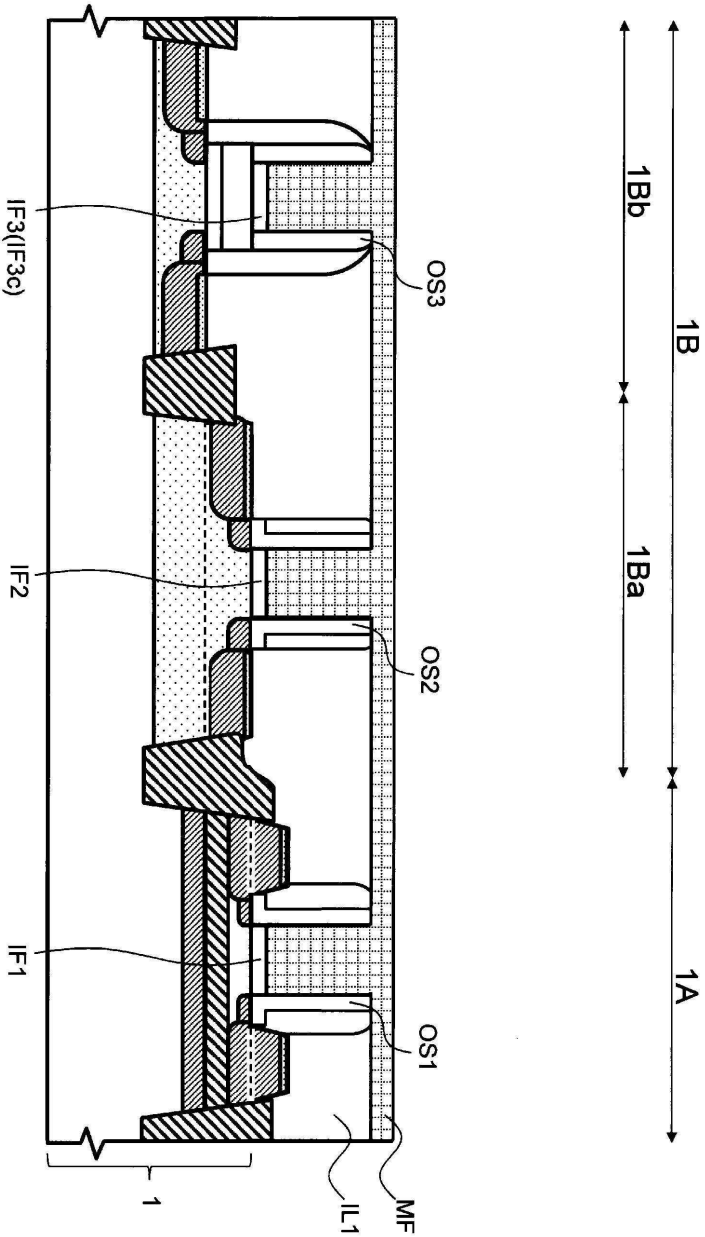
도면11



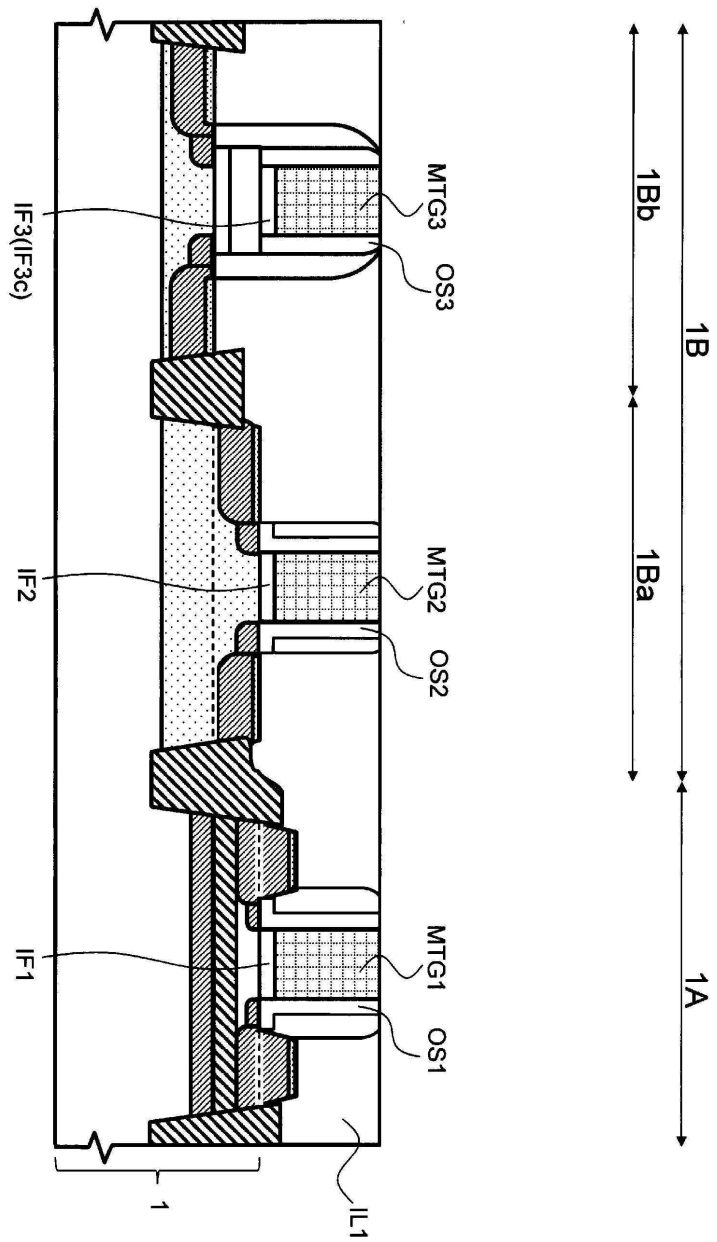
도면12



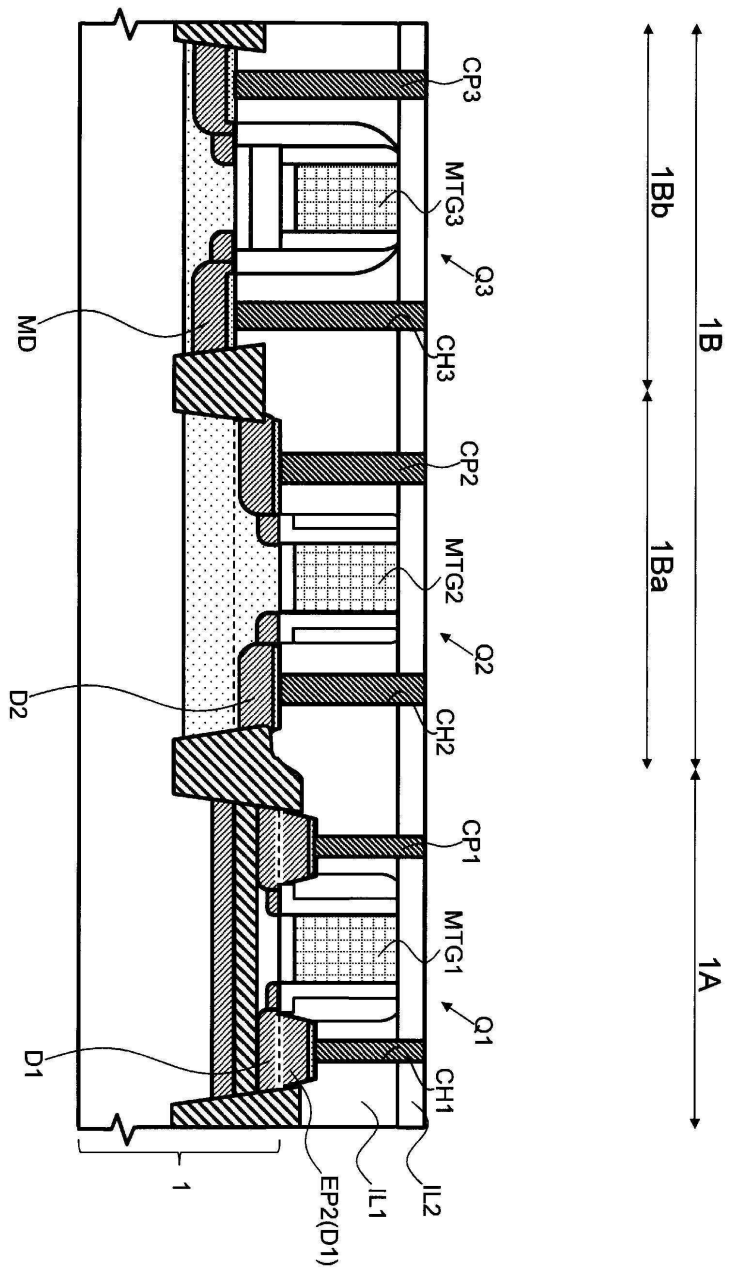
도면13



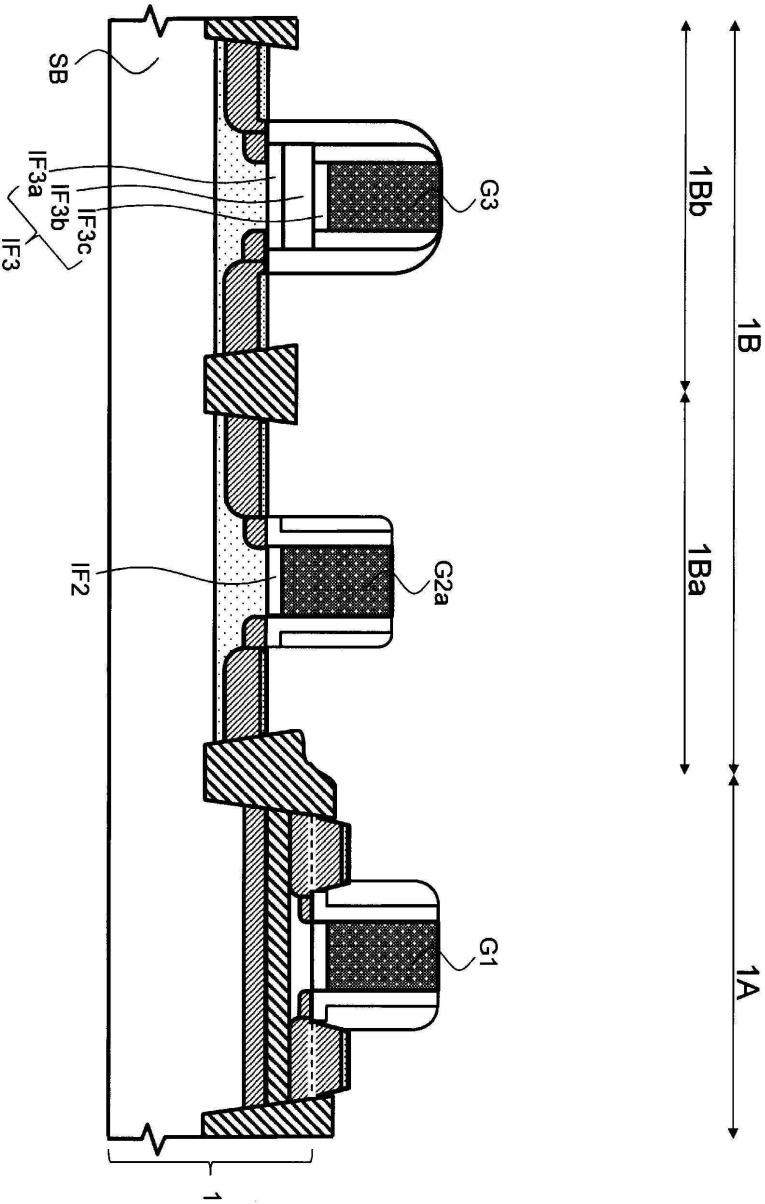
도면14



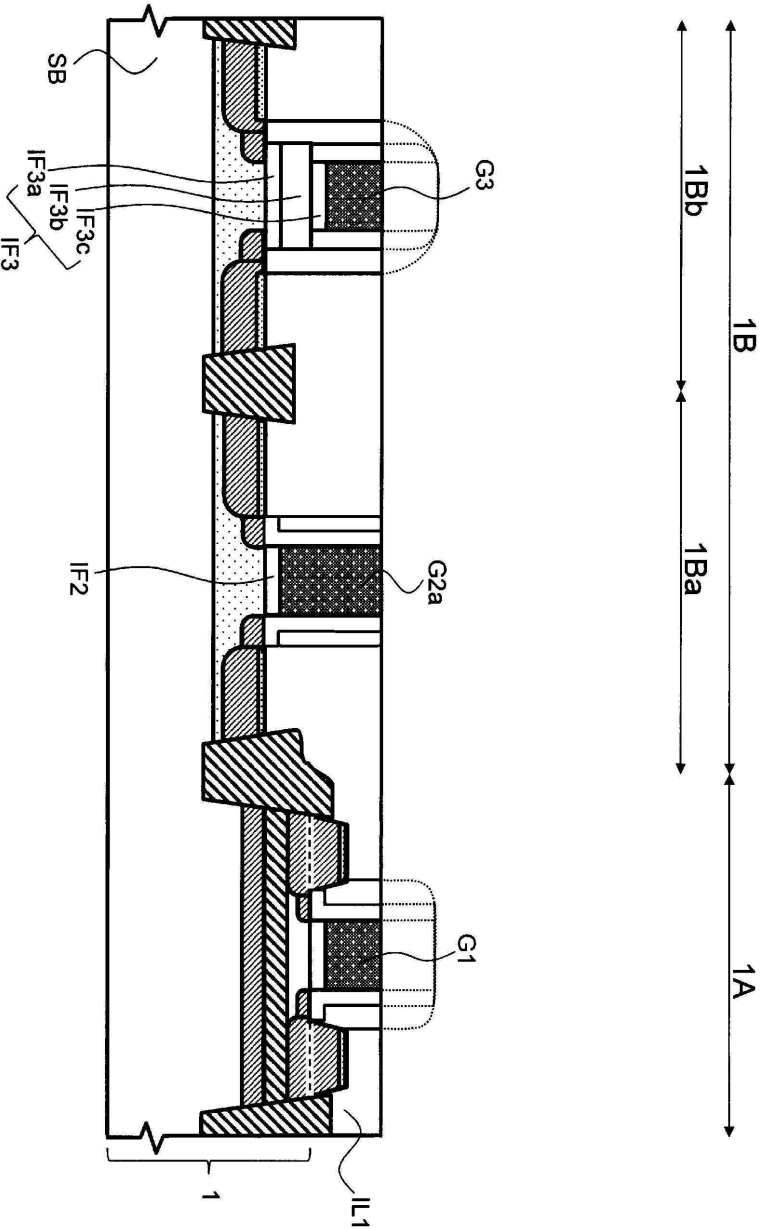
도면15



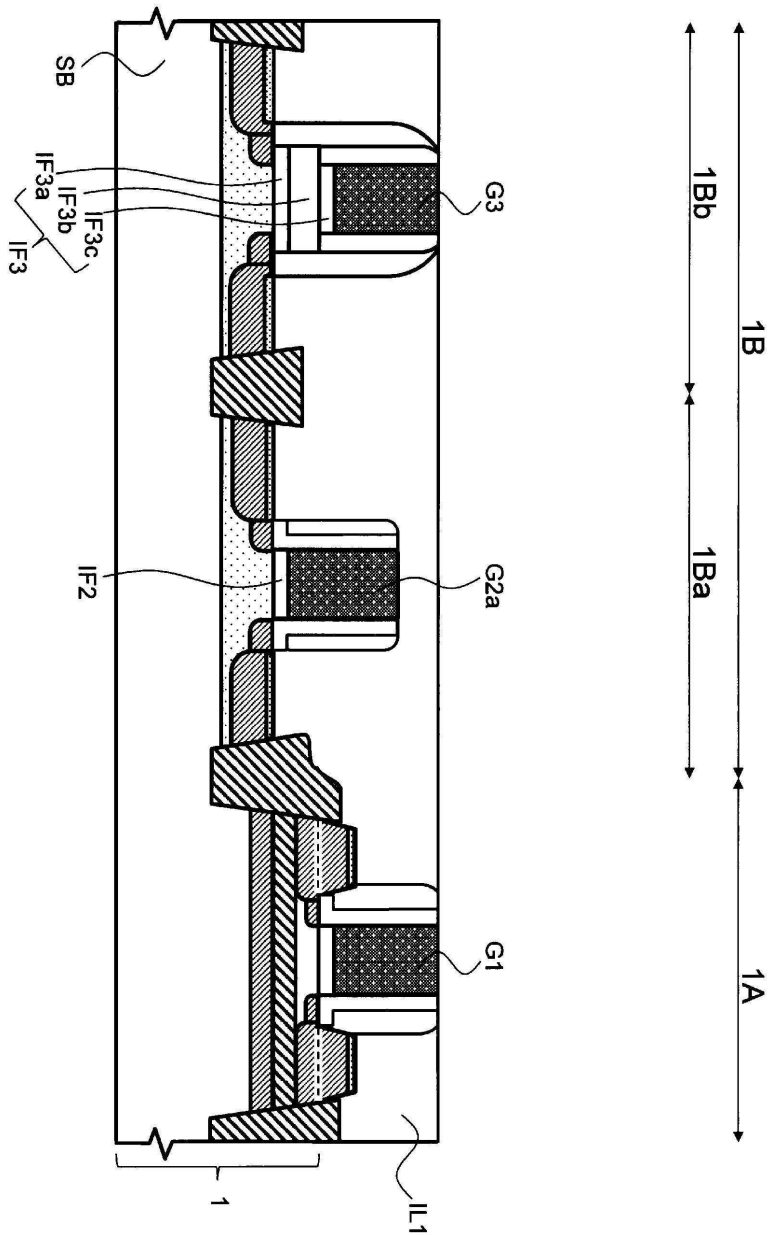
도면16



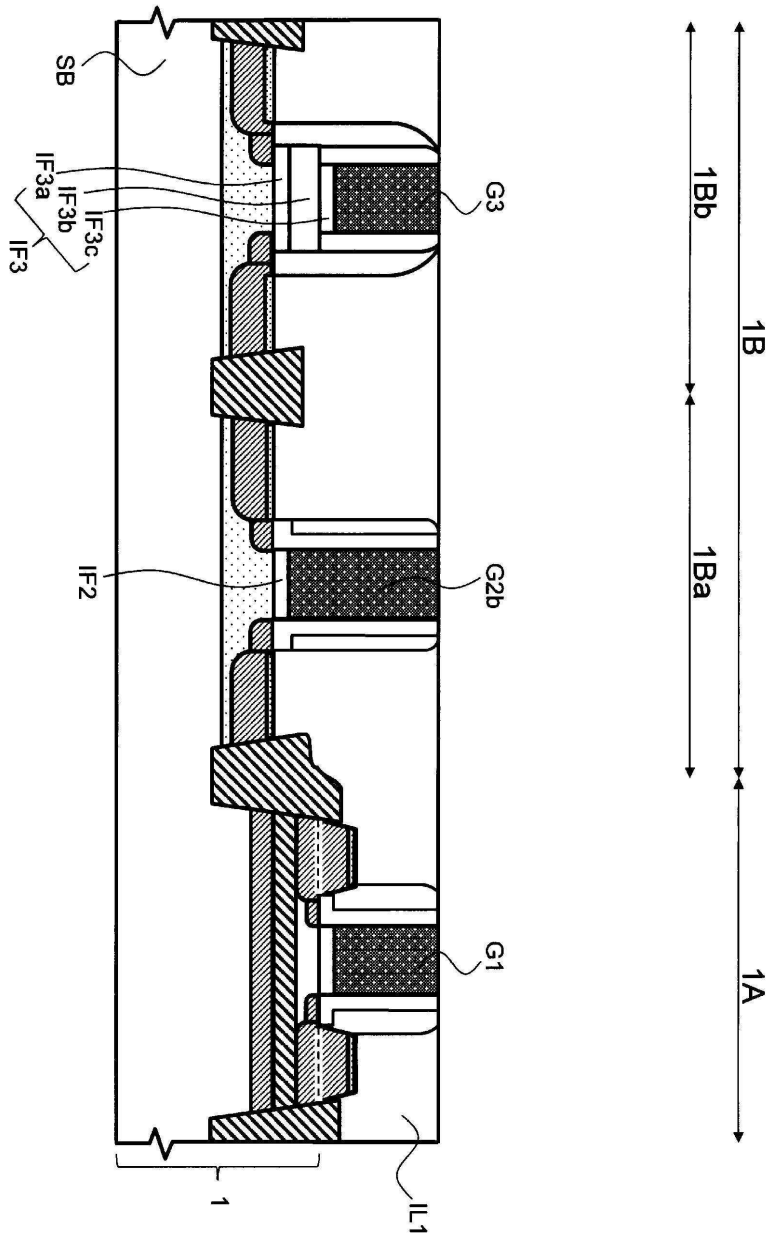
도면17



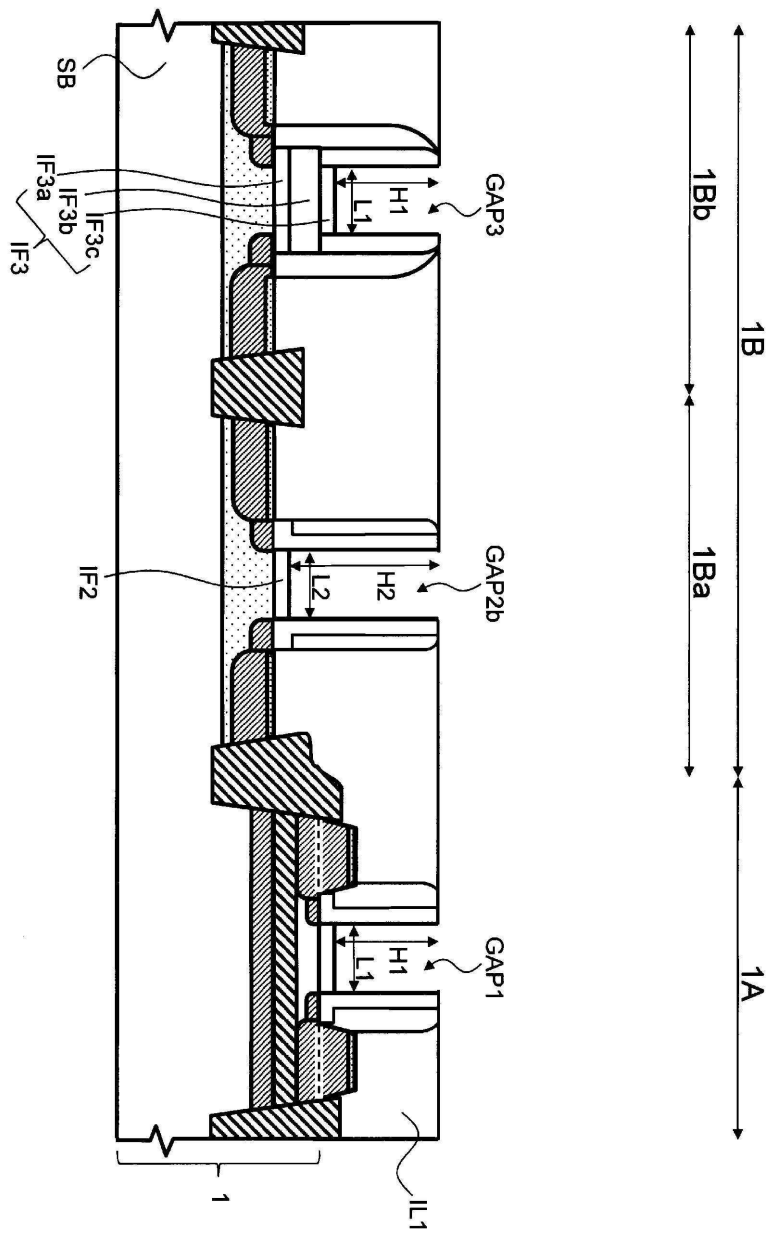
도면18



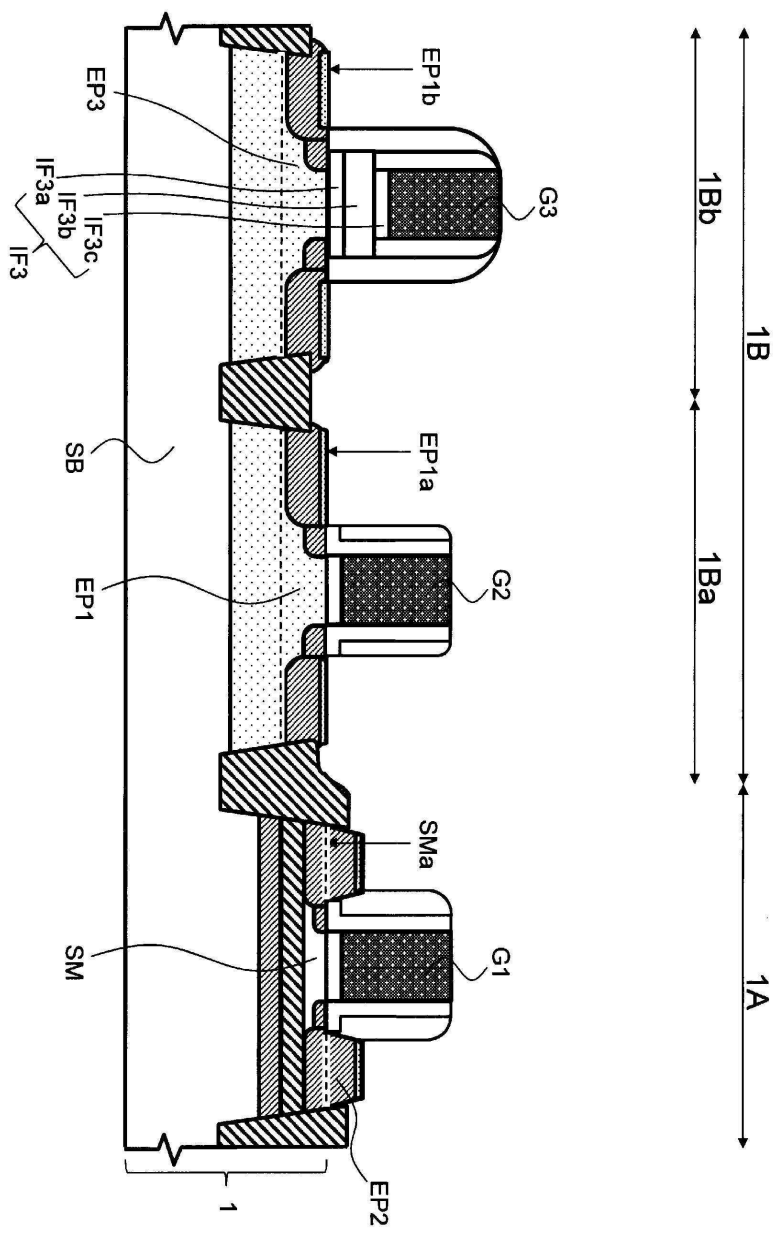
도면 19



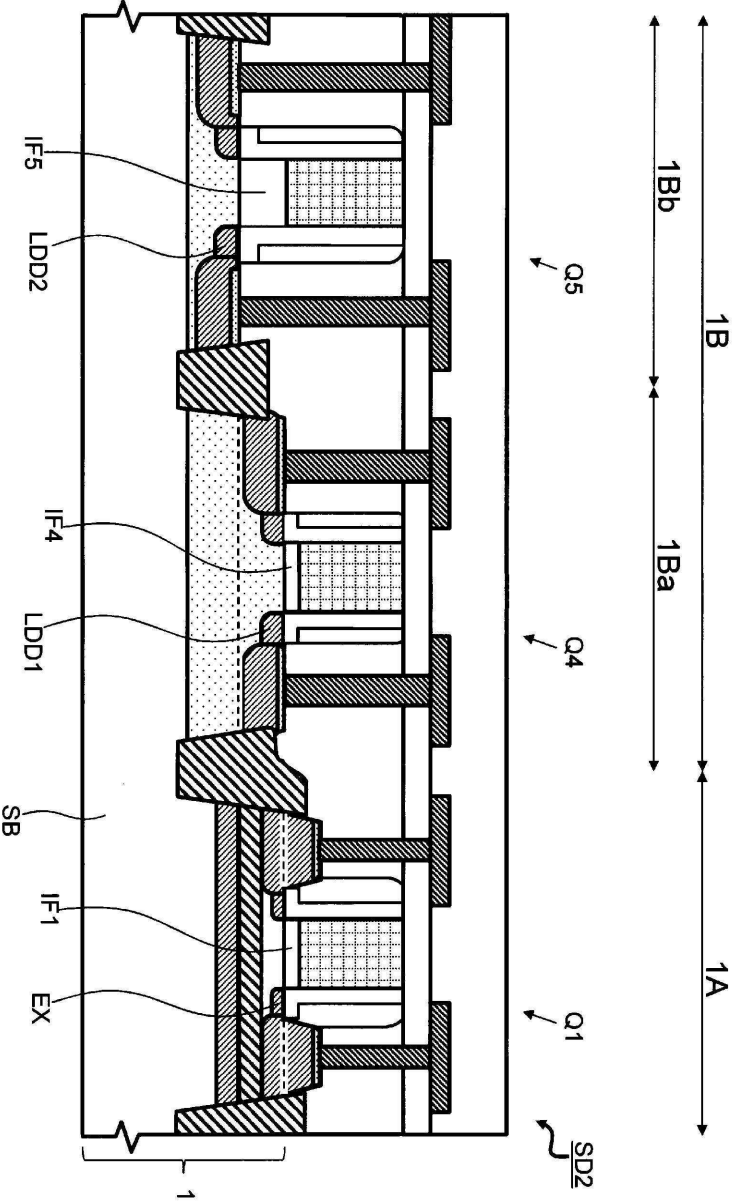
도면20



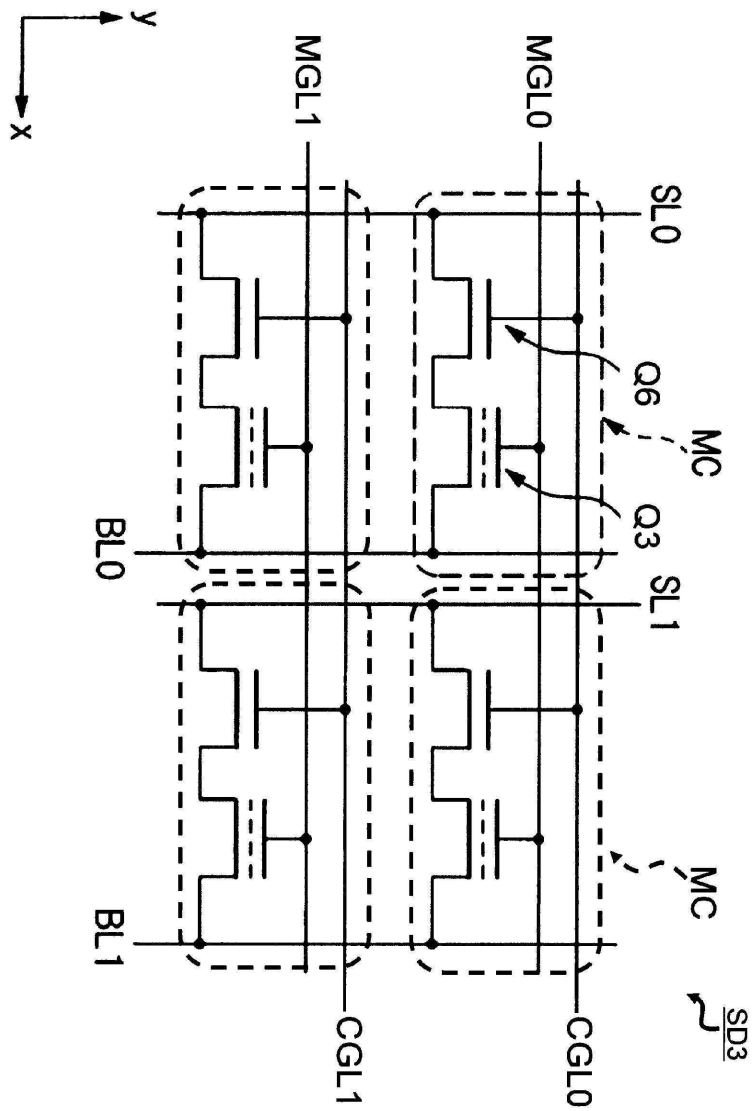
도면21



도면22



도면23



도면24

