

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月3日(03.08.2023)



(10) 国際公開番号

WO 2023/145388 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 25/70* (2023.01)

(21) 国際出願番号: PCT/JP2022/048693

(22) 国際出願日: 2022年12月28日(28.12.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-009715 2022年1月25日(25.01.2022) JP

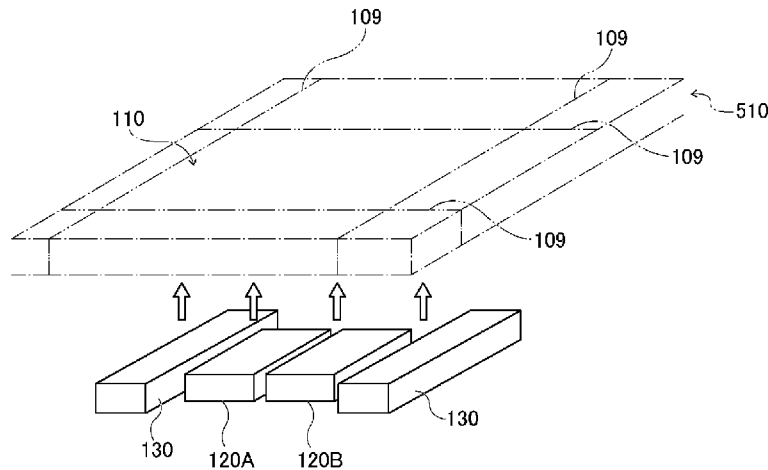
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 湯川 昌彦 (YUKAWA Masahiko); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小川 直樹(OGAWA Naoki); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 齋藤 卓(SAITO Suguru); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 藤井 宣年(FUJII Nobutoshi); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 坂本 明久

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置及び電子機器



(57) Abstract: The present invention provides: a solid-state imaging device which ameliorates problems in processing of a structure that is obtained by bonding an active chip to a wafer of a solid-state imaging element chip and covering the resulting material with an insulating film such as an oxide film; and an electronic apparatus. The present invention has any one of: a configuration that comprises a solid-state imaging element chip, an active chip that is bonded to the lower surface of the solid-state imaging element chip, a dummy chip that is bonded to the lower surface of an electrode pad of the solid-state imaging element chip and has an end face that is parallel to a cut surface of the solid-state imaging element chip cut out of a wafer, and a planarized insulating film that covers a bonding surface; a configuration that comprises a solid-state imaging element chip, an active chip that is bonded to the solid-state imaging element chip, one or more dummy chips that are bonded to an empty space of a bonding surface, and a planarized insulating film that covers the bonding surface side; and a configuration that comprises a solid-state imaging element chip, an active chip that is bonded

(SAKAMOTO Akihisa); 〒2430014 神奈川県厚
木市旭町4丁目14-1 ソニーセミコンダクタ
ソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 松尾 憲一郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂1丁目10
番17号 しんくみ赤坂ビル7階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

to the solid-state imaging element chip, a planarized insulating film that covers the peripheral side surface and the lower surface of the active chip, and a silicon substrate that surrounds the peripheral side surface of the insulating film such that the lower surface thereof and the insulating film are flush with each other.

(57) 要約: 固体撮像素子チップのウェーハに能動チップを接合し、酸化膜等の絶縁膜で被覆する構造における加工上の問題点を改善する固体撮像装置及び電子機器を提供する。固体撮像素子チップと、固体撮像素子チップの下面に接合された能動チップと、固体撮像素子チップの電極パッドの下面に接合され、ウェーハから切り出された固体撮像素子チップの切断面と平行する端面を有するダミーチップと、接合面を被覆する平坦化された絶縁膜とを有する、若しくは、固体撮像素子チップと、これに接合された能動チップと、接合面の空き領域に接合された1以上のダミーチップと、接合面側を被覆する平坦化された絶縁膜とを有する、又は固体撮像素子チップと、これに接合された能動チップと、能動チップの周側面及び下面を被覆する平坦化された絶縁膜と、絶縁膜の周側面を囲繞し、下面を絶縁膜と面一に形成されたシリコン基板とを有する構成とした。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び当該固体撮像装置を有する電子機器に関する。

背景技術

[0002] 従来、半導体素子の高集積化、高性能化は、トランジスタや配線の微細化により実現されてきた。しかし微細化が進むにつれ開発・製造コストの増加が課題となっている。そこで近年、機能の異なる集積回路のダイ（Die）やパッケージ（Package）を、それぞれに最適なプロセスで製造し、それらを、3次元に積層することで、半導体素子の高集積化、高性能化を図る開発が進められている。

[0003] 固体撮像装置などのコスト削減を図るために、複数の種類のロジック回路のチップ及びメモリ回路のチップなどの混載を可能にする接合技術として、例えば、チップを直接ウェーハに接合するCoW（Chip on Wafer）やチップを直接チップに接合するCoC（Chip on Chip）の開発が行われている。CoWとは、具体的には、例えば、ウェーハ上の固体撮像素子チップを検査して良品のチップに、別工程で製造され検査された良品チップ（KGD：Known Good Die）をカップーカップー（CuCu）接続（以下、「CuCu接続」という。）することにより積層するものである。

[0004] CuCu接続は、固体撮像素子チップと、例えば、メモリ回路のチップやロジック回路のチップをそれぞれの積層面に銅（Cu）で形成された端子同士で直接接続するものである。これにより固体撮像素子チップを貫通電極（TSV：Through Silicon Via、以下、「TSV」という。）などにより貫通させる必要がなくなるうえ、接続のための占有領域が不要となるため、固体撮像装置の小型化と生産性向上が可能となる。

[0005] そして、C o W構造やC o C構造においては、接合されたロジックチップやメモリチップ全体を酸化膜などの絶縁膜で被覆することによって絶縁性を確保するとともに、それぞれのチップを保護している。

[0006] しかしながら、半導体製造技術の進化に伴い、固体撮像素子チップのサイズよりも、ロジックチップやメモリチップなどのチップサイズの縮小化が進行している。このために、固体撮像素子チップの裏面に複数のロジックチップやメモリチップなどを接合したとしても、固体撮像素子チップの裏面には、当該チップが接合された領域と接合されていない領域が存在する。

このような面を酸化膜で被覆すると、ロジックチップやメモリチップ間に酸化膜を埋め込んだとしても段差を生じる。そして、段差を生じたまま平坦化すると平坦化不足を生じるおそれがある。したがって、当該平坦化した面をそのまま支持基板に接合すると、接合面にボイドを生じて接合不良が発生する可能性があるという問題がある。

[0007] また、個片化を行うためのスクライブラインにはロジックチップやメモリチップが接合されていないために、スクライブライン領域の酸化膜は厚い膜となる。二酸化ケイ素などの酸化膜は、硬い材質であるために、ブレード（B l a d e）による個片化加工において、加工部を矩形に仕上げる際に、クラックや、チッピング等の品質低下を起こす問題がある。

[0008] また、電極パッドの下面は、固体撮像素子チップの薄いケイ素（S i : シリコン、以下、特記の場合を除き「シリコン」という。）を主体とする基板と酸化膜との積層体となるため、実装時に電極を接続する際に、ワイヤボンディング時の衝撃によりクラックが起きやすい構造になっている。

また、酸化膜とロジックチップ等との線膨張率の差異により歪を生じ、その歪が固体撮像素子チップ側へ転写されることにより、オンチップレンズのズレや回路を構成するトランジスタの特性が変動するという問題がある。

[0009] このように、ロジックチップやメモリチップを3次元に集積化する際に生じる上記のような問題に伴う製造上の歩留まり、製品の特性の確保及び信頼性向上等が課題となっている。

[0010] このような、良品のロジックチップやメモリチップをウェーハ上の良品チップに接合するC o W技術やC o C技術についての先行技術として特許文献1が開示されている。

[0011] 特許文献1では、画素単位で画素信号を生成する撮像素子を有する第1の半導体素子と、前記画素信号の信号処理に必要な信号処理回路が被覆膜（埋込部材）により被覆された（埋め込まれた）第2の半導体素子と、前記第1の半導体素子と、前記第2の半導体素子との間を電氣的に接続する配線とを含み、前記第1の半導体素子と、前記第2の半導体素子とは、酸化膜接合で積層される裏面照射型の固体撮像装置が開示されている。

[0012] 具体的には、ウェーハ上の固体撮像素子チップに、個片化されたメモリチップと、ロジックチップとを配置してC u C u接続する。次に、メモリチップとロジックチップを薄肉化して、メモリチップとロジックチップを酸化膜により被覆し、当該酸化膜を平坦化する。次に、それを支持基板に接合し、固体撮像素子チップのウェーハを薄肉化し、固体撮像素子チップのウェーハの受光側の面にカラーフィルタやマイクロレンズアレイを実装することにより固体撮像素子チップを形成することができるというものである。

先行技術文献

特許文献

[0013] 特許文献1：国際公開第2019／087764号

発明の概要

発明が解決しようとする課題

[0014] しかしながら、特許文献1に開示された技術は、酸化膜を成膜してロジックチップやメモリチップを被覆するものであるため、ロジックチップやメモリチップを3次元に集積化する際に生じる上記のような加工上の問題についての解決策や、接合及び酸化膜により被覆することに起因する応力の発生等の問題についての具体的な解決策については言及されていない。

[0015] また、ダミーチップを搭載することにより放熱効率の向上や、すき間が小

さくなるようにレイアウトすることについての言及はあるが、ダミーチップの具体的形状、配置等及び埋め込んだ絶縁材料の線膨張率の差により生じる問題の具体的な対策についての言及はされていない。

[0016] 本開示は、かかる問題点に鑑みてなされたものであり、固体撮像素子チップのウェーハに能動チップを接合し、当該能動チップを酸化膜等の絶縁膜で被覆する構造における加工上の問題点のいくつかを改善する固体撮像装置及び当該固体撮像装置を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0017] 本開示は、上述の問題点を解消するためになされたものであり、その第1の態様は、固体撮像素子チップと、前記固体撮像素子チップの下面に接合された少なくとも1以上の能動チップと、前記固体撮像素子チップの電極パッドの下面に接合され、ウェーハから切り出された前記固体撮像素子チップの切断面に平行する端面を有するダミーチップと、前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面を被覆する平坦化された絶縁膜と、を有する固体撮像装置である。

[0018] また、第1の態様において、前記能動チップは、ロジックチップ、メモリチップ又はプロセッサチップでもよい。

[0019] また、第1の態様において、前記電極パッドは、前記固体撮像素子チップの上面の両端又は周端に配設され、前記ダミーチップは、前記固体撮像素子チップの切断面と同一平面状の端面を有する態様で接合されてもよい。

[0020] また、第1の態様において、前記電極パッドは、前記固体撮像素子チップの上面の両端又は周端に配設され、前記能動チップ又は前記ダミーチップは、前記固体撮像素子チップの切断面に隣接して平面状の端面を有する態様で接合されてもよい。

[0021] また、第1の態様において、前記固体撮像素子チップは、前記能動チップ又は前記ダミーチップとCuCu接続されてもよい。

[0022] また、第1の態様において、前記固体撮像素子チップは、前記能動チップとCuCu接続され、前記ダミーチップと絶縁膜接合されてもよい。

- [0023] また、第1の態様において、前記固体撮像素子チップは、フォトダイオード形成層と、前記電極パッドを配設したフォトダイオード配線層との積層構造を有し、前記能動チップ又は前記ダミーチップとCuCu接続されてもよい。
- [0024] また、第1の態様において、前記固体撮像素子チップは、前記フォトダイオード形成層と、前記電極パッドを配設した前記フォトダイオード配線層との積層構造を有し、前記能動チップとCuCu接続され、前記ダミーチップと絶縁膜接合されてもよい。
- [0025] その第2の態様は、固体撮像素子チップと、
前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、
前記固体撮像素子チップの前記能動チップの接合面における前記能動チップが接合されていない空き領域に接合された少なくとも1以上のダミーチップと、
前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面側を被覆する平坦化された絶縁膜と、
を有する固体撮像装置である。
- [0026] また、第2の態様において、前記能動チップが接合されていない空き領域には、前記能動チップよりも小形状の矩形状又は短冊状の複数のダミーチップを接合してもよい。
- [0027] また、第2の態様において、前記ダミーチップは、前記固体撮像素子チップに接合された前記能動チップの端面から、少なくとも $0.5\mu\text{m}$ 以上離隔したときの前記空き領域の最小短辺を一辺とする略正方形又は略短冊状に形成されて、前記空き領域に前記離隔を確保して接合されてもよい。
- [0028] また、第2の態様において、前記ダミーチップは、ケイ素(Si)、酸化アルミニウム(Al_2O_3)、炭化ケイ素(SiC)、窒化アルミニウム(AlN)、窒化ケイ素(Si_3N_4)、チタン(Ti)、窒化チタン(TiN)、炭素(C)、炭窒化ケイ素(SiCN)、ポリシリコン又は窒化タンタル(TaN)の少なくともいずれか1つを含んでもよい。

- [0029] また、第2の態様において、前記ダミーチップ又は前記能動チップは、前記固体撮像素子チップとの接合面の反対側の面に、二酸化ケイ素 (SiO_2) との研磨レートが20以上の材料であるケイ素 (Si)、酸化アルミニウム (Al_2O_3)、炭化ケイ素 (SiC)、窒化アルミニウム (AlN)、窒化ケイ素 (Si_3N_4)、チタン (Ti)、窒化チタン (TiN)、アルミニウム (Al)、炭素 (C)、炭窒化ケイ素 (SiCN)、ポリシリコン又は窒化タンタル (TaN) の少なくともいずれか1つが積層されてもよい。
- [0030] また、第2の態様において、前記ダミーチップは、二酸化ケイ素 (SiO_2) よりも熱伝導率の高い材料からなる、単層又は多層に積層された伝熱部材を含んでもよい。
- [0031] その第3の態様は、固体撮像素子チップと、前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、前記能動チップの周側面を囲繞する態様で前記固体撮像素子チップに接合されたシリコン基板と、前記能動チップと前記シリコン基板との間、及び少なくとも前記能動チップの下面を被覆する平坦化された絶縁膜と、を有する固体撮像装置である。
- [0032] また、第3の態様において、前記シリコン基板の周側面は、前記固体撮像素子チップの周側面と面一に形成されてもよい。
- [0033] また、第3の態様において、前記固体撮像素子チップの周側面及び前記シリコン基板の上部の周側面に段差が形成されてもよい。
- [0034] また、第3の態様において、前記シリコン基板又は前記絶縁膜は、その下面に支持基板が接合されてもよい。
- [0035] また、第3の態様において、前記絶縁膜の前記シリコン基板に接する周側面は、前記固体撮像素子チップの接合面から下方に拡開するテーパを形成してもよい。
- [0036] また、第3の態様において、前記絶縁膜は、絶縁樹脂で形成されてもよい。
- [0037] その第4の態様は、ウェーハ上の固体撮像素子チップの下面に能動チップを接合する工程と、前記能動チップとの当接を回避する形状の掘り込み部又

は割り抜き部が形成されたシリコン基板を前記固体撮像素子チップの下面に接合する工程と、前記シリコン基板の下面を薄肉化して、前記能動チップ間に前記シリコン基板の一部を残す工程と、前記固体撮像素子チップの下面に絶縁膜を積層し、前記能動チップ及び前記残されたシリコン基板間を被覆する工程と、前記被覆した絶縁膜を平坦化する工程と、を有する固体撮像装置の製造方法である。

[0038] その第5の態様は、固体撮像素子チップと、前記固体撮像素子チップの下面に接合された少なくとも1以上の能動チップと、前記固体撮像素子チップの電極パッドの下面に接合され、ウェーハから切り出された前記固体撮像素子チップの切断面に平行する端面を有するダミーチップと、前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面を被覆する平坦化された絶縁膜と、を有する固体撮像装置、若しくは、

固体撮像素子チップと、前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、前記固体撮像素子チップの前記能動チップの接合面における前記能動チップが接合されていない空き領域に接合された少なくとも1以上のダミーチップと、前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面側を被覆する平坦化された絶縁膜と、を有する固体撮像装置、又は、

固体撮像素子チップと、前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、前記能動チップの周側面を囲繞する態様で前記固体撮像素子チップに接合されたシリコン基板と、前記能動チップと前記シリコン基板との間、及び少なくとも前記能動チップの下面を被覆する平坦化された絶縁膜と、を有する固体撮像装置を有する電子機器である。

[0039] 上記の態様を取ることで、固体撮像素子のウェーハにチップを接合し、当該チップを酸化膜等の絶縁膜で被覆する構造における加工上の問題点を改善する固体撮像装置、固体撮像装置の製造方法及び電子機器を提供することができる。

図面の簡単な説明

[0040] [図1]本開示に係る固体撮像素子チップのC o W構造の説明図である。

[図2]ウェーハ上に形成された固体撮像素子チップに、ロジックチップ等を接合する状態を示す図である。

[図3]本開示に係る固体撮像装置の第1実施形態の基本形の概略構造を示す平面図である。

[図4]本開示に係る固体撮像装置の第1実施形態の基本形の概略構造を示すX1-X1線切断端面図である。

[図5]本開示に係る固体撮像装置の第1実施形態の第1変形例の概略構成を示す平面図である。

[図6]本開示に係る固体撮像装置の第1実施形態の第2変形例の概略構成を示す平面図である。

[図7]本開示に係る固体撮像装置の第1実施形態の第3変形例の概略構造を示すX2-X2線切断端面図である。

[図8]本開示に係る固体撮像装置の第1実施形態の第4変形例の概略構造を示すX2-X2線切断端面図である。

[図9]本開示に係る固体撮像装置の第1実施形態の第5変形例の概略構造を示すX2-X2線切断端面図である。

[図10]本開示に係る固体撮像装置の第1実施形態の第6変形例の概略構造を示すX2-X2線切断端面図である。

[図11]本開示に係る固体撮像装置の第1実施形態の製造方法の説明図である。

[図12]本開示に係る固体撮像装置の第2実施形態の基本形の概略構造の第1例を示すY1-Y1線切断端面図及び底面図である。

[図13]本開示に係る固体撮像装置の第2実施形態の基本形の概略構造の第2例を示すY1-Y1線切断端面図及び底面図である。

[図14]図12に示す例において、ダミーチップを接合しなかった場合の比較例を示すY1-Y1線切断端面図の部分拡大図である。

[図15]本開示に係る固体撮像装置の第2実施形態の基本形におけるダミーチ

ップを接合することにより引張応力を緩和することができる説明図である。

[図16]固体撮像素子チップにダミーチップを接合しない場合の平坦化の比較例を示す説明図である（その1）。

[図17]固体撮像素子チップにダミーチップを接合しない場合の平坦化の比較例を示す説明図である（その2）。

[図18]固体撮像素子チップにダミーチップを接合しない場合の平坦化の比較例を示す説明図である（その3）。

[図19]本開示に係る固体撮像装置の第2実施形態の基本形におけるダミーチップを接合することによる平坦化の効果の説明図である（その1）。

[図20]本開示に係る固体撮像装置の第2実施形態の基本形におけるダミーチップを接合することによる平坦化の効果の説明図である（その2）。

[図21]本開示に係る固体撮像装置の第2実施形態の基本形におけるダミーチップを接合することによる平坦化の効果の説明図である（その3）。

[図22]本開示に係る固体撮像装置の第2実施形態の第1変形例の概略構造の第1例を示す底面図である。

[図23]本開示に係る固体撮像装置の第2実施形態の第1変形例の概略構造の第2例を示す底面図である。

[図24]本開示に係る固体撮像装置の第2実施形態の第1変形例の概略構造の第3例を示す底面図である。

[図25]本開示に係る固体撮像装置の第2実施形態の第2変形例の概略構造の第1例を示す底面図である。

[図26]本開示に係る固体撮像装置の第2実施形態の第2変形例の概略構造の第2例を示す底面図である。

[図27]本開示に係る固体撮像装置の第2実施形態の第2変形例の概略構造の第3例を示す底面図である。

[図28]本開示に係る固体撮像装置の第2実施形態の第3変形例の概略構造の第1例を示す底面図である。

[図29]本開示に係る固体撮像装置の第2実施形態の第3変形例の概略構造の

第2例を示す底面図である。

[図30]本開示に係る固体撮像装置の第2実施形態の第3変形例の概略構造の第3例を示す底面図である。

[図31]本開示に係る固体撮像装置の第2実施形態の第4変形例の概略構造の一例を示す固体撮像素子チップのウェーハの底面図及び個片化した状態を示す図である。

[図32]本開示に係る固体撮像装置の第2実施形態の第5変形例の概略構造のダミーチップ等を接合したY1-Y1線切断端面図である。

[図33]本開示に係る固体撮像装置の第2実施形態の第6変形例の概略構造のダミーチップ等を接合したY1-Y1線切断端面図である。

[図34]本開示に係る固体撮像装置の第3実施形態の基本形の概略構造を示す平面図である。

[図35]本開示に係る固体撮像装置の第3実施形態の基本形の概略構造を示すX1-X1線切断端面図である。

[図36]本開示に係る固体撮像装置の第3実施形態の基本形の概略構造を示す模式端面図である。

[図37]本開示に係る固体撮像装置の第3実施形態の第1変形例の概略構造を示す模式端面図である。

[図38]本開示に係る固体撮像装置の第3実施形態の第2変形例の概略構造を示す模式端面図である。

[図39]本開示に係る固体撮像装置の第3実施形態の第3変形例の概略構造を示す模式端面図である。

[図40]本開示に係る固体撮像装置の第3実施形態の第4変形例の概略構造を示す模式端面図である。

[図41]本開示に係る固体撮像装置の第3実施形態の第8変形例の概略構造を示す模式端面図である。

[図42]本開示に係る固体撮像装置の第3実施形態の第16変形例の概略構造を示す模式端面図である。

[図43]本開示に係る固体撮像装置の第3実施形態の第17変形例の概略構造を示す模式端面図である。

[図44]本開示に係る固体撮像装置のシリコン基板の掘り込み部又は割り抜き部の平面視の形状が正方形であるときの説明図である。

[図45]本開示に係る固体撮像装置のシリコン基板の掘り込み部又は割り抜き部の平面視の形状が長方形であるときの説明図である。

[図46]本開示に係る固体撮像装置のシリコン基板の掘り込み部又は割り抜き部の平面視の形状が大小2個の長方形を接続した形状であるときの説明図である。

[図47]本開示に係る固体撮像装置のシリコン基板の掘り込み部又は割り抜き部の平面視の形状が長方形の側辺に台形の底辺を接続した形状であるときの説明図である。

[図48]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その1）。

[図49]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その2）。

[図50]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その3）。

[図51]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その4）。

[図52]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その5）。

[図53]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その6）。

[図54]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その7）。

[図55]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その8）。

[図56]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その9）。

[図57]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その10）。

[図58]本開示に係る固体撮像装置の第3実施形態の製造方法の基本形の説明図である（その11）。

[図59]本開示に係る固体撮像装置の第3実施形態の製造方法の第1変形例の説明図である（その1）。

[図60]本開示に係る固体撮像装置の第3実施形態の製造方法の第1変形例の説明図である（その2）。

[図61]本開示に係る固体撮像装置の第3実施形態の製造方法の第1変形例の説明図である（その3）。

[図62]本開示に係る固体撮像装置の第3実施形態の製造方法の第2変形例の説明図である（その1）。

[図63]本開示に係る固体撮像装置の第3実施形態の製造方法の第2変形例の説明図である（その2）。

[図64]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その1）。

[図65]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その2）。

[図66]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その3）。

[図67]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その4）。

[図68]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その5）。

[図69]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その6）。

[図70]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その7）。

[図71]本開示に係る固体撮像装置の第3実施形態の製造方法の第3変形例の説明図である（その8）。

[図72]本開示に係る固体撮像装置の第3実施形態の製造方法の第4変形例の説明図である（その1）。

[図73]本開示に係る固体撮像装置の第3実施形態の製造方法の第4変形例の説明図である（その2）。

[図74]本開示に係る固体撮像装置の第3実施形態の製造方法の第4変形例の説明図である（その3）。

[図75]本開示に係る固体撮像装置の第3実施形態の製造方法の第4変形例の説明図である（その4）。

[図76]本開示に係る固体撮像装置を有する電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0041] 次に、図面を参照して、本開示を実施するための形態（以下、「実施形態」という。）を下記の順序で説明する。以下の図面において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。

1. 本開示に係る固体撮像装置の第1実施形態
2. 本開示に係る固体撮像装置の第1実施形態の製造方法
3. 本開示に係る固体撮像装置の第2実施形態
4. 本開示に係る固体撮像装置の第2実施形態の製造方法
5. 本開示に係る固体撮像装置の第3実施形態
6. 本開示に係る固体撮像装置の第3実施形態の製造方法
7. 電子機器の構成例

[0042] < 1. 本開示に係る固体撮像装置の第 1 実施形態 >

[C o W 構造の概要]

以下、本開示に係る固体撮像装置 100 の具体的な説明に入る前に、その構造の前提となる C o W 構造の概要について図 1 及び図 2 に基づき、説明する。

[0043] ただし、以下の説明における「上面」、「上方」等の「上」、又は「下面」、「下方」等の「下」とは、固体撮像素子チップ 110 の画素領域 103 の受光面側を「上」とし、その反対側を「下」とする。また、固体撮像装置 100 としては、固体撮像素子チップ 110 等の半導体チップ部分がパッケージされた状態となるが、以下の説明及び図面では、パッケージの記載を省略する。

[0044] また、以下の説明では、ロジックチップ 120 A、メモリチップ 120 B 又は後述するプロセッサチップ 131 などの電氣的機能を有するチップを総称して能動チップ 120 と記載する場合がある。また、ダミーチップ 130 とは、電氣的機能を有さない半導体チップを指すものとする。

[0045] 図 1 は、本開示に係る固体撮像装置 100 のチップの C o W 構造の説明図である。固体撮像素子チップ 110 のウェーハ 510 には、図 1 に示すように、半導体プロセスにより複数の固体撮像素子チップ 110 が碁盤目状に形成されている。そして、別の半導体プロセスにより製造されたロジックチップ 120 A のウェーハ 520 からは、検査により良品であることが確認され個片化されたロジックチップ 120 A が、ウェーハ 510 上の良品であることが確認された所定の固体撮像素子チップ 110 の所定の位置に接合される。

[0046] 同様にして、メモリチップ 120 B のウェーハ 521 からは、検査により良品であることが確認され個片化されたメモリチップ 120 B が、ウェーハ 510 上の良品であることが確認された所定の固体撮像素子チップ 110 の所定の位置に接合される。

[0047] また、同様にして、ダミーチップ 130 のウェーハ 530 からは、検査に

より良品であることが確認され個片化されたダミーチップ130が、ウェーハ510上の良品であることが確認された所定の固体撮像素子チップ110の所定の位置に接合される。後述するプロセッサチップ131のウェーハ531の場合も同様である（いずれも不図示）。なお、図1において、「×」印を付したウェーハ510上のチップは不良品チップ110nを示す。したがって、当該不良品チップ110nには、ロジックチップ120A等の能動チップ120を接合しない。

[0048] 図2は、ウェーハ510上に形成され、良品であることが確認された固体撮像素子チップ110のうちの1個に対し、ロジックチップ120A、メモリチップ120B及びダミーチップ130、130の3種類で計4個のチップを接合する状態を示す図である。本図では、図1に示すウェーハ510を天地逆にして配設している。固体撮像素子チップ110の下面にロジックチップ120A、メモリチップ120B及びダミーチップ130、130が接合される状態は、本図に示すようになる。そして、これらの各チップが接合されると、スクライブライン109において個片化される。

[0049] しかしながら近年の半導体製造技術の進化に伴い、固体撮像素子チップ110よりもロジックチップ120Aやメモリチップ120Bなどの能動チップ120の縮小化が進行している。これに伴い、固体撮像素子チップ110の下面に能動チップ120に覆われていない領域が拡大している。

[0050] [第1実施形態の基本形の構成]

第1実施形態は、かかるC o W構造により形成された固体撮像素子チップ110において、実装時におけるワイヤボンディングの衝撃を緩和し、これによりクラックの発生防止を図るものである。また、固体撮像素子チップ110の反りの発生を抑制し、撮像特性に対する影響の軽減を図るものである。

[0051] 以下、本開示に係る固体撮像装置100の第1実施形態の基本形について、図3及び図4に基づき説明する。図3は、本開示に係る固体撮像装置100の第1実施形態の基本形の概略構造を示す平面図である。固体撮像装置1

00のチップは、図3に示すように、平面視略矩形状に形成されている。

[0052] そして、上面に略矩形状の画素領域103が配設されている。画素領域103には、受光した撮像光を画素ごとに光電変換する光電変換部101が形成されており、画像信号を生成する。また、画素領域103の左右の端部には、金線(Au)などによりインターポーザ基板の電極パッド(不図示)にワイヤボンディング接続するための電極パッド113が形成されている。

[0053] 図4は、本開示に係る固体撮像装置100の第1実施形態の基本形の概略構造を示すX1-X1線切断端面図である。固体撮像装置100のチップは、本図に示すように、固体撮像素子チップ110の下面に、撮像信号を処理する駆動素子や配線層等からなるロジック回路が配置されたロジックチップ120Aや画素データ等を蓄積するメモリチップ120Bが接合されて形成されている。

[0054] 固体撮像素子チップ110は、図4に示すように、例えば、フォトダイオード形成層102に複数のフォトダイオードからなる光電変換部101が形成されている。そして、固体撮像素子チップ110の撮像光の入射面側となる光電変換部101の上面にはカラーフィルタ106が積層され、その上面にはオンチップレンズ107が積層されている。

[0055] なお、オンチップレンズ107の上面には、絶縁膜が形成されて平坦化され、その上面に、接合用樹脂を介して、例えばガラス等の透光性基板が接合されてもよい(いずれも不図示)。

[0056] フォトダイオード配線層111は、光電変換部101の下面に絶縁物である酸化膜と、銅(Cu)などの導電性金属により配線パターンが形成された配線112とを順次積層して形成されている。すなわち、配線112は、フォトダイオード配線層111の基材である酸化膜と酸化膜との間に挟まれて積層されている。

[0057] そして、光電変換部101と配線112間、及び配線112とフォトダイオード配線層111の下面に形成された端子114間は、それぞれビア(via)115、115により接続されている。これにより、光電変換部10

1で生成された画素データは、ビア115、配線112及びビア115を順次介して端子114に接続されている。

[0058] ロジックチップ120Aは、光電変換部101の各画素において生成された画素データを順次読み出すためのロジック回路を形成するための基板である。ロジック回路は、例えば、垂直駆動部、水平駆動部、システム制御部や信号処理部等（いずれも不図示）で構成され、ロジック回路の接続は配線層121内においてされている。

[0059] ロジックチップ120Aは、フォトダイオード配線層111と同様に、銅（Cu）などの導電性金属により配線パターンが形成された配線122と、酸化膜とを順次積層して形成されている。そして、上層の配線122と下層の配線122間は、ビア125により接続されている。また、上層の配線122は、ビア125によりロジックチップ120Aの上面に形成された端子124と接続されている。

[0060] ロジックチップ120Aの端子124は、フォトダイオード配線層111の端子114の接合面に対向させ、CuCu接続されている。これにより、光電変換部101で生成された画素データは、フォトダイオード配線層111の配線112、ビア115及び端子114を介して、ロジックチップ120Aの配線層121の端子124に接続され、配線層121の配線122と接続される。

[0061] メモリチップ120Bもロジックチップ120Aと同様に、銅（Cu）などの導電性金属により配線パターンが形成された配線122と、酸化膜とを順次積層して形成されている。そして、上層の配線122と下層の配線122間は、ビア125により接続されている。また、上層の配線122は、ビア125によりロジックチップ120Aの上面に形成された端子124と接続されている。

[0062] メモリチップ120Bの端子124は、フォトダイオード配線層111の端子114の接合面に対向させ、CuCu接続されている。これにより、光電変換部101で生成された画素データは、配線112、ビア115及び端

子 1 1 4 を介して、メモリチップ 1 2 0 B の配線層 1 2 1 の端子 1 2 4 に接続され、配線層 1 2 1 の配線 1 2 2 と電氣的に接続される。

[0063] このようにして、ロジックチップ 1 2 0 A 及びメモリチップ 1 2 0 B は、固体撮像素子チップ 1 1 0 のフォトダイオード配線層 1 1 1 の下面に端子 1 1 4 及び端子 1 2 4 を介して C u C u 接続されることにより電氣的に接続されている。

[0064] フォトダイオード配線層 1 1 1 の下面に C u C u 接続されたロジックチップ 1 2 0 A 及びメモリチップ 1 2 0 B は、絶縁膜 1 5 0 により被覆されている。これによりロジックチップ 1 2 0 A 及びメモリチップ 1 2 0 B は、電氣的に絶縁されるとともに、機械的な損傷を受けないように保護される。

[0065] ロジックチップ 1 2 0 A の配線 1 2 2 により形成されたロジック回路の入出力信号は、T S V (不図示) や C u C u 接続 (不図示) などを通じて固体撮像素子チップ 1 1 0 の上面の両端又は周端に配設された電極パッド 1 1 3 に接続される。電極パッド 1 1 3 は、例えば、ワイヤボンディングにより、固体撮像装置 1 0 0 のパッケージに配設された、インターポーザ基板の電極パッド (不図示) に電氣的に接続される。

[0066] 電極パッド 1 1 3 の下面には、ウェーハから切り出された固体撮像素子チップの切断面と同一平面状の端面 1 3 0 t を有する態様で、隣接する固体撮像素子チップ 1 1 0、1 1 0 同士の下を接続するダミーチップ 1 3 0 が接合されている。すなわち、ダミーチップ 1 3 0 は、図 3 に示すように、隣接する固体撮像素子チップ 1 1 0、1 1 0 同士の下を接続して、電極パッド 1 1 3 の下面全体の領域を跨ぐ態様で接合された後、固体撮像素子チップ 1 1 0 とともに個片化されたものである。個片化されることによりダミーチップ 1 3 0 の切断面である側面は、固体撮像素子チップ 1 1 0 の切断面と同一平面状の端面 1 3 0 t となる。なお、固体撮像素子チップ 1 1 0 の切断面は、主にフォトダイオード形成層 1 0 2 及びフォトダイオード配線層 1 1 1 の切断面となる。

したがって、ダミーチップ 1 3 0 が接合された領域は、個片化する際のス

スクライブライン109となる。ダミーチップ130は、電氣的機能を有さない半導体チップであり、例えば、シリコンで形成されている。

[0067] 絶縁膜150は、ロジックチップ120A及びメモリチップ120Bの周側面、ロジックチップ120Aとメモリチップ120Bとの隙間及び下面を埋め込むように被覆している。また、絶縁膜150は、固体撮像素子チップ110の下面のロジックチップ120A及びメモリチップ120Bが接合されていない領域全面を被覆している。

[0068] 絶縁膜150の平面視の外形は、固体撮像素子チップ110の外形と略同一に形成されており、絶縁膜150の周側面は、固体撮像素子チップ110の周側面と面一に形成されている。また、ロジックチップ120A及びメモリチップ120Bを被覆する絶縁膜150の下面は、平坦化されている。したがって、固体撮像装置100のチップは全体として略方形状に形成されている。

絶縁膜150は、例えば、二酸化ケイ素(SiO_2)などの酸化膜や絶縁性を有する絶縁樹脂150aなどを含む。

[0069] 第1実施形態の基本形に係る固体撮像装置100の固体撮像素子チップ110は、ウェーハ510上にCOW構造に形成された後、個片化されることにより、以上説明したような構成となる。なお、固体撮像装置100のパッケージについては説明を省略する。

[0070] ここで、固体撮像素子チップ110の電極パッド113の下面にダミーチップ130を接合することなく、そのまま二酸化ケイ素などの絶縁膜150で被覆した場合には、スクライブライン109の領域は、主としてシリコンからなる固体撮像素子チップ110と、絶縁膜150との積層体となる。したがって、スクライブライン109に近傍の固体撮像素子チップ110の上面に配設された電極パッド113の裏面(下面)も、固体撮像素子チップ110と絶縁膜150との積層体となる。そうすると、絶縁膜150を構成する二酸化ケイ素は、硬いが粘りが無い材質であるため、電極パッド113にワイヤボンディングの衝撃を受けた際にクラックを生ずるおそれがある。

[0071] これに対して、第1実施形態の基本形に係る固体撮像装置100の固体撮像素子チップ110は、電極パッド113の下面に二酸化ケイ素よりも柔らかい材質であるシリコンで形成されたダミーチップ130が接合されている。そのうえで、能動チップ120及びダミーチップ130を絶縁膜150で被覆しているために、実装時におけるワイヤボンディングの衝撃を緩和することができる。これによりクラックの発生を防止することができる。

[0072] また、固体撮像素子チップ110の下面には、固体撮像素子チップ110と略同じ材料であるシリコンで形成されたダミーチップ130が接合されている。このために、固体撮像素子チップ110の上面とダミーチップ130が接合された下面との線膨張率の差が相殺される。これにより固体撮像素子チップ110の反りの発生を抑制し、撮像特性に対する影響を軽減することができる。

[0073] [第1実施形態の第1変形例の構成]

次に、第1実施形態の第1変形例の構成について説明する。第1変形例では、図5に示すように、基本形と同様に、ダミーチップ130が固体撮像素子チップ110の電極パッド113の裏面にスクライブライン109を跨ぐ態様で接合されている。しかし、第1変形例ではさらに、ロジックチップ120Aやメモリチップ120Bが配設された接合面の空き領域にプロセッサチップ131が接合されている点で基本形と相違する。

[0074] ここで、プロセッサチップ131とは、ロジックチップ120Aやメモリチップ120B以外の電氣的機能を有する半導体チップのことであり、能動チップ120に含まれる。プロセッサチップ131としては、例えば、センサエッジプロセッサ（SEP: Sensor Edge Processor、以下、「SEP」という。）のように電氣的機能を有するチップであってもよい。ちなみに、センサエッジプロセッサとは、高精細度の固体撮像素子チップ110からの膨大な量の画素データを事前処理するプロセッサである。なお、プロセッサチップ131の代わりにダミーチップ130を接合してもよい。上記以外は、基本形と同様であるため説明を省略する。

[0075] 第1変形例は、以上のように構成されているために、基本形と同様に、実装時におけるワイヤボンディングの衝撃を緩和することができ、クラックの発生を防止することができる。さらに、ロジックチップ120Aやメモリチップ120Bが配設された領域の空き領域にプロセッサチップ131が接合されているために、固体撮像装置100のチップが補強され、強度の確保や反りの発生を防止することができる。

[0076] [第1実施形態の第2変形例の構成]

次に、第1実施形態の第2変形例の構成について説明する。第2変形例では、図6に示すように、ダミーチップ130又はプロセッサチップ131が、前記のようにスクライブライン109を跨がないで、ウェーハから切り出された固体撮像素子チップの切断面に隣接して平面状の端面130tを有する態様で、それぞれの固体撮像素子チップ110の電極パッド113の裏面に接合されている点で基本形と相違する。

[0077] 第2変形例は、以上のように構成されているために、基本形と同様に、実装時におけるワイヤボンディングの衝撃を緩和することができ、クラックの発生を防止することができる。さらに、ロジックチップ120Aやメモリチップ120Bが配設された領域の空き領域にプロセッサチップ131又はダミーチップ130が接合されているために、固体撮像素子チップ110が補強される。これにより、強度の確保や反りの発生を防止することができる。

[0078] また、第2変形例は、基本形や第1変形例のように、スクライブライン109を跨ぐ態様でダミーチップ130を接合した後に個片化するものではないため、電氣的機能を有するプロセッサチップ131などの能動チップ120を接合することができる。勿論、プロセッサチップ131の代わりにダミーチップ130を接合してもよい。上記以外は、基本形と同様であるため説明を省略する。

[0079] [第1実施形態の第3変形例の構成]

次に、第1実施形態の第3変形例の構成について説明する。第3変形例から後述する第6変形例は、固体撮像素子チップ110の下面へのロジックチ

チップ120A、メモリチップ120B、ダミーチップ130又はプロセッサチップ131の接合形態に関するものである。以下、図7から図10についてX2-X2線切断端面図により説明する。

[0080] このうち、第3変形例及び第4変形例は、フォトダイオード形成層102に電極パッド113を有する固体撮像素子チップ110の下面へ、ロジックチップ120A、メモリチップ120B又はプロセッサチップ131などの能動チップ120及びダミーチップ130を接合するものである。すなわち、フォトダイオード形成層102に電極パッド113を有する固体撮像素子チップ110の接合に関するものである。

[0081] ここで、第3変形例における固体撮像素子チップ110の下面への能動チップ120の接合及びダミーチップ130の接合は、図7に示すように、CuCu接続によるものである。第3変形例は、前記の基本形、第1変形例又は第2変形例に適用することができる。上記以外は、第1実施形態の基本形、第1変形例又は第2変形例と同様であるため説明を省略する。

[0082] [第1実施形態の第4変形例の構成]

第4変形例における固体撮像素子チップ110の下面への能動チップ120の接合は、図8に示すように、CuCu接続によるものである。また、ダミーチップ130の接合は、酸化膜などの絶縁膜接合によるものである。第4変形例は、前記の基本形、第1変形例又は第2変形例に適用することができる。上記以外は、第1実施形態の基本形、第1変形例又は第2変形例と同様であるため説明を省略する。

[0083] [第1実施形態の第5変形例の構成]

第5変形例及び第6変形例は、フォトダイオード配線層111に電極パッド113を有する固体撮像素子チップ110の下面へロジックチップ120A、メモリチップ120B又はプロセッサチップ131などの能動チップ120及びダミーチップ130を接合するものである。すなわち、フォトダイオード配線層111に電極パッド113を有する固体撮像素子チップ110の接合に関するものである。

[0084] ここで、第5変形例における固体撮像素子チップ110の下面への能動チップ120の接合及びダミーチップ130の接合は、図9に示すように、CuCu接続によるものである。第5変形例は、前記の第1実施形態の基本形、第1変形例又は第2変形例に適用することができる。上記以外は、基本形、第1変形例又は第2変形例と同様であるため説明を省略する。

[0085] [第1実施形態の第6変形例の構成]

第6変形例における固体撮像素子チップ110の下面への能動チップ120の接合は、図10に示すように、CuCu接続によるものである。また、ダミーチップ130の接合は、酸化膜などの絶縁膜接合によるものである。第6変形例は、前記の第1実施形態の基本形、第1変形例又は第2変形例に適用することができる。上記以外は、基本形、第1変形例又は第2変形例と同様であるため説明を省略する。

[0086] <2. 本開示に係る固体撮像装置の第1実施形態の製造方法>

図11は、本開示に係る固体撮像装置100の第1実施形態の製造方法における能動チップ120やダミーチップ130が接合された固体撮像素子チップ110に絶縁膜150を被覆し、個片化する工程を説明する図である。

[0087] まず、図11Aに示すように、ウェーハ510上に形成された固体撮像素子チップ110のフォトダイオード配線層111の下面にロジックチップ120A、メモリチップ120B及びダミーチップ130が接合されている。この状態は、前記の図1及び図2に示す工程が完了した状態の図になる。

[0088] 次に、図11Bに示すように、固体撮像素子チップ110のフォトダイオード配線層111の下面のロジックチップ120A、メモリチップ120B及びダミーチップ130が接合された面に絶縁膜150を積層する。これによりロジックチップ120A、メモリチップ120B及びダミーチップ130は、絶縁膜150により被覆される。

ただし、この状態では、絶縁膜150は、ロジックチップ120A、メモリチップ120B及びダミーチップ130の凹凸の形状に倣って積層されるため、これらの表面は凹凸状態となる。

[0089] そこで、図１１Ｃに示すように、絶縁膜１５０の下面を化学的機械研磨（CMP：Chemical Mechanical Polisher（以下、「CMP」という。））により研磨する。これにより絶縁膜１５０は、平坦化されて、薄肉化される。

このCMPにおいて、絶縁膜１５０が、能動チップ１２０及びダミーチップ１３０の下面全体を被覆するよう薄く残す。

[0090] 次に、図１１Ｄに示すように、絶縁膜１５０の下面に支持基板１６０を接合する。

[0091] 次に、図１１Ｅに示すように、ウェーハ５１０の上面をCMPなどにより薄肉化する。

[0092] 次に、図１１Ｆに示すように、薄肉化された固体撮像素子チップ１１０のフォトダイオード形成層１０２の上面にカラーフィルタ１０６及びオンチップレンズ１０７などを実装する。そして、フォトダイオード形成層１０２の上面の所定の位置にワイヤボンディング接続をするための電極パッド１１３を形成する。この電極パッド１１３と、隣接する固体撮像素子チップ１１０の電極パッド１１３との間がスクライブライン１０９となる。

[0093] 次に、図１１Ｇに示すように、スクライブライン１０９においてウェーハ５１０を切断して個片化を行う。個片化の際は、絶縁膜１５０から支持基板１６０を除去し、絶縁膜１５０の下面に保護用のダイシングシート１７０（不図示）を貼付して行ってもよい。又は、支持基板１６０を除去しないで行ってもよい。

[0094] ダイシングは、後述するブレード１７５を備えたダイサーと呼ばれる装置を用いて行われる。ブレード１７５は、円盤状の砥石であり、所定の回転軸１７５ａにより回転可能に設けられている。すなわち、スクライブライン１０９に対するブレード１７５の深さ位置を調整し、回転するブレード１７５によってウェーハ５１０の上面側を所定の深さで直線状に切除することによって個片化され、固体撮像装置１００のチップを得ることができる。

[0095] 以上のような製造工程により得られた固体撮像装置１００のチップをパッ

ケーシングし、検査をすることにより、本開示に係る第1実施形態の固体撮像装置100を製造することができる。

[0096] <3. 本開示に係る固体撮像装置の第2実施形態>

[第2実施形態の基本形の構成]

第2実施形態は、かかるCOW構造により形成された固体撮像素子チップ110の下面に接合した能動チップ120を絶縁膜150で被覆した際に生じる段差の平坦化不足を改善し、支持基板160との接合不良の防止を図るものである。

また、能動チップ120と絶縁膜150との線膨張率の差異により生じる歪による光電変換特性への影響の軽減を図るものである。このために、第2実施形態の基本形は、能動チップ120が接合されていない空き領域にダミーチップ130を接合するものである。

[0097] 以下、本開示に係る固体撮像装置100の第2実施形態の基本形について、図12から図13に基づき説明する。

図12Aは、本開示に係る固体撮像装置100のチップの第2実施形態の基本形の概略構造の第1例を示すY1-Y1線切断端面図である。また、図12Bはその底面図である。固体撮像装置100のチップは、図12Bに示すように、底面視略矩形状に形成されている。そして、固体撮像素子チップ110の下面の左側には、ロジックチップ120Aが接合され、右側にはメモリチップ120Bが接合されている。そして、ロジックチップ120Aとメモリチップ120Bの間の空き領域には、ダミーチップ130が接合されている。

[0098] 図13Aは、本開示に係る固体撮像装置100の第2実施形態の基本形の概略構造の第2例を示すY1-Y1線切断端面図である。また、図13Bはその底面図である。固体撮像装置100のチップは、図13Bに示すように、固体撮像素子チップ110の下面の略中央にはメモリチップ120Bが接合されている。そして、メモリチップ120Bの左右の空き領域には、ダミーチップ130が接合されている。

[0099] ダミーチップ130は、例えば、シリコンで形成されている。また、ダミーチップ130は、シリコンの他、例えば、酸化アルミニウム (Al_2O_3)、炭化ケイ素 (SiC)、窒化アルミニウム (AlN)、窒化ケイ素 (Si_3N_4)、チタン (Ti)、窒化チタン (TiN)、炭素 (C)、炭窒化ケイ素 (SiCN)、ポリシリコン又は窒化タンタル (TaN) で形成されてもよい。

上記以外の第2実施形態の基本形の構成は、前記の第1実施形態の図3及び図4で説明したものと同様であるため説明を省略する。

[0100] [第2実施形態の基本形の効果]

次に、第2実施形態の基本形の第1の効果について、以下に説明する。図14は、図12に示す例において、ダミーチップ130を接合しなかった場合の比較例を示すY1-Y1線切断端面図に相当する部分拡大図である。

[0101] ここで、固体撮像素子チップ110、ロジックチップ120A及びメモリチップ120Bは、絶縁膜150が二酸化ケイ素である場合には、被覆する際に約350℃に昇温される。このためにロジックチップ120A及びメモリチップ120Bは、図14Aに示すように、それぞれ矢印方向に膨張する。

[0102] 次に、二酸化ケイ素などの絶縁膜150で被覆される工程においては、約350℃に維持される。したがって、図14Bに示すように、膨張した形状の状態のまま絶縁膜150に被覆される。

[0103] 次に、絶縁膜150の被覆が終わり、冷却されることにより、図14Cに示すように、ロジックチップ120A及びメモリチップ120Bは、矢印方向に収縮しようとする。しかし、二酸化ケイ素などの絶縁膜150の線膨張率は、シリコンに比して小さいため、ロジックチップ120A及びメモリチップ120Bは、絶縁膜150に固定される。

[0104] このために、図14Dに示すように、ロジックチップ120Aには収縮方向に応力 f_1 が、メモリチップ120Bには収縮方向に応力 f_2 が、それぞれ発生する。これらの応力 f_1 、 f_2 は、引張応力として作用する。

[0105] その結果、ロジックチップ120A及びメモリチップ120Bの上面に接合された固体撮像素子チップ110にも、これらの応力 f_1 、 f_2 が転写され、応力 f_1 、 f_2 の方向に引張応力が作用する。これにより固体撮像素子チップ110に歪が生じ、電子・ホール移動度が特異的に変動する。特に、これらの能動チップ120の端部に配設されているトランジスタの特性が変動するため、能動チップ120の端部の近傍には回路を配置することができないこととなる。また、固体撮像素子チップ110上面のオンチップレンズ107の設置時にアライメントズレが生じる原因となる。

[0106] これに対して、第2実施形態の基本形においては、図15に示すように、ロジックチップ120A及びメモリチップ120Bとの間にダミーチップ130を配設して接合することにより引張応力 f_1 、 f_2 を緩和することができる。

具体的には、図15Aに示すように、ロジックチップ120A及びメモリチップ120Bとの間にシリコンにより形成されたダミーチップ130を接合する。これらの各チップは、二酸化ケイ素などの絶縁膜150で被覆する際に約350℃に昇温されるため、それぞれが矢印方向に膨張する。そして、図15Bに示すように、膨張した形状のまま絶縁膜150に被覆されて固定される。

[0107] 絶縁膜150の被覆が終わると冷却されることにより、図15Cに示すように、ロジックチップ120A及びメモリチップ120Bは、矢印方向に収縮しようとする。同様にダミーチップ130も矢印方向に収縮しようとする。しかし、ロジックチップ120A及びメモリチップ120Bが収縮しようとする矢印方向と、ダミーチップ130が収縮しようとする矢印方向は逆方向である。しかも、これらは絶縁膜150に固定されているために、図15Dに示すように、ロジックチップ120Aには応力 f_1 が、メモリチップ120Bには応力 f_2 が、ダミーチップ130には応力 f_3 、 f_3 が発生する。

[0108] これらの応力 f_1 、 f_2 及び f_3 、 f_3 は、引張応力として作用する。し

かも、応力 f_1 と f_3 、及び応力 f_2 と f_3 とは、それぞれ逆方向に作用するため、これらの応力 f_1 と f_3 、及び応力 f_2 と f_3 とは相殺されて、それぞれ両者の差分のみが引張応力として作用する。

[0109] その結果、ロジックチップ120A、メモリチップ120B及びダミーチップ130の上面に接合された固体撮像素子チップ110にも、これらの応力 f_1 と f_3 、 f_2 と f_3 の相殺された差の引張応力が作用する。これらの互いに逆方向の応力 f_1 と f_3 、 f_2 と f_3 は、相殺されるため、ロジックチップ120A及びメモリチップ120Bの上面に接合された固体撮像素子チップ110に対して転写される引張応力の影響を軽減することができる。これにより、固体撮像素子チップ110に生じる歪を軽減し、トランジスタの特性の変動を防止することができ、これらの能動チップ120の端部の近傍に回路を配置することが可能となる。

[0110] なお、発生する歪による伸縮長は、線膨張に関する次の式により導くことができる。

$$\Delta L = \alpha \times L \times \Delta T$$

ただし、 ΔL は、伸縮長、 α は、線膨張率、 L は、チップの長さ、 ΔT は、温度上昇値である。

[0111] したがって、例えば、ロジックチップ120Aの伸縮長を ΔL_{Log} 、ダミーチップ130の伸縮長を ΔL_{Dum} とすると $\Delta L_{Log} = \Delta L_{Dum}$ が成立することで歪が相殺されることとなる。すなわち、

$$\alpha_{Log} \times L_{Log} \times \Delta T = \alpha_{Dum} \times L_{Dum} \times \Delta T \quad \text{が成立すればよい。}$$

ここで、ロジックチップ120Aもダミーチップ130も ΔT は同じであるので、

$$\alpha_{Log} \times L_{Log} = \alpha_{Dum} \times L_{Dum} \quad \text{が成立すればよい。}$$

上記式より、ロジックチップ120A、メモリチップ120B及びダミーチップ130の形状や材料を適切に選定することにより応力の差分ひいては固体撮像素子チップ110に生じる歪をゼロ（0）にすることができる。

[0112] ダミーチップ130として使用が可能と考えられる材料を表1に示す。ダ

ミーチップ130としては、線膨張率が固体撮像素子チップ110に近い値の物性を有する材料が望ましい。したがって、表1より、シリコン（ケイ素：Si）の他、例えば、酸化アルミニウム（ Al_2O_3 ）、炭化ケイ素（SiC）、窒化アルミニウム（AlN）、窒化ケイ素（ Si_3N_4 ）、チタン（Ti）、窒化チタン（TiN）、炭素（C）、炭窒化ケイ素（SiCN）、ポリシリコン又は窒化タンタル（Ta₂N₅）が適している。

[0113] また、表1より、ダミーチップ130を形成する際には、ダミーチップ130に適した線膨張率を有するとともに、後述する放熱に適した熱伝導率及びCMPストッパに適した材料を選定すればよい。

[0114] [表1]

材料	線膨張率 (ppm/K)	ダミーチップ の適否	熱伝導率 (W/m・K)	放熱用のダミ ーチップの 適否	CMPストッ パの適否
固体撮像素子チップ	～5前後	—	—	—	—
ケイ素 (Si)	2.4	○	168	○	○
二酸化ケイ素 (SiO_2)	0.5	×	1.4	×	×
銅 (Cu)	16.8	×	403	○	×
酸化アルミニウム (Al_2O_3)	9	○	35	○	○
炭化ケイ素 (SiC)	6.6	○	350	○	○
窒化アルミニウム (AlN)	5	○	285	○	○
窒化ケイ素 (Si_3N_4)	～3	○	100	○	○
チタン (Ti)	8.5	○	17	△	○
窒化チタン (TiN)	8	○	29	△	○
アルミニウム (Al)	23.9	×	204	○	○
炭素 (C)	4.3	○	24	△	○
炭窒化ケイ素 (SiCN)	3	○	200	○	○
ポリシリコン (Poly-Si)	3.43	○	162	○	○
窒化タンタル (Ta ₂ N ₅)	9	○	100	○	○

○：適、 △：やや適、 ×：不適、 絶縁性を要する場合は、所定の絶縁処理を行うものとする。

[0115] 次に、第2実施形態の基本形の第2の効果について、以下に説明する。図16は、図12に示す例において、ダミーチップ130を接合しなかった場合の比較例を示すウェーハ510のY1-Y1線を逆方向から見た切断端面図である。したがって、図16の下方がウェーハ510であり、その上方にロジックチップ120A及びメモリチップ120Bが接合された図となっている。

[0116] 固体撮像素子チップ110のウェーハ510上には、図16に示すように

、ロジックチップ120A及びメモリチップ120Bが接合されている。半導体製造技術の進化に伴い固体撮像素子チップ110に比べて、能動チップ120の縮小化が進行しているために、ウェーハ510上には、能動チップ120が接合されていない空き領域が存在する。また、ウェーハ510上には、検査により不良品と判定された不良品チップ110nも存在する。

このような状態において、これらの能動チップ120に絶縁膜150を積層すると、図17に示すように、その表面は、接合された能動チップ120の厚みに倣って凹凸状に被覆される。

[0117] 次に、絶縁膜150の上面を平坦化するためにCMPにより研磨を行う。そうすると、図18に示すように、例えば、ロジックチップ120Aとメモリチップ120Bとの間の絶縁膜150の膜厚は、薄く形成される。さらに、不良品チップ110nには、能動チップ120が接合されていないため、絶縁膜150の膜厚は、さらに薄く形成される。このように、研磨面の中央部が大きく研磨されて窪む状態となることがある。この現象は、研磨面の断面がお皿（dish）のように中央部が窪んだ状態となることから、一般にデッシング（dishing）と呼ばれている。

[0118] その結果、ロジックチップ120Aとメモリチップ120Bとの間の段差埋め込み平坦化時の平坦化不足により、絶縁膜150の平坦化面と支持基板（不図示）とを接合すると、両者の接合面にボイドが生じる等の接合不良が発生するおそれを生じる。

[0119] これに対して、第2実施形態の基本形においては、図19から図21に示すように、ロジックチップ120Aとメモリチップ120Bとの間の空き領域にダミーチップ130を接合する構成としている。また不良品チップ110nには、所定の数のダミーチップ130を接合する構成としている。これにより、図19に示すように、絶縁膜150で被覆した場合に生じる絶縁膜150の表面の凹凸の間隔を狭くすることができる。

[0120] また、このように構成することにより、図20に示すように、CMPによるデッシング現象の発生を防止することができ、研磨面を平坦化すること

ができる。これにより、ロジックチップ120Aとメモリチップ120Bとの間の平坦化不足による支持基板（不図示）との接合不良を防止することができる。

[0121] また、所定の高さのダミーチップ130を接合することで、図21に示すように、CMPによる研磨のストッパとすることができる。これによりダミーチップ130が研磨により頭出しをしたことを検知してCMPをセルフストップで完了させることができる。また、面内均一性の向上、プロセスバラツキの低減、量産におけるプロセス管理の簡易化や歩留まり向上も期待できる。

[0122] [第2実施形態の第1変形例の構成]

第1変形例は、C o W構造により下面に能動チップ120が接合された固体撮像素子チップ110において、能動チップ120が接合されていない空き領域に、形状の異なる、例えば、ダミーチップ130、130Lを接合するものである。

[0123] 以下、本開示に係る固体撮像装置100の第2実施形態の第1変形例について、図22から図24に基づき説明する。なお、前記の基本形における図12A及び図13Aに相当する端面図は割愛する。

[0124] 図22は、本開示に係る固体撮像装置100の第2実施形態の第1変形例の概略構造の第1例を示す底面図である。固体撮像装置100のチップは、本図に示すように、固体撮像素子チップ110の下面の左側にロジックチップ120Aが接合され、右側にはメモリチップ120Bが接合されている。そして、ロジックチップ120Aとメモリチップ120Bの間の空き領域には、ダミーチップ130が接合されている。また、ロジックチップ120A、ダミーチップ130及びメモリチップ120Bの周縁には、本図に示すように、これらを囲繞する態様で、複数の短冊状のダミーチップ130Lが配設され、接合されている。

[0125] 図23は、本開示に係る固体撮像装置100の第2実施形態の第1変形例の概略構造の第2例を示す底面図である。固体撮像装置100のチップは、

本図に示すように、固体撮像素子チップ110の下面の略中央にメモリチップ120Bが接合されている。そして、メモリチップ120Bの左右の空き領域には、ダミーチップ130が接合されている。また、メモリチップ120B及びダミーチップ130の周縁には、本図に示すように、これらの空き領域を埋める態様で、複数の短冊状のダミーチップ130Lが配設され、接合されている。

[0126] 図24は、本開示に係る固体撮像装置100の第2実施形態の第1変形例の概略構造の第3例を示す底面図である。固体撮像装置100のチップは、本図に示すように、固体撮像素子チップ110の下面に3個のロジックチップ120Aと、1個のメモリチップ120Bと、1個のSEPなどのプロセッサチップ131が接合されている。そして、これらの能動チップ120及びプロセッサチップ131の周縁の空き領域には、これらの能動チップ120及びプロセッサチップ131を囲繞する態様で複数の短冊状のダミーチップ130Lが配設され、接合されている。

[0127] ダミーチップ130Lは、固体撮像素子チップ110及び能動チップ120のそれぞれの端面から、距離dだけ離隔して接合することが好ましい。具体的には、距離dは、少なくとも $0.5\mu\text{m}$ 以上で $50\mu\text{m}$ 以下であることが望ましい。ダミーチップ130Lは、距離dだけ離隔した空き領域の最小短辺を一辺とする略短冊状の長方形に形成されて各空き領域に配設されている。 $0.5\mu\text{m}$ 以上離隔することにより絶縁距離が確保できるとともに、ダミーチップ130Lの接合が容易となる。このことは、第2実施形態の基本形、第1変形例及び以下に説明する各変形例において共通する。

上記以外の第2実施形態の第1変形例の構成は、前記の第1実施形態の図3及び図4で説明したのと同様であるため説明を省略する。

[0128] 第2実施形態の第1変形例は、以上のように、固体撮像素子チップ110の下面の周端部にダミーチップ130Lが配置されるため周端部の補強ができる。したがって、第2実施形態の基本形において説明したように、固体撮像素子チップ110に生じる歪をさらに軽減し、トランジスタの特性の変動

を防止することができる。また、固体撮像素子チップ 110 の端部の近傍に回路を配置することが可能となる。

[0129] また、ダミーチップ 130 を接合することによりデイスティング現象の発生を防止でき、絶縁膜 150 を CMP で平坦化することができる。さらに、CMP をセルフストップで完了させることができ、面内均一性の向上、プロセスバラツキの低減、量産におけるプロセス管理の簡易化や歩留まり向上も期待できる。

[0130] [第 2 実施形態の第 2 変形例の構成]

第 2 変形例は、C o W 構造により下面に能動チップ 120 が接合された固体撮像素子チップ 110 において、能動チップ 120 が接合されていない空き領域に、複数の矩形状で小形状のダミーチップ 130 s を接合するものである。

[0131] 以下、本開示に係る固体撮像装置 100 の第 2 実施形態の第 2 変形例について、図 25 から図 27 に基づき説明する。なお、前記の基本形における図 12A 及び図 13A に相当する端面図は割愛する。

[0132] 図 25 は、本開示に係る固体撮像装置 100 の第 2 実施形態の第 2 変形例の概略構造の第 1 例を示す底面図である。固体撮像装置 100 のチップは、本図に示すように、下面の左側にはロジックチップ 120A が接合され、右側にはメモリチップ 120B が接合されている。そして、ロジックチップ 120A とメモリチップ 120B の間の空き領域及び周縁には、本図に示すように、これらのチップ 120A、120B を囲繞する態様で複数の矩形状で小形状のダミーチップ 130 s が空き領域及び周縁を埋めるように配設され、接合されている。

[0133] 図 26 は、本開示に係る固体撮像装置 100 の第 2 実施形態の第 2 変形例の概略構造の第 2 例を示す底面図である。固体撮像装置 100 のチップは、本図に示すように、固体撮像素子チップ 110 の下面の略中央部にはメモリチップ 120B が接合されている。そして、メモリチップ 120B の左右の空き領域及び周縁には、本図に示すように、メモリチップ 120B を囲繞す

る態様で複数の矩形状で小形状のダミーチップ130sが空き領域及び周縁を埋めるように配設され、接合されている。

[0134] 図27は、本開示に係る固体撮像装置100の第2実施形態の第2変形例の概略構造の第3例を示す底面図である。固体撮像装置100のチップは、本図に示すように、固体撮像素子チップ110の下面には、3個のロジックチップ120Aと1個のメモリチップ120Bと1個のSEPなどのプロセッサチップ131が接合されている。そして、これらの能動チップ120の周縁の空き領域には、本図に示すように、これらの能動チップ120を囲繞する態様で複数の矩形状で小形状のダミーチップ130sが周縁の空き領域を埋めるように配設され、接合されている。

[0135] また、図25から図27において、ダミーチップ130sは、固体撮像素子チップ110及び能動チップ120のそれぞれの端面から、少なくとも0.5 μ m以上離隔した空き領域の最小短辺を一辺とする略正方形に形成されている。そして、空き領域に前記の0.5 μ m以上の離隔を確保して接合されている。

上記以外の第2実施形態の第2変形例の構成は、前記の第1実施形態の図3及び図4で説明したのと同様であるため説明を省略する。

[0136] 第2実施形態の第2変形例は、以上のようにマルチダミーチップ構造となっているために、小さな空き領域があっても、その領域にくまなくダミーチップ130sを接合することができる。したがって、第2実施形態の基本形において説明したと同様の効果をさらに改善することができる。

[0137] [第2実施形態の第3変形例の構成]

第3変形例は、C o W構造により下面に能動チップ120が接合された固体撮像素子チップ110において、能動チップ120が接合されていない空き領域に、各能動チップ120に最適な材料物性を有する、例えば、ダミーチップ130a、130b、130cを接合するものである。材料物性としては、例えば、線膨張率や熱伝導率等がある。

[0138] 以下、本開示に係る固体撮像装置100の第2実施形態の第3変形例につ

いて、図28から図30に基づき説明する。なお、前記の基本形における図12A及び図13Aに相当する端面図は割愛する。

[0139] 図28は、本開示に係る固体撮像装置100の第2実施形態の第3変形例の概略構造の第1例を示す底面図である。固体撮像装置100のチップは、本図に示すように、下面の左側には、ロジックチップ120Aが接合され、右側にはメモリチップ120Bが接合されている。そして、ロジックチップ120Aの周縁には、本図に示すように、物性aを有する矩形状で小形状の複数のダミーチップ130aが、ロジックチップ120Aを囲繞する態様で周縁の空き領域を埋めるように配設され、接合されている。

[0140] また、同様にして、メモリチップ120Bの周縁には、本図に示すように、物性cを有する矩形状で小形状の複数のダミーチップ130cが、メモリチップ120Bを囲繞する態様で周縁の空き領域を埋めるように配設され、接合されている。

[0141] また、同様にして、ロジックチップ120Aとメモリチップ120Bの間の空き領域には、物性bを有する矩形状で小形状の複数のダミーチップ130bが、縦一列に配設され、接合されている。

[0142] 図29は、本開示に係る固体撮像装置100の第2実施形態の第3変形例の概略構造の第2例を示す底面図である。固体撮像装置100のチップは、本図に示すように、固体撮像素子チップ110の下面の略中央部にはメモリチップ120Bが接合されている。そして、メモリチップ120Bの左右の空き領域及び周縁には、本図に示すように、メモリチップ120Bを囲繞する態様で複数の矩形状で小形状のダミーチップ130cが空き領域及び周縁を埋めるように配設され、接合されている。

[0143] 図30は、本開示に係る固体撮像装置100の第2実施形態の第3変形例の概略構造の第3例を示す底面図である。固体撮像装置100のチップは、本図に示すように、固体撮像素子チップ110の下面には、3個のロジックチップ120Aと1個のメモリチップ120Bと1個のSEPなどのプロセッサチップ131が接合されている。そして、3個のロジックチップ120

Aの周縁の空き領域には、本図に示すように、物性aを有する矩形状で小形状の複数のダミーチップ130aが空き領域及び周縁を埋めるように配設され、接合されている。

[0144] また、プロセッサチップ131の近傍の空き領域には、本図に示すように、物性bを有する矩形状で小形状の複数のダミーチップ130bが近傍の空き領域を埋めるように配設され、接合されている。

[0145] また、メモリチップ120Bの近傍の空き領域には、本図に示すように、物性cを有する矩形状で小形状の複数のダミーチップ130cが近傍の空き領域を埋めるように配設され、接合されている。

[0146] また、図28から図30において、ダミーチップ130a、130b、130cは、固体撮像素子チップ110及び能動チップ120のそれぞれの端面から、少なくとも0.5 μ m以上離隔した空き領域の最小短辺を一辺とする略正方形に形成され、空き領域に配設されている。

上記以外の第2実施形態の第3変形例の構成は、前記の第1実施形態の図3及び図4で説明したのと同様であるため説明を省略する。

[0147] 第2実施形態の第3変形例は、以上のようにマルチダミーチップ構造となっているために、小さな空き領域があっても、その領域にくまなくダミーチップ130a、130b、130cを接合することができる。したがって、第2実施形態の基本形において説明したように、ダミーチップ130a、130b、130cの形状及び線膨張率 α を適切に選定することにより固体撮像素子チップ110に生じる歪を最小にすることができる。また、ダミーチップ130a、130b、130cは、歪を最小にすることができる最適な物性材料や形状にすればよく、矩形状で小形状のものに限定されるものではない。また個数に限定されるものでもない。

[0148] [第2実施形態の第4変形例の構成]

第4変形例は、COW構造により下面に能動チップ120が接合された固体撮像素子チップ110において、スクライブライン109の領域及び能動チップ120が接合されていない空き領域にダミーチップ130を接合する

ものである。

[0149] 以下、本開示に係る固体撮像装置 100 の第 2 実施形態の第 4 変形例について、図 31A 及び図 31B に基づき説明する。なお、前記の基本形における図 12A 及び図 13A に相当する端面図は割愛する。

[0150] 図 31A は、本開示に係る固体撮像装置 100 の第 2 実施形態の第 4 変形例の概略構造の一例を示すウェーハ 510 上の固体撮像素子チップ 110 の底面図である。ウェーハ 510 上の固体撮像素子チップ 110 は、本図に示すように、左側には、ロジックチップ 120A が接合され、右側にはメモリチップ 120B が接合されている。そして、ロジックチップ 120A とメモリチップ 120B の間の空き領域及びその周縁には、本図に示すように、これらの能動チップ 120 を囲繞する態様で複数の矩形状のダミーチップ 130 が空き領域及び周縁を埋めるように配設され、接合されている。この場合において、隣接する固体撮像素子チップ 110、110 との間には、スクライブライン 109 を跨ぐ態様でダミーチップ 130 が接合されている。

[0151] 図 31B は、図 31A で説明したウェーハ 510 を個片化した状態を示す図である。個片化された固体撮像素子チップ 110 は、図 31B に示すように、スクライブライン 109 を跨ぐ態様で接合されたダミーチップ 130 がスクライブライン 109 で 2 分割される。これにより、固体撮像素子チップ 110 は、ロジックチップ 120A とメモリチップ 120B の間の空き領域にダミーチップ 130 が接合される他、スクライブライン 109 の領域にもダミーチップ 130 が配設され、接合される。

上記以外の第 2 実施形態の第 4 変形例の構成は、前記の第 1 実施形態の図 3 及び図 4 で説明したのと同様であるため説明を省略する。

[0152] 第 2 実施形態の第 4 変形例は、以上のように構成されているために、第 2 実施形態の基本形で説明した効果に加えて、ダミーチップ 130 の数を集約できる。また、固体撮像素子チップ 110 の周端面にダミーチップ 130 が接合されているためガードリング効果（機械的な固体撮像素子チップ 110 の周端面等の保護効果）も付与することができる。

[0153] [第2実施形態の第5変形例の構成]

第5変形例は、下面に能動チップ120が接合された固体撮像素子チップ110において、CMPストoppaとして作用するダミーチップ130Pやダミー膜130pを配設し、接合するものである。具体的には、固体撮像素子チップ110の下面の能動チップ120の空き領域やスクライブライン109の領域、及び不良品チップ110nの下面にダミーチップ130Pが接合される。この他、能動チップ120の下面、すなわち、固体撮像素子チップとの接合面の反対側の面には、ダミー膜130pが形成される。

[0154] 以下、本開示に係る固体撮像装置100の第2実施形態の第5変形例について、図32のY1-Y1線切断端面図に基づき説明する。なお、前記の基本形における図12B及び図13Bに相当する底面図は割愛する。

[0155] 図32は、図12A及び図12Bに示す構成例に、第5変形例を適用した図である。固体撮像素子チップ110の下面には、図32に示すように、ロジックチップ120A、メモリチップ120B及び両者の間にダミーチップ130Pを接合している。さらに、これらの能動チップ120の下面にダミー膜130pを形成し、本図における当該ダミー膜130p及びダミーチップ130の下面がCMPストoppaとして作用する。

[0156] ここで、前記の図16から図18で説明したように、固体撮像素子チップ110に接合されたロジックチップ120Aとメモリチップ120Bとの間の領域にダミーチップ130を接合しない状態で絶縁膜150による被覆を行うと、CMPの工程においてデイスシング現象を生じる。

[0157] その結果、ロジックチップ120Aとメモリチップ120Bとの間の段差埋め込み平坦化時の平坦化不足により、絶縁膜150の平坦化面と支持基板（不図示）とを接合すると、両者の接合面にボイドが生じる等の接合不良が発生するおそれを生じる。

[0158] そこで、第5変形例では、図32に示すように、ロジックチップ120A及びメモリチップ120Bには、固体撮像素子チップ110との接合面の反対側の面である下面にCMPストoppaとして機能するダミー膜130pが形

成されている。また、不良品チップ110nには、ダミーチップ130を接合する代わりに、CMPストッパとして機能するダミーチップ130Pが接合されている。

[0159] ダミーチップ130PがCMPストッパとして機能するためには、難研磨材料で構成する必要がある。難研磨材料としては、例えば、化学的に研磨しにくい物性材料が使用され、CMPの工程において厚さ、トルク、研磨中の温度等を監視して、研磨がCMPストッパまで達すると、研磨を停止させる。

[0160] CMPストッパとして機能するダミーチップ130P及びダミー膜130pは、絶縁膜150である二酸化ケイ素との研磨レート（Removal Rate）が20以上の物性材料が好ましい。

[0161] このような物性材料としては、前記の表1に示すように、例えば、ケイ素（Si）、酸化アルミニウム（ Al_2O_3 ）、炭化ケイ素（SiC）、窒化アルミニウム（AlN）、窒化ケイ素（ Si_3N_4 ）、チタン（Ti）、窒化チタン（TiN）、アルミニウム（Al）、炭素（C）、炭窒化ケイ素（SiCN）、ポリシリコン又は窒化タンタル（Ta₂N₅）が適している。

上記以外の第2実施形態の第5変形例の構成は、前記の第1実施形態の図3及び図4で説明したのと同様であるため説明を省略する。

[0162] 第2実施形態の第5変形例は、以上のように構成されているために、CMPにより絶縁膜150を研磨する際において、ダミーチップ130P又はダミー膜130pが頭出しをした時点を検知してCMPを止めることができる。

CMPの詳細については、第2実施形態の基本形の図19から図21において説明したのと同様であるため、説明を省略する。

[0163] [第2実施形態の第6変形例の構成]

第6変形例は、下面に能動チップ120が接合された固体撮像素子チップ110において、伝熱部材として二酸化ケイ素よりも熱伝導率の大きな単層で形成されたダミーチップ130H或多層で形成されたダミー膜130hを

介して、支持基板 160 と接合することにより放熱効率を向上するものである。すなわち、ダミーチップ 130H 又はダミー膜 130h は、二酸化ケイ素よりも熱伝導率の高い材料からなる単層又は多層に積層された伝熱部材を含む。

[0164] 以下、本開示に係る固体撮像装置 100 の第 2 実施形態の第 6 変形例について、図 33 の Y1-Y1 線切断端面図に基づき説明する。なお、前記の基本形における図 12B 及び図 13B に相当する底面図は割愛する。

[0165] 図 33 は、図 12A 及び図 12B に示す構成例に、第 6 変形例を適用した図である。固体撮像素子チップ 110 の下面には、図 33 に示すように、ロジックチップ 120A、メモリチップ 120B 及び両者の間にダミーチップ 130H を配設し、接合している。さらに、これらの能動チップ 120 の下面にダミー膜 130h を積層し、当該ダミー膜 130h 及びダミーチップ 130H を介して支持基板 160 と接合されている。

[0166] これにより、ロジックチップ 120A やメモリチップ 120B などの能動チップ 120 で発生した熱は、ダミーチップ 130H やダミー膜 130h を介して、支持基板 160 に対して本図の矢印方向に伝えることができる。

[0167] ダミーチップ 130H 及びダミー膜 130h としては、前記の表 1 に示すように、例えば、ケイ素 (Si)、銅 (Cu)、酸化アルミニウム (Al_2O_3)、炭化ケイ素 (SiC)、窒化アルミニウム (AlN)、窒化ケイ素 (Si_3N_4)、アルミニウム (Al)、炭窒化ケイ素 (SiCN)、ポリシリコン又は窒化タンタル (Ta₂N₅) などの二酸化ケイ素よりも熱伝導率の大きい材料が適している。

上記以外の第 2 実施形態の第 6 変形例の構成は、前記の第 1 実施形態の図 3 及び図 4 で説明したのと同様であるため説明を省略する。

[0168] 第 2 実施形態の第 6 変形例は、以上のように構成されているために、前記の第 2 実施形態の基本形で説明した効果に加えて、ロジックチップ 120A やメモリチップ 120B などの能動チップ 120 の温度上昇を抑制し、信頼性を向上させるとともに、長寿命化を図ることができる。

[0169] また、第2実施形態は以上のように構成されているために、固体撮像素子チップ110の下面に接合した能動チップ120を絶縁膜150で被覆した際に生じる段差の平坦化不足を改善し、支持基板160との接合不良の発生の防止を図ることができる。

さらに、能動チップ120と絶縁膜150との線膨張率の差異により生じる歪による光電変換特性への影響の軽減を図ることができる。

第2実施形態の実施においては、固体撮像素子チップ110と能動チップ120の配設状態に応じて、第2実施形態の基本形及び第1変形例から第6変形例を任意に組み合わせてもよい。

[0170] <4. 本開示に係る固体撮像装置の第2実施形態の製造方法>

本開示に係る固体撮像装置100の第2実施形態の製造方法は、前記の<2. 本開示に係る固体撮像装置の第1実施形態の製造方法>における場合と略同様であるため、説明を省略する。

[0171] <5. 本開示に係る固体撮像装置の第3実施形態>

[第3実施形態の基本形の構成]

第3実施形態は、かかるC o W構造により形成された固体撮像装置100において、反りの発生を抑制し、撮像特性に対する影響の軽減を図るものである。

また、個片化を行う際の、クラック、チッピング等の発生を抑制し、品質低下の防止を図るものである。

[0172] 以下、本開示に係る固体撮像装置100の第3実施形態の基本形について、図34及び図35に基づき説明する。図34は、本開示に係る固体撮像装置100の第3実施形態の基本形の概略構造を示す平面図である。固体撮像装置100のチップは、本図に示すように、平面視略矩形状に形成されている。

[0173] 第3実施形態の基本形の図34の平面視の形状は、固体撮像素子チップ110の下面に接合されたロジックチップ120A及びメモリチップ120Bの外周に掘り込み部145が形成され、その外側にシリコン基板140が配

設されている点で第1実施形態と相違する。

[0174] 堀り込み部145は、図35のX1-X1線切断端面図に示すように、その内側に絶縁膜150が形成され、さらに、絶縁膜150の内側にロジックチップ120A及びメモリチップ120Bが配設されている。そして、堀り込み部145の外側にシリコン基板140が配設されている。すなわち、ロジックチップ120A及びメモリチップ120Bの外周を絶縁膜150が囲繞する態様で覆い、さらにその外周及び下面をシリコン基板140が囲繞する態様で覆っている。また、シリコン基板140の下面には、絶縁膜150の下面と面一に絶縁薄膜151が薄く形成されている。

[0175] シリコン基板140の平面視の外形は、固体撮像素子チップ110の外形に倣って形成されており、シリコン基板140の周側面は、固体撮像素子チップ110の周側面と略面一に形成されている。

したがって、固体撮像装置100のチップは、全体として略方形状に形成されている。

[0176] 上記以外は、第1実施形態の基本形の図4と同様であるため説明を省略する。

[0177] 第3実施形態に係る固体撮像装置100のチップは、以上のように構成されているために、個片化する際のスクライブライン109の領域は、固体撮像素子チップ110とシリコン基板140との積層体で形成されている。

[0178] これに対して、シリコン基板140を設けずに、ロジックチップ120A及びメモリチップ120Bの周側面及び固体撮像素子チップ110の下面全体を、例えば、二酸化ケイ素などの絶縁膜150で被覆した場合には、個片化する際のスクライブライン109の領域は、固体撮像素子チップ110と絶縁膜150との積層体となる。

[0179] しかし、二酸化ケイ素などの絶縁膜150は、硬いが粘りが無い材料であるために、個片化する際に、端面が欠けたり（チッピング）、ヒビが入ったり（クラック）して製品品質を損なうおそれがある。

一方、第3実施形態では、スクライブライン109の領域を、固体撮像素

子チップ 110 とシリコン基板 140 の積層体で形成している。シリコンは柔らかく加工性がよい材料であるために、個片化する際に、二酸化ケイ素に比べてチッピングやクラックなどの発生は起こりにくい。

[0180] したがって、第 3 実施形態において、このような構成とすることにより、個片化する際に生じるクラックやチッピングの発生を防止することができる。

また、フォトダイオード配線層 111 の下面のロジックチップ 120A 及びメモリチップ 120B が接合されていない電極パッド 113 の裏面の領域は、シリコン基板 140 が接合している。シリコン基板 140 は、固体撮像素子チップ 110 と略同じ材料であるシリコンで形成されているために、全体としての線膨張率 α は均等化される。したがって、固体撮像装置 100 のチップの上面と下面に生じる引張応力を均等化することができる。これにより反りの発生を防止することができる。

[0181] [第 3 実施形態の第 1 変形例の構成]

次に、第 3 実施形態の第 1 変形例の構成について説明する。図 36 は、前記の第 3 実施形態の基本形で説明した図 35 を、さらに模式的に簡略化して表現した模式端面図である。第 3 実施形態の基本形では、図 36 に示すように、シリコン基板 140 の外形は、固体撮像素子チップ 110 の外形に倣って形成されており、シリコン基板 140 の周側面は、固体撮像素子チップ 110 の周側面と面一に形成されている。

[0182] 一方、第 1 変形例では、図 37 に示すように、シリコン基板 140 の上面に接合されている固体撮像素子チップ 110 の周側面からシリコン基板 140 の上部の周側面につながる段差 141 が形成されている。すなわち、固体撮像素子チップ 110 側の上方の周側面がシリコン基板 140 側の下方の周側面よりも幅小に形成されている。

このように、第 1 変形例では、シリコン基板 140 の上面に接合されている固体撮像素子チップ 110 側の周側面及びシリコン基板 140 の上部の周側面に段差 141 が形成されている点で第 3 実施形態の基本形と相違する。

[0183] かかる段差 141 が形成されていることにより個片化が容易に行える。具体的には、前記のように、個片化はブレード 175 と呼ばれる回転する刃物で切断することで行われる。そこで、スクライブライン 109 に切断線となる段差 141 が形成されていることにより、隣接する固体撮像素子チップ 110、110 間では、段差 141 に沿って切断すればよく、切断ガイドの役割を果たす。したがって、切断を正確に、かつ、容易に行うことができる。上記以外は、第 3 実施形態の基本形と同様であるため説明を省略する。

[0184] [第 3 実施形態の第 2 変形例の構成]

次に、第 3 実施形態の第 2 変形例の構成について説明する。第 3 実施形態の基本形では、図 36 に示すように、絶縁膜 150 の下面には特段の基板が接合されていない。

一方、第 2 変形例では、図 38 に示すように、絶縁膜 150 の下面に支持基板 160 が接合されている点で基本形と相違する。

[0185] かかる支持基板 160 が接合されていることにより、固体撮像装置 100 を補強することができ、強度の確保や反りの発生を防止することができる。上記以外は、第 3 実施形態の基本形と同様であるため説明を省略する。

[0186] [第 3 実施形態の第 3 変形例の構成]

次に、第 3 実施形態の第 3 変形例の構成について説明する。第 3 変形例では、図 39 に示すように、第 1 変形例の図 37 と同様に、固体撮像素子チップ 110 の周側面からシリコン基板 140 の上部の周側面につながる段差 141 が形成されている。さらに、第 2 変形例の図 38 と同様に、絶縁膜 150 の下面には支持基板 160 が接合されている。以上の点で第 3 実施形態の基本形と相違する。

[0187] これにより個片化を正確に、かつ、容易に行うことができ、同時に固体撮像装置 100 のチップの補強により、強度の確保や反りの発生を防止することができる。上記以外は、第 3 実施形態の基本形と同様であるため説明を省略する。

[0188] [第 3 実施形態の第 4 変形例の構成]

次に、第3実施形態の第4変形例の構成について説明する。第4変形例では、図40に示すように、絶縁膜150の周側面は、固体撮像素子チップ110の下面から下方に拡開するテーパ142を形成している。すなわち、絶縁膜150の周側面は上方が狭く下方が広く形成されたテーパ状をなしている点で基本形と相違する。つまり、第4変形例は、基本形の絶縁膜150の周側面にテーパ142を形成したものである。

[0189] これにより製造工程において、シリコン基板140の形成が容易となる。また、後述する絶縁膜150に代えて当該部分を絶縁樹脂150aで形成する際に、テーパ142を有する構造にすることにより、絶縁樹脂150aの形成が容易となる。上記以外は、第3実施形態の基本形と同様であるため説明を省略する。

[0190] [第3実施形態の第5変形例から第7変形例の構成]

次に、第3実施形態の第5変形例から第7変形例の構成について説明する。なお、第5変形例から第7変形例は図面を省略する。

第5変形例は、第1変形例の図37の絶縁膜150の周側面に、上記の第4変形例の図40と同様のテーパ142を形成したものである。

第6変形例は、第2変形例の図38の絶縁膜150の周側面に、上記の第4変形例の図40と同様のテーパ142を形成したものである。

第7変形例は、第3変形例の図39の絶縁膜150の周側面に、上記の第4変形例の図40と同様のテーパ142を形成したものである。

これらのそれぞれの変形例の効果は、第1変形例から第3変形例のそれぞれの効果に第4変形例に固有の効果を含ませたものになる。上記以外は、第3実施形態の基本形と同様であるため説明を省略する。

[0191] [第3実施形態の第8変形例から第11変形例の構成]

次に、第3実施形態の第8変形例から第11変形例の構成について説明する。なお、第9変形例から第11変形例は図面を省略する。

第8変形例では、図41に示すように、ロジックチップ120A及びメモリチップ120Bの周側面及びそれらの下面を被覆する絶縁膜150に代え

て、熱硬化性のエポキシ樹脂や有機性の樹脂などの絶縁樹脂 150a で被覆されている点で基本形と相違する。すなわち、第8変形例は、基本形の図36における絶縁膜150に代えて、例えば、エポキシ樹脂などの絶縁樹脂150a で形成したものである。同様に、プロセッサチップ140の下面には、絶縁薄膜151に代えて、絶縁樹脂薄膜151a が形成されている。

[0192] 絶縁樹脂150a であるエポキシ樹脂は、高耐熱性、高接着性、高流動性、低応力性などの優れた特性を多く有しており、これらの特長を活かせる用途に適用することができる。上記以外は、第3実施形態の基本形と同様であるため説明を省略する。

[0193] 第9変形例は、第1変形例の図37の絶縁膜150に代えて当該部分を、上記の第8変形例の図41と同様に、エポキシ樹脂などの絶縁樹脂150a で形成したものである。

第10変形例は、第2変形例の図38の絶縁膜150に代えて当該部分を、上記の第8変形例の図41と同様に、エポキシ樹脂などの絶縁樹脂150a で形成したものである。

第11変形例は、第3変形例の図39の絶縁膜150に代えて当該部分を、上記の第8変形例の図41と同様に、エポキシ樹脂などの絶縁樹脂150a で形成したものである。

これらのそれぞれの変形例の効果は、第1変形例から第4変形例のそれぞれの効果に第8変形例に固有の効果を含ませたものになる。上記以外は第3実施形態の基本形と同様であるため説明を省略する。

[0194] [第3実施形態の第12変形例から第15変形例の構成]

次に、第3実施形態の第12変形例から第15変形例の構成について説明する。なお、第12変形例から第15変形例は図面を省略する。

第12変形例は、前記の第4変形例の図40と同様に、固体撮像素子チップ110の下面の絶縁膜150の部分が下方に拡開するテーパ142を形成しているものである。そして、さらに前記の第8変形例の図41と同様に、絶縁膜150に代えて当該部分をエポキシ樹脂などの絶縁樹脂150a で形

成したものである。

すなわち、第12変形例は、第8変形例の図41の絶縁樹脂150aの周側面に、第4変形例の図40と同様のテーパ142を形成したものである。

[0195] これによりシリコン基板140の形成が容易となる。また、絶縁膜を絶縁樹脂150aで形成する際にテーパ142を有する構造にすると形成が容易となる。上記以外は第3実施形態の基本形と同様であるため説明を省略する。

[0196] 第13変形例は、第9変形例の絶縁樹脂150aの周側面に、第4変形例の図40と同様のテーパ142を形成したものである。

第14変形例は、第10変形例の絶縁樹脂150aの周側面に、第4変形例の図40と同様のテーパ142を形成したものである。

第15変形例は、第11変形例の絶縁樹脂150aの周側面に、第4変形例の図40と同様のテーパ142を形成したものである。

[0197] これらのそれぞれの変形例の効果は、第8変形例から第11変形例のそれぞれの絶縁樹脂150aとする効果に、第4変形例の図40のテーパ142に固有の効果を合わせたものとなる。上記以外は第3実施形態の基本形と同様であるため説明を省略する。

[0198] [第3実施形態の第16変形例から第17変形例の構成]

次に、第3実施形態の第16変形例から第17変形例の構成について説明する。第16変形例では、図42に示すように、シリコン基板140の下面は絶縁薄膜151に被覆されておらず、直接支持基板160と接合されている。

[0199] このように、第16変形例では、シリコン基板140の下面を直接支持基板160と接合することにより、固体撮像装置100を補強することができ、強度の確保や反りの発生を防止することができる。また、固体撮像素子チップ110で発生した熱を、熱伝導率の大きなシリコン基板140を介して、支持基板160に伝え、冷却効果を高めることができる。上記以外は、第3実施形態の基本形と同様であるため説明を省略する。

[0200] 第17変形例は、図43に示すように、シリコン基板140の下面は、絶縁薄膜151に被覆されず直接支持基板160と接合されている。また、固体撮像素子チップ110の周側面に、段差141が形成されている。すなわち、第17変形例は、前記の第16変形例の図42に示す固体撮像素子チップ110の周側面からシリコン基板140の上部の周側面につながる段差141を形成したものである。

したがって、第17変形例の効果は、第3変形例の図39の効果と第16変形例の図42の効果とを合わせたものになる。上記以外は第3実施形態の基本形と同様であるため説明を省略する。

[0201] [第3実施形態の第18変形例から第19変形例の構成]

次に、第3実施形態の第18変形例から第19変形例の構成について説明する。なお、それぞれの変形例の図面は省略する。

[0202] 第18変形例は、上記の第16変形例の図42に示す絶縁膜150の周側面に、第4変形例の図40と同様のテーパ142を形成したものである。

第19変形例は、上記の第17変形例の図43に示す絶縁膜150の周側面に、第4変形例の図40と同様のテーパ142を形成したものである。

[0203] これらのそれぞれの変形例の効果は、第16変形例から第17変形例のそれぞれの効果に、第4変形例の図40のテーパ142に固有の効果を含めたものとなる。上記以外は第3実施形態の基本形と同様であるため説明を省略する。

[0204] [第3実施形態の第20変形例から第39変形例の構成]

次に、第3実施形態の第20変形例から第39変形例の構成について説明する。なお、それぞれの変形例の図面は省略する。

これらの各変形例は、第3実施形態の基本形及び第1変形例から第19変形例のそれぞれの変形例において、固体撮像素子チップ110のフォトダイオード配線層111と、ロジックチップ120A及びメモリチップ120Bなどの能動チップ120とのC o W接続をC u C u接続としたものである。

C u C u接続とすることによりチップを貫通するT S Vを設ける必要がな

くなるうえ、接続のための占有領域が不要となるため、固体撮像装置 100 のチップの小型化と生産性向上が可能となる。上記以外は第 3 実施形態の基本形と同様であるため説明を省略する。

[0205] [第 3 実施形態の第 40 変形例から第 59 変形例の構成]

次に、第 3 実施形態の第 40 変形例から第 59 変形例の構成について説明する。なお、それぞれの変形例の図面は省略する。

これらの各変形例は、第 3 実施形態の基本形及び第 1 変形例から第 19 変形例のそれぞれの変形例において、固体撮像素子チップ 110 のフォトダイオード配線層 111 と、ロジックチップ 120A 及びメモリチップ 120B などの能動チップ 120 との CoW 接続をハンダ Bump 接続としたものである。

[0206] ハンダ Bump 接続とすることによりチップを貫通する貫通孔を設ける必要がなくなるうえ、接続のための占有領域が不要となる。また、配線長を短くすることができるため高速信号処理が可能となり、固体撮像装置 100 の小型化と生産性向上が可能となる。上記以外は第 3 実施形態の基本形と同様であるため説明を省略する。

[0207] [第 3 実施形態の第 60 変形例から第 79 変形例の構成]

次に、第 3 実施形態の第 60 変形例から第 79 変形例の構成について説明する。なお、それぞれの変形例の図面は省略する。

これらの各変形例は、第 3 実施形態の基本形及び第 1 変形例から第 19 変形例のそれぞれの変形例において、固体撮像素子チップ 110 のフォトダイオード配線層 111 と、ロジックチップ 120A 及びメモリチップ 120B などの能動チップ 120 との CoW 接続を金 Bump 接続としたものである。

金 Bump 接続とすることによりハンダ Bump 接続の利点に加えて、接続信頼性をさらに向上することができる。上記以外は第 3 実施形態の基本形と同様であるため説明を省略する。

[0208] [第 3 実施形態の第 80 変形例から第 99 変形例の構成]

次に、第3実施形態の第80変形例から第99変形例の構成について説明する。なお、それぞれの変形例の図面は省略する。

これらの各変形例は、第3実施形態の基本形及び第1変形例から第19変形例のそれぞれの変形例において、シリコン基板140Aに形成された掘り込み部145又はシリコン基板140Bに形成された割り抜き部146の平面視の形状を、図44から図47のうちの何れかとするものである。以下では、掘り込み部145を形成した場合の例である図44から図47により説明する。なお、割り抜き部146の場合も同様である。

[0209] 図44Aは、掘り込み部145の平面視の形状を、正方形とするものである。図44Bは、当該掘り込み部145内に収納されるロジックチップ120Aとメモリチップ120Bの計2個のチップを配列した場合の例を示す図である。

[0210] 図45Aは、掘り込み部145の平面視の形状を、長方形とするものである。図45Bは、当該掘り込み部145内に収納されるロジックチップ120Aとメモリチップ120Bの計2個チップを配列した場合の例を示す図である。

[0211] 図46Aは、掘り込み部145の平面視の形状を、大小2個の長方形を接続した形状とするものである。本図に示すように、大きな長方形の側面から小さな長方形が突出した形状となっている。図46Bは、当該掘り込み部145内に収納されるロジックチップ120Aとメモリチップ120Bの計2個のチップを配列した場合の例を示す図である。

[0212] 図47Aは、掘り込み部145の平面視の形状を1個の長方形の側辺に1個の台形の底辺を接続した形状とするものである。本図に示すように、大きな長方形の側面から台形が突出した六角形の形状となっている。図47Bは、当該掘り込み部145内に収納されるロジックチップ120Aとメモリチップ120Bの計2個のチップを配列した場合の例を示す図である。

上記の掘り込み部145の平面視の形状は、一例であって、第80変形例から第99変形例の趣旨の基づき、能動チップ120の大きさや個数又は配

置に応じて最適な形状を選択することができる。

[0213] ＜6. 本開示に係る固体撮像装置の第3実施形態の製造方法＞

[第3実施形態の製造方法の基本形]

本開示に係る固体撮像装置100の第3実施形態の製造方法の基本形におけるCOW構造の製造工程は、前記の＜1. 本開示に係る固体撮像装置の第1実施形態＞の[COW構造の概要]で説明した内容と同様であるため説明を省略する。

[0214] 図48から図58は、本開示に係る固体撮像装置100の第3実施形態の製造方法におけるロジックチップ120A及びメモリチップ120Bが接合された固体撮像素子チップ110に絶縁膜150を被覆し、シリコン基板140を形成し、個片化する工程の基本形を説明する図である。

[0215] ウェーハ510上の固体撮像素子チップ110の下面には、例えば、図48に示すように、ロジックチップ120A及びメモリチップ120Bが接合されている。そして、当該固体撮像素子チップ110の下面には、これに対向してシリコン基板140Aが配設されている。シリコン基板140Aには、ロジックチップ120A及びメモリチップ120Bなどの能動チップ120との当接を回避する形状をなす掘り込み部145が形成されている。

[0216] 次に、図49に示すように、ウェーハ510上の固体撮像素子チップ110の下面に、掘り込み部145が形成されたシリコン基板140Aが接合される。

[0217] 次に、図50に示すように、固体撮像素子チップ110の下面に接合されたシリコン基板140Aの下面をバックグラインダーにより薄肉化する。これにより掘り込み部145、145間にシリコン基板140Aが残り、ロジックチップ120Aとメモリチップ120Bとの間にシリコン基板140が形成される。

[0218] 次に、図51に示すように、ロジックチップ120A及びメモリチップ120Bが接合され、シリコン基板140が形成された固体撮像素子チップ110の下面に絶縁膜150を積層する。これによりロジックチップ120A

、メモリチップ120B及びシリコン基板140は、絶縁膜150に被覆される。

ただし、この状態では、絶縁膜150は、ロジックチップ120A、メモリチップ120B及びシリコン基板140の凹凸の形状に倣って積層されるため、その表面は凹凸状態となる。

[0219] そこで、図52に示すように、積層された絶縁膜150の下面は、CMPにより平坦化され、薄肉化される。

このCMPにおいて、絶縁膜150の下面は、シリコン基板140の下面全体を被覆するように薄く残し、シリコン基板140の下面に絶縁薄膜151を形成する。

[0220] 次に、図53に示すように、絶縁膜150及び絶縁薄膜151の下面に支持基板160を接合する。

[0221] 次に、図54に示すように、固体撮像素子チップ110の上面をCMPなどにより薄肉化する。

[0222] 次に、図55に示すように、薄肉化された固体撮像素子チップ110の上面にカラーフィルタ106及びオンチップレンズ107などを実装する。

[0223] 次に、図56に示すように、固体撮像素子チップ110の上面の所定の位置にワイヤボンディング接続をするための電極パッド113を形成する。この電極パッド113と、隣接する固体撮像素子チップ110の電極パッド113との間の領域が個片化におけるスクライブライン109となる。

[0224] 次に、図57に示すように、絶縁膜150の下面から支持基板160を除去する。

[0225] 次に、図58に示すように、絶縁膜150の下面に保護用のダイシングシート170を貼付する。そして、スクライブライン109に沿ってダイシングが行われ、個片化される。ダイシングは、ブレード175を備えたダイサーと呼ばれる装置を用いて行われる。ブレード175は、円盤状の砥石であり、所定の回転軸175aにより回転可能に設けられている。すなわち、スクライブライン109に対するブレード175の深さ位置を調整し、回転す

るブレード１７５によって固体撮像素子チップ１１０の上面側を所定の深さで直線状に切除することによって個片化される。

[0226] 以上のような製造工程を有することにより、以下、検査工程等やパッケージング工程を経て、本開示に係る第３実施形態の固体撮像装置１００を製造することができる。

[0227] [第３実施形態の製造方法の第１変形例]

図５９から図６１は、本開示に係る固体撮像装置１００の第３実施形態の製造方法の第１変形例を説明する図である。

第３実施形態の製造方法の基本形では、ウェーハ５１０上の固体撮像素子チップ１１０の下面に、掘り込み部１４５が形成されたシリコン基板１４０Ａが接合されるのに対して、第１変形例では、削り抜き部１４６が穿設されたシリコン基板１４０Ｂが接合される点で相違する。

[0228] ウェーハ５１０上の固体撮像素子チップ１１０の下面には、図５９に示すように、例えば、ロジックチップ１２０Ａ及びメモリチップ１２０Ｂが接合されている。そして、当該固体撮像素子チップ１１０の下面には、これに対向してシリコン基板１４０Ｂが配設されている。シリコン基板１４０Ｂには、ロジックチップ１２０Ａ及びメモリチップ１２０Ｂなどの能動チップ１２０との当接を回避する形状をなす削り抜き部１４６が穿設されている。

[0229] 次に、図６０に示すように、ウェーハ５１０上の固体撮像素子チップ１１０の下面に、削り抜き部１４６が穿設されたシリコン基板１４０Ｂが接合される。

[0230] 次に、図６１に示すように、固体撮像素子チップ１１０の下面に接合されたシリコン基板１４０Ｂの下面をバックグラインダーにより薄肉化する。これにより削り抜き部１４６、１４６間にシリコン基板１４０Ｂが残り、ロジックチップ１２０Ａとメモリチップ１２０Ｂの間にシリコン基板１４０が形成される。

[0231] 続いて、前記の第３実施形態の製造方法の基本形の図５１から図５８に示すと同様の工程を経ることにより個片化される。以下、検査工程等やパッケ

ージング工程を経て、本開示に係る第3実施形態の固体撮像装置100を製造することができる。

[0232] [第3実施形態の製造方法の第2変形例]

図62から図63は、本開示に係る固体撮像装置100の第3実施形態の製造方法の第2変形例を説明する図である。

第3実施形態の製造方法の基本形では、シリコン基板140の下面には薄肉化された絶縁膜150が形成された状態であるのに対して、第2変形例では、薄肉化された絶縁膜150の下面に、さらに支持基板160が配設されている点で相違する。したがって、第2変形例では、第3実施形態の製造方法の基本形における図48から図56までは共通するため説明は省略する。

[0233] 第3実施形態の製造方法の第2変形例では、前記の図56の工程から説明する。図56に示すように、固体撮像素子チップ110の上面の所定の位置にワイヤボンディング接続をするための電極パッド113を形成する。この電極パッド113と、隣接する固体撮像素子チップ110の電極パッド113との間の領域がスクライブライン109となる。

[0234] 次に、図62に示すように、支持基板160の下面を研磨して薄肉化する。

[0235] 次に、図63に示すように、絶縁膜150の下面に保護用のダイシングシート170を貼付する。そして、スクライブライン109に沿ってダイシングが行われ、個片化される。ダイシングの方法は、前記の第3実施形態の製造方法の基本形の図58において説明したのと同様であるため、説明を省略する。

[0236] 以上のような製造工程を有することにより、以下、検査工程等やパッケージング工程を経て、本開示に係る第3実施形態の固体撮像装置100を製造することができる。

[0237] [第3実施形態の製造方法の第3変形例]

図64から図71は、本開示に係る固体撮像装置100の第3実施形態の製造方法の第3変形例を説明する図である。

第3実施形態の製造方法の基本形では、シリコン基板140の下面には薄肉化された絶縁膜150が形成されたままであるのに対して、第3実施形態の製造方法の第3変形例では、薄肉化された絶縁膜150の下面に支持基板160が配設されている点で相違する。

また、基本形では、固体撮像素子チップ110の下面にシリコン基板140が接合された後、オンチップレンズ107等が形成される工程となっている。これに対して、第3変形例では、固体撮像素子チップ110の上面にオンチップレンズ107等を形成した後に、固体撮像素子チップ110の下面にシリコン基板140が接合される工程となっている点で相違する。

[0238] 第3実施形態の製造方法の第3変形例では、まず最初に、ウェーハ510上の固体撮像素子チップ110の上面に、図64に示すように、カラーフィルタ106及びオンチップレンズ107などを実装する。

[0239] 次に、図65に示すように、オンチップレンズ107を含む固体撮像素子チップ110の上面に接着層172を形成し、その上面に仮基板171を接着する。

[0240] 次に、図66に示すように、固体撮像素子チップ110の下面を研磨して薄肉化する。そして研磨面にロジックチップ120A及びメモリチップ120Bとの接続用の端子114を形成する。

[0241] 次に、図67に示すように、固体撮像素子チップ110の下面にロジックチップ120A及びメモリチップ120BをCuCu接続する。CuCu接続は、前記の図35で説明したように、固体撮像素子チップ110の端子114と、ロジックチップ120A及びメモリチップ120Bの端子124同士が接合することによって行われる。これにより、ロジックチップ120A及びメモリチップ120Bは固体撮像素子チップ110と物理的、電氣的に接続される。

[0242] 次に、図68に示すように、ロジックチップ120A及びメモリチップ120Bが接合されたウェーハ510の下面に、前記の図49で示すように、能動チップ120との当接を回避する形状をなす掘り込み部145が形成さ

れたシリコン基板 140A と接合される。または、前記の図 60 で示すように、能動チップ 120 との当接を回避する形状をなす割り抜き部 146 が穿設されたシリコン基板 140B が接合されてもよい。

[0243] 次に、図 69 に示すように、ウェーハ 510 の下面に接合されたシリコン基板 140A の下面をバックグラインダーにより薄肉化する。これにより掘り込み部 145、145 間にシリコン基板 140A が残り、ロジックチップ 120A とメモリチップ 120B の間にシリコン基板 140 が形成される。または、前記の図 60 で示すように、割り抜き部 146 が穿設されたシリコン基板 140B が接合された場合には、シリコン基板 140B の下面をバックグラインダーにより薄肉化してシリコン基板 140 が形成される。

[0244] 次に、図 70 に示すように、ロジックチップ 120A 及びメモリチップ 120B が接合され、シリコン基板 140 が形成された固体撮像素子チップ 110 の下面に絶縁膜 150 を積層する。そして、前記の図 51 及び図 52 で説明したのと同様に、積層された絶縁膜 150 の下面は、CMP により平坦化され、薄肉化される。

この CMP において、絶縁膜 150 の下面は、シリコン基板 140 の下面全体を被覆するように薄く残し、シリコン基板 140 の下面に絶縁薄膜 151 を形成する。

[0245] 次に、図 71 に示すように、絶縁薄膜 151 を含む絶縁膜 150 の下面に支持基板 160 を接合する。

[0246] 次に、オンチップレンズ 107 を含む固体撮像素子チップ 110 上面の仮基板 171 を分離し接着層 172 を洗浄により除去する。これにより、前記の第 3 実施形態の製造方法の第 2 変形例における図 62 に示す状態にすることができる。

[0247] 次に、前記の第 2 変形例の図 63 に示すように、絶縁膜 150 の下面に保護用のダイシングシート 170 を貼付する。そして、スクライブライン 109 に沿ってダイシングが行われ、個片化される。ダイシングの方法は、前記の第 3 実施形態の製造方法の基本形の図 58 において説明したのと同様であ

るため、説明を省略する。

[0248] 以上のような製造工程を有することにより、以下、検査工程等やパッケージング工程を経て、本開示に係る第3実施形態の固体撮像装置100を製造することができる。

[0249] [第3実施形態の製造方法の第4変形例]

図72から図75は、本開示に係る固体撮像装置100の第3実施形態の製造方法の第4変形例を説明する図である。

第3実施形態の製造方法の基本形では、シリコン基板140Aに形成された掘り込み部145の周側面は、シリコン基板140Aの下面に対して垂直に形成されている。これに対して、第4変形例では、掘り込み部145の内周面が下方に拡開されたテーパ状に形成されている点で相違する。

[0250] 第3実施形態の製造方法の第4変形例では、ウェーハ510上の固体撮像素子チップ110の下面には、図72に示すように、例えば、ロジックチップ120A及びメモリチップ120Bが接合されている。そして、当該固体撮像素子チップ110の下面には、これに対向してシリコン基板140Cが配設されている。シリコン基板140Aには、ロジックチップ120A及びメモリチップ120Bなどの能動チップ120との当接を回避する形状をなす内周面がテーパ状の掘り込み部145が形成されている。

[0251] 次に、図73に示すように、ウェーハ510上の固体撮像素子チップ110の下面に、前記のテーパ状の掘り込み部145を有するシリコン基板140Cが接合される。

[0252] 次に、図74に示すように、シリコン基板140Cの下面をバックグラインダーにより薄肉化する。これにより前記のテーパ状の掘り込み部145、145間にシリコン基板140Aが残り、ロジックチップ120Aとメモリチップ120Bとの間にテーパ142を有するシリコン基板140が形成される。

[0253] 次に、図75に示すように、ロジックチップ120A及びメモリチップ120Bが接合され、シリコン基板140が形成された固体撮像素子チップ1

10の下面に絶縁膜150を積層する。これにより、前記の図51と同様に、ロジックチップ120A、メモリチップ120B及びシリコン基板140は、絶縁膜150により被覆される。

[0254] 続いて、前記の第3実施形態の製造方法の基本形の図52から図58に示す工程と同様の工程をとることにより個片化される。以下、検査工程等やパッケージング工程を経て、第3実施形態の第4変形例に係る固体撮像装置100を製造することができる。

[0255] <7. 電子機器の構成例>

上述した各実施形態に係る固体撮像装置100の電子機器への適用例について、図76により説明する。なお、この適用例は第1実施形態から第3実施形態に係る固体撮像装置100に共通する。

[0256] 固体撮像装置100は、デジタルスチルカメラやビデオカメラ等の撮像装置200や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置100を用いる複写機など、画像取込部（光電変換部）を用いる電子機器全般に対して適用可能である。固体撮像装置100は、ワンチップとして形成された形態のものであってもよいし、パッケージングされた固体撮像装置100でもよい。また、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態のものであってもよい。

[0257] 図76に示すように、電子機器としての撮像装置200は、光学部202と、固体撮像装置100と、カメラ信号処理回路であるDSP（Digital Signal Processor）回路203と、フレームメモリ204と、表示部205と、記録部206と、操作部207と、電源部208とを備える。DSP回路203、フレームメモリ204、表示部205、記録部206、操作部207及び電源部208は、信号線及び給電線よりなるバスライン209を介して相互に接続されている。

[0258] 光学部202は、複数のレンズを含み、被写体からの入射光（像光）を取り込んで固体撮像装置100の撮像面上に結像する。固体撮像装置100は

、光学部202によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0259] 表示部205は、例えば、液晶パネルや有機EL (Electro Luminescence) パネル等のパネル型表示装置からなり、固体撮像装置100で撮像された動画または静止画を表示する。記録部206は、固体撮像装置100で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0260] 操作部207は、ユーザによる操作の下に、撮像装置200が持つ様々な機能について操作指令を発する。電源部208は、DSP回路203、フレームメモリ204、表示部205、記録部206及び操作部207の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0261] 以上のような撮像装置200によれば、薄型化小型化した固体撮像装置100を使用するために小型化、軽量化を実現することができる。また集積度を向上することが可能になるため、高画質な撮像画像を得ることができる。

[0262] 最後に、上述した各実施形態の説明は本開示の一例であり、本開示は上述の実施形態に限定されることはない。このため、上述した各実施形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。また、本明細書に記載された効果はあくまでも例示であって、これに限定されるものではなく、さらに他の効果があってもよい。

[0263] なお、本技術は以下のような構成も取ることができる。

(1)

固体撮像素子チップと、

前記固体撮像素子チップの下面に接合された少なくとも1以上の能動チップと、

前記固体撮像素子チップの電極パッドの下面に接合され、ウェーハから切り出された前記固体撮像素子チップの切断面と平行する端面を有するダミーチップと、

前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面を被覆する平坦化された絶縁膜と、
を有する固体撮像装置。

(2)

前記能動チップは、ロジックチップ、メモリチップ又はプロセッサチップである前記(1)に記載の固体撮像装置。

(3)

前記電極パッドは、前記固体撮像素子チップの上面の両端又は周端に配設され、前記ダミーチップは、前記固体撮像素子チップの切断面と同一平面状の端面を有する態様で接合された前記(1)又は(2)に記載の固体撮像装置。

(4)

前記電極パッドは、前記固体撮像素子チップの上面の両端又は周端に配設され、前記能動チップ又は前記ダミーチップは、前記固体撮像素子チップの切断面に隣接して平面状の端面を有する態様で接合された前記(1)又は(2)に記載の固体撮像装置。

(5)

前記固体撮像素子チップは、前記能動チップ又は前記ダミーチップとCuCu接続された前記(1)から(4)の何れかに記載の固体撮像装置。

(6)

前記固体撮像素子チップは、前記能動チップとCuCu接続され、前記ダミーチップと絶縁膜接合された前記(1)から(4)の何れかに記載の固体撮像装置。

(7)

前記固体撮像素子チップは、フォトダイオード形成層と、前記電極パッドを配設したフォトダイオード配線層との積層構造を有し、前記能動チップ又は前記ダミーチップとCuCu接続された前記(1)から(4)の何れかに記載の固体撮像装置。

(8)

前記固体撮像素子チップは、前記フォトダイオード形成層と、前記電極パッドを配設した前記フォトダイオード配線層との積層構造を有し、前記能動チップとCuCu接続され、前記ダミーチップと絶縁膜接合された前記(1)から(4)の何れかに記載の固体撮像装置。

(9)

固体撮像素子チップと、

前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、

前記固体撮像素子チップの前記能動チップの接合面における前記能動チップが接合されていない空き領域に接合された少なくとも1以上のダミーチップと、

前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面側を被覆する平坦化された絶縁膜と、

を有する固体撮像装置。

(10)

前記能動チップが接合されていない空き領域には、前記能動チップよりも小形状の矩形状又は短冊状の複数のダミーチップを接合した前記(9)に記載の固体撮像装置。

(11)

前記ダミーチップは、前記固体撮像素子チップに接合された前記能動チップの端面から、少なくとも $0.5\mu\text{m}$ 以上離隔したときの前記空き領域の最小短辺を一辺とする略正方形又は略短冊状に形成されて、前記空き領域に前記離隔を確保して接合された前記(9)又は(10)に記載の固体撮像装置。

(12)

前記ダミーチップは、ケイ素(Si)、酸化アルミニウム(Al_2O_3)、炭化ケイ素(SiC)、窒化アルミニウム(AlN)、窒化ケイ素(Si_3N_4)、チタン(Ti)、窒化チタン(TiN)、炭素(C)、炭窒化ケイ素(

S i C N)、ポリシリコン又は窒化タンタル (T a N) の少なくともいずれか1つを含む前記 (9) から (11) の何れかに記載の固体撮像装置。

(13)

前記ダミーチップ又は前記能動チップは、前記固体撮像素子チップとの接合面の反対側の面に、二酸化ケイ素 (S i O₂) との研磨レートが20以上の材料であるケイ素 (S i)、酸化アルミニウム (A l₂ O₃)、炭化ケイ素 (S i C)、窒化アルミニウム (A l N)、窒化ケイ素 (S i₃ N₄)、チタン (T i)、窒化チタン (T i N)、アルミニウム (A l)、炭素 (C)、炭窒化ケイ素 (S i C N)、ポリシリコン又は窒化タンタル (T a N) の少なくともいずれか1つが積層された前記 (9) から (11) の何れかに記載の固体撮像装置。

(14)

前記ダミーチップは、二酸化ケイ素 (S i O₂) よりも熱伝導率の高い材料からなる、単層又は多層に積層された伝熱部材を含む前記 (9) から (11) の何れかに記載の固体撮像装置。

(15)

固体撮像素子チップと、

前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、

前記能動チップの周側面を囲繞する態様で前記固体撮像素子チップに接合されたシリコン基板と、 前記能動チップと前記シリコン基板との間、及び少なくとも前記能動チップの下面を被覆する平坦化された絶縁膜と、
を有する固体撮像装置。

(16)

前記シリコン基板の周側面は、前記固体撮像素子チップの周側面と面一に形成された前記 (15) に記載の固体撮像装置。

(17)

前記固体撮像素子チップの周側面から前記シリコン基板の上部の周側面につながる段差が形成された前記 (15) に記載の固体撮像装置。

(18)

前記シリコン基板又は前記絶縁膜は、その下面に支持基板が接合された前記(15)から(17)の何れかに記載の固体撮像装置。

(19)

前記絶縁膜の前記シリコン基板に接する周側面は、前記固体撮像素子チップの接合面から下方に拡開するテーパを形成した前記(15)から(18)の何れかに記載の固体撮像装置。

(20)

前記絶縁膜は、絶縁樹脂で形成された前記(15)から(19)の何れかに記載の固体撮像装置。

(21)

ウェーハ上の固体撮像素子チップの下面に能動チップを接合する工程と、
前記能動チップとの当接を回避する形状の掘り込み部又は割り抜き部が形成されたシリコン基板を前記固体撮像素子チップの下面に接合する工程と、
前記シリコン基板の下面を薄肉化して、前記能動チップ間に前記シリコン基板の一部を残す工程と、

前記固体撮像素子チップの下面に絶縁膜を積層し、前記能動チップ及び前記残されたシリコン基板間を被覆する工程と、
前記被覆した絶縁膜を平坦化する工程と、
を有する固体撮像装置の製造方法。

(22)

固体撮像素子チップと、
前記固体撮像素子チップの下面に接合された少なくとも1以上の能動チップと、
前記固体撮像素子チップの電極パッドの下面に接合され、ウェーハから切り出された前記固体撮像素子チップの切断面と平行する端面を有するダミーチップと、

前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前

記接合面を被覆する平坦化された絶縁膜と、

を有する固体撮像装置、若しくは、

固体撮像素子チップと、

前記固体撮像素子チップに接合された少なくとも 1 以上の能動チップと、

前記固体撮像素子チップの前記能動チップの接合面における前記能動チップが接合されていない空き領域に接合された少なくとも 1 以上のダミーチップと、

前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面側を被覆する平坦化された絶縁膜と、

を有する固体撮像装置、又は、

固体撮像素子チップと、

前記固体撮像素子チップに接合された少なくとも 1 以上の能動チップと、

前記能動チップの周側面を囲繞する態様で前記固体撮像素子チップに接合されたシリコン基板と、

前記能動チップと前記シリコン基板との間、及び少なくとも前記能動チップの下面を被覆する平坦化された絶縁膜と、を有する固体撮像装置を有する電子機器。

符号の説明

[0264]	1 0 0	固体撮像装置
	1 0 1	光電変換部
	1 0 2	フォトダイオード形成層
	1 0 3	画素領域
	1 0 6	カラーフィルタ
	1 0 7	オンチップレンズ
	1 0 9	スクライブライン
	1 1 0	固体撮像素子チップ
	1 1 0 n	不良品チップ
	1 1 1	フォトダイオード配線層

1 1 2	配線
1 1 3	電極パッド
1 1 4	端子
1 1 5	ビア
1 2 0	能動チップ
1 2 0 A	ロジックチップ
1 2 0 B	メモリチップ
1 2 1	配線層
1 2 2	配線
1 2 4	端子
1 2 5	ビア
1 3 0	ダミーチップ
1 3 0 L	ダミーチップ
1 3 0 s	ダミーチップ
1 3 0 P	ダミーチップ
1 3 0 p	ダミー膜
1 3 0 H	ダミーチップ
1 3 0 h	ダミー膜
1 3 0 a、b、c	ダミーチップ
1 3 0 t	端面
1 3 1	プロセッサチップ
1 4 0	シリコン基板
1 4 0 A	シリコン基板
1 4 0 B	シリコン基板
1 4 1	段差
1 4 2	テーパ
1 4 5	掘り込み部
1 4 6	削り抜き部

1 5 0	絶縁膜	
1 5 0 a	絶縁樹脂	
1 5 1	絶縁薄膜	
1 5 1 a	絶縁樹脂薄膜	
1 6 0	支持基板	
1 7 0	ダイシングシート	
1 7 1	仮基板	
1 7 2	接着層	
1 7 5	ブレード	1 7 5 a 回転軸
2 0 0	撮像装置	
5 1 0	ウェーハ	
5 2 0	ウェーハ	
5 2 1	ウェーハ	
5 3 0	ウェーハ	
5 3 1	ウェーハ	

請求の範囲

- [請求項1] 固体撮像素子チップと、
前記固体撮像素子チップの下面に接合された少なくとも1以上の能動チップと、
前記固体撮像素子チップの電極パッドの下面に接合され、ウェーハから切り出された前記固体撮像素子チップの切断面と平行する端面を有するダミーチップと、
前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面を被覆する平坦化された絶縁膜と、
を有する固体撮像装置。
- [請求項2] 前記能動チップは、ロジックチップ、メモリチップ又はプロセッサチップである請求項1に記載の固体撮像装置。
- [請求項3] 前記電極パッドは、前記固体撮像素子チップの上面の両端又は周端に配設され、前記ダミーチップは、前記固体撮像素子チップの切断面と同一平面状の端面を有する態様で接合された請求項1に記載の固体撮像装置。
- [請求項4] 前記電極パッドは、前記固体撮像素子チップの上面の両端又は周端に配設され、前記能動チップ又は前記ダミーチップは、前記固体撮像素子チップの切断面に隣接して平面状の端面を有する態様で接合された請求項1に記載の固体撮像装置。
- [請求項5] 前記固体撮像素子チップは、前記能動チップ又は前記ダミーチップとCuCu接続された請求項1に記載の固体撮像装置。
- [請求項6] 前記固体撮像素子チップは、前記能動チップとCuCu接続され、前記ダミーチップと絶縁膜接合された請求項1に記載の固体撮像装置。
- [請求項7] 前記固体撮像素子チップは、フォトダイオード形成層と、前記電極パッドを配設したフォトダイオード配線層との積層構造を有し、前記能動チップ又は前記ダミーチップとCuCu接続された請求項1に記載の

載の固体撮像装置。

[請求項8] 前記固体撮像素子チップは、前記フォトダイオード形成層と、前記電極パッドを配設した前記フォトダイオード配線層との積層構造を有し、前記能動チップとCuCu接続され、前記ダミーチップと絶縁膜接合された請求項1に記載の固体撮像装置。

[請求項9] 固体撮像素子チップと、
前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、

前記固体撮像素子チップの前記能動チップの接合面における前記能動チップが接合されていない空き領域に接合された少なくとも1以上のダミーチップと、

前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面側を被覆する平坦化された絶縁膜と、
を有する固体撮像装置。

[請求項10] 前記能動チップが接合されていない空き領域には、前記能動チップよりも小形状の矩形状又は短冊状の複数のダミーチップを接合した請求項9に記載の固体撮像装置。

[請求項11] 前記ダミーチップは、前記固体撮像素子チップに接合された前記能動チップの端面から、少なくとも0.5 μm 以上離隔したときの前記空き領域の最小短辺を一辺とする略正方形又は略短冊状に形成されて、前記空き領域に前記離隔を確保して接合された請求項9に記載の固体撮像装置。

[請求項12] 前記ダミーチップは、ケイ素(Si)、酸化アルミニウム(Al_2O_3)、炭化ケイ素(SiC)、窒化アルミニウム(AlN)、窒化ケイ素(Si_3N_4)、チタン(Ti)、窒化チタン(TiN)、炭素(C)、炭窒化ケイ素(SiCN)、ポリシリコン又は窒化タンタル(TaN)の少なくともいずれか1つを含む請求項9に記載の固体撮像装置。

- [請求項13] 前記ダミーチップ又は前記能動チップは、前記固体撮像素子チップとの接合面の反対側の面に、二酸化ケイ素 (SiO_2) との研磨レートが20以上の材料であるケイ素 (Si)、酸化アルミニウム (Al_2O_3)、炭化ケイ素 (SiC)、窒化アルミニウム (AlN)、窒化ケイ素 (Si_3N_4)、チタン (Ti)、窒化チタン (TiN)、アルミニウム (Al)、炭素 (C)、炭窒化ケイ素 (SiCN)、ポリシリコン又は窒化タンタル (TaN) の少なくともいずれか1つが積層された請求項9に記載の固体撮像装置。
- [請求項14] 前記ダミーチップは、二酸化ケイ素 (SiO_2) よりも熱伝導率の高い材料からなる、単層又は多層に積層された伝熱部材を含む請求項9に記載の固体撮像装置。
- [請求項15] 固体撮像素子チップと、
前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、
前記能動チップの周側面を囲繞する態様で前記固体撮像素子チップに接合されたシリコン基板と、
前記能動チップと前記シリコン基板との間、及び少なくとも前記能動チップの下面を被覆する平坦化された絶縁膜と、
を有する固体撮像装置。
- [請求項16] 前記シリコン基板の周側面は、前記固体撮像素子チップの周側面と面一に形成された請求項15に記載の固体撮像装置。
- [請求項17] 前記固体撮像素子チップの周側面から前記シリコン基板の上部の周側面につながる段差が形成された請求項15に記載の固体撮像装置。
- [請求項18] 前記シリコン基板又は前記絶縁膜は、その下面に支持基板が接合された請求項15に記載の固体撮像装置。
- [請求項19] 前記絶縁膜の前記シリコン基板に接する周側面は、前記固体撮像素子チップの接合面から下方に拡開するテーパを形成した請求項15に記載の固体撮像装置。

[請求項20] 前記絶縁膜は、絶縁樹脂で形成された請求項15に記載の固体撮像装置。

[請求項21] ウェーハ上の固体撮像素子チップの下面に能動チップを接合する工程と、

前記能動チップとの当接を回避する形状の掘り込み部又は割り抜き部が形成されたシリコン基板を前記固体撮像素子チップの下面に接合する工程と、

前記シリコン基板の下面を薄肉化して、前記能動チップ間に前記シリコン基板の一部を残す工程と、

前記固体撮像素子チップの下面に絶縁膜を積層し、前記能動チップ及び前記残されたシリコン基板間を被覆する工程と、

前記被覆した絶縁膜を平坦化する工程と、

を有する固体撮像装置の製造方法。

[請求項22] 固体撮像素子チップと、

前記固体撮像素子チップの下面に接合された少なくとも1以上の能動チップと、前記固体撮像素子チップの電極パッドの下面に接合され、ウェーハから切り出された前記固体撮像素子チップの切断面と平行する端面を有するダミーチップと、

前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チップの前記接合面を被覆する平坦化された絶縁膜と、

を有する固体撮像装置、若しくは、

固体撮像素子チップと、

前記固体撮像素子チップに接合された少なくとも1以上の能動チップと、

前記固体撮像素子チップの前記能動チップの接合面における前記能動チップが接合されていない空き領域に接合された少なくとも1以上のダミーチップと、

前記能動チップ及び前記ダミーチップを含む前記固体撮像素子チッ

プの前記接合面側を被覆する平坦化された絶縁膜と、

を有する固体撮像装置、又は、

固体撮像素子チップと、

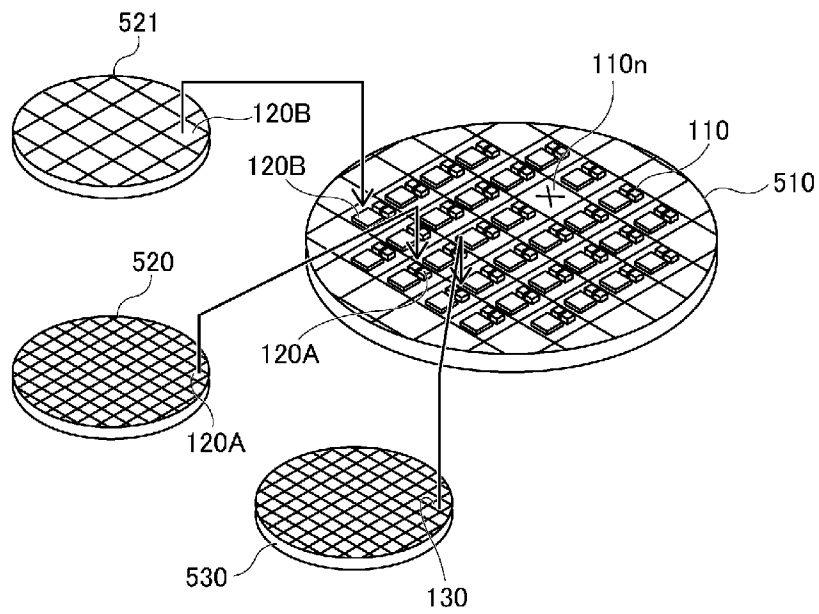
前記固体撮像素子チップに接合された少なくとも 1 以上の能動チップと、

前記能動チップの周側面を囲繞する態様で前記固体撮像素子チップに接合されたシリコン基板と、

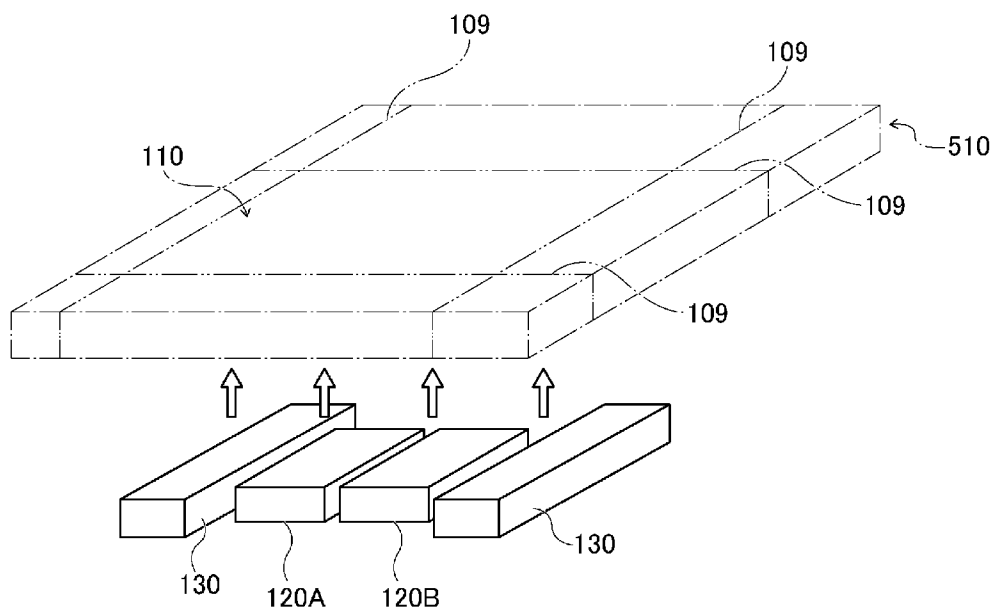
前記能動チップと前記シリコン基板との間、及び少なくとも前記能動チップの下面を被覆する平坦化された絶縁膜と、

を有する固体撮像装置を有する電子機器。

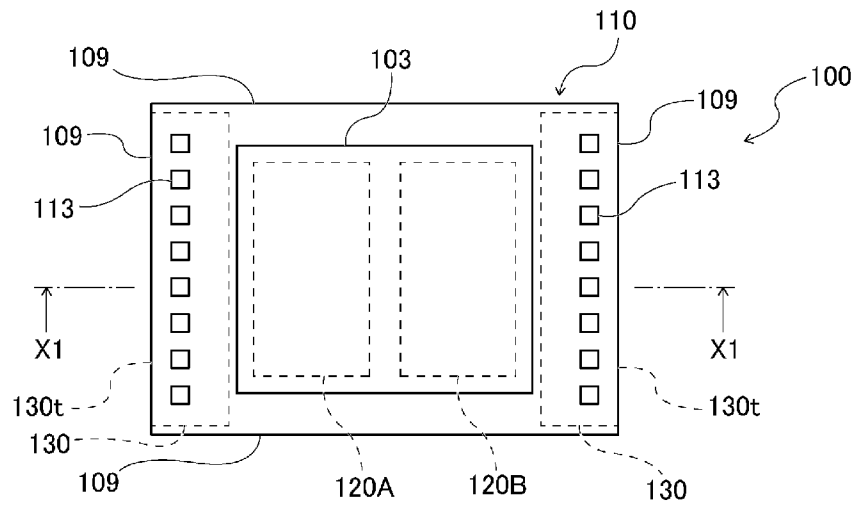
[図1]



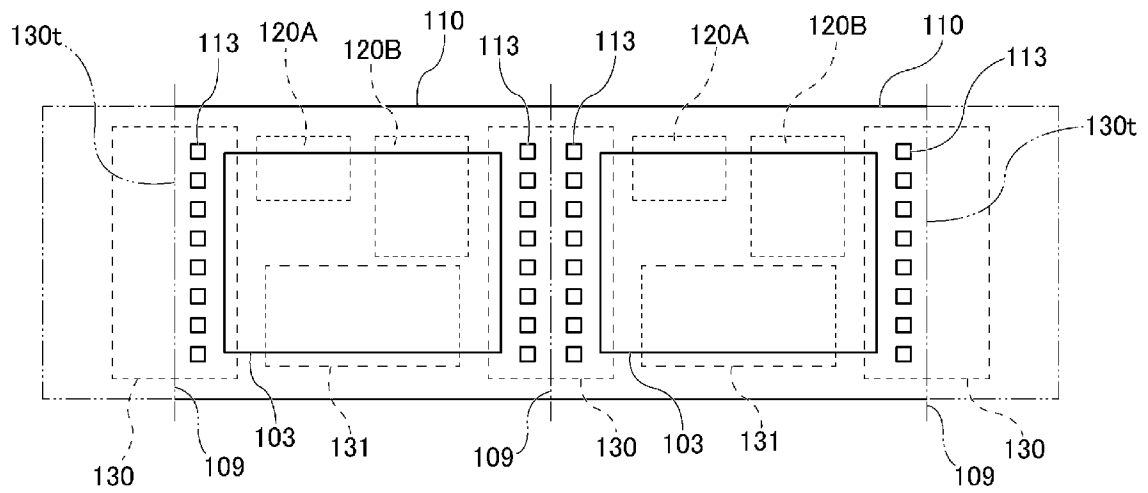
[図2]



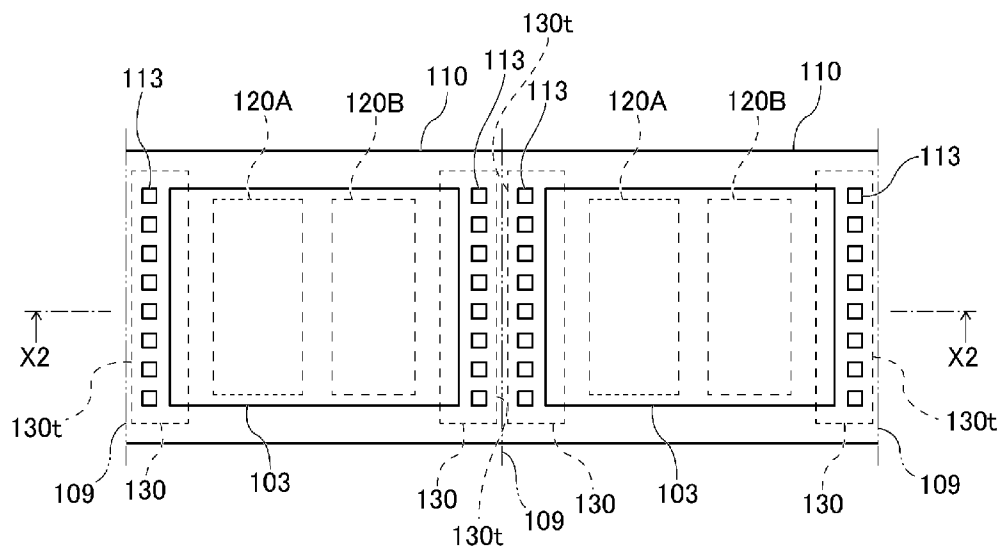
[図3]



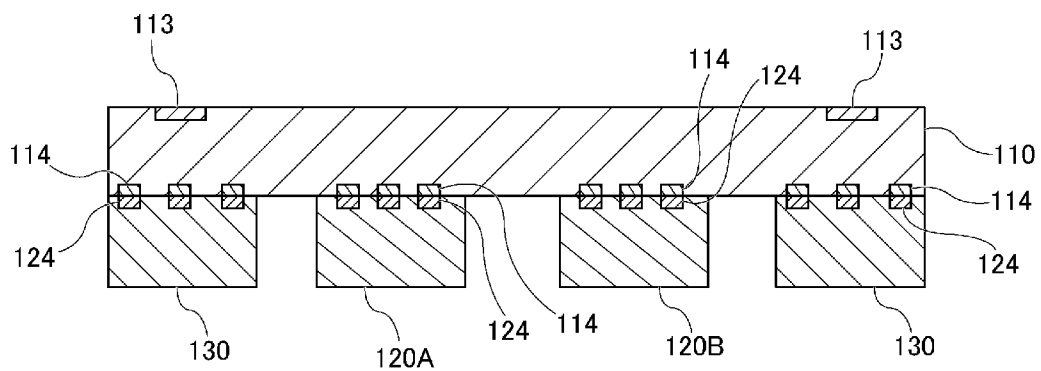
[図5]



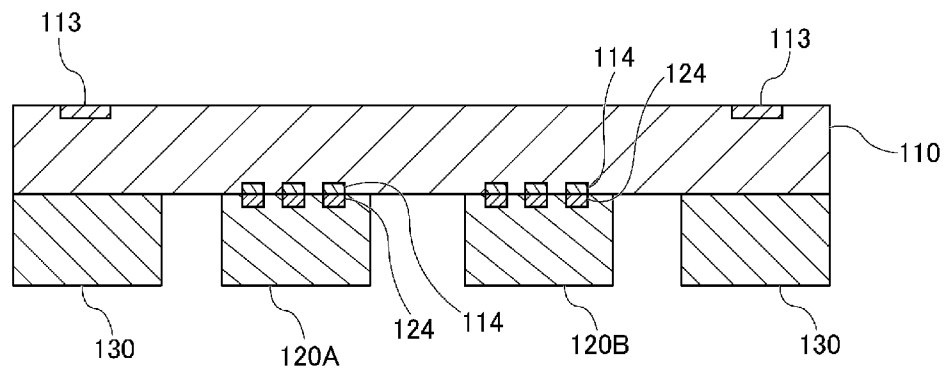
[図6]



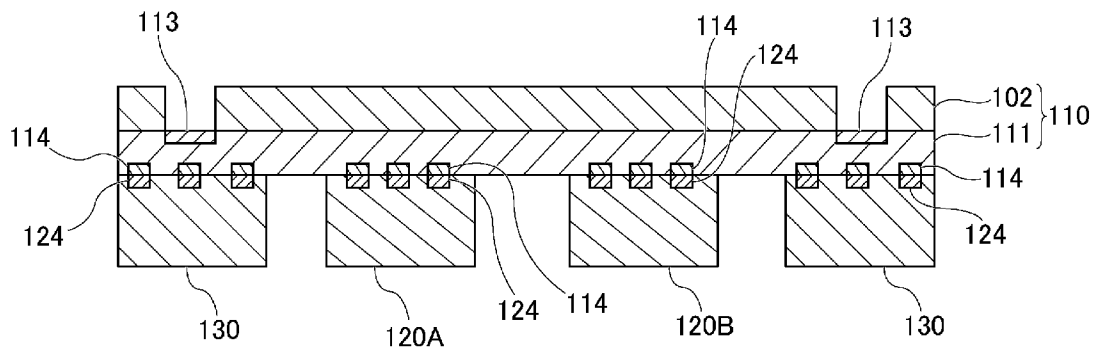
[図7]



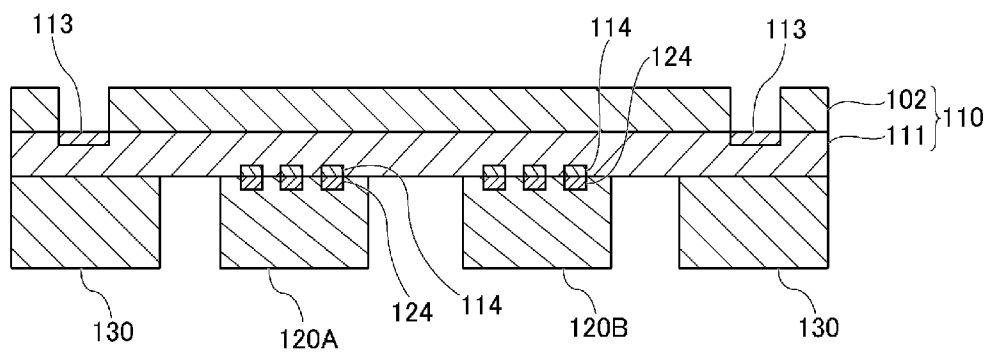
[図8]



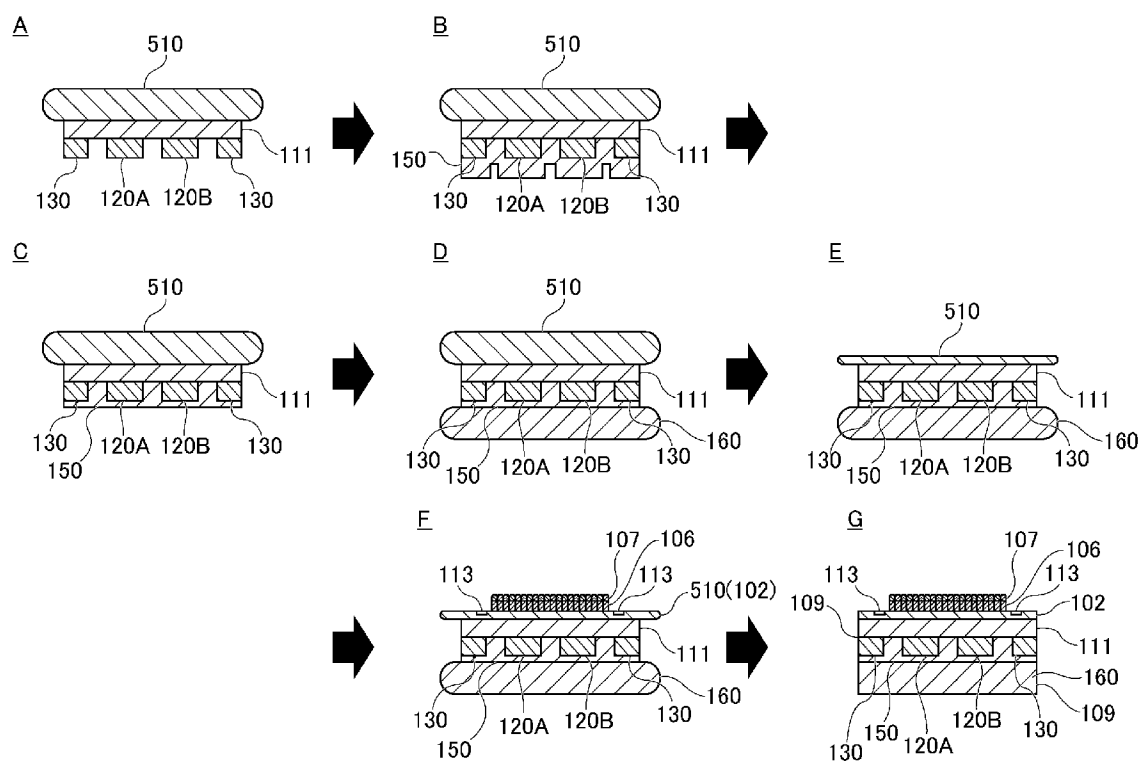
[図9]



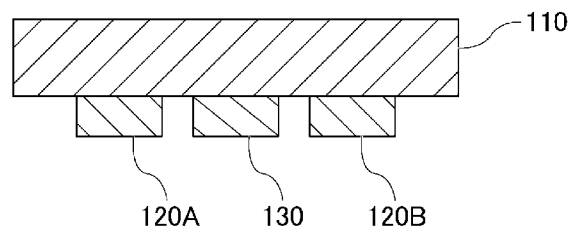
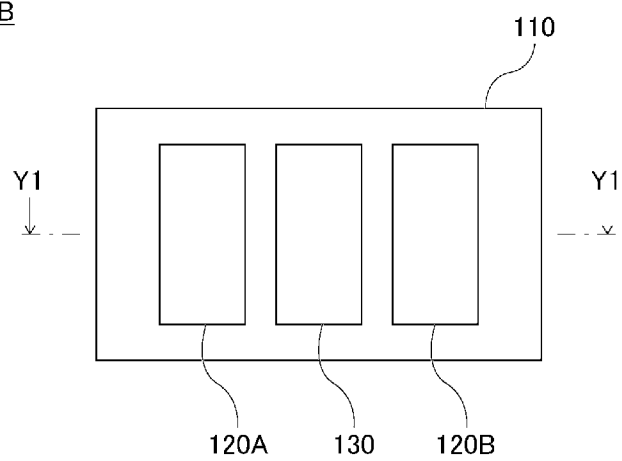
[図10]



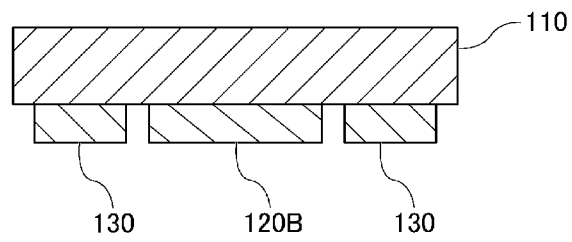
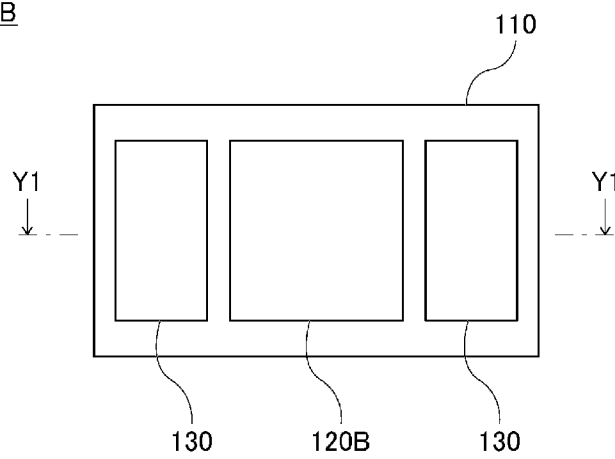
[図11]



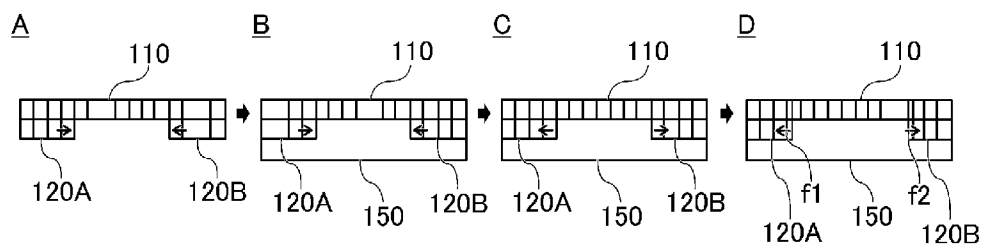
[図12]

AB

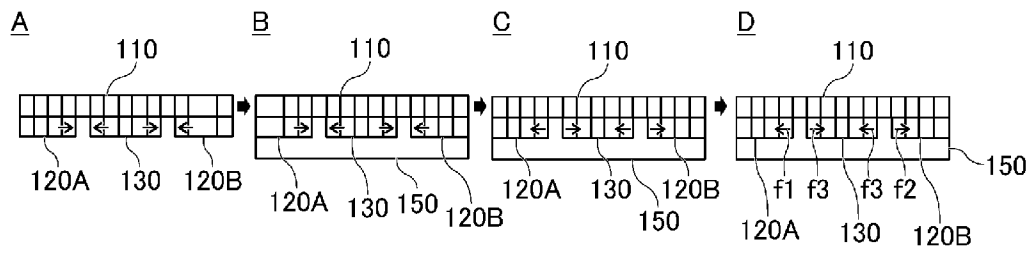
[図13]

AB

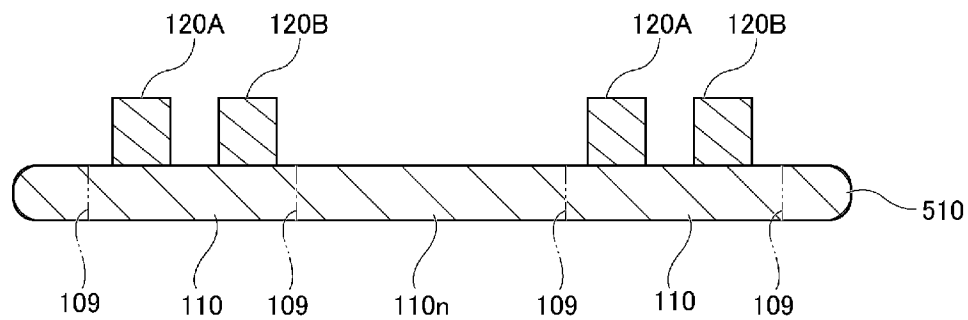
[図14]



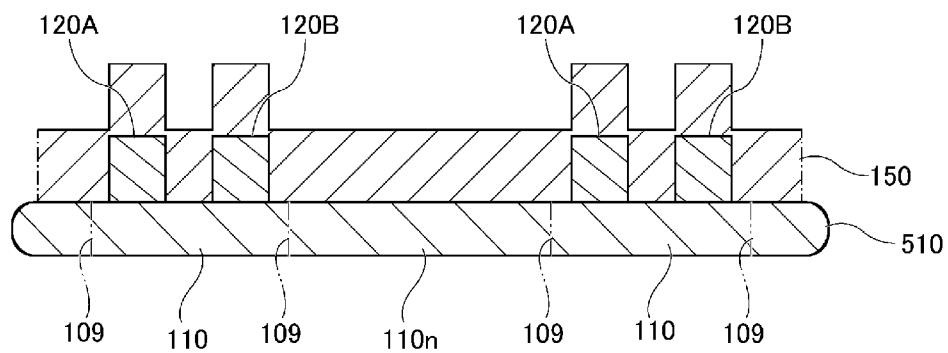
[図15]



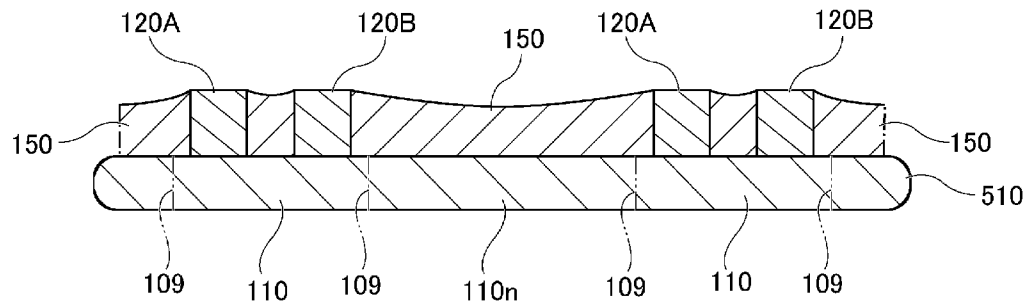
[図16]



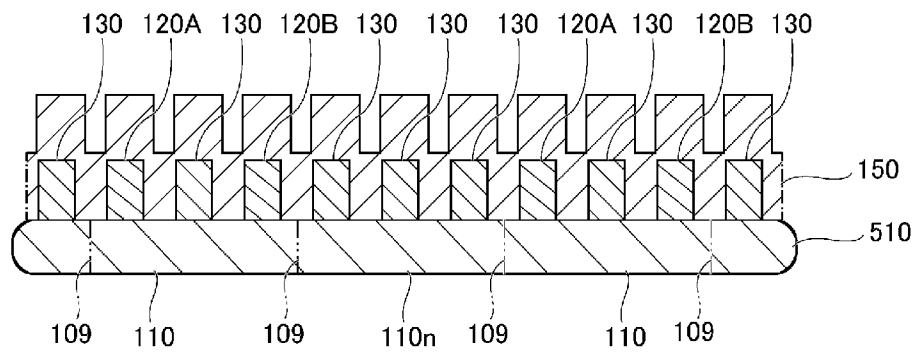
[図17]



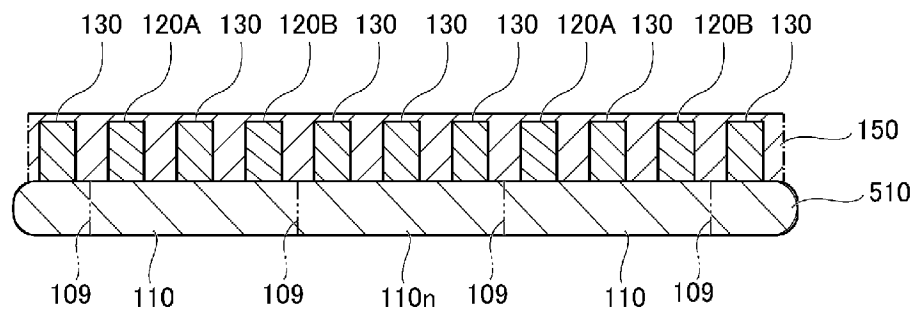
[図18]



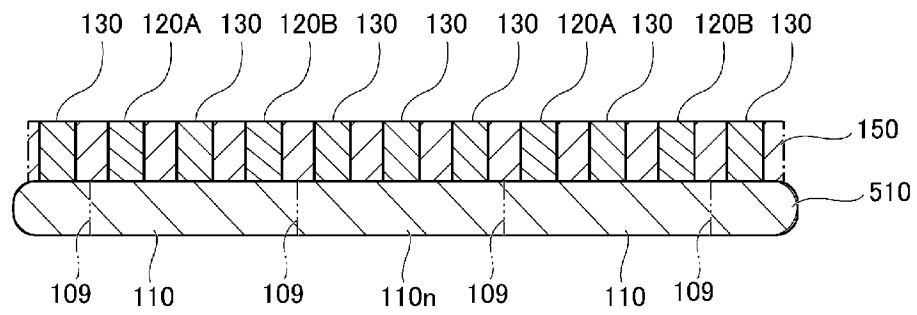
[図19]



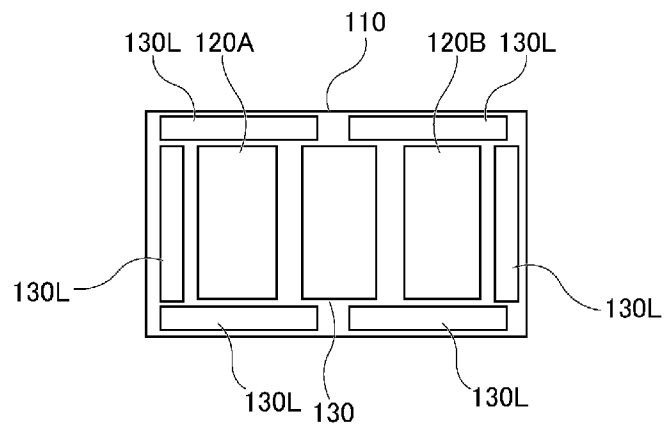
[図20]



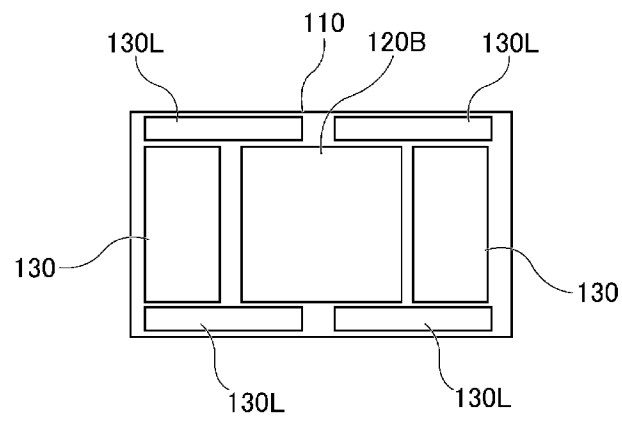
[図21]



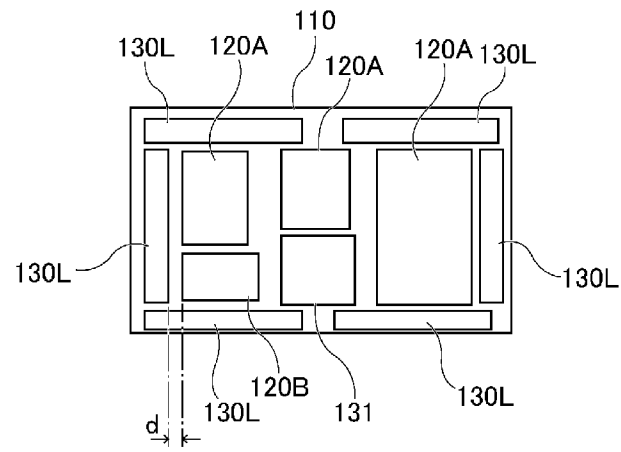
[図22]



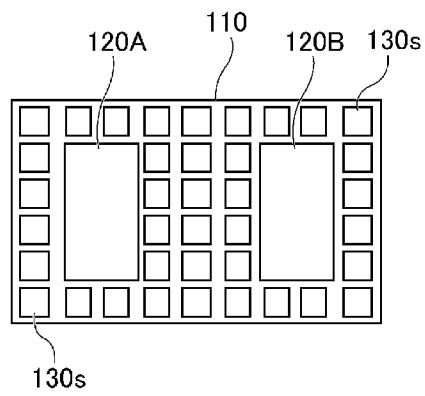
[図23]



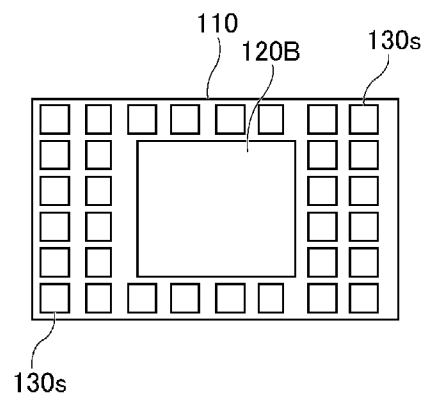
[図24]



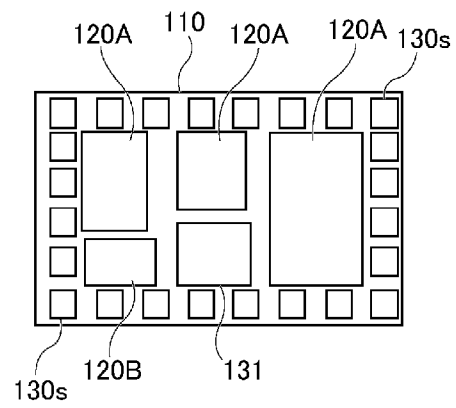
[図25]



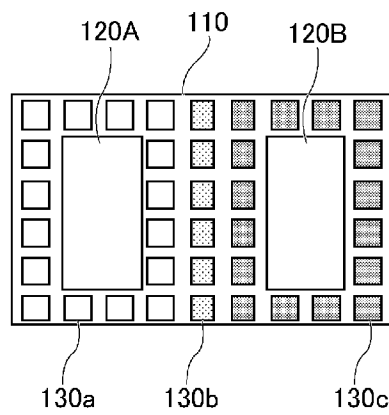
[図26]



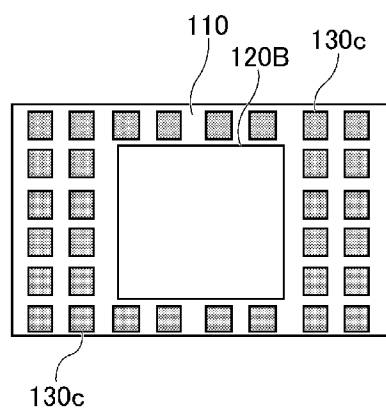
[図27]



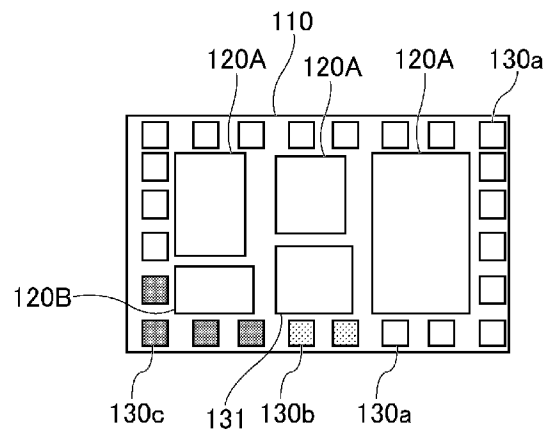
[図28]



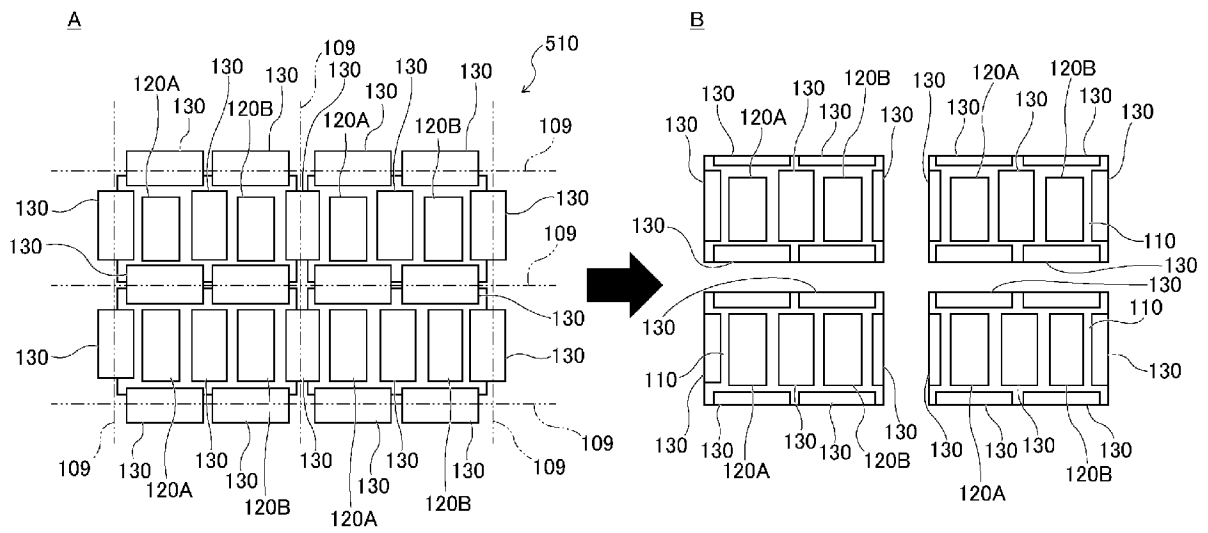
[図29]



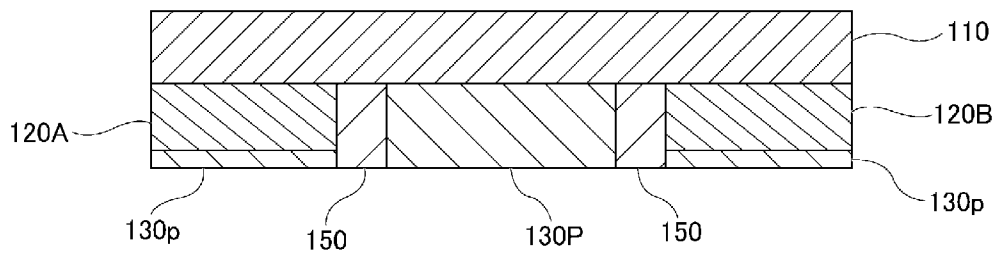
[図30]



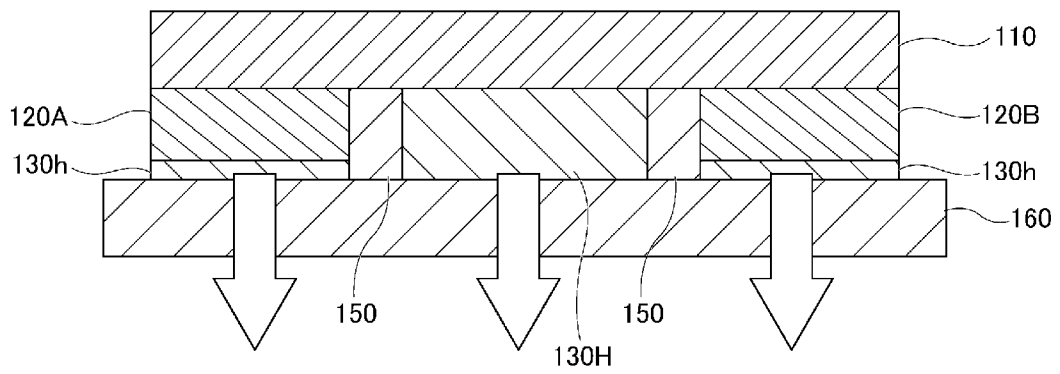
[図31]



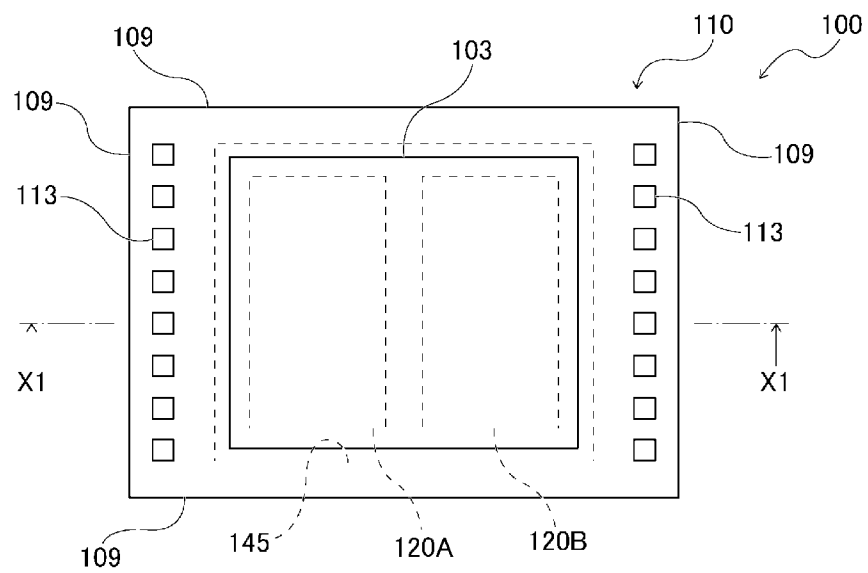
[図32]



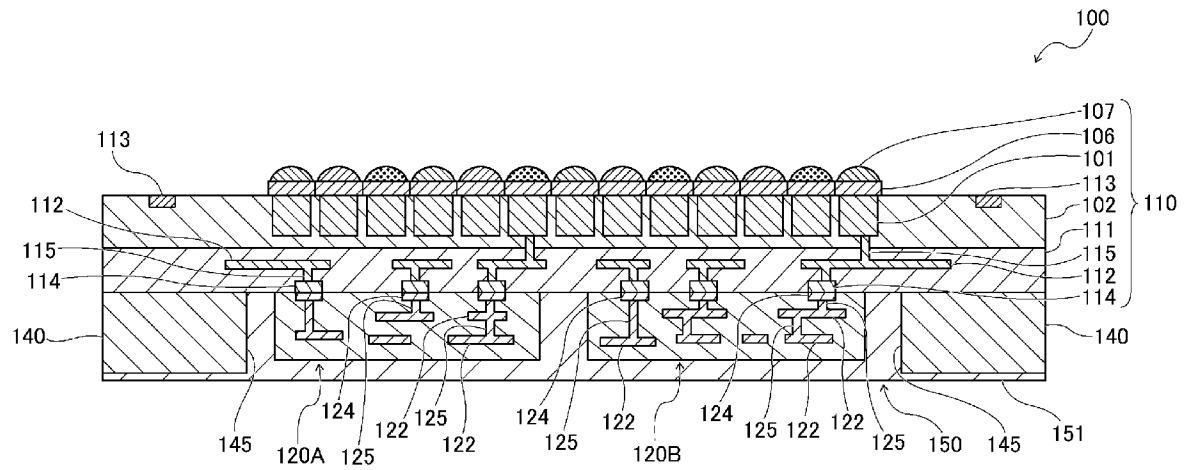
[図33]



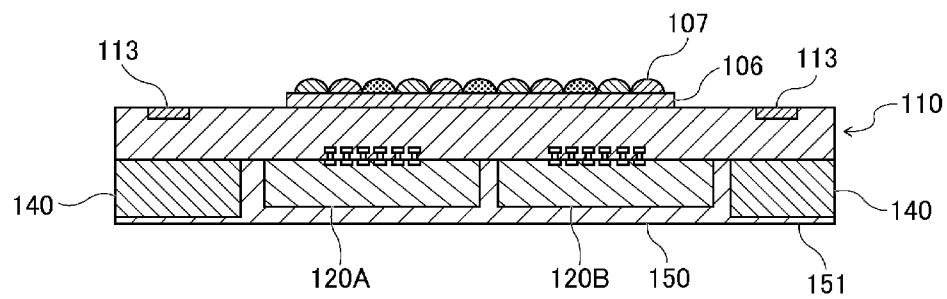
[図34]



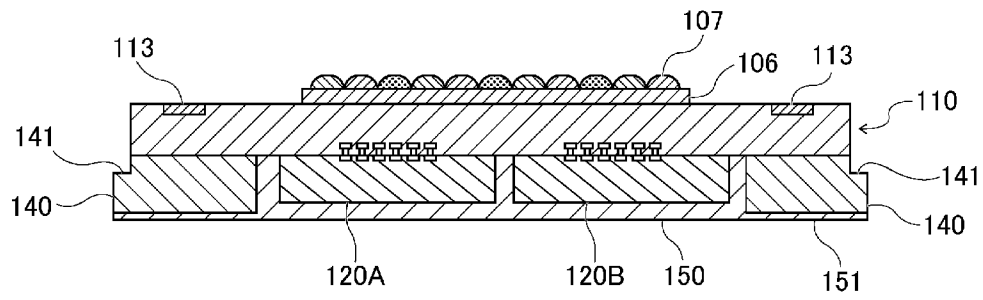
[図35]



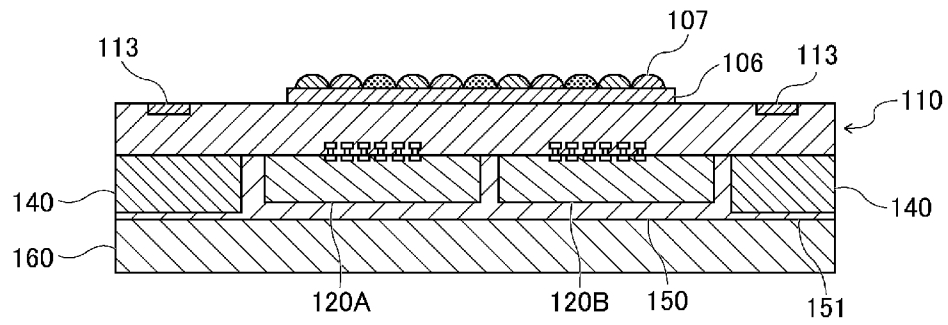
[図36]



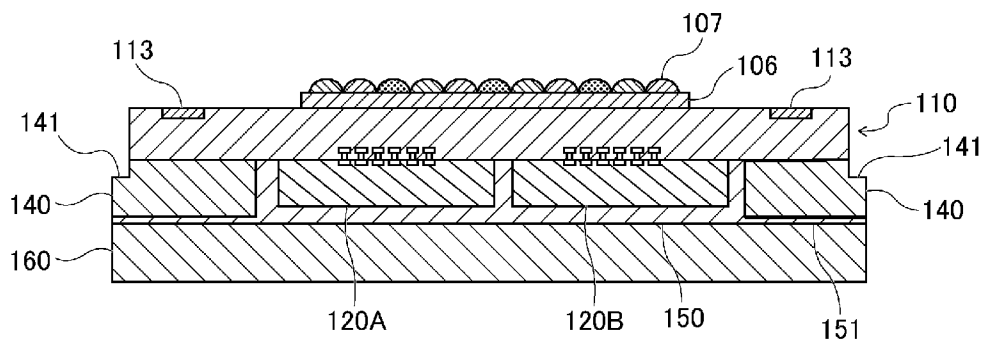
[図37]



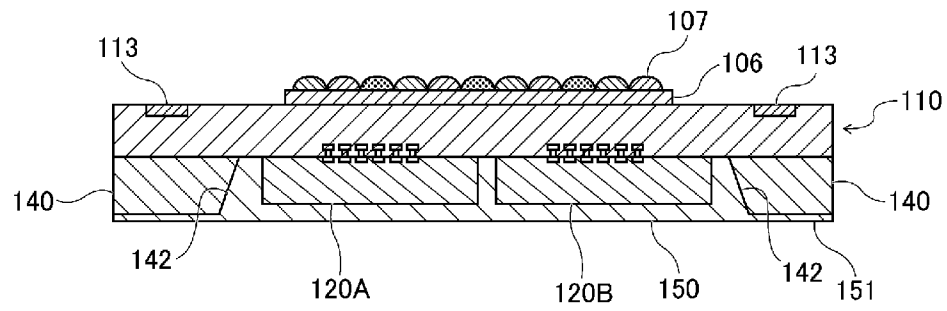
[図38]



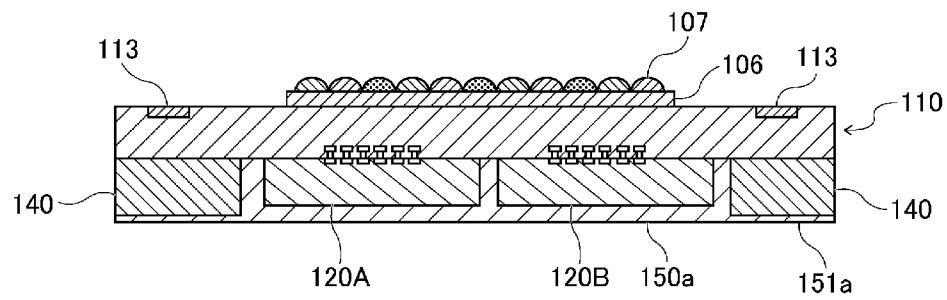
[図39]



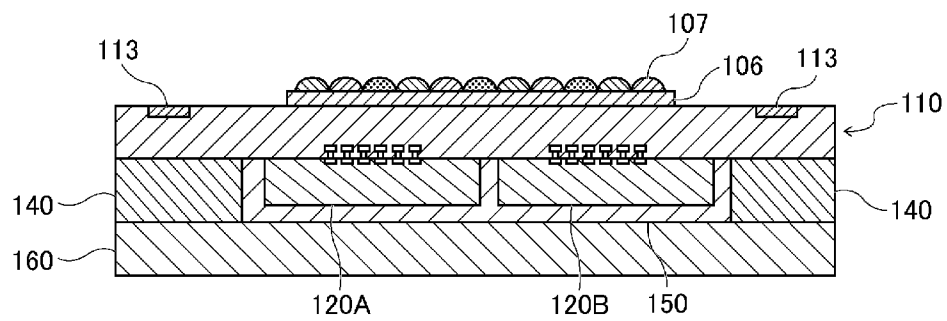
[図40]



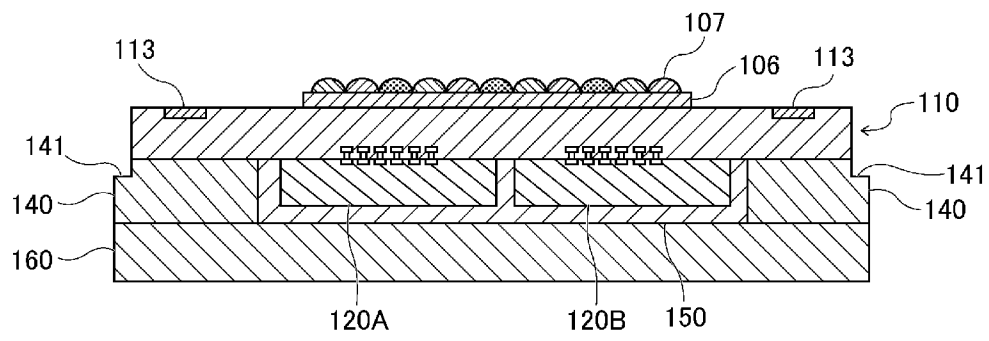
[図41]



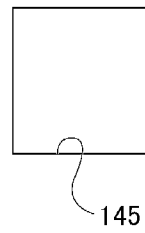
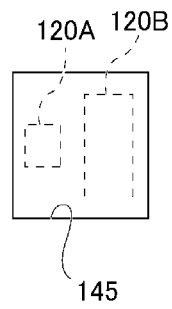
[図42]



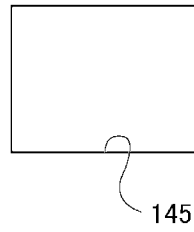
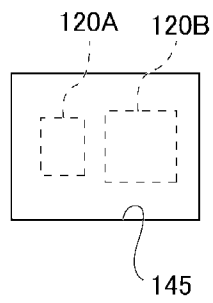
[図43]



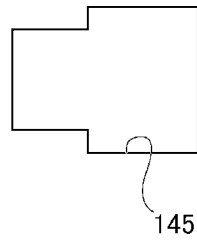
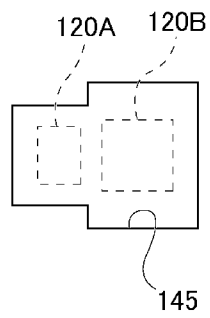
[図44]

AB

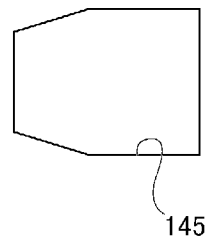
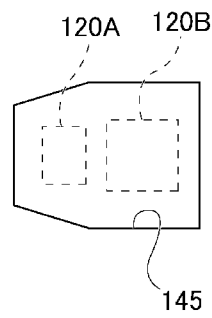
[図45]

AB

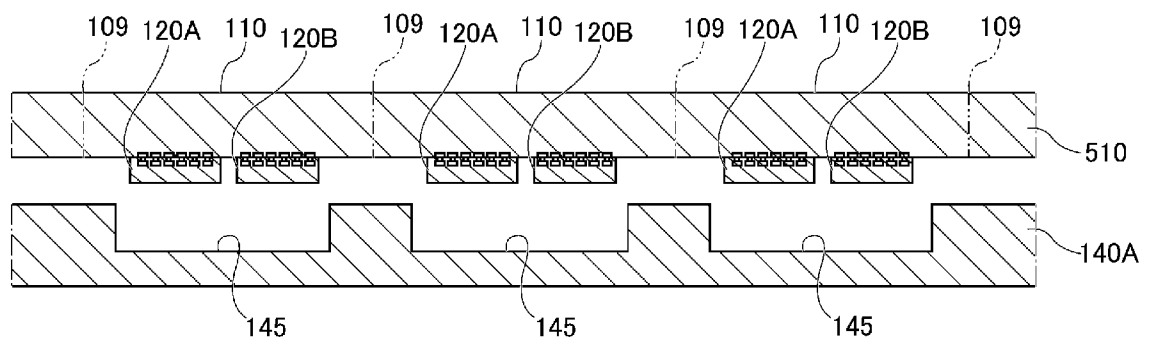
[図46]

AB

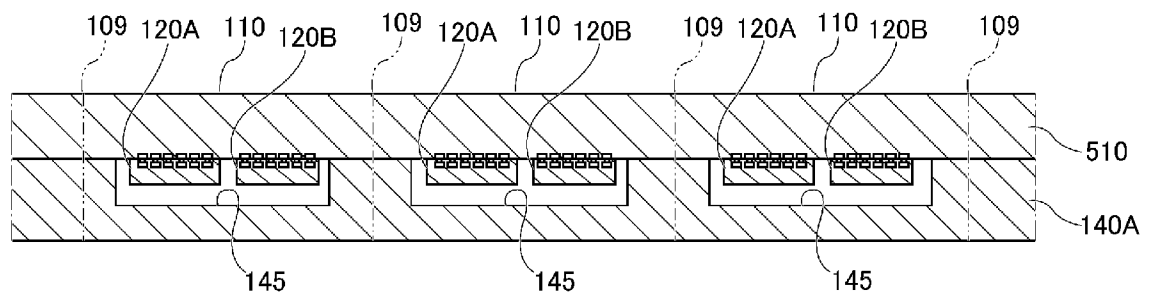
[図47]

AB

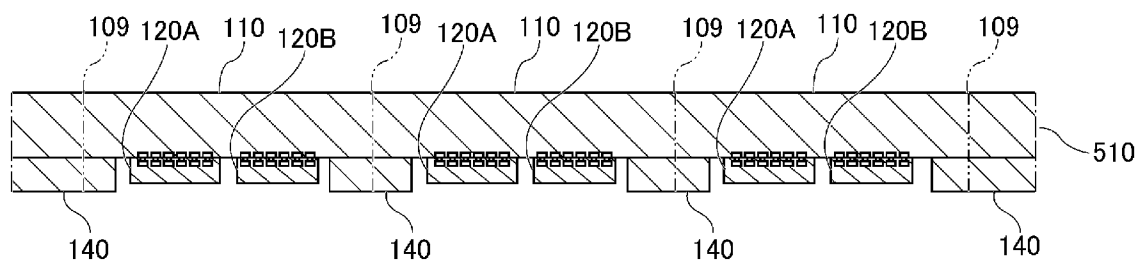
[図48]



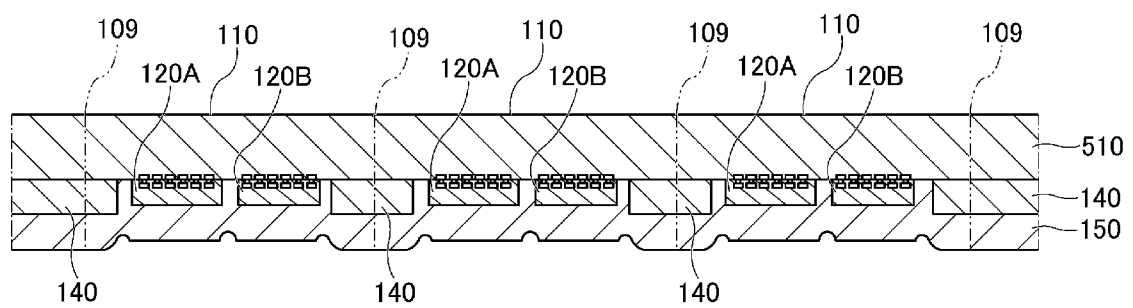
[図49]



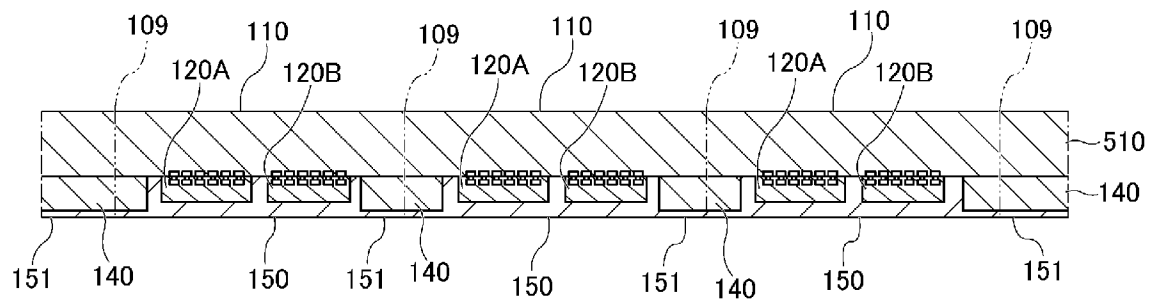
[図50]



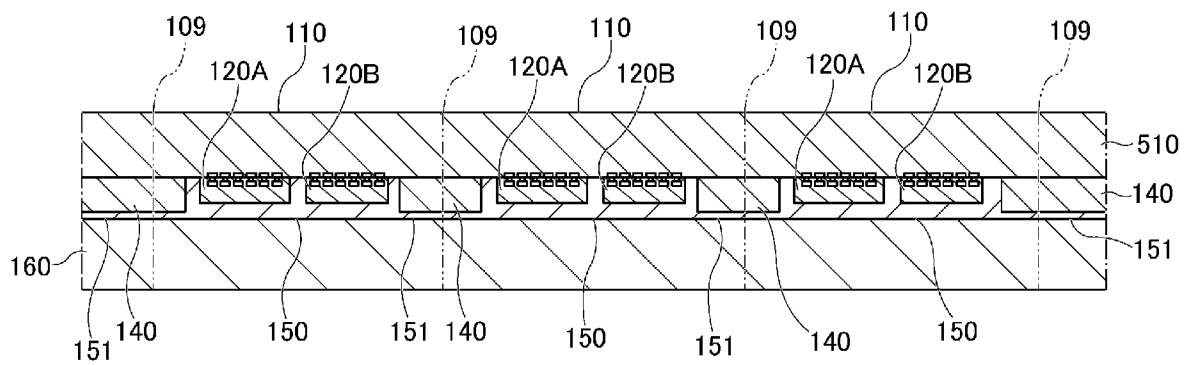
[図51]



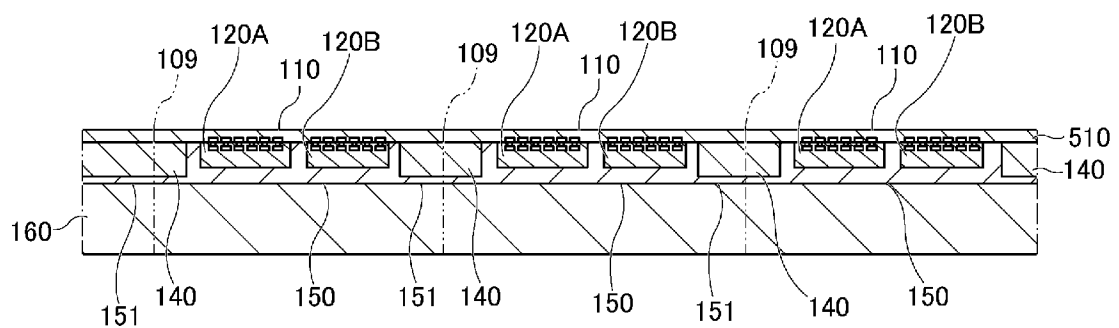
[図52]



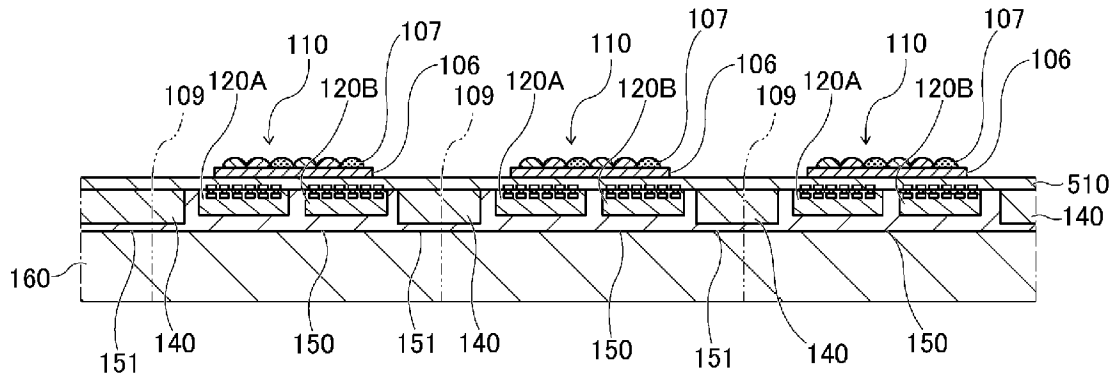
[図53]



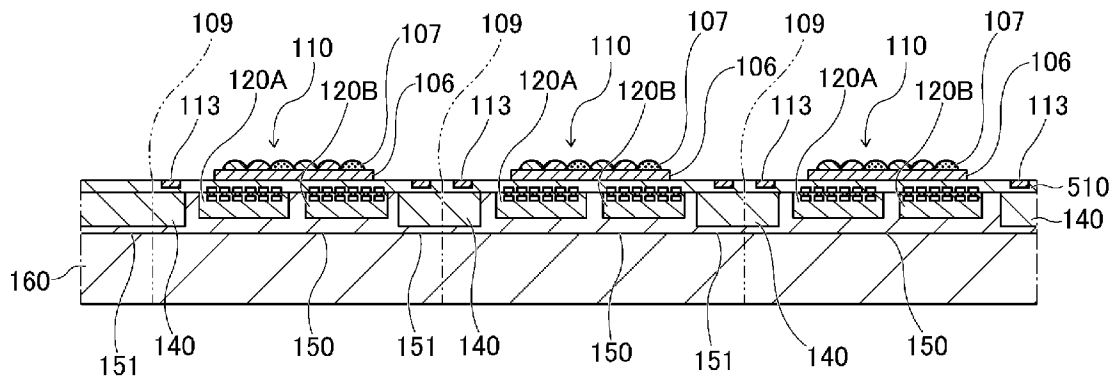
[図54]



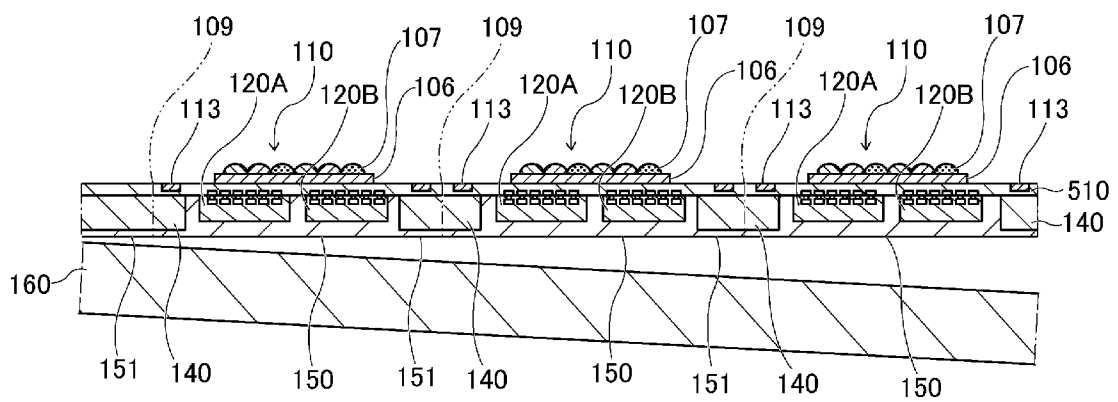
[図55]



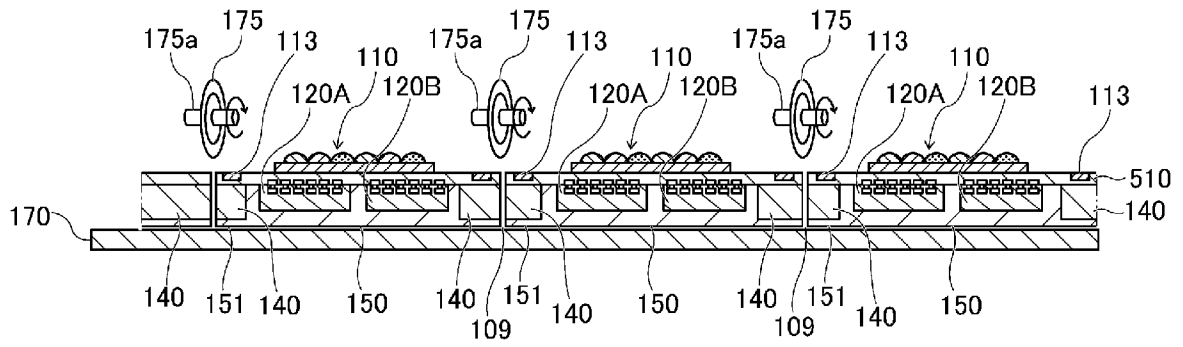
[図56]



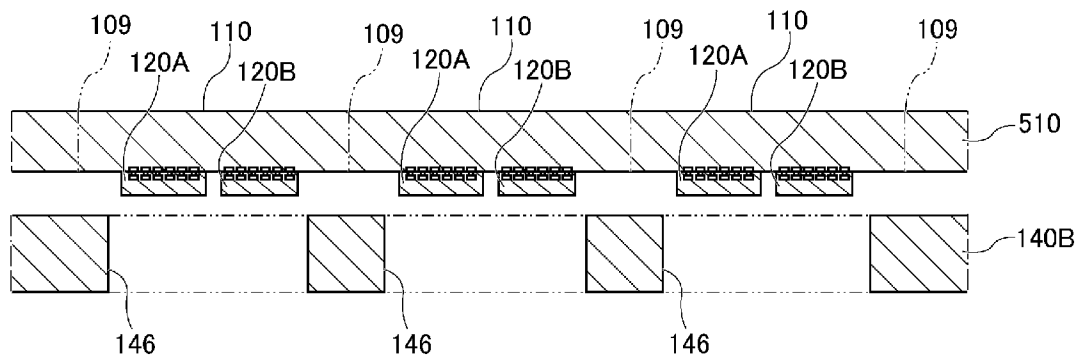
[図57]



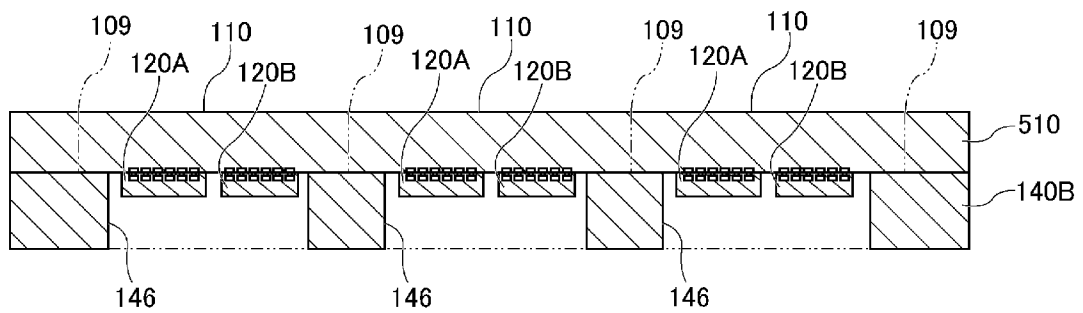
[図58]



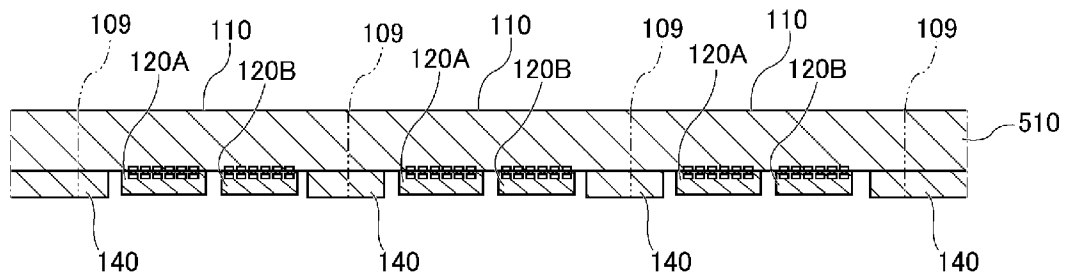
[図59]



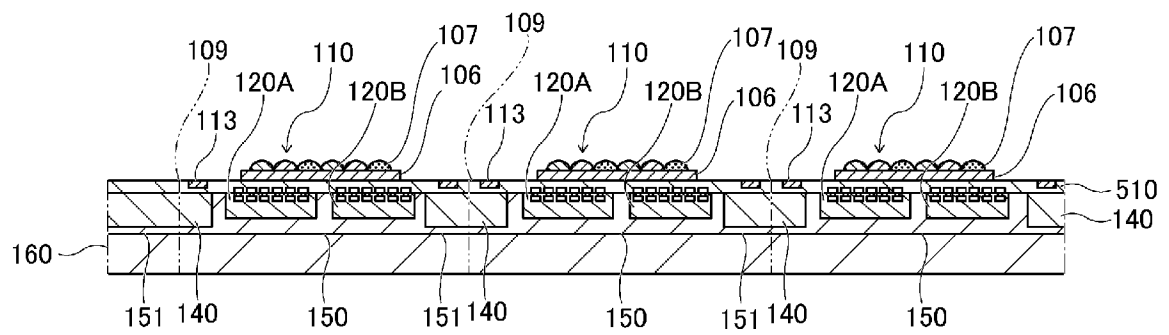
[図60]



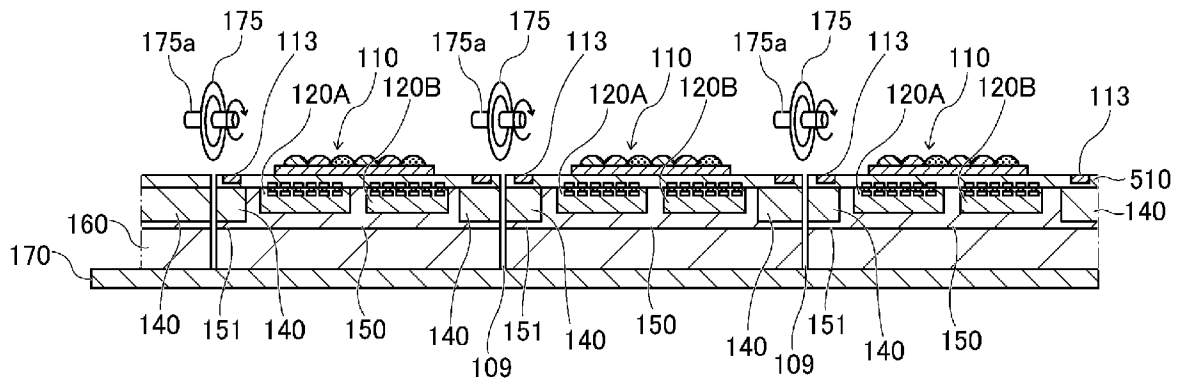
[図61]



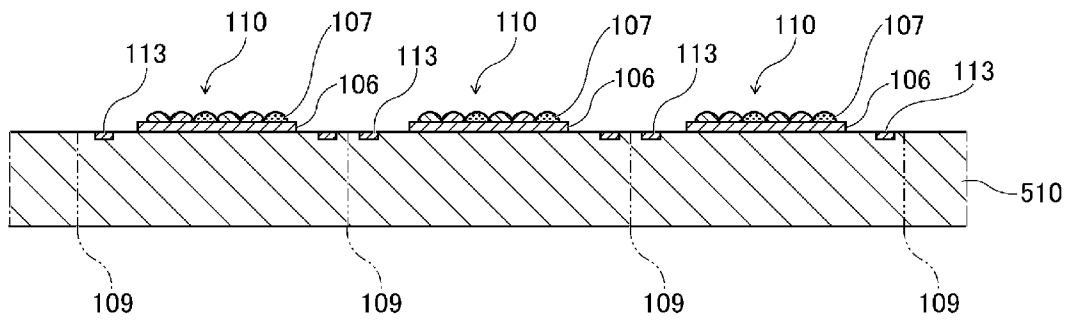
[図62]



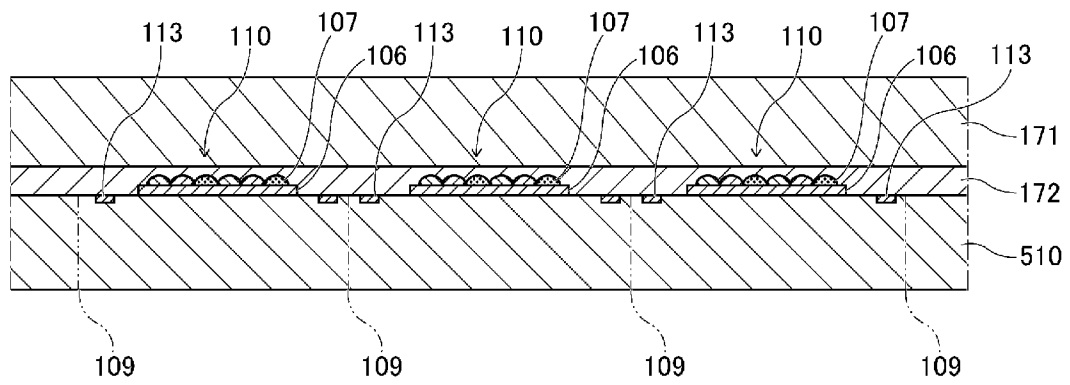
[図63]



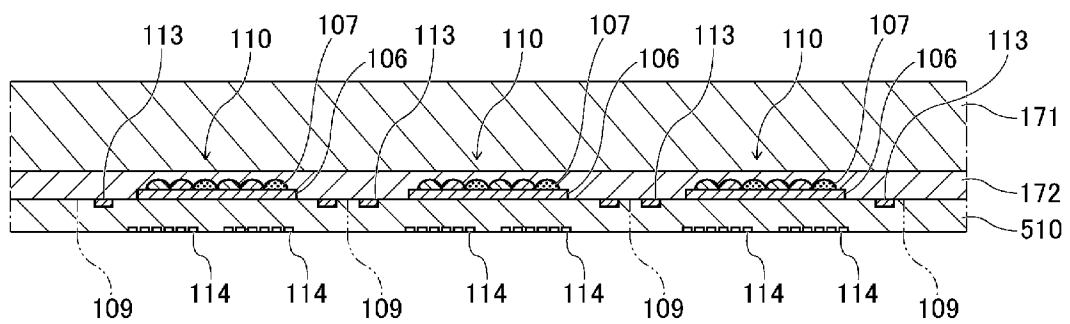
[図64]



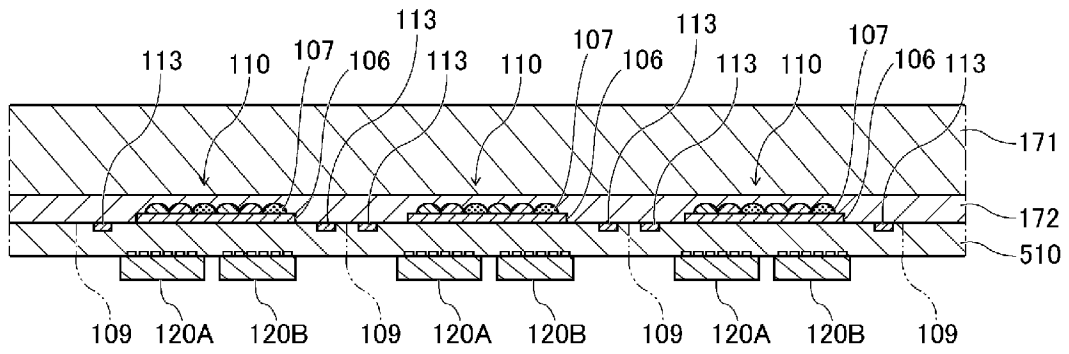
[図65]



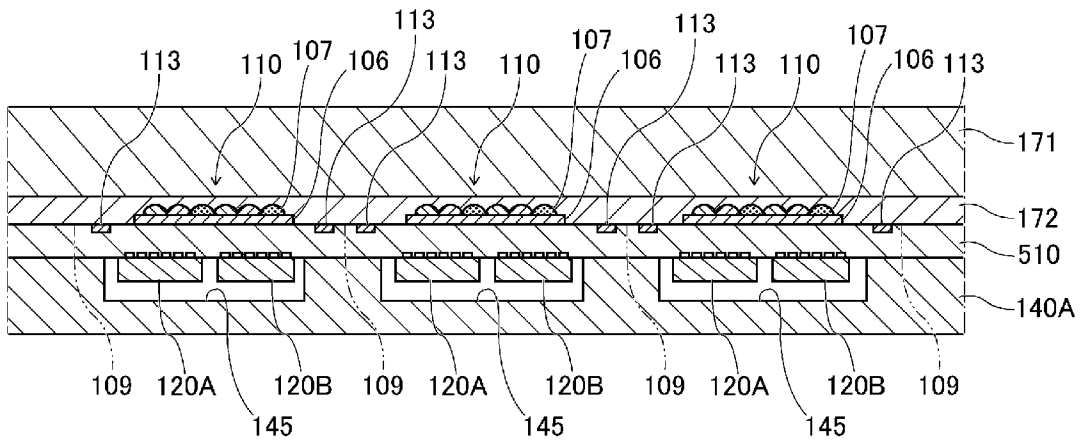
[図66]



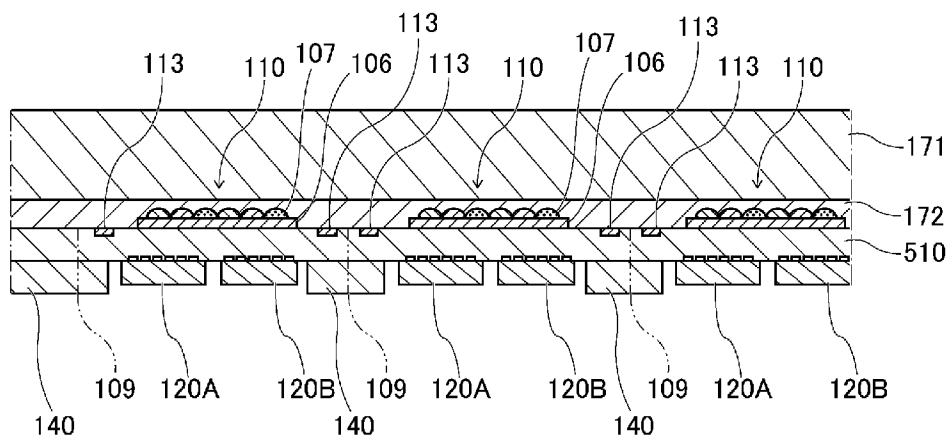
[図67]



[図68]

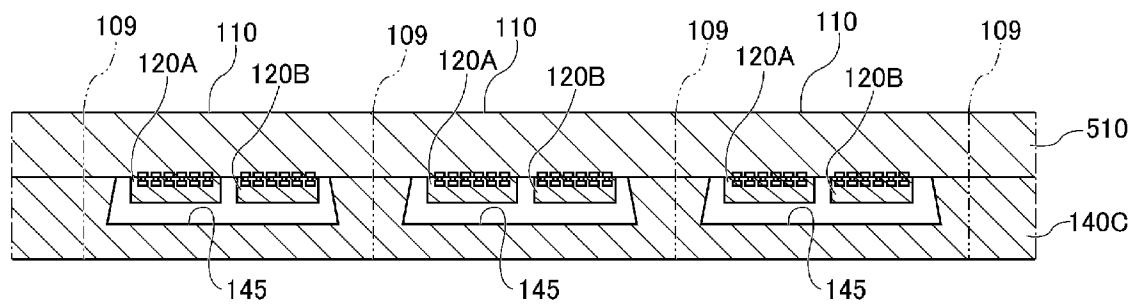


[図69]

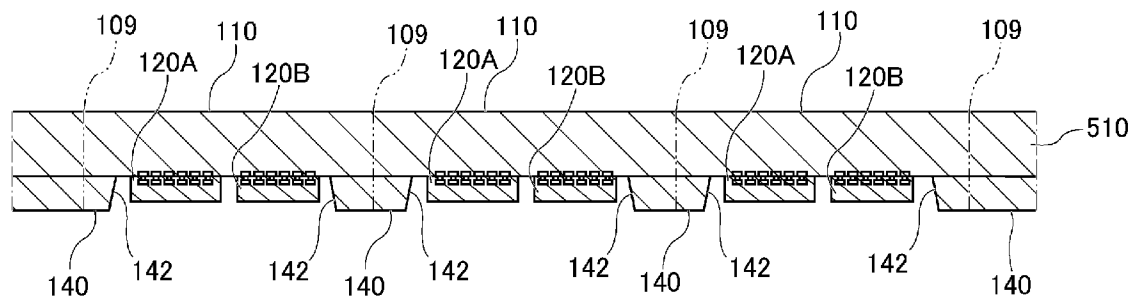


[illegible]

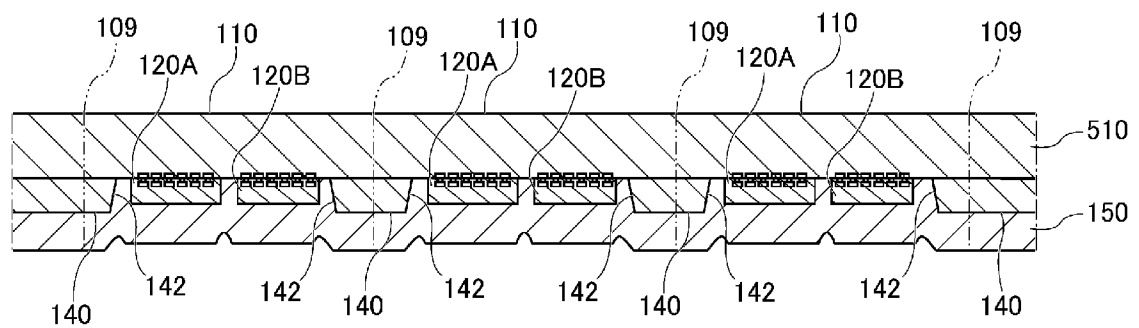
[図73]



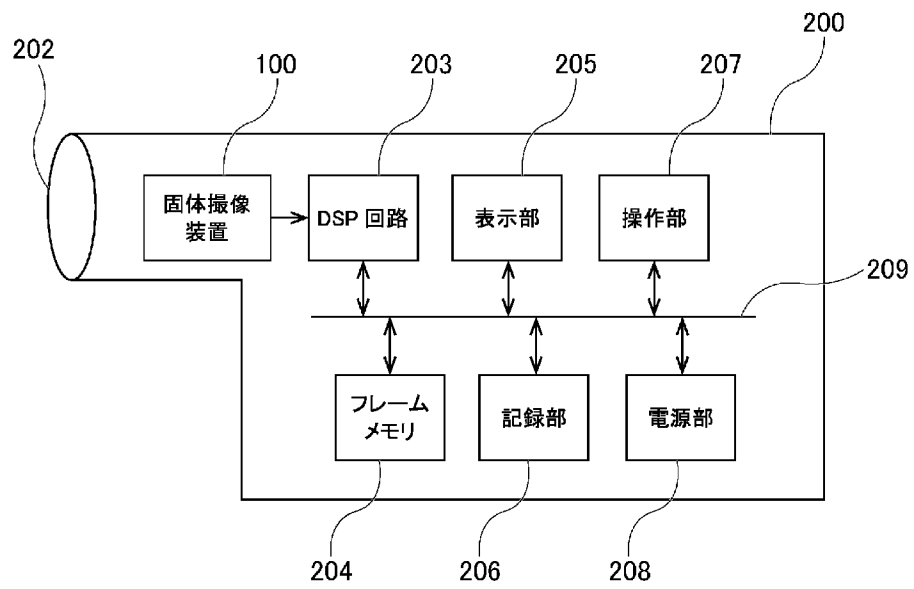
[図74]



[図75]



[図76]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/048693

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 25/70**(2023.01)i

FI: H01L27/146 D; H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019/0103432 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04 April 2019 (2019-04-04) fig. 1, 8, 9	1-2, 4, 9, 22
Y		3, 5-8, 10-22
Y	WO 2019/021705 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 31 January 2019 (2019-01-31) paragraphs [0035], [0041], [0042], fig. 1, 3A-H, 19B	3, 12-22
Y	WO 2019/087764 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 09 May 2019 (2019-05-09) paragraphs [0158]-[0174], [0266]-[0291], fig. 23, 43-45	5-8, 12-22
Y	US 2018/0138151 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 17 May 2018 (2018-05-17) fig. 6A-F	10-11
Y	WO 2021/177026 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 10 September 2021 (2021-09-10) fig. 3	17

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

14 March 2023

Date of mailing of the international search report

28 March 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/048693

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2021/131388 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 01 July 2021 (2021-07-01) fig. 5	19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/048693

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2019/0103432	A1	04 April 2019	KR 10-2019-0038032 A CN 109585471 A	
WO	2019/021705	A1	31 January 2019	US 2020/0177829 A1 paragraphs [0103], [0109], [0110], fig. 1, 3A-H, 19B CN 110914993 A TW 201909440 A	
WO	2019/087764	A1	09 May 2019	US 2020/0258924 A1 paragraphs [0235]-[0253], [0358]-[0387], fig. 23, 43-45 EP 3706169 A1 CN 111247638 A KR 10-2020-0077522 A TW 201924035 A	
US	2018/0138151	A1	17 May 2018	DE 102017122096 A1 CN 108074828 A KR 10-2018-0054419 A TW 201818514 A	
WO	2021/177026	A1	10 September 2021	CN 115210873 A	
WO	2021/131388	A1	01 July 2021	JP 2021-106192 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 25/70(2023.01)i FI: H01L27/146 D; H04N25/70		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N25/70		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2019/0103432 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04.04.2019 (2019 - 04 - 04) 図1, 8-9	1-2, 4, 9, 22
Y		3, 5-8, 10-22
Y	WO 2019/021705 A1 (ソニーセミコンダクタソリューションズ株式会社) 31.01.2019 (2019 - 01 - 31) 段落[0035], [0041]-[0042], 図1, 3A-H, 19B	3, 12-22
Y	WO 2019/087764 A1 (ソニーセミコンダクタソリューションズ株式会社) 09.05.2019 (2019 - 05 - 09) 段落[0158]-[0174], [0266]-[0291], 図23, 43-45	5-8, 12-22
Y	US 2018/0138151 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 17.05.2018 (2018 - 05 - 17) 図6A-F	10-11
Y	WO 2021/177026 A1 (ソニーセミコンダクタソリューションズ株式会社) 10.09.2021 (2021 - 09 - 10) 図3	17
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.03.2023		国際調査報告の発送日 28.03.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 脇水 佳弘 5F 3464 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	W0 2021/131388 A1 (ソニーセミコンダクタソリューションズ株式会社) 01.07.2021 (2021 - 07 - 01) 図5	19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/048693

引用文献			公表日	パテントファミリー文献			公表日
US	2019/0103432	A1	04.04.2019	KR	10-2019-0038032	A	
				CN	109585471	A	
WO	2019/021705	A1	31.01.2019	US	2020/0177829	A1	
				段落[0103], [0109]-[0110], 図1, 3A-H, 19B			
				CN	110914993	A	
				TW	201909440	A	
WO	2019/087764	A1	09.05.2019	US	2020/0258924	A1	
				段落[0235]-[0253], [0358]-[0387], 図23, 43-45			
				EP	3706169	A1	
				CN	111247638	A	
				KR	10-2020-0077522	A	
				TW	201924035	A	
US	2018/0138151	A1	17.05.2018	DE	102017122096	A1	
				CN	108074828	A	
				KR	10-2018-0054419	A	
				TW	201818514	A	
WO	2021/177026	A1	10.09.2021	CN	115210873	A	
WO	2021/131388	A1	01.07.2021	JP	2021-106192	A	