

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】平成30年12月13日(2018.12.13)

【公表番号】特表2018-526691(P2018-526691A)  
 【公表日】平成30年9月13日(2018.9.13)  
 【年通号数】公開・登録公報2018-035  
 【出願番号】特願2017-538238(P2017-538238)  
 【国際特許分類】

G 0 6 F 21/55 (2013.01)

G 0 6 F 12/14 (2006.01)

【 F I 】

G 0 6 F 21/55

G 0 6 F 12/14 5 1 0 D

【手続補正書】

【提出日】平成30年10月31日(2018.10.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のパーティションと第2のパーティションとを有するコンピュータ・システムにおいて、

前記第1のパーティションは、

第1のCPUと、

第1のメモリ・モジュールとを備え、前記第1のメモリ・モジュールは

少なくとも1つのプログラム・コード用メモリ・アドレス範囲であって、プログラム・コードはコンピュータ実行可能コードを含んでなり、前記プログラム・コード用メモリ・アドレス範囲はハードウェア・スイッチによって変更からハードウェアの保護がなされる、プログラム・コード用メモリ・アドレス範囲と、

第1のパーティション・データ用の少なくとも1つのメモリ・アドレス範囲と、

前記第2のパーティションから読み取ったデータのための少なくとも1つのメモリ・アドレス範囲とを有し、

前記第1のCPUは前記プログラム・コード用メモリ・アドレス範囲で前記コンピュータ実行可能コードのみを実行するようにハードウェア的に構成してあり、

前記第2のパーティションは、

第2のCPUと、

第2のメモリ・モジュールと、

ネットワークに接続されるための少なくとも1つの通信モジュールとを備え、

前記第1のCPUは前記第2のメモリ・モジュールにアクセスするように構成され、

前記第1のCPUは、前記第2のパーティションから読み取ったデータのための少なくとも1つのメモリ・アドレス範囲のみに前記第2のパーティションからのデータを読み取るように構成され、

前記第2のCPUは前記第1のCPU又は前記第1のメモリ・モジュールにアクセスすることを制限されている、コンピュータ・システム。

【請求項2】

少なくとも1つのプログラム・コード用メモリ・アドレス範囲はハードウェア回路によ

って構成される、請求項 1 に記載のコンピュータ・システム。

【請求項 3】

前記ハードウェア・回路は少なくとも 1 つのフィールド・プログラマブル・ゲート・アレイを含んでなる、請求項 2 に記載のコンピュータ・システム。

【請求項 4】

前記第 1 のメモリ・モジュールは、

前記少なくとも 1 つのプログラム・コード用メモリ・アドレス範囲を有する第 1 のメモリ・ユニットと、

前記第 1 のパーティション・データ用の少なくとも 1 つのメモリ・アドレス範囲を有する第 2 のメモリ・ユニットと、

前記第 2 のパーティションから読み取ったデータのための少なくとも 1 つのメモリ・アドレス範囲を有する第 3 のメモリ・ユニットとを備える、請求項 1 に記載のコンピュータ・システム。

【請求項 5】

前記プログラム・コードはオペレーティング・システムを含んでなる、請求項 1 に記載のコンピュータ・システム。

【請求項 6】

少なくとも 1 つのデータ・ストアを備える、請求項 1 に記載のコンピュータ・システム

。

【請求項 7】

前記第 1 の CPU が前記第 2 のメモリ・モジュールにアクセスする能力はハードウェア回路によって実行され、

前記第 2 のパーティションに対する、第 1 の CPU 又は第 1 のメモリ・モジュールへのアクセスの制限はハードウェア回路によって実行される、請求項 1 に記載のコンピュータ・システム。

【請求項 8】

前記第 1 のパーティションに直接に接続した外部デバイスを使用するハードウェア要素は、前記第 2 のパーティションの入力デバイス及び出力デバイスの制御を行うよう前記第 1 の CPU に命令することをユーザに可能にさせるように構成される、請求項 1 に記載のコンピュータ・システム。

【請求項 9】

バスをさらに備え、

前記第 1 のパーティションは前記バスによって前記第 2 のパーティションと相互接続され、

前記第 1 の CPU は、前記第 2 のパーティションからデータを読み出し、及び前記第 2 のパーティションから読み取ったデータのための少なくとも 1 つのメモリ・アドレス範囲のみにデータを書き込むために前記バスを通るプル・コマンドを実行するように構成され

。

前記第 1 の CPU は、前記第 2 のパーティションにデータを書き込むために前記バスを通るプッシュ・コマンドを実行するように構成され、

前記第 1 のパーティションは前記第 2 のパーティションからのプッシュ・コマンド又は前記第 2 のパーティションからのプル・コマンドを受け付けられず、

前記第 2 のパーティションに対する、第 1 の CPU 又は第 1 のメモリ・モジュールへのアクセスの制限はハードウェア回路によって実行される、請求項 1 に記載のコンピュータ・システム。

【請求項 10】

前記ハードウェア・スイッチはオン及びオフに切り替えられる少なくとも 1 つの外部物理スイッチからなり、前記第 1 の CPU は前記少なくとも 1 つのプログラム・コード用メモリ・アドレス範囲に記憶したデータを前記外部物理スイッチがオンの時にのみ変更することができる、請求項 1 に記載のコンピュータ・システム。

**【請求項 1 1】**

オン及びオフに切り替えられる少なくとも1つの外部物理スイッチと、  
前記第1のCPUは前記少なくとも1つのプログラム・コード用メモリ・アドレス範囲  
のコンテンツを前記外部物理スイッチがオンの時にのみ変更し、  
前記外部物理スイッチがオンの時には、前記第1のCPUは前記第2のパーティション  
からの読み出し、及び前記第2のパーティションへの書き込みができないようにされてい  
る、請求項1に記載のコンピュータ・システム。

**【請求項 1 2】**

前記第1のCPUが前記第2のメモリ・モジュールにアクセスする能力は仮想パーティ  
ション構成によって実現し、  
前記第2のCPUが前記第1のCPU及び前記第1のメモリ・モジュールにアクセスす  
る制限は仮想パーティション構成によって実現する、請求項1に記載のコンピュータ・シ  
ステム。

**【請求項 1 3】**

前記第1のパーティションは少なくとも1つの入力/出力モジュールを備え、  
複数の入力/出力デバイスは前記少なくとも1つの入力/出力モジュールに接続される  
、請求項1に記載のコンピュータ・システム。

**【請求項 1 4】**

前記第1のパーティション及び第2のパーティションを含んでなるチップをさらに備え  
る、請求項1に記載のコンピュータ・システム。

**【請求項 1 5】**

前記第1のパーティションを含んでなる第1のチップと、前記第2のパーティションを  
含んでなる第2のチップとをさらに備える、請求項1に記載のコンピュータ・システム。

**【請求項 1 6】**

前記第1のパーティションに直接に接続された外部デバイスを用いるハードウェア機能  
は、前記第1のCPUが前記少なくとも1つのプログラム・コード用メモリ・アドレス範囲  
、前記第1のパーティション・データ用の少なくとも1つのメモリ・アドレス範囲、又  
は前記第2のパーティションから読み取ったデータのための少なくとも1つのメモリ・ア  
ドレス範囲から前記第2のパーティションにデータを書き込むことを可能にするように構  
成される、請求項1に記載のコンピュータ・システム。

**【請求項 1 7】**

前記第1のパーティションは1つ以上の仮想サブ・パーティションを備え、  
前記第2のパーティションは1つ以上の仮想サブ・パーティションを備える、請求項1  
に記載のコンピュータ・システム。

**【請求項 1 8】**

少なくとも1つのプログラム・コード用メモリ・アドレス範囲の書き込みの制限は仮想  
パーティション構成によって実現し、  
前記仮想パーティション構成は前記制限のオンとオフのスイッチングを 行うように構  
成され、  
前記第1のCPUは前記仮想パーティション構成を通して、前記第2のパーティション  
からの読み出し又は前記第2のパーティションへの書き込みができないようにされている  
、請求項1に記載のコンピュータ・システム。

**【請求項 1 9】**

コンピュータ・システムにおいて、  
第1のパーティションであって、  
第1のCPUと、  
第1のメモリ・モジュールとを備え、前記第1のメモリ・モジュールは  
第1のメモリ・アドレス範囲であって、前記第1のメモリ・アドレス範囲はプログ  
ラム・コードを含んでなり、前記プログラム・コードはコンピュータ実行可能コードを含  
んでなり、前記プログラム・コードはハードウェア・スイッチによって変更からハードウ

エアの保護がなされる、第1のメモリ・アドレス範囲と、  
第2のメモリ・アドレス範囲とを有し、  
前記第1のCPUは前記第1のメモリ・アドレス範囲で前記コンピュータ実行可能  
コードのみを実行するようにハードウェア的に構成してある第1のパーティションと、  
前記第2のパーティションであって、  
第2のCPUと、  
第2のメモリ・モジュールと、  
ネットワークに接続されるための少なくとも1つの通信モジュールとを備え、  
前記第1のCPUは前記第2のメモリ・モジュールにアクセスするように構成され、  
前記第1のCPUは、前記第2のメモリ・アドレス範囲のみに前記第2のパーティシ  
ョンからのデータを読み取るように構成され、  
前記第2のCPUは前記第1のCPU又は前記第1のメモリ モジュールにアクセス  
することを制限されている前記第2のパーティションと  
を備える、コンピュータ・システム。

【請求項20】

少なくとも1つのメモリ・アドレス範囲はハードウェア回路によって構成される、請求  
項19に記載のコンピュータ・システム。

【請求項21】

前記ハードウェア・回路は少なくとも1つのフィールド・プログラマブル・ゲート・ア  
レイを含んでなる、請求項20に記載のコンピュータ・システム。

【請求項22】

前記第1のメモリ・モジュールは、  
前記少なくとも1つのメモリ・アドレス範囲を有する第1のメモリ・ユニットと、  
前記第2のメモリ・アドレス範囲を有する第2のメモリ・ユニットと  
を備える、請求項19に記載のコンピュータ・システム。

【請求項23】

前記プログラム・コードはオペレーティング・システムを含んでなる、請求項19に記  
載のコンピュータ・システム。

【請求項24】

少なくとも1つのデータ・ストアを備える、請求項19に記載のコンピュータ・システ  
ム。

【請求項25】

前記第1のCPUが前記第2のメモリ・モジュールにアクセスする能力はハードウェア  
回路によって実行され、

前記第2のパーティションに対する、第1のCPU又は第1のメモリ・モジュールへの  
アクセスの制限はハードウェア回路によって実行される、請求項19に記載のコンピュ  
ータ・システム。

【請求項26】

前記第1のパーティションに直接に接続した外部デバイスを使用するハードウェア要素  
は、前記第2のパーティションの入力デバイス及び出力デバイスの制御を行うよう前記第  
1のCPUに命令することをユーザに可能にさせるように構成される、請求項19に記載  
のコンピュータ・システム。

【請求項27】

バスをさらに備え、  
前記第1のパーティションは前記バスによって前記第2のパーティションと相互接続さ  
れ、

前記第1のCPUは、前記第2のパーティションからデータを読み出し、及び前記第2  
のメモリ・アドレス範囲のみにデータを書き込むために前記バスを通るプル・コマンドを  
実行するように構成され、

前記第1のCPUは、前記第2のパーティションにデータを書き込むために前記バスを

通るプッシュ・コマンドを実行するように構成され、

前記第 1 のパーティションは前記第 2 のパーティションからのプッシュ・コマンド又は前記第 2 のパーティションからのプル・コマンドを受け付けられず、

前記第 2 のパーティションに対する、第 1 の CPU 又は第 1 のメモリ・モジュールへのアクセスの制限はハードウェア回路によって実行される、請求項 19 に記載のコンピュータ・システム。

【請求項 28】

前記ハードウェア・スイッチはオン及びオフに切り替えられる少なくとも 1 つの外部物理スイッチからなり、前記第 1 の CPU は前記第 1 のメモリ・アドレス範囲に記憶したデータを前記外部物理スイッチがオンの時にのみ変更するように構成されている、請求項 19 に記載のコンピュータ・システム。

【請求項 29】

オン及びオフに切り替えられる少なくとも 1 つの外部物理スイッチと、

前記第 1 の CPU は前記第 1 のメモリ・アドレス範囲のコンテンツを前記外部物理スイッチがオンの時にのみ変更し、

前記外部物理スイッチがオンの時には、前記第 1 の CPU は前記第 2 のパーティションからの読み出し、及び前記第 2 のパーティションへの書き込みができないようにされている、請求項 19 に記載のコンピュータ・システム。

【請求項 30】

前記第 1 の CPU が前記第 2 のメモリ・モジュールにアクセスする能力は仮想パーティション構成によって実現し、

前記第 2 の CPU が前記第 1 の CPU 及び前記第 1 のメモリ・モジュールにアクセスする制限は仮想パーティション構成によって実現する、請求項 19 に記載のコンピュータ・システム。

【請求項 31】

前記第 1 のパーティションは少なくとも 1 つの入力/出力モジュールを備え、

複数の入力/出力デバイスは前記少なくとも 1 つの入力/出力モジュールに接続される、請求項 19 に記載のコンピュータ・システム。

【請求項 32】

前記第 1 のパーティション及び第 2 のパーティションを含んでなるチップをさらに備える、請求項 19 に記載のコンピュータ・システム。

【請求項 33】

前記第 1 のパーティションを含んでなる第 1 のチップと、前記第 2 のパーティションを含んでなる第 2 のチップとをさらに備える、請求項 19 に記載のコンピュータ・システム。

【請求項 34】

前記第 1 のパーティションに直接に接続された外部デバイスを用いるハードウェア機能は、前記第 1 の CPU が前記第 1 のメモリ・アドレス範囲から前記第 2 のパーティションにデータを書き込むことを可能にするように構成される、請求項 19 に記載のコンピュータ・システム。

【請求項 35】

前記第 1 のパーティションは 1 つ以上の仮想サブ・パーティションを備え、

前記第 2 のパーティションは 1 つ以上の仮想サブ・パーティションを備える、請求項 19 に記載のコンピュータ・システム。

【請求項 36】

前記第 1 のメモリ・アドレス範囲の書き込みの制限は仮想パーティション構成によって実現し、

前記仮想パーティション構成は前記制限のオンとオフのスイッチングを行うように構成され、

前記第 1 の CPU は前記仮想パーティション構成を通して、前記第 2 のパーティション

からの読み出し又は前記第2のパーティションへの書き込みが可能及び不能にするにされている、請求項19に記載のコンピュータ・システム。

**【請求項37】**

第1のパーティションと第2のパーティションとを有するコンピュータ・システムにおいて、

前記第1のパーティションは、

第1のCPUと、

第1のメモリ・モジュールとを備え、前記第1のメモリ・モジュールは

少なくとも1つのプログラム・コード用メモリ・アドレス範囲であって、プログラム・コードはコンピュータ実行可能コードを含んでなり、前記プログラム・コード用メモリ・アドレス範囲はハードウェア回路から構成される、プログラム・コード用メモリ・アドレス範囲と、

他のデータ用の少なくとも1つのメモリ・アドレス範囲であって、前記他のデータには前記第2のパーティションから読み取ったデータが含まれる、他のデータ用の少なくとも1つのメモリ・アドレス範囲とを備え、

前記第1のCPUは前記プログラム・コード用メモリ・アドレス範囲で前記コンピュータ実行可能コードのみを実行するようにハードウェア的に構成してあり、

前記第2のパーティションは、

第2のCPUと、

第2のメモリ・モジュールと、

ネットワークに接続されるための少なくとも1つの通信モジュールとを備え、

前記第1のCPUは前記第2のメモリ・モジュールにアクセスするように構成されるとともに、他のデータ用の少なくとも1つのメモリ・アドレス範囲のみに前記第2のパーティションからのデータを読み取るように構成され、

前記第2のCPUは前記第1のメモリ・モジュールにアクセスすることを制限されている、コンピュータ・システム。

**【請求項38】**

前記第1のメモリ・モジュールは、

前記少なくとも1つのプログラム・コード用メモリ・アドレス範囲を有する第1のメモリ・ユニットと、

前記他のデータ用の少なくとも1つのメモリ・アドレス範囲を有する第2のメモリ・ユニットと

を備える、請求項37に記載のコンピュータ・システム。

**【請求項39】**

前記他のデータ用の少なくとも1つのメモリ・アドレス範囲は、

前記第2のパーティションから読み取ったデータのための少なくとも1つのメモリ・アドレス範囲と、

第1のパーティション・データ用の少なくとも1つのメモリ・アドレス範囲とを含んでなる、請求項37に記載のコンピュータ・システム。

**【請求項40】**

前記第1のメモリ・モジュールは、

前記少なくとも1つのプログラム・コード用メモリ・アドレス範囲を有する第1のメモリ・ユニットと、

前記第2のパーティションから読み取ったデータのための第2のメモリ・ユニットと、

前記第1のパーティション・データのための第3のメモリ・ユニットと、

を備える、請求項37に記載のコンピュータ・システム。

**【請求項41】**

バスをさらに備え、

前記第1のパーティションは前記バスによって前記第2のパーティションと相互接続され、

前記第 1 のパーティションは、前記第 2 のパーティションからデータを読み出し、及び前記他のデータのための少なくとも 1 つのメモリ・アドレス範囲のみにデータを書き込むために前記バスを通るプル・コマンドを実行するように構成され、

前記第 1 のパーティションは、前記第 2 のパーティションにデータを書き込むために前記バスを通るプッシュ・コマンドを実行するように構成され、

前記第 1 のパーティションは前記第 2 のパーティションからのプッシュ・コマンド又は前記第 2 のパーティションからのプル・コマンドを受け付ないように構成され、

前記バスのハードウェア回路は前記第 2 のパーティションが前記第 1 のメモリ・モジュールにアクセスすることを許可しない、請求項 3 7 に記載のコンピュータ・システム。

**【請求項 4 2】**

オン及びオフに切り替えられる少なくとも 1 つの外部物理スイッチをさらに備え、前記第 1 の CPU は前記少なくとも 1 つのプログラム・コード用メモリ・アドレス範囲に記憶したデータを前記外部物理スイッチがオンの時にのみ変更するように構成される、請求項 3 7 に記載のコンピュータ・システム。

**【請求項 4 3】**

コンピュータ・システムにおいて、

少なくとも 1 つの CPU と、

少なくとも 1 つの他のコンピュータに接続する少なくとも 1 つの I / O モジュールと、

少なくとも 1 つのメモリ・モジュールであって、

ハードウェア回路によって構成される、少なくとも 1 つのプログラム・コード用メモリ・アドレス範囲であって、プログラム・コードはコンピュータ実行可能コードを含んでなる、少なくとも 1 つのプログラム・コード用メモリ・アドレス範囲と、

他のデータ用の少なくとも 1 つのメモリ・アドレス範囲であって、前記他のデータは前記少なくとも 1 つの他のコンピュータから読み出したデータを含んでなる、他のデータ用の少なくとも 1 つのメモリ・アドレス範囲とを備えたメモリ・モジュールとを備え、

前記少なくとも 1 つの CPU は前記プログラム・コード用メモリ・アドレス範囲で前記コンピュータ実行可能コードのみを実行するようにハードウェア的に構成してあり、

前記少なくとも 1 つの他のコンピュータから読み出したデータは前記他のデータ用の少なくとも 1 つのメモリ・アドレス範囲のみに書き込まれ、

前記少なくとも 1 つのメモリ・モジュールは前記少なくとも 1 つの他のコンピュータからアクセスすることができない、コンピュータ・システム。

**【請求項 4 4】**

前記少なくとも 1 つのメモリ・モジュールは、

前記少なくとも 1 つのプログラム・コード用メモリ・アドレス範囲のための第 1 のメモリ・ユニットと、

前記他のデータ用の少なくとも 1 つのメモリ・アドレス範囲のための第 2 のメモリ・ユニットとを備える、請求項 4 3 に記載のコンピュータ・システム。

**【請求項 4 5】**

オン及びオフに切り替えられる少なくとも 1 つの外部物理スイッチをさらに備え、前記第 1 の CPU は前記少なくとも 1 つのプログラム・コード用メモリ・アドレス範囲に記憶したデータを前記外部物理スイッチがオンの時にのみ変更することができる、請求項 4 3 に記載のコンピュータ・システム。

**【請求項 4 6】**

バスをさらに備え、

前記コンピュータ・システムは前記バスによって前記少なくとも 1 つの他のコンピュータと通信可能に接続され、

前記コンピュータ・システムは、前記少なくとも 1 つの他のコンピュータからデータを読み出し、及び前記他のデータ用の少なくとも 1 つのメモリ・アドレス範囲のみにデータを書き込むために前記バスを通るプル・コマンドを実行するように構成され、

前記コンピュータ・システムは、前記少なくとも 1 つの他のコンピュータにデータを書

き込むために前記バスを通るプッシュ・コマンドを実行するように構成され、

前記コンピュータ・システムは前記少なくとも1つの他のコンピュータからのプッシュ・コマンド又は前記少なくとも1つの他のコンピュータからのプル・コマンドを受け付けないように構成され、

前記バスのハードウェア回路は前記少なくとも1つの他のコンピュータが前記少なくとも1つのメモリ・モジュールにアクセスすることを許可しない、請求項43に記載のコンピュータ・システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

さらに、第1のパーティションは、オペレーティング・システムを利用して、第1のパーティションのメモリ・アドレスを、コンピュータ実行可能コード、第1のパーティション上に記憶された重要なデータ・ファイル、及びバスを通して第2のパーティションから読み取られたデータ・ファイルの3つのセクションに区分する、ハードウェア回路を含む。この手法は、第1のパーティション内の3つの別個のメモリ・ユニットを使用することによっても、達成され得る。重要なデータ・ファイルを保護するために、第2のパーティションは、第1のパーティションのメモリ・アドレッシングから読み取る、又は第1のパーティションのメモリ・アドレッシングに書き込むことを、ハードウェア的に制限される。第2のパーティションのデータは、第1のパーティションのオペレーティング・システムによって実行される「プル」コマンドを通して、第1のパーティションに転送される。さらに、第2のパーティションは、第1のパーティションにデータを「プッシュ」すること、又は「プル」コマンドを送るように第1のパーティションを制御することはできない。第1のパーティションによって第2のパーティションからプルされるすべてのデータは、ハードウェア設計によって、第2のパーティションから読み取られたデータ・ファイル専用の第1のパーティションのメモリ・セクション内に記憶される。さらに、第1のパーティションは、ハードウェア制限によって、第2のパーティションから読み取られたデータ・ファイルが実行されることを防止する。結果として、第1のパーティション上に記憶された重要なプログラム及び重要なデータ・ファイルは、第2のパーティションに悪影響を及ぼすインターネット又は他の任意のソースからの悪意あるコードから保護される。

本発明の第1の実施態様によれば、第1のパーティションであって、

第1のCPUと、

少なくとも1つのメモリ・モジュールと、

少なくとも1つの書き込みモジュールと、

少なくとも1つのI/Oモジュールと、

少なくとも1つのデータ・ファイルを含む、少なくとも1つのデータ・ストアと、メモリ・アドレッシング構造であって、

少なくとも1つのプログラム・コード用アドレス範囲と、

少なくとも1つの第1のパーティション・データ用アドレス範囲と、

少なくとも1つの第2のパーティション・データ用アドレス範囲と、

を備えるメモリ・アドレッシング構造と、

少なくとも1つの重要なデータ・ファイルと、

前記プログラム・コード用アドレス範囲内に記憶されたコンピュータ実行可能コードであって、前記コンピュータ実行可能コードが、オペレーティング・システムを含む、コンピュータ実行可能コードとからなり、

前記第1のCPUが、前記プログラム・コード用アドレス範囲内に記憶された前記コンピュータ実行可能コードだけを実行するように構成される、第1のパーティションと、バスと、

第 2 のパーティションであって、

第 2 の CPU と、

少なくとも 1 つのデータ・ファイルを含む、少なくとも 1 つのデータ・ストアと、  
ネットワークに結合された通信モジュールと

からなる第 2 のパーティションとからなる、コンピュータ・システムにおいて、

前記第 1 のパーティションが、前記バスを通して、前記第 2 のパーティションに相互接続され、

前記第 1 のパーティションが、前記第 2 のパーティションからデータを読み取るための、プル・コマンドを実行するように構成され、

前記第 1 のパーティションが、前記第 2 のパーティションにデータを書き込むための、プッシュ・コマンドを実行するように構成され、

前記少なくとも 1 つの書き込みモジュールが、前記第 2 のパーティションの前記少なくとも 1 つのデータ・ファイルを、前記バスを通して、前記第 1 のパーティションの前記少なくとも 1 つの第 2 のパーティション・データ用アドレス範囲に書き込むように構成され

、前記少なくとも 1 つの書き込みモジュールが、前記第 1 のパーティションの前記少なくとも 1 つのデータ・ファイルを、前記バスを通して、前記第 2 のパーティションの前記少なくとも 1 つのデータ・ストアに書き込むように構成され、

前記第 1 のパーティションが、前記第 2 のパーティションからのプッシュ・コマンドを制限するように構成され、

前記第 1 のパーティションが、前記第 2 のパーティションからのプル・コマンドを制限するように構成され、

前記第 1 のパーティションが、ハードウェア的に構成され、

前記第 2 のパーティションが、ハードウェア的に構成され、

前記第 2 のパーティションが、前記メモリ・アドレッシング構造にアクセスすることをハードウェア的に制限される、

コンピュータ・システムを要旨とする。

本発明の第 2 の実施態様は、第 1 の実施態様において、複数の入力 / 出力デバイスが、前記第 1 のパーティションの前記 I / O モジュールに結合されることを要旨とする。

本発明の第 3 の実施態様は、第 1 の実施態様において、前記プログラム・コード用アドレス範囲が、第 1 のメモリ・ユニットからなり、

前記第 1 のパーティション・データ用アドレス範囲が、第 2 のメモリ・ユニットからなり、

前記第 2 のパーティション・データ用アドレス範囲が、第 3 のメモリ・ユニットからなることを要旨とする。

本発明の第 4 の実施態様は、第 1 の実施態様において、

前記第 1 のパーティション及び第 2 のパーティションからなるチップをさらに備えることを要旨とする。

本発明の第 5 の実施態様は、第 1 の実施態様において、前記第 1 のパーティションからなる第 1 のチップと、前記第 2 のパーティションからなる第 2 のチップとをさらに備えることを要旨とする。

本発明の第 6 の実施態様は、第 1 の実施態様において、オン位置及びオフ位置を備える、少なくとも 1 つの外部物理スイッチをさらに備え、前記外部物理スイッチの前記オン位置が、前記少なくとも 1 つの書き込みモジュールが、前記第 1 のパーティションの前記プログラム・コード用アドレス範囲にアクセスすることを可能にすることを要旨とする。

本発明の第 7 の実施態様は、第 1 の実施態様において、前記少なくとも 1 つの書き込みモジュールが、フィールド・プログラマブル・ゲート・アレイからなることを要旨とする

。本発明の第 8 の実施態様は、第 1 の実施態様において、前記書き込みモジュールが、前記第 1 のパーティションの前記少なくとも 1 つのデータ・ストア、前記少なくとも 1 つの

プログラム・コード用アドレス範囲、前記少なくとも1つの第1のパーティション・データ用アドレス範囲、又は前記少なくとも1つの第2のパーティション・データ用アドレス範囲から、前記第2のパーティションに書き込むように構成されることを要旨とする。

本発明の第9の実施態様は、第1の実施態様において、前記第1のCPUが、前記プログラム・コード用アドレス範囲内に記憶された前記コンピュータ実行可能コードだけを実行するようにハードウェア的に構成されることを要旨とする。

本発明の第10の実施態様は、少なくとも1つのパーティション・コンピュータであって、

第1のパーティションであって、

少なくとも1つのCPUと、

少なくとも1つのメモリ・モジュールと、

少なくとも1つの書き込みモジュールと、

少なくとも1つのI/Oモジュールと、

少なくとも1つのデータ・ストアと、

メモリ・アドレッシング構造であって、

少なくとも1つのプログラム・コード用アドレス範囲と、

少なくとも1つの第1のパーティション・データ用アドレス範囲と、

少なくとも1つの第2のパーティション・データ用アドレス範囲と、

を備えるメモリ・アドレッシング構造と

からなる第1のパーティションと、

バスと、

第2のパーティションであって、

少なくとも1つのCPUと、

少なくとも1つのメモリ・モジュールと、

少なくとも1つのデータ・ファイルを含む、少なくとも1つのデータ・ストアと、

外部ネットワークに通信可能に結合された通信モジュールと

からなる第2のパーティションとからなり、

前記第1のパーティションが、前記バスを通して、前記第2のパーティションに相互接続され、

前記第1のパーティションの前記少なくとも1つのCPUが、前記第2のパーティションからのプッシュ・コマンド及び前記第2のパーティションからのプル・コマンドを制限するように構成され、

前記第2のパーティションが、前記第2のパーティションの前記データ・ファイルを、前記第1のパーティションの前記メモリ・アドレスに書き込むことはできない、

少なくとも1つのパーティション・コンピュータと、

前記少なくとも1つのI/Oモジュールと通信可能に結合された、少なくとも1つの別個のコンピュータとからなる、コンピュータ・システムにおいて、

前記少なくとも1つの別個のコンピュータが、外部ネットワークに通信可能に結合されず、

前記少なくとも1つの別個のコンピュータが、少なくとも1つの重要なデータ・ファイル及び少なくとも1つのデータ・セグメントを含み、

前記少なくとも1つの書き込みモジュールが、前記少なくとも1つの別個のコンピュータから読み取り、又は前記少なくとも1つの別個のコンピュータに書き込むように構成され、

前記第2のパーティションが、前記少なくとも1つの別個のコンピュータから読み取ること、又は前記少なくとも1つの別個のコンピュータに書き込むことはできず、

前記少なくとも1つの別個のコンピュータが、前記第2のパーティションから読み取ること、又は前記第2のパーティションに書き込むことはできず、

前記第1のパーティションが、ハードウェア的に構成され、

前記第2のパーティションが、ハードウェア的に構成され、

前記第2のパーティションが、前記メモリ・アドレッシング構造にアクセスすることをハードウェア的に制限される、コンピュータ・システムを要旨とする。

本発明の第11の実施態様は、第10の実施態様において、前記第2のパーティションの前記通信モジュールが、ネットワークに結合されることを要旨とする。

本発明の第12の実施態様は、第11の実施態様において、前記少なくとも1つの書き込みモジュールが、フィールド・プログラマブル・ゲート・アレイからなることを要旨とする。

本発明の第13の実施態様は、第11の実施態様において、前記少なくとも1つのプログラム・コード用アドレス範囲が、第1のメモリ・ユニットからなり、前記少なくとも1つの第1のパーティション・データ用アドレス範囲が、第2のメモリ・ユニットからなり、前記少なくとも1つの第2のパーティション・データ用アドレス範囲が、第3のメモリ・ユニットからなることを要旨とする。

本発明の第14の実施態様は、第10の実施態様において、外部ネットワークに通信可能に結合された、第2の別個のコンピュータをさらに備え、

前記第2のパーティションが、I/Oモジュールを備え、

前記第2の別個のコンピュータが、前記第2のパーティションの前記I/Oモジュールに結合され、

前記第2の別個のコンピュータが、重要なファイルを保有せず、

前記第2の別個のコンピュータが、前記第2のパーティションに書き込むこと、及び前記第2のパーティションから読み取ることができることを要旨とする。

本発明の第15の実施態様は、第14の実施態様において、複数の入力/出力デバイスが、前記第1のパーティションの前記I/Oモジュールに結合されることを要旨とする。

本発明の第16の実施態様は、第14の実施態様において、前記第1のパーティション及び第2のパーティションからなるチップをさらに備えることを要旨とする。

本発明の第17の実施態様は、第14の実施態様において、前記第1のパーティションからなる第1のチップと、前記第2のパーティションからなる第2のチップとをさらに備えることを要旨とする。

本発明の第18の実施態様は、第14の実施態様において、オン位置及びオフ位置を備える、少なくとも1つの外部物理スイッチをさらに備え、前記外部物理スイッチの前記オン位置が、前記書き込みモジュールが、前記第1のパーティションの前記プログラム・コード用アドレス範囲にアクセスすることを可能にすることを要旨とする。

本発明の第19の実施態様は、第10の実施態様において、前記書き込みモジュールが、前記第1のパーティションの前記少なくとも1つのデータ・ストア、前記少なくとも1つのプログラム・コード用アドレス範囲、前記少なくとも1つの第1のパーティション・データ用アドレス範囲、又は前記少なくとも1つの第2のパーティション・データ用アドレス範囲から、前記第2のパーティションに書き込むように構成されることを要旨とする。

本発明の第20の実施態様は、第10の実施態様において、前記第1のパーティションの前記少なくとも1つのCPUが、前記少なくとも1つのプログラム・コード用アドレス範囲内に記憶されたコンピュータ実行可能コードだけを実行するようにハードウェア的に構成されることを要旨とする。