

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5847472号
(P5847472)

(45) 発行日 平成28年1月20日(2016.1.20)

(24) 登録日 平成27年12月4日(2015.12.4)

(51) Int.Cl.

F 1

H04N 5/376	(2011.01)	H04N	5/335	760
G01T 7/00	(2006.01)	G01T	7/00	A
A61B 6/00	(2006.01)	A61B	6/00	300S
H01L 27/146	(2006.01)	H01L	27/14	C
H04N 5/32	(2006.01)	H04N	5/32	

請求項の数 11 (全 19 頁)

(21) 出願番号

特願2011-159011 (P2011-159011)

(22) 出願日

平成23年7月20日(2011.7.20)

(65) 公開番号

特開2013-26780 (P2013-26780A)

(43) 公開日

平成25年2月4日(2013.2.4)

審査請求日

平成26年7月16日(2014.7.16)

(73) 特許権者

000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人

100126240

弁理士 阿部 琢磨

(74) 代理人

100124442

弁理士 黒岩 創吾

(72) 発明者

大藤 将人

東京都大田区下丸子3丁目30番2号キヤ

ノン株式会社内

(72) 発明者

望月 千織

東京都大田区下丸子3丁目30番2号キヤ

ノン株式会社内

最終頁に続く

(54) 【発明の名称】 検出装置及び検出システム

(57) 【特許請求の範囲】

【請求項 1】

放射線又は光を電荷に変換する変換素子と、前記電荷に応じた電気信号を出力するスイッチ素子と、を含む画素が行列状に複数配置された画素アレイと、

各々が行方向に配置された複数の前記スイッチ素子に共通に接続された複数の駆動配線と、

複数の前記駆動配線の夫々に前記スイッチ素子の導通電圧と非導通電圧とを供給するために複数の前記駆動配線の夫々に対をなして設けられた単位回路を複数備える駆動回路部と、

前記駆動回路部が前記駆動配線へ前記導通電圧を供給するタイミングを規定するためのクロック信号を前記駆動回路部に供給する制御部と、

を含む検出装置であって、

前記導通電圧は、前記クロック信号に基づいた電圧であり、

前記制御部は、前記駆動配線への前記非導通電圧の供給を維持するための制御電圧を複数の前記単位回路に供給し、

前記単位回路は、前記クロック信号と、前記駆動配線への前記導通電圧の供給を前記単位回路が開始するための開始信号と、前記駆動配線への前記導通電圧の供給を前記単位回路が終了するための終了信号と、が入力され、前記導通電圧の前記駆動配線への供給を前記単位回路への前記開始信号の入力に応じて行う第1回路と、前記単位回路に入力される前記非導通電圧の前記駆動配線への供給を、前記単位回路への前記終了信号の入力に応じ

10

20

て行う第2回路と、前記駆動配線への前記非導通電圧の供給を前記単位回路への前記制御電圧の入力に応じて維持する第3回路と、を含み、

前記制御電圧は、前記クロック信号、前記開始信号、及び、前記終了信号とは別に、複数の前記単位回路に供給されることを特徴とする検出装置。

【請求項2】

前記画素アレイは、基板の上に配置されており、

前記複数の駆動配線は、前記基板の上で行方向に配置された複数の前記スイッチ素子と共に接続された駆動配線が、列方向に複数配置されたものであり、

前記駆動回路部は、前記単位回路を前記基板の上に複数配置されてなることを特徴とする請求項1に記載の検出装置。 10

【請求項3】

前記単位回路は、前記導通電圧と前記非導通電圧とを含む出力信号を前記駆動配線に供給するために前記駆動配線に接続される出力部と、前記開始信号が入力される第1入力部と、前記クロック信号が入力される第2入力部と、前記非導通電圧が入力される第3入力部と、前記終了信号が入力される第4入力部と、前記制御電圧が入力される第5入力部と、を含み、

前記第1回路は、前記出力部に一方の端子が接続された第1容量素子と、前記第1入力部と前記第1容量素子の他方の端子との間で前記第1容量素子に直列に接続された第1薄膜トランジスタと、前記第2入力部と前記出力部との間に設けられた第2薄膜トランジスタと、を含み、前記第1薄膜トランジスタのソース及びドレインの一方とゲートは前記第1入力部に接続され、前記第1薄膜トランジスタのソース及びドレインの他方は前記第1容量素子の他方の端子に第1節点で接続され、前記第2薄膜トランジスタのゲートは前記第1節点と接続され、前記第2薄膜トランジスタのソース及びドレインの一方は前記第2入力部と接続され、前記第2薄膜トランジスタのソース及びドレインの他方は前記出力部と接続されており。 20

前記第2回路は、前記第3入力部と前記第1容量素子の他方の端子との間で前記第1容量素子と直列に接続された第3薄膜トランジスタと、前記第3入力部と前記出力部との間に設けられた第4薄膜トランジスタと、前記第3入力部と前記第4薄膜トランジスタのゲートとの間に設けられた第2容量素子と、前記第4入力部と前記第3薄膜トランジスタのゲート及び前記第4薄膜トランジスタのゲートとの間に設けられた第5薄膜トランジスタと、前記第2容量素子に並列に設けられた第6薄膜トランジスタと、を含み、前記第3薄膜トランジスタのゲートは前記第5薄膜トランジスタを介して前記第4入力部と接続され、前記第3薄膜トランジスタのソース及びドレインの一方は前記第3入力部に接続され、前記第3薄膜トランジスタのソース及びドレインの他方は前記第1容量素子の他方の端子に前記第1節点で接続され、前記第4薄膜トランジスタのゲートは前記第5薄膜トランジスタを介して前記第4入力部に接続され、前記第4薄膜トランジスタのソース及びドレインの一方は前記第3入力部に接続され、前記第4薄膜トランジスタのソース及びドレインの他方は前記出力部に接続され、前記第2容量素子の一方の端子は前記第3入力部に接続され、前記第2容量素子の他方の端子は前記第4薄膜トランジスタのゲートに第2節点で接続され、前記第5薄膜トランジスタのソース及びドレインの一方とゲートは前記第4入力部に接続され、前記第5薄膜トランジスタのソース及びドレインの他方は前記第2節点に接続され、前記第6薄膜トランジスタのゲートは前記第1入力部に接続され、前記第6薄膜トランジスタのソース及びドレインの一方は前記第3入力部に接続され、前記第6薄膜トランジスタのソース及びドレインの他方は前記第2節点に接続されており。 30

前記第3回路は、前記制御電圧に応じて前記出力部を前記非導通電圧に維持するための第7薄膜トランジスタを含む、

ことを特徴とする請求項2に記載の検出装置。 40

【請求項4】

前記第7薄膜トランジスタは、ゲートが前記第5入力部に接続され、ソース及びドレインの一方が前記第3入力部に接続され、ソース及びドレインの他方が前記出力部に接続さ 50

れることを特徴とする請求項 3 に記載の検出装置。

【請求項 5】

前記第 7 薄膜トランジスタは、ゲートとソース及びドレインの一方とが前記第 5 入力部に接続され、ソース及びドレインの他方が前記第 2 節点に接続されることを特徴とする請求項 3 に記載の検出装置。

【請求項 6】

前記第 3 回路は、前記制御電圧に応じて前記第 1 節点を前記非導通電圧に維持するための第 8 薄膜トランジスタを更に含むことを特徴とする請求項 3 ~ 5 のいずれか 1 項に記載の検出装置。

【請求項 7】

前記駆動回路部は、複数の前記単位回路を一組とする単位回路群を複数含み、

前記制御部は、複数の前記単位回路群毎に前記制御電圧を供給することを特徴とする請求項 3 ~ 6 のいずれか 1 項に記載の検出装置。

【請求項 8】

前記制御部は、複数の前記単位回路群から選択された単位回路群から選択的に前記駆動配線への前記導通電圧の供給を開始するための選択信号を前記選択された単位回路群の初段の単位回路に供給し、

前記単位回路群の初段の単位回路は、前記選択信号に応じて、前記第 1 回路に前記導通電圧を前記駆動配線に供給させるための第 4 回路を更に含むことを特徴とする請求項 7 に記載の検出装置。

【請求項 9】

前記単位回路群の初段の単位回路は、前記選択信号が入力される第 6 入力部を更に含み、

前記第 4 回路は、前記第 6 入力部と前記第 1 容量素子の他方の端子との間で前記第 1 容量素子に直列に接続された第 9 薄膜トランジスタと、前記第 2 容量素子及び前記第 6 薄膜トランジスタとに並列に設けられた第 10 薄膜トランジスタと、を含み、前記第 9 薄膜トランジスタのソース及びドレインの一方とゲートは前記第 6 入力部に接続され、前記第 9 薄膜トランジスタのソース及びドレインの他方は前記第 1 節点に接続され、前記第 10 薄膜トランジスタのソース及びドレインの一方は前記第 3 入力部に接続され、前記第 10 薄膜トランジスタのソース及びドレインの他方は前記第 2 節点に接続されることを特徴とする請求項 8 に記載の検出装置。

【請求項 10】

前記制御部は、複数の単位回路群のうち選択的に導通電圧が供給されるべき複数の前記駆動配線に接続される単位回路を含む単位回路群を除く単位回路群の前記出力部が前記非導通電圧に維持されるように、複数の前記単位回路群毎に前記制御電圧を供給することを特徴とする請求項 8 又は 9 に記載の検出装置。

【請求項 11】

請求項 1 ~ 10 のいずれか 1 項に記載の検出装置と、

前記検出装置からの信号を処理する信号処理手段と、

前記信号処理手段からの信号を記録するための記録手段と、

前記信号処理手段からの信号を表示するための表示手段と、

前記信号処理手段からの信号を伝送するための伝送処理手段と、

を具備する検出システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、医療用画像診断装置、非破壊検査装置、放射線を用いた分析装置などに応用される、検出装置および検出システムに関する。

【背景技術】

10

20

30

40

50

【0002】

薄膜半導体製造技術は、薄膜トランジスタ（TFT）等のスイッチ素子と光電変換素子等の変換素子とを組み合わせた画素のアレイ（画素アレイ）を有する検出装置に利用されている。従来の検出装置は、 $150 \sim 200 \mu\text{m}$ のピッチで画素がアレイ状に配列された、例えば $43\text{cm} \times 43\text{cm}$ の基板が用いられてきた。そして、駆動配線を介して画素アレイを行単位で駆動するための駆動回路や、行単位で駆動された画素アレイから信号配線を介して並列に入力した信号を直列な信号として出力する読出回路が、単結晶シリコンの集積回路で準備される。そして駆動回路や読出回路が、その基板にチップオングラス実装されて、検出装置が構成されている。

【0003】

10

このような検出装置では、近年、従来の基板のサイズを維持したまま、画素の小ピッチ化が求められており、 $50 \sim 80 \mu\text{m}$ のピッチの画素アレイが要求されている。そのため、単結晶シリコンの集積回路で準備された駆動回路を画素アレイが備えられた基板にチップオングラス実装することが困難となる。また、画素の小ピッチ化だけでなく、部品点数の削減や基板に対する画素アレイの専有面積増大化のため、駆動回路等をTFTプロセスで基板上に一体形成するシステムオンパネル化が求められている。

【0004】

一方、TFTを用いた液晶表示装置では、駆動回路等をTFTプロセスで基板上に一体形成するシステムオンパネル化が進められている。非特許文献1には、TFTプロセスで基板上に一体形成され、画素の行単位で準備された単位回路が、駆動配線に対応して複数段設けられた駆動回路が開示されている。この単位回路は、出力部と、第1入力部と、第2入力部と、第3入力部と、第4入力部と、を含む。ここで、第1入力部は、スタート信号又は前段の単位回路の出力信号が入力される部分であり、出力部は、スイッチ素子の導通電圧と非導通電圧を含む出力信号を駆動配線に供給するために駆動配線に接続される部分である。また、第2入力部は、クロック信号が入力される部分であり、第3入力部は、スイッチ素子の非導通電圧が入力される部分であり、第4入力部は、リセット信号又は後段の単位回路の出力信号が入力される部分である。そして、単位回路は、出力部に一方の端子が接続された第1容量素子と、第1入力部と第1容量素子の他方の端子との間に設けられた第2薄膜トランジスタと、を含む。第1薄膜トランジスタは、そのソース及びドレインの一方とゲートが第1入力部に接続され、ソース及びドレインの他方が第1容量素子の他方の端子に第1節点Pで接続される。第2薄膜トランジスタは、そのゲートが第1節点Pと接続され、ソース及びドレインの一方が第2入力部と接続され、ソース及びドレインの他方が出力部と接続される。また、この単位回路は、第3入力部と第1容量素子の他方の端子との間に第1容量素子と直列に接続された第3薄膜トランジスタと、第3入力部と出力部との間に設けられた第4薄膜トランジスタと、を含む。第3薄膜トランジスタは、そのゲートが第2節点Qと接続され、ソース及びドレインの一方が第3入力部に接続され、ソース及びドレインの他方が第1容量素子の他方の端子に第1節点Pで接続される。第4薄膜トランジスタは、そのゲートが第2節点Qと接続され、ソース及びドレインの一方が第3入力部と接続され、ソース及びドレインの他方が出力部と接続される。また、この単位回路は、第3入力部と第4薄膜トランジスタのゲートとの間に設けられた第2容量素子を含む。

【0005】

20

更に、この単位回路は、第4入力部と第2及び第4薄膜トランジスタのゲートとの間に設けられた第5薄膜トランジスタと、第2容量素子に並列に設けられた第6薄膜トランジスタと、を含む。第2容量素子は、その一方の端子が第3入力部に接続され、他方の端子が第4薄膜トランジスタのゲートに第2節点Qで接続される。第5薄膜トランジスタは、そのソース及びドレインの一方とゲートが第4入力部に接続され、ソース及びドレインの他方が第2節点Qと接続される。第6薄膜トランジスタは、そのゲートが第1入力部に接続され、ソース及びドレインの一方が第3入力部に接続され、ソース及びドレインの他方が

30

40

50

第2節点Qと接続される。ここで、第1～6の各薄膜トランジスタの閾値電圧をV_{t h}と、第3入力部以外の単位回路の各部に入力される信号の最大電圧値をV_{D D}と、最小電圧値をV_{S S}と、する。また、第2入力部に供給される非導通電圧もV_{S S}とする。この単位回路は、第1及び第2薄膜トランジスタと第1容量素子により、当該単位回路が選択された際には、第3入力部に入力されるクロック信号の最大電圧値であるV_{D D}を出力する、所謂ポートストラップ動作を行うことができる。また、この単位回路は、第5及び第6薄膜トランジスタと第2容量素子により、当該単位回路が非選択の際には、非導通電圧を出力することができる。つまり、第1及び第2薄膜トランジスタと第1容量素子は、当該単位回路が選択された際に画素のスイッチ素子の導通電圧として第2入力部に入力されるクロック信号の最大値であるV_{D D}を出力部に供給する回路として機能する。また、第3～第6薄膜トランジスタと第2容量素子は、当該単位回路が非選択の際に非導通電圧V_{S S}を出力部に供給する回路として機能する。10

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】J. H. Oh, Proceedings of Soc. Info. Disp., '05, 942.

【発明の概要】

【発明が解決しようとする課題】

【0007】

薄膜トランジスタにはリーク電流（チャネルリーク）が存在するため、上記単位回路において、特に非選択の際の非導通電圧の維持に課題がある。これは、第5及び第6の薄膜トランジスタにチャネルリークが存在すると、第2節点Qの電位が徐々に低下して、経過時間が長くなると第4薄膜トランジスタのゲートにV_{t h}を超える電圧を供給することができなくなるためである。そのような場合、第4薄膜トランジスタが非導通状態となるため、単位回路の出力部にV_{S S}を供給できなくなり、単位回路の出力部がフローティング状態となる。そして、第2薄膜トランジスタのゲート-ドレイン間容量C_{gd}又はゲート-ソース間容量C_{gs}や、クロック信号を供給する配線と駆動配線とが交差する領域での寄生容量により、第2入力部と出力部とが直接的に容量結合している。そのため、単位回路の出力部がフローティング状態となると、第3入力部に入力されるクロック信号の電位変動が、駆動配線に影響し、駆動配線の電位が変動する。駆動配線は信号配線と交差する領域で寄生容量を有しており、駆動配線の電位変動はその寄生容量を介して信号配線の電位に影響を与え、画素から信号配線を介して出力される信号に駆動配線の電位変動が混入する。そのため、画素から信号配線を介して出力される信号に駆動配線の電位変動に起因するノイズ成分が多くなり、検出装置から得られる信号のS/N比を低下させる恐れがあった。30

【0008】

そこで、本発明では、駆動回路をTFTプロセスで基板上に一体形成した検出装置において、駆動配線の電位変動に起因するS/N比の低下を抑制する検出装置を提供することを課題とする。40

【課題を解決するための手段】

【0009】

本発明の検出装置は、放射線又は光を電荷に変換する変換素子と、前記電荷に応じた電気信号を出力するスイッチ素子と、を含む画素が行列状に複数配置された画素アレイと、各々が行方向の複数の前記スイッチ素子に共通に接続された複数の駆動配線と、複数の前記駆動配線の夫々に前記スイッチ素子の導通電圧と非導通電圧とを供給するために複数の前記駆動配線の夫々に対をなして設けられた単位回路を複数備える駆動回路部と、前記駆動回路部が前記駆動配線へ前記導通電圧を供給するタイミングを規定するためのクロック信号を前記駆動回路部に供給する制御部と、を含む検出装置であって、前記導通電圧は、前記クロック信号に基づいた電圧であり、前記制御部は、前記駆動配線への前記非導通電50

圧の供給を維持するための制御電圧を複数の前記単位回路に共通に供給し、前記単位回路は、前記クロック信号と、前記駆動配線への前記導通電圧の供給を前記単位回路が開始するための開始信号と、前記駆動配線への前記導通電圧の供給を前記単位回路が終了するための終了信号と、が入力され、前記導通電圧の前記駆動配線への供給を前記単位回路への前記開始信号の入力に応じて行う第1回路と、前記単位回路に入力される前記非導通電圧の前記駆動配線への供給を、前記単位回路への前記終了信号の入力に応じて行う第2回路と、前記駆動配線への前記非導通電圧の供給を前記単位回路への前記制御電圧の入力に応じて維持する第3回路と、を含み、前記制御電圧は、前記クロック信号、前記開始信号、及び、前記終了信号とは別に、複数の前記単位回路に供給されることを特徴とする。

【発明の効果】

10

【0010】

本発明により、駆動回路をTFTプロセスで基板上に一体形成した検出装置において、駆動配線の電位変動に起因するS/N比の低下を抑制する検出装置を提供することが可能となる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態の検出装置及び単位回路の概略的等価回路図である。

【図2】本発明の第1の実施形態の検出装置の動作を説明するためのタイミングチャートである。

【図3】本発明の検出装置の平面図及び1画素あたりの断面図である。

20

【図4】本発明の第1の実施形態の単位回路の他の例を示す概略的等価回路図である。

【図5】本発明の第2の実施形態の検出装置及び単位回路の概略的等価回路図である。

【図6】本発明の第2の実施形態の検出装置の動作を説明するためのタイミングチャートである。

【図7】本発明の第2の実施形態の単位回路の他の例を示す概略的等価回路図である。

【図8】本発明の検出装置を用いた放射線検出システムの概念図である。

【発明を実施するための形態】

【0012】

本願発明者は、誠意検討の結果、駆動配線の電位変動は検出装置において創出され得る新規な課題であることを見出した。フレーム周期が1/30~1/60秒である表示装置では、非選択の際の非導通電圧の維持に求められる時間は1/30~1/60秒と短く、単位回路の出力部がフローティング状態となることは想定し難い。一方、検出装置では、非選択の際の非導通電圧の維持に求められる時間が1~3秒と長い動作形態があり、単位回路の出力部がフローティング状態となる可能性がある。以下、上記検出装置において創出された課題を解決する本発明の実施の形態を、図面に基づいて説明する。なお、本願明細書において放射線は、放射線崩壊によって放出される粒子（光子を含む）の作るビームである 線、 線、 線などの他に、同程度以上のエネルギーを有するビーム、例えばX線や粒子線、宇宙線なども、含まれるものとする。

30

【0013】

(第1の実施形態)

40

先ず、図1(a), (b)を用いて本発明の第1の実施形態に係る検出装置について説明する。図1(a)は検出装置の概略的等価回路であり、図1(b)は検出装置の駆動回路部に設けられる単位回路を説明する概略的等価回路である。

【0014】

本発明の検出装置100は、図1(a)に示すように、画素110が絶縁性基板101の上に行列状に複数配置された画素アレイを含む。本実施形態では、m行n列の画素アレイである。この画素110は、放射線又は光を電荷に変換する変換素子111と、変換された電荷に応じた電気信号を出力するスイッチ素子112と、を含む。変換素子111の第1電極には、スイッチ素子112のソース及びドレインの一方が電気的に接続され、変換素子111の第2電極には、電極配線180に電気的に接続される。電極配線180は

50

、接続用端子 V_s を介して電源部 140 に接続される。スイッチ素子 112 のソース及びドレインの他方には、信号配線 170 が電気的に接続される。信号配線 170 は、行方向に複数 (n 本) 配置され、各々が列毎に、列方向に配列された複数のスイッチ素子 112 のソース及びドレインの他方に共通に接続され、接続用端子 $S_1 - S_n$ を介して外部の読出回路部 130 に接続される。スイッチ素子 103 の制御電極には、駆動配線 160 が電気的に接続される。駆動配線 160 は、列方向に複数 (m 本) 配置され、各々が行毎に、行方向に配列された複数のスイッチ素子 112 のゲートに共通に接続し、また、絶縁性基板 101 の上に設けられた駆動回路部 120 に接続される。駆動回路部 120 は、接続端子 V_{ss} を介して電源部 140 と接続され、接続端子 CL_1, CL_2, ST, LH を介して制御部 150 と接続される。電源部 140 は、変換素子に供給するための電圧 V_s を電極配線 180 に供給し、スイッチ素子の非導通電圧 V_{ss} を駆動回路部 120 に供給する。
10 制御部 150 は、駆動回路部 120 が駆動配線 160 へのスイッチ素子 112 の導通電圧 V_{DD} の供給を開始するためのスタート信号 ST を駆動回路部 120 に供給する。また、制御部 150 は、導通電圧 V_{DD} 又は非導通電圧 V_{ss} の供給のタイミングを規定するクロック信号 CL_1 及び CL_2 を駆動回路部 120 に供給する。更に、制御部 150 は、駆動配線 160 への導通電圧 V_{DD} の供給を終了するためのリセット信号と、駆動配線 160 への非導通電圧 V_{ss} の供給を維持するための制御信号 LH と、 LH を駆動回路部 120 に供給する。なお、本実施形態では、制御信号 LH がリセット信号を兼ねるものとなっている。

【0015】

20

駆動回路部 120 は、絶縁性基板 101 の上に設けられた単位回路 121 を一つの駆動配線 160 に一つ備えており、駆動回路部 120 全体としては、複数の駆動配線 160 夫々に対をなして複数個 (m 個) の単位回路 121 を備えている。単位回路 121 は、導通電圧 V_{DD} と非導通電圧 V_{ss} とを含む出力信号 V_g を駆動配線 160 に供給する。

【0016】

30

単位回路 121 は、図 1 (b) に示すように、出力部 V_{OUT} と、第 1 入力部 SET と、第 2 入力部 CLK と、第 3 入力部 VSS と、第 4 入力部 $RESET$ と、第 5 入力部 $LHLD$ を含む。ここで、第 1 入力部 SET は、スタート信号 ST 又は前段の単位回路の出力信号 V_g が入力される部分であり、出力部 V_{OUT} は、出力信号 V_g を駆動配線 160 に供給するために駆動配線 160 に接続される部分である。なお、本発明において、スタート信号 ST と前段の単位回路の出力信号 V_g を、単位回路 121 がスイッチ素子 112 の導通電圧 V_{DD} の供給を開始するために単位回路 121 に入力される開始信号と規定する。また、第 2 入力部 CLK は、クロック信号 CL_1 又は CL_2 が入力される部分であり、第 3 入力部 VSS は、非導通電圧 V_{ss} が入力される部分である。また、第 4 入力部 $RESET$ は、リセット信号又は後段の単位回路 121 の出力信号 V_g が入力される部分であり、第 5 入力部 $LHLD$ は、制御信号 LH が入力される部分である。なお、本発明において、リセット信号と後段の単位回路 121 の出力信号 V_g を、単位回路 121 がスイッチ素子 112 の導通電圧 V_{DD} の供給を終了するために単位回路 121 に入力される終了信号と規定する。

【0017】

40

単位回路 121 は、第 1 回路と第 2 回路に加えて、第 3 回路を有することを特徴とする。

【0018】

第 1 回路は、第 1 薄膜トランジスタ T_1 と第 2 薄膜トランジスタ T_2 と第 1 容量素子 C_1 を含む。この第 1 回路は、ある単位回路 121 が選択された際に第 2 入力部 CLK に入力されるクロック信号 CL の最大値である V_{DD} に基づいて導通電圧として V_{DD} を出力部 V_{OUT} に供給する回路である。第 1 容量素子 C_1 は、一方の端子が出力部 V_{OUT} に接続される。第 1 薄膜トランジスタ T_1 は、第 1 入力部 SET と第 1 容量素子 C_1 の他方の端子との間で第 1 容量素子 C_1 に直列に接続される。第 1 薄膜トランジスタ T_1 は、そのソース及びドレインの一方とゲートが第 1 入力部 SET に接続され、ソース及びド

50

レインの他方が第1容量素子C1の他方の端子に第1節点Pで接続される。また、第2薄膜トランジスタT2は、第2入力部CLKと出力部OUTとの間に設けられる。第2薄膜トランジスタT2は、そのゲートが第1節点Pと接続され、ソース及びドレンイの一方が第2入力部CLKと接続され、ソース及びドレンイの他方が出力部VOUTと接続される。

【0019】

第2回路は、第3薄膜トランジスタT3と第4薄膜トランジスタT4と第2容量素子C2と第5薄膜トランジスタT5と第6薄膜トランジスタT6とを含む。この第2回路は、駆動配線160への導通電圧 V_{DD} の供給を終了するためにリセット信号又は後段の単位回路121の出力信号 V_g に応じて、非導通電圧 V_{SS} の駆動配線160への供給を行う回路である。第3薄膜トランジスタT3は、第3入力部VSSと第1容量素子C1の他方の端子との間で第1容量素子C1と直列に接続される。第3薄膜トランジスタT3は、そのゲートが第4入力部RESETと接続され、ソース及びドレンイの一方が第3入力部VSSに接続されソース及びドレンイの他方が第1容量素子C1の他方の端子に第1節点Pで接続される。第4薄膜トランジスタT4は、第3入力部VSSと出力部VOUTとの間に設けられる。第4薄膜トランジスタT4は、そのゲートが第4入力部RESETに接続され、ソース及びドレンイの一方が第3入力部VSSに接続され、ソース及びドレンイの他方が出力部VOUTに接続される。第2容量素子C2は、第3入力部VSSと第4薄膜トランジスタT4のゲートとの間に設けられる。第2容量素子C2は、その一方の端子が第3入力部VSSに接続され、他方の端子が第4薄膜トランジスタT4のゲートに第2節点Qで接続される。第5薄膜トランジスタT5は、第4入力部RESETと第3薄膜トランジスタT3のゲート及び第4薄膜トランジスタT4のゲートとの間に設けられる。第5薄膜トランジスタT5は、そのソース及びドレンイの一方とゲートが第4入力部RESETに接続され、ソース及びドレンイの他方が第2節点Qに接続される。第6薄膜トランジスタT6は、第2容量素子に並列に設けられる。第6薄膜トランジスタT6は、そのゲートが第1入力部SETに接続され、ソース及びドレンイの一方が第3入力部VSSに接続され、ソース及びドレンイの他方が第2節点Qに接続される。

【0020】

そして、第3回路は、少なくとも第7薄膜トランジスタT7を含む。この第3回路は、制御信号LHの電圧 V_{DD} に応じて駆動配線160への非導通電圧 V_{SS} の供給を維持する回路である。ここで、本発明では、制御信号LHの電圧 V_{DD} を制御電圧と称する。第7薄膜トランジスタT7は、制御信号LHの電圧 V_{DD} に応じて出力部VOUTへの非導通電圧 V_{SS} の供給を維持するために、第3入力部VSSと第5入力部LHLDと出力部VOUTとの間に設けられる。第7薄膜トランジスタT7は、そのゲートが第5入力部LHLDに接続され、ソース及びドレンイの一方が第3入力部VSSに接続され、ソース及びドレンイの他方が出力部VOUTに接続される。制御部150から複数の単位回路121の第7薄膜トランジスタT7に共通に制御信号LHの電圧 V_{DD} が供給されることにより、供給された単位回路121に接続された駆動配線160への非導通電圧 V_{SS} の供給が維持される。なお、本実施形態の第3回路は、第7薄膜トランジスタT7に加えて、第8薄膜トランジスタT8も含むものである。第8薄膜トランジスタT8は、制御信号LHに応じて第1節点Pを非導通電圧 V_{SS} に維持するために、第3入力部VSSと第5入力部LHLDと第1節点Pとの間に設けられる。第8薄膜トランジスタT8は、そのゲートが第5入力部LHLDに接続され、ソース及びドレンイの一方が第3入力部VSSに接続され、ソース及びドレンイの他方が第1節点Pに接続される。制御部150から複数の単位回路121の第8薄膜トランジスタT8に共通に制御信号LHの電圧 V_{DD} が供給されることにより、供給された単位回路121の第1節点Pへの非導通電圧 V_{SS} の供給が維持される。なお、本実施形態では制御電圧として制御信号LHの電圧 V_{DD} を用いたが、本発明はそれに限定されるものではない。制御電圧として制御信号LHの電圧 V_{SS} を用いてもよく、その場合には、制御部150と第5入力部150との間に極性反転回路を設ける等、適宜設計し得る。

10

20

30

40

50

【0021】

本発明の駆動回路部120を構成する各薄膜トランジスタは、非晶質シリコン等の非晶質半導体材料、多結晶シリコン等の多結晶半導体材料、有機半導体材料、酸化物半導体材料を用いることができる。ここで、例えば、スイッチ素子112としてトップゲート型の多結晶シリコンのTFTを用いる場合、駆動回路部120もトップゲート型の多結晶シリコンのTFTを用いることが好ましい。また、スイッチ素子112としてボトムゲート型の非晶質シリコンのTFTを用いた場合であっても、駆動回路部120ではトップゲート型の多結晶シリコンのTFTを用いてもよい。

【0022】

次に、図2のタイミングチャートを用いて、図1(a)及び図1(b)に示す検出装置の動作を説明する。なお、ここでは、各薄膜トランジスタT1~T8の閾値電圧をいずれもVthとする。また、スタート信号ST、クロック信号CL1及びCL2、及び、制御信号LHの最大電圧値をVDDと、最小電圧値をVSSとする。また、クロック信号CL1とCL2とは、位相が互いに180度となるものであり、CL1は奇数行の単位回路121に、CL2は偶数行の単位回路121に、それぞれ供給されるものである。また、導通電圧VDDと非導通電圧VSSと閾値電圧Vthは、 $|V_{DD} - V_{SS}| > V_{th}$ 、且つ、 $V_{DD} > 2V_{th}$ 、を満たすように設定する

時刻t1では、1段目の単位回路121の第1入力部SETにスタート信号STのVDDが、第2入力部CLKにクロック信号CL1のVSSが、第5入力部LHDに制御信号LHのVSSが、制御部150から与えられる。また、1段目の単位回路121の第3入力部VSSにはVSSが電源部140から与えられており、第4入力部RESETには2段目の出力信号Vg2としてVSSが与えられている。これにより、1段目の単位回路121では、第1薄膜トランジスタT1と第6薄膜トランジスタT6が導通状態となる。そして、1段目の単位回路121では、第3薄膜トランジスタT3と第4薄膜トランジスタT4と第5薄膜トランジスタT5と第7薄膜トランジスタT7と第8薄膜トランジスタT8とが非導通状態となる。これにより、1段目の単位回路121では、第1節点Pの電位が $|V_{DD} - V_{th}|$ となり、第2節点Qの電位がVSSとなる。そのため、1段目の単位回路121では、第2薄膜トランジスタT2が導通状態となり、出力部VOUTの電位がVSSとなる。

【0023】

次に、時刻t2では、1段目の単位回路121の第1入力部SETにスタート信号STのVSSが、第2入力部CLKにクロック信号CL1のVDDが、第5入力部LHDに制御信号LHのVSSが、制御部150から与えられる。また、1段目の単位回路121の第3入力部VSSにはVSSが電源部140から与えられており、第4入力部RESETには2段目の出力信号Vg2のVSSが与えられている。それにより、1段目の単位回路121では、第2薄膜トランジスタT2以外の薄膜トランジスタが非導通状態となる。この際、第2薄膜トランジスタT2のソース及びドレインの他方とゲートとが第1容量素子C1を介して結合しているため、1段目の単位回路121では、第1節点Pの電位が $|2V_{DD} - V_{th}|$ となる。それにより、1段目の単位回路121では、出力部VOUTの電位がVDDとなる(ブーストストラップ動作)。これにより、1行目の駆動配線160に出力信号Vg1としてVDDが1段目の単位回路121から供給され、1行目の複数のスイッチ素子112が導通状態となる。これにより、1行目の複数の変換素子111の電荷に応じた電気信号が、行方向に配列された複数の信号配線170に並列に出力される。一方、2段目の単位回路121の第1入力部SETに1段目の単位回路121の出力信号Vg1のVDDが、第2入力部CLKにクロック信号CL2のVSSが、第5入力部LHDに制御信号LHのVSSが、制御部150から与えられる。また、2段目の単位回路121の第3入力部VSSにはVSSが電源部140から与えられており、第4入力部RESETには3段目の出力信号Vg3のVSSが与えられている。そのため、時刻t1の1段目の単位回路121と同様に、2段目の単位回路121では、第1節点Pの電位が $|V_{DD} - V_{th}|$ となり、第2節点Qの電位がVSSとなり、第2薄膜トラン

10

20

30

40

50

ジスタT2が導通状態となり、出力部VOUTの電位がV_{SS}となる。

【0024】

次に、時刻t3では、1段目の単位回路121の第1入力部SETにスタート信号STのV_{SS}が、第2入力部CLKにクロック信号CL1のV_{SS}が、第5入力部LHDに制御信号LHのV_{SS}が、制御部150から与えられる。また、1段目の単位回路121の第3入力部VSSにはV_{SS}が電源部140から与えられており、第4入力部RESETには後述する2段目の出力信号Vg2のV_{DD}が与えられる。それにより、1段目の単位回路121では、第1薄膜トランジスタT1と第6薄膜トランジスタT6と第7薄膜トランジスタT7と第8薄膜トランジスタT8とが非導通状態である。そして、1段目の単位回路121では、第5薄膜トランジスタT5が導通状態となる。これにより、1段目の単位回路121では、第1節点Pの電位がV_{SS}となり、第2節点Qの電位が|V_{DD}-V_{th}|となる。そのため、1段目の単位回路121では、第2薄膜トランジスタT2が非導通状態となり、第3薄膜トランジスタT3と第4薄膜トランジスタT4とが導通状態となり、出力部VOUTの電位がV_{SS}となる。一方、2段目の単位回路121の第1入力部SETに1段目の単位回路121の出力信号Vg1のV_{SS}が、第2入力部CLKにクロック信号CL2のV_{DD}が、第5入力部LHDに制御信号LHのV_{SS}が、制御部150から与えられる。また、2段目の単位回路121の第3入力部VSSにはV_{SS}が電源部140から与えられており、第4入力部RESETには3段目の出力信号Vg3のV_{SS}が与えられている。そのため、時刻t2の1段目の単位回路121と同様に、2段目の単位回路121では、第1節点Pの電位が|2V_{DD}-V_{th}|となり、出力部VOUTの電位がV_{DD}となる(ブートストラップ動作)。つまり、2段目(後段)の単位回路121は、1段目(前段)の単位回路121の出力信号Vg1のV_{DD}を引き金として、1段目(前段)からクロック信号の半周期分の時間(t3-t2)遅れて、1段目(前段)と同様の動作を行う。このような動作がm段目の単位回路121まで順次行われ、列方向に配置された複数の駆動配線160には、導通電圧V_{DD}が駆動回路部120から順次に供給される。

【0025】

次に、時刻t4では、m段目の単位回路121の第1入力部SETにm-1段目の単位回路121の出力信号Vg1のV_{SS}が、第2入力部CLKにクロック信号CL1のV_{SS}が、制御部150から与えられる。また、1段目の単位回路121の第4入力部RESETと第5入力部LHDに制御信号LHのV_{DD}が、制御部150から与えられる。そして、1段目の単位回路121の第3入力部VSSにはV_{SS}が電源部140から与えられている。それにより、m段目の単位回路121では、第1薄膜トランジスタT1と第6薄膜トランジスタT6とが非導通状態である。そして、m段目の単位回路121では、第5薄膜トランジスタT5と第7薄膜トランジスタT7と第8薄膜トランジスタT8とが導通状態となる。これにより、m段目の単位回路121では、第1節点Pの電位がV_{SS}となり、第2節点Qの電位が|V_{DD}-V_{th}|となり、出力部VOUTの電位がV_{SS}となる。そのため、m段目の単位回路121では、第2薄膜トランジスタT2が非導通状態となり、第3薄膜トランジスタT3と第4薄膜トランジスタT4とが導通状態となり、出力部VOUTの電位がV_{SS}となる。また、他の単位回路121の第5入力部LHDにも、制御信号LHのV_{DD}が、制御部150から共通に与えられる。これにより、他の単位回路121でも、第7薄膜トランジスタT7と第8薄膜トランジスタT8とが導通状態となる。それにより、他の単位回路121でも、第1節点Pの電位がV_{SS}となり、出力部VOUTの電位がV_{SS}となる。

【0026】

次に、時刻t5では、制御信号LHがV_{DD}からV_{SS}となり、各単位回路121の第7薄膜トランジスタT7及び第8薄膜トランジスタT8は非導通状態となる。そして、時刻t1と同様に、1段目の単位回路121の第1入力部SETにスタート信号STのV_{DD}が、第2入力部CLKにクロック信号CL1のV_{SS}が、制御部150から与えられる。また、1段目の単位回路121の第3入力部VSSにはV_{SS}が電源部140か

10

20

30

40

50

ら与えられており、第4入力部RESETには2段目の出力信号Vg2としてVssが与えられている。これにより、時刻t1と同様に、1段目の単位回路121では、第1節点Pの電位が|Vdd-Vth|となり、第2節点Qの電位がVssとなる。そのため、1段目の単位回路121では、第2薄膜トランジスタT2が導通状態となり、出力部VOUTの電位がVssとなる。そして時刻t6では、時刻t2と同様に、1段目の単位回路121では出力部VOUTの電位がVddとなり、時刻t7では、時刻t3と同様に、2段目の単位回路121では出力部VOUTの電位がVddとなる。

【0027】

ここで、制御信号LHは、時刻t4から時刻t5までVddとなっており、その間は制御信号LHが与えられている全ての単位回路121において出力部VOUTの電位がVssに維持される。そのため、単位回路121は、制御信号LHがVddとなっていることに応じて、駆動配線160への非導通電圧Vssの供給を維持する。第5薄膜トランジスタT5や第6薄膜トランジスタT6にチャネルリリークがあると、時間経過によっては第4薄膜トランジスタT4のゲートにVth以上の電圧供給が維持できなくなる。それにより、第4薄膜トランジスタT4によって出力部VOUTの電位をVssに維持できなくなる。特に検出装置では、時刻t4から時刻t5までの間に、放射線又は光が照射される必要があり、その時間は一般撮影(静止画撮影)では1~3秒必要となる。検出装置では、少なくともその間はスイッチ素子112を非導通状態とし続けなければならぬため、1~3秒もの長時間にわたって出力部VOUTの電位を非導通電圧Vssに維持しなければならない。出力部VOUTがフローティング状態となると、第2入力部CLKに入力されるクロック信号CLの電位変動が、駆動配線160に影響し、駆動配線160の電位が変動する。駆動配線160と信号配線170とが交差する領域の寄生容量を介して駆動配線160の電位変動信号配線170の電位に影響を与え、画素から出力される信号に駆動配線160の電位変動が混入する。本発明では、第4薄膜トランジスタT4によって出力部VOUTの電位をVssに維持できない場合でも、制御信号LHのVddが供給され続ける第7薄膜トランジスタT7によって出力部VOUTへの非導通電圧Vssの供給を維持できる。それにより、駆動配線160の電位変動に起因するS/N比の低下を抑制することが可能な検出装置を提供できる。

【0028】

次に、図3(a)及び図3(b)を用いて、本発明の第1の実施形態に係る検出装置の一画素の構成について説明する。図3(a)は平面図であり、図3(b)は図3(a)のA-A'での断面図である。

【0029】

本実施形態では、スイッチ素子112にトップゲート型でダブルゲート型の多結晶シリコンTFTを用いている。スイッチ素子112は、絶縁性基板101の上に、真性半導体領域301と第1導電型の不純物半導体領域302とを含む多結晶シリコン層と、第1絶縁層303と、第1導電層304と、が絶縁性基板101側から順に積層された構成である。真性半導体領域301はTFTのチャネルとして、不純物半導体領域302はソース又はドレインとして、第1絶縁層303はゲート絶縁層として、第1導電層304はゲート又は駆動配線160として、それぞれ機能する。スイッチ素子112は第2絶縁層305によって覆われる。この第2絶縁層305はスイッチ素子112のパッシベーション層として機能する。第2絶縁層305上に設けられた第2導電層306は、第2絶縁層305及び第1絶縁層303に設けられたコンタクトホールにおいて不純物半導体領域302と接続される。ソース及びドレインの一方である不純物半導体領域302と接続された第2導電層306は変換素子110との接続端子として機能し、ソース及びドレインの他方である不純物半導体領域302と接続された第2導電層306は、信号配線170として機能する。第2導電層306は第3絶縁層307によって覆われる。この第3絶縁層307はスイッチ素子112及び信号配線170のパッシベーション層として機能する。第3絶縁層307は第4絶縁層308によって覆われる。この第4絶縁層308は、有機絶縁材料からなり、大きな膜厚で準備することにより、平坦化層として機能する。第4絶縁層

10

20

30

40

50

309の上には、変換素子111が設けられる。本実施形態では、変換素子111として、放射線を光に変換するシンチレータ317と、その光を電荷に変換する光電変換素子と、を含むものを用いている。光電変換素子は、第3導電層310と、第1導電型の不純物半導体層311と、真性半導体層312と、第2導電型の不純物半導体層313と、第4導電層314と、が絶縁性基板101側から順に積層された構成である。第3導電層310は変換素子111の第1電極として機能し、第3絶縁層307及び第4絶縁層308に設けられたコンタクトホール309において第2導電層306と接続される。第1導電型の不純物半導体層311と真性半導体層312と第2導電型の不純物半導体層313には非晶質シリコンが用いられる。第4導電層314は変換素子111の第2電極として機能し、電極配線180として機能する第5導電層315と接続される。光電変換素子及び電極配線180は第5絶縁層316によって覆われ、第5絶縁層316の上にシンチレータ317が配置される。
10

【0030】

ここで、本実施形態では、変換素子111として、放射線を光に変換するシンチレータと、その光を電荷に変換する光電変換素子と、を含む間接型変換素子を用いたが、本発明はそれに限定されるものではない。変換素子111として、放射線を直接電荷に変換する直接型変換素子を用いてもよい。また、スイッチ素子112として、多結晶シリコン TFT を用いたが、本発明はそれに限定されるものではない。非晶質シリコン TFT や酸化物半導体を用いた酸化物 TFT 、有機半導体を用いた有機 TFT も用いることができる。ここで、半導体材料としてシリコンを用いたが、本発明はこれに限定されるものではなく、
20 ゲルマニウム等の他の半導体材料を用いてもよい。

【0031】

なお、本実施形態では、第3回路に、ゲートが第5入力部LHDに接続され、ソース及びドレインの一方が第3入力部VSSに接続され、ソース及びドレインの他方が出力部VOOUTに接続される第7薄膜トランジスタT7を用いた。しかしながら本発明はそれに限定されるものではない。図4に示すように、図1(b)の第7薄膜トランジスタT7に替えて、第7薄膜トランジスタT7'を用いてもよい。この第7薄膜トランジスタT7'は、そのゲートとソース及びドレインの一方とが第5入力部LHDに接続され、そのソース及びドレインの他方が第2節点Qに接続される。それにより、第4薄膜トランジスタT4のゲートへのVth以上の電圧供給が維持され、第4薄膜トランジスタT4による出力部VOOUTへの非導通電圧Vssの供給が維持される。つまり、本実施形態においては、第4薄膜トランジスタT4は第2回路だけでなく第3回路にも属するものである。同様に、第3薄膜トランジスタT3のゲートへのVth以上の電圧供給が維持され、第3薄膜トランジスタT3による第1節点Pへの非導通電圧Vssの供給が維持される。つまり、
30 第3薄膜トランジスタT3も、第2回路だけでなく第3回路にも属するものである。

【0032】

(第2の実施形態)

次に、図5(a), (b)を用いて本発明の第2の実施形態に係る検出装置について説明する。図5(a)は検出装置の概略的等価回路であり、図5(b)は検出装置の駆動回路部に設けられる単位回路を説明する概略的等価回路である。なお、第1の実施形態で説明したものと同じものは同じ番号を付与し、詳細な説明は割愛する。
40

【0033】

本実施形態における駆動回路部120'は、複数の単位回路121を一組とする単位回路群を複数含む。図5(a)では、3段分の単位回路を一組とする単位回路群をX群含むものである。そして、制御部150'は、複数の単位回路群毎に制御信号LH1~LHxをそれぞれ独立に供給できるように、構成されている。これにより、駆動配線160への非導通電圧Vssの供給の維持を、単位回路群毎に別々に制御することが可能となる。また、制御部150'は、複数の単位回路群毎にスタート信号ST1に加えて、選択信号ST2~STxをそれぞれ独立に供給できるように、構成されている。これにより、複数の単位回路群の中からある単位回路群を選択し、選択された単位回路群から駆動
50

配線 160への導通電圧の供給を開始することが可能となる。更に、本実施形態では、1段目の単位回路121を除く、単位回路群の初段の単位回路には、単位回路121に替えて、図5(b)に示す単位回路122を用いる。この単位回路122は、単位回路121の構成要素に加えて、更に、第6入力部TSETと、第4回路と、を含む。この第4回路は、選択信号ST2～STxに応じて、第1回路に導通電圧V_{DD}を駆動配線160に供給させる回路であり、第9薄膜トランジスタT9と、第10薄膜トランジスタT10と、を含む。第9薄膜トランジスタT9は、第6入力部TSETと第1容量素子C1の他方の端子との間で第1容量素子C1に直列に接続される。第9薄膜トランジスタT9は、そのソース及びドレインの一方とゲートが第6入力部TSETに接続され、ソース及びドレインの他方が第1節点Pに接続される。第10薄膜トランジスタT10は、第2容量素子C2及び第6薄膜トランジスタT6に並列に設けられる。第10薄膜トランジスタT10は、そのゲートが第6入力部TSETに接続され、ソース及びドレインの一方が第3入力部VSSに接続され、ソース及びドレインの他方は第2節点Qに接続される。

【0034】

次に、図6のタイミングチャートを用いて、図5(a)及び図5(b)に示す検出装置の動作を説明する。なお、ここでは、第1群の単位回路群と第X群の単位回路群の単位回路を動作させず、第2群の単位回路群の初段(4段目)の単位回路122から動作を開始する例を用いて説明する。なお、第1の実施形態で説明したものと同じものは同じ番号を付与し、詳細な説明は割愛する。

【0035】

時刻t1では、1段目の単位回路121の第1入力部SETにスタート信号ST1のV_{SS}が、第2入力部CLKにクロック信号CL1のV_{SS}が、制御部150'から与えられる。そして、第1群の全ての単位回路121の第5入力部LHLDに制御信号LH1のV_{DD}が制御部150'から与えられる。また、第X群の初段であるm-2段目の単位回路121の第1入力部SETに選択信号STxのV_{SS}が、第2入力部CLKにクロック信号CL1のV_{SS}が、制御部150'から与えられる。そして、第X群の全ての単位回路121及び122の第5入力部LHLDに制御信号LHxのV_{DD}が制御部150'から与えられる。これにより、第1群及び第X群の全ての単位回路121及び122の出力部VOOUTの電位がV_{SS}となる。この制御信号LH1及びLHxは、後述する時刻t5までV_{DD}が維持され、第1群及び第X群の全ての単位回路121及び122の出力部VOOUTの電位がt5までV_{SS}に維持される。つまり、複数の単位回路群のうち選択的に導通電圧が供給されるべき複数の駆動配線160に接続される単位回路121を含む単位回路群を除く単位回路群(第1群及び第X群)の単位回路121及び122の出力部が非導通電圧に維持される。一方、第2群の初段である4段目の単位回路122の第1入力部SETに3段目の出力信号Vg3のV_{SS}が、第2入力部CLKにクロック信号CL2のV_{DD}が、第5入力部LHLDに制御信号LHのV_{SS}が、制御部150'から与えられる。また、4段目の単位回路122の第3入力部VSSにはV_{SS}が電源部140から与えられており、第4入力部RESETには5段目の出力信号Vg5のV_{SS}が与えられている。更に、第6入力部TSETには選択信号ST2のV_{DD}が制御部150'から与えられる。これにより、4段目の単位回路122では、第9薄膜トランジスタT9と第10薄膜トランジスタT10が導通状態となる。そして、4段目の単位回路122では、第1薄膜トランジスタT1から第8薄膜トランジスタT8までが非導通状態となる。これにより、4段目の単位回路122では、第1節点Pの電位が|V_{DD}-Vth|となり、第2節点Qの電位がV_{SS}となる。そのため、4段目の単位回路122では、第2薄膜トランジスタT2が導通状態となり、出力部VOOUTの電位がV_{SS}となる。

【0036】

次に、時刻t2では、4段目の単位回路122の第1入力部SETに3段目の出力信号Vg3のV_{SS}が、第2入力部CLKにクロック信号CL2のV_{DD}が、第5入力部LHLDに制御信号LH2のV_{SS}が、制御部150'から与えられる。また、4段目の

単位回路 122 の第 3 入力部 VSS には V_{SS} が電源部 140 から与えられており、第 4 入力部 RESET には 2 段目の出力信号 Vg_2 の V_{SS} が与えられている。更に、第 6 入力部 TSET には選択信号 ST2 の V_{SS} が制御部 150' から与えられる。それにより、4 段目の単位回路 122 では、第 2 薄膜トランジスタ T2 以外の薄膜トランジスタが非導通状態となる。この際、第 2 薄膜トランジスタ T2 のソース及びドレインの他方とゲートとが第 1 容量素子 C1 を介して結合しているため、4 段目の単位回路 122 では、第 1 節点 P の電位が $|2V_{DD} - V_{th}|$ となる。それにより、4 段目の単位回路 122 では、出力部 VOUT の電位が V_{DD} となる（ブートストラップ動作）。これにより、4 行目の駆動配線 160 に出力信号 Vg_4 として V_{DD} が 4 段目の単位回路 122 から供給され、4 行目の複数のスイッチ素子 112 が導通状態となる。これにより、4 行目の複数の変換素子 111 の電荷に応じた電気信号が、行方向に配列された複数の信号配線 170 に並列に出力される。一方、5 段目の単位回路 121 の第 1 入力部 SET に 4 段目の単位回路 122 の出力信号 Vg_4 の V_{DD} が、第 2 入力部 CLK にクロック信号 CL1 の V_{SS} が、第 5 入力部 LHD に制御信号 LH2 の V_{SS} が、制御部 150' から与えられる。また、5 段目の単位回路 121 の第 3 入力部 VSS には V_{SS} が電源部 140 から与えられており、第 4 入力部 RESET には 6 段目の出力信号 Vg_6 の V_{SS} が与えられている。そのため、時刻 t1 の 4 段目の単位回路 122 と同様に、5 段目の単位回路 121 では、第 1 節点 P の電位が $|V_{DD} - V_{th}|$ となり、第 2 節点 Q の電位が V_{SS} となり、第 2 薄膜トランジスタ T2 が導通状態となり、出力部 VOUT の電位が V_{SS} となる。

【0037】

次に、時刻 t3 では、4 段目の単位回路 122 の第 1 入力部 SET に 3 段目の出力信号 Vg_3 の V_{SS} が、第 2 入力部 CLK にクロック信号 CL2 の V_{SS} が、第 5 入力部 LHD に制御信号 LH2 の V_{SS} が、制御部 150' から与えられる。また、4 段目の単位回路 122 の第 3 入力部 VSS には V_{SS} が電源部 140 から与えられており、第 4 入力部 RESET には後述する 5 段目の出力信号 Vg_2 の V_{DD} が与えられる。更に、第 6 入力部 TSET には選択信号 ST2 の V_{SS} が制御部 150' から与えられる。それにより、4 段目の単位回路 122 では、第 1 薄膜トランジスタ T1 と第 6 薄膜トランジスタ T6 から第 10 薄膜トランジスタ T10 までが非導通状態である。そして、4 段目の単位回路 122 では、第 5 薄膜トランジスタ T5 が導通状態となる。これにより、4 段目の単位回路 122 では、第 1 節点 P の電位が V_{SS} となり、第 2 節点 Q の電位が $|V_{DD} - V_{th}|$ となる。そのため、4 段目の単位回路 122 では、第 2 薄膜トランジスタ T2 が非導通状態となり、第 3 薄膜トランジスタ T3 と第 4 薄膜トランジスタ T4 とが導通状態となり、出力部 VOUT の電位が V_{SS} となる。一方、5 段目の単位回路 121 の第 1 入力部 SET に 1 段目の単位回路 121 の出力信号 Vg_4 の V_{SS} が、第 2 入力部 CLK にクロック信号 CL1 の V_{DD} が、第 5 入力部 LHD に制御信号 LH2 の V_{SS} が、制御部 150' から与えられる。また、5 段目の単位回路 121 の第 3 入力部 VSS には V_{SS} が電源部 140 から与えられており、第 4 入力部 RESET には 6 段目の出力信号 Vg_6 の V_{SS} が与えられている。そのため、時刻 t2 の 4 段目の単位回路 122 と同様に、5 段目の単位回路 121 では、第 1 節点 P の電位が $|2V_{DD} - V_{th}|$ となり、出力部 VOUT の電位が V_{DD} となる（ブートストラップ動作）。つまり、5 段目（後段）の単位回路 121 は、4 段目（前段）の単位回路 122 の出力信号 Vg_4 の V_{DD} を引き金として、4 段目（前段）からクロック信号の半周期分の時間 ($t3 - t2$) 遅れて、4 段目（前段）と同様の動作を行う。このような動作が m-3 段目の単位回路 121 まで順次行われ、列方向に配置された複数の駆動配線 160 のうち m-3 行目の駆動配線 160 までは、導通電圧 V_{DD} が駆動回路部 120 から順次に供給される。

【0038】

次に、時刻 t4 では、第 2 群の全ての単位回路 121 及び 122 の第 5 入力部 LHD に制御信号 LH2 の V_{DD} が制御部 150' から与えられる。これにより、第 2 群の全ての単位回路 121 及び 122 の出力部 VOUT の電位が V_{SS} となる。この制御信号 LH2 は、時刻 t5 まで V_{DD} が維持され、第 2 群の全ての単位回路 121 及び 122 の

10

20

30

40

50

出力部 V O U T の電位が t_5 まで V_{SS} に維持される。

【 0 0 3 9 】

時刻 t_5 以降の動作については、第 1 群の初段の単位回路 121 を除く他の群の初段の単位回路 122 の第 5 入力部 L H L D に制御信号 L H 2 ~ L H x の V_{SS} が制御部 150' から与えられること以外は、第 1 の実施形態と同様である。そのため、詳細な説明は割愛する。

【 0 0 4 0 】

これにより、本実施形態では、複数の単位回路群の中から選択して単位回路群を動作させることが可能となる。更に、複数の単位回路群の中から選択して単位回路群を動作させた場合でも、駆動配線 160 の電位変動に起因する S / N 比の低下を抑制することが可能な検出装置を提供できる。 10

【 0 0 4 1 】

なお、本実施形態では、第 3 回路に、ゲートが第 5 入力部 L H L D に接続され、ソース及びドレインの一方が第 3 入力部 V S S に接続され、ソース及びドレインの他方が出力部 V O U T に接続される第 7 薄膜トランジスタ T7 を用いた。しかしながら、第 1 の実施形態と同様に、図 7 に示すように、図 5 (b) の第 7 薄膜トランジスタ T7 に替えて、第 7 薄膜トランジスタ T7' を用いてもよい。

【 0 0 4 2 】

(応用実施形態)

次に、図 7 を用いて、本発明の検出装置を用いた放射線検出システムを説明する。 20

【 0 0 4 3 】

放射線源である X 線チューブ 6050 で発生した X 線 6060 は、患者あるいは被験者 6061 の胸部 6062 を透過し、放射線検出装置 6040 に含まれる変換部 3 の各変換素子 12 に入射する。この入射した X 線には患者 6061 の体内部の情報が含まれている。X 線の入射に対応して変換部 3 で放射線を電荷に変換して、電気的情報を得る。この情報はデジタルデータに変換され信号処理手段となるイメージプロセッサ 6070 により画像処理され制御室の表示手段となるディスプレイ 6080 で観察できる。

【 0 0 4 4 】

また、この情報は電話回線 6090 等の伝送処理手段により遠隔地へ転送でき、別の場所のドクタールームなど表示手段となるディスプレイ 6081 に表示もしくは光ディスク等の記録手段に保存することができ、遠隔地の医師が診断することも可能である。また記録手段となるフィルムプロセッサ 6100 により記録媒体となるフィルム 6110 に記録することもできる。 30

【 符号の説明 】

【 0 0 4 5 】

101 絶縁性基板

110 画素

111 変換素子

112 スイッチ素子

120 駆動回路部

121、122 単位回路

130 讀出回路部

140 電源部

150 制御部

160 駆動配線

170 信号配線

180 電極配線

T1 ~ T10 薄膜トランジスタ

S E T 第 1 入力部

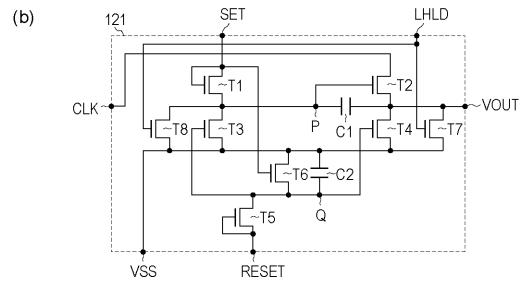
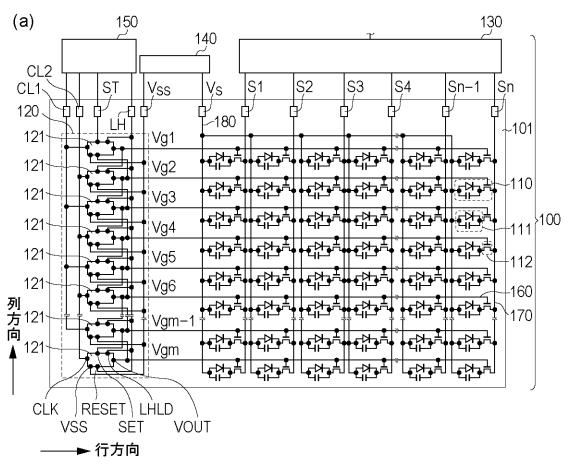
C L K 第 2 入力部

40

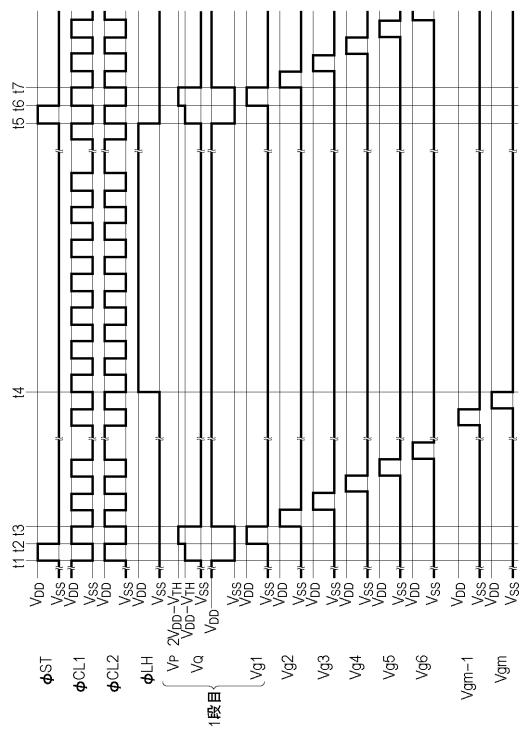
50

VSS 第3入力部
 R E S E T 第4入力部
 L H L D 第5入力部
 T S E T 第6入力部
 V O U T 出力部

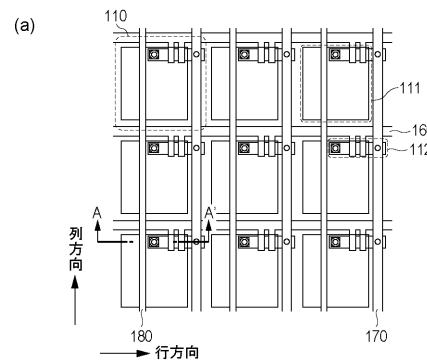
【図1】



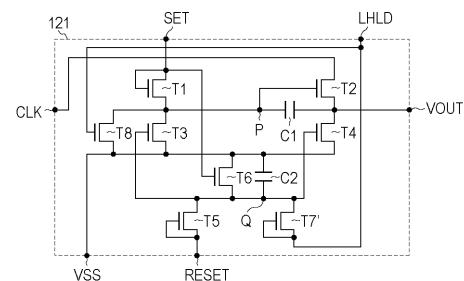
【図2】



【図3】



【 図 4 】



This cross-sectional diagram illustrates the layered structure of the integrated circuit. The layers are labeled as follows:

- Top layer: 317
- Second layer from top: 315
- Third layer from top: 316
- Fourth layer from top: 180
- Fifth layer from top: 111
- Sixth layer from top: 308
- Seventh layer from top: 307
- Eighth layer from top: 305
- Ninth layer from top: 303
- Bottom layer: 101

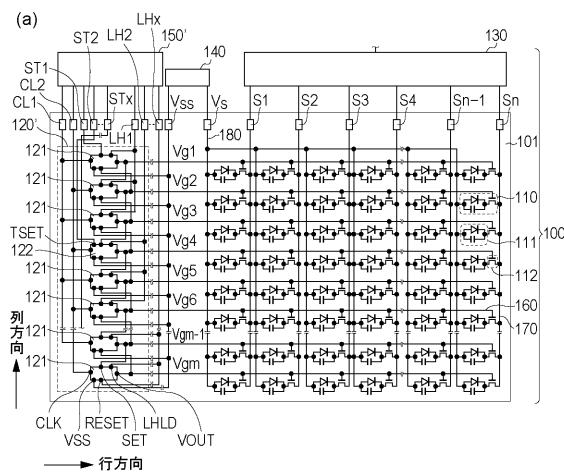
Key contact and via features include:

- Vias connecting layer 317 to 315: 309
- Vias connecting layer 315 to 316: 306
- Vias connecting layer 316 to 180: 302
- Vias connecting layer 180 to 111: 304
- Vias connecting layer 111 to 308: 301
- Vias connecting layer 308 to 307: 302
- Vias connecting layer 307 to 305: 304
- Vias connecting layer 305 to 303: 302
- Vias connecting layer 303 to 101: 301

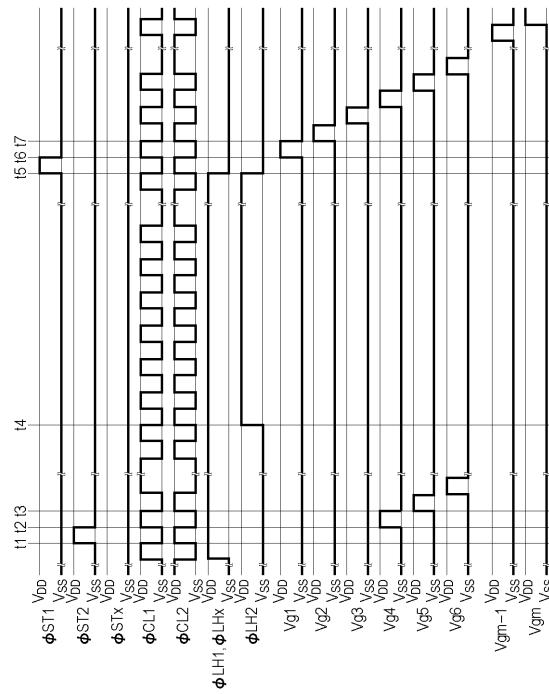
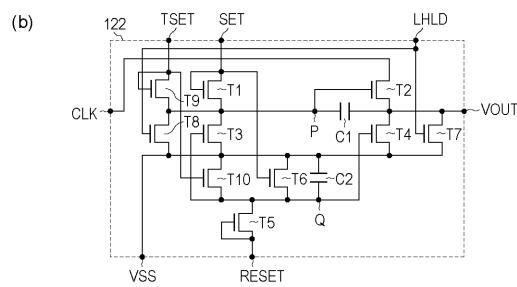
On the right side, labels indicate specific regions or contacts:

- 314
- 313
- 312
- 311
- 310
- 170
- 306
- 112

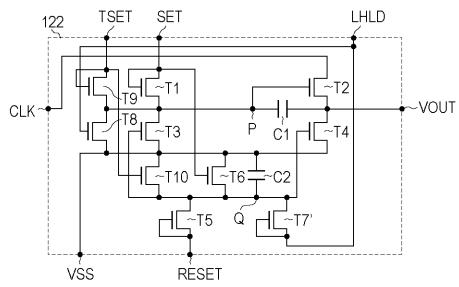
【図5】



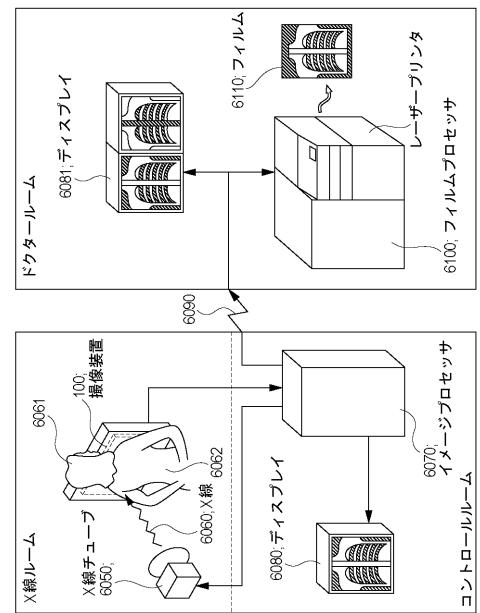
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 渡辺 実
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(72)発明者 横山 啓吾
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(72)発明者 川鍋 潤
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(72)発明者 藤吉 健太郎
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(72)発明者 和山 弘
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 肇

(56)参考文献 特開2001-273785(JP,A)
特開2010-245625(JP,A)
特開2011-071862(JP,A)
特開平09-163244(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 04 N 5 / 3 0 - 5 / 3 7 8
H 01 L 2 1 / 3 3 9
H 01 L 2 7 / 1 4 - 2 7 / 1 4 8
H 01 L 2 9 / 7 6 2
G 01 T 1 / 0 0 - 7 / 1 2
A 6 1 B 6 / 0 0 - 6 / 1 4