

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3700007号
(P3700007)

(45) 発行日 平成17年9月28日(2005.9.28)

(24) 登録日 平成17年7月22日(2005.7.22)

(51) Int. Cl.⁷

F I

H03K 19/195

H03K 19/195 ZAA

H01L 39/22

H01L 39/22 K

H03K 19/177

H03K 19/177

請求項の数 5 (全 12 頁)

<p>(21) 出願番号 特願2003-191832 (P2003-191832)</p> <p>(22) 出願日 平成15年7月4日(2003.7.4)</p> <p>(65) 公開番号 特開2005-27149 (P2005-27149A)</p> <p>(43) 公開日 平成17年1月27日(2005.1.27)</p> <p>審査請求日 平成15年7月4日(2003.7.4)</p> <p>特許法第30条第1項適用 2003年3月27日~30日、神奈川大学(横浜キャンパス)において開催された社団法人応用物理学会第50回応用物理学関係連合講演会において発表</p>	<p>(73) 特許権者 301022471 独立行政法人情報通信研究機構 東京都小金井市貫井北町4-2-1</p> <p>(74) 代理人 100085419 弁理士 大垣 孝</p> <p>(72) 発明者 寺井 弘高 東京都小金井市貫井北町4丁目2番1号 独立行政法人通信総合研究所内</p> <p>(72) 発明者 王 鎮 東京都小金井市貫井北町4丁目2番1号 独立行政法人通信総合研究所内</p> <p>審査官 清水 稔</p>
--	---

最終頁に続く

(54) 【発明の名称】 単一磁束量子論理回路

(57) 【特許請求の範囲】

【請求項1】

電源引き抜きラインと信号電極との間に並列に接続された1個のジョセフソン接合素子および1個のシャント抵抗を有するJJブロックが、マトリクス状に配置されたJJブロックアレイと、

複数の前記JJブロックの前記信号電極を相互に接続することによって、論理ユニットおよびジョセフソン型転送線を構成する第1信号配線と、

前記論理ユニットを相互に接続するための受動型転送線を形成する第2信号配線と、を有することを特徴とする単一磁束量子論理回路。

【請求項2】

前記第1信号線および前記第2信号線を含む積層の上に、前記ジョセフソン接合素子および前記シャント抵抗を含む積層が設けられ、その上に前記電源ラインおよび前記電流引き抜き層を含む積層が設けられたことを特徴とする請求項1に記載の単一磁束量子論理回路。

【請求項3】

前記第1信号線または前記第2信号線上にコンタクト層が形成され、このコンタクト層上に前記ジョセフソン接合素子の下部超電導電極層が形成され、この下部超電導電極層のうち前記コンタクト層と接していない領域上に当該ジョセフソン接合素子のトンネルバリア層が形成されたことを特徴とする請求項2に記載の単一磁束量子論理回路。

【請求項4】

前記電源ラインおよび前記電流引き抜き層を含む積層の上に、前記ジョセフソン接合素子および前記シャント抵抗を含む積層が設けられ、その上に前記第1信号線および前記第2信号線を含む積層が設けられたことを特徴とする請求項1に記載の単一磁束量子論理回路。

【請求項5】

前記第1信号線が形成された層と前記第2信号線が形成された層との間に、これらの信号線と非接触の、配線用電源層が設けられたことを特徴とする請求項1～4のいずれかに記載の単一磁束量子論理回路。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、単一磁束量子論理回路に関し、より詳細には、単一磁束量子論理回路を集積化する技術に関する。

【0002】

【従来の技術】

従来より、ジョセフソン接合素子を用いた集積回路が知られており、ジョセフソン集積回路と称されている。ジョセフソン集積回路としては、単一磁束量子(SFQ; Single Flux Quantum)論理回路が知られている。

【0003】

単一磁束量子論理回路とは、ジョセフソン接合素子により回路内での磁束の伝搬をスイッチングすることによって、論理演算を行う回路である。

20

【0004】

図8は、従来の単一磁束量子論理回路でフル・アダーを構成した例を示す回路図である。図8に示した単一磁束量子論理回路800は、排他的論理和ゲートセル801、802、論理積ゲートセル803、804、コンフレンスパッサーセル805、データフリップフロップセル806等を備えている。さらに、この単一磁束量子論理回路800は、これらのセル801～806を配線するための配線用セル807を多数備えている。この単一磁束量子論理回路では、配線807にもジョセフソン接合素子が設けられている。このため、配線807も、ゲート等と同様、セルで構成されている。図8において、ゲート等のセル801～806以外の区画は、すべて配線セル807である。

30

【0005】

図9は、各セル801～807に設けられるジョセフソン接合素子の構造を概略的に示す断面図である。

【0006】

図9に示したように、基板901の表面には、 SiO_2 絶縁層902、903や、モリブデン抵抗層904等が積層される。この積層の表面には、Nb系材料による超電導層905が形成される。さらに、超電導層905の表面には、トンネルバリア層906およびNb系超電導層907が形成される。Nb系超電導層905、トンネルバリア層906およびNb系超電導層907からなる積層が、ジョセフソン接合908を構成する。Nb系超電導層907上には、 SiO_2 絶縁層908のコンタクトホールを介して、Nb系超電導性材料による配線層909が形成される。

40

【0007】

実際には、各論理セル801～806(図8参照)では、複数のジョセフソン接合素子が形成される。そして、これらのジョセフソン接合素子によって、排他的論理和や論理積等の演算論理が、セル内に構成される。

【0008】

図8、図9に示したような単一磁束量子論理回路では、ゲート等の論理素子801～806および配線807をセル化したので、配線の設計が容易である。

【0009】

単一磁束量子論理回路を開示する文献としては、例えば、下記の特許文献1～6が知られ

50

ている。

【 0 0 1 0 】

【 特許文献 1 】

特開 2 0 0 1 - 0 6 8 9 9 5 号公報

【 特許文献 2 】

特開 2 0 0 1 - 2 5 1 1 7 8 号公報

【 特許文献 3 】

特開 2 0 0 1 - 2 5 1 1 7 9 号公報

【 特許文献 4 】

特開 2 0 0 2 - 2 2 3 1 6 3 号公報

【 特許文献 5 】

特開 2 0 0 2 - 3 4 4 3 0 6 号公報

【 特許文献 6 】

特開 2 0 0 2 - 3 7 4 1 5 2 号公報

【 0 0 1 1 】

【 発明が解決しようとする課題 】

しかしながら、図 8、図 9 に示したような単一磁束量子論理回路には、集積度が低いという欠点があった。これは、主として、論理回路全体に対する配線セルの面積占有率が高いためである。例えば、図 8 に示した単一磁束量子論理回路では、論理回路全体に対する論理セルの面積占有率は 24.4% にすぎず、配線部分の面積占有率は 73.1% であった（残りは不使用領域である）。

【 0 0 1 2 】

図 8、図 9 の回路技術で配線領域の面積が大きくなるのは、主として、各配線の間で、信号伝搬遅延時間を整合させる必要があるためである。例えば、排他的論理和ゲート 801、802 では、2 つの入力信号およびクロック信号の入力タイミングを一致させなければならないが、かかる入力タイミングは配線長によって調整される。このため、十分な精度の調整を行うためには、各信号配線の長さに十分な余裕がなければならず、このため、配線領域の面積が非常に大きくなってしまう。

【 0 0 1 3 】

単一磁束量子論理回路の集積度を向上させる方法の一つとして、ジョセフソン接合素子を微細化する方法が考えられる。しかしながら、現在の微細加工技術では、単位セルの最小寸法は $20 \times 20 \mu\text{m}$ 程度であるため、1 チップ（例えば素子形成領域が $15 \times 15 \text{mm}$ ）に搭載することができるジョセフソン接合素子の個数は、 0.2×10^6 程度である。また、今後、微細加工技術が進歩したとしても、単位セルの最小寸法は $10 \times 10 \mu\text{m}$ 程度が限界であり、このため、1 チップに搭載することができるジョセフソン接合素子の個数は 0.8×10^6 程度が限界であると考えられる。

【 0 0 1 4 】

これに対して、CMOS (Complementary Metal Oxide Semiconductor) トランジスタ集積回路では、単位セルの最小寸法は $1.5 \times 1.5 \mu\text{m}$ 程度まで微細化されており、1 チップに搭載することができるトランジスタ数は 100×10^6 程度にまで達している。

【 0 0 1 5 】

単一磁束量子論理回路は、消費電力が小さく（CMOS 論理回路の 1000 分の 1 以下）、高速動作が可能である（クロック周波数で 100 GHz 以上）といった長所を備えている。しかしながら、上述のような理由により、CMOS 等のトランジスタ集積回路に取って代わるためには、配線の容易性を損なうことなく集積度を向上させることが望まれる。

【 0 0 1 6 】

【 課題を解決するための手段 】

本発明に係る単一磁束量子論理回路は、電源引き抜きラインと信号電極との間に並列に接続された 1 個のジョセフソン接合素子および 1 個のシャント抵抗を有する JJ ブロックがマトリクス状に配置された JJ ブロックアレイと、複数の JJ ブロックの信号電極を相互

10

20

30

40

50

に接続することによって論理ユニットおよびジョセフソン型転送線を構成する第1信号配線と、論理ユニットを相互に接続するための受動型転送線を形成する第2信号配線とを有することを特徴とする。

【0017】

本発明では、1個のジョセフソン接合素子および1個のシャント抵抗を含むJJブロックを、マトリクス状に配置する。そして、これらのJJブロックに配線を施すことによって、論理ユニットやジョセフソン型転送線を構成する。さらに、第2信号配線によって、論理ユニットを相互に接続するための受動型転送線が形成される。これにより、配線の容易性を損なうことなく集積度を向上させることが可能になる。

【0018】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、この発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0019】

図1は、本実施形態に係る単一磁束量子論理回路のJJ (Josephson Junction) ブロックアレイ100を概念的に示す平面図である。図1に示したように、JJブロックアレイ100は、マトリクス状に配置された多数個のJJブロック200を備えている。

【0020】

図2は、JJブロックの構造を概念的に示す図であり、(A)は平面図、(B)は(A)のA-A'断面図、(C)は(A)のB-B'断面図である。また、図3は、図2に示したJJブロックの等価回路図である。

【0021】

図2(A)に示したように、このJJブロック200は、4つの領域201, 202, 203, 204を含む。後述するように、領域201にはジョセフソン接合素子301が形成され、領域202にはシャント抵抗302が形成される。また、領域203, 204には、電源供給層と電流引き抜き用グランド面との間に、ジョセフソン接合およびシャント抵抗を並列に接続するための、ブロック内配線が形成される。

【0022】

図2(B)、(C)に示したように、このJJブロック200において、基板211の上には、超電導性材料により、グランド層212が形成される。超電導性材料としては、例えばNb, NbN, Nb₃Ge, Nb₃Sn等があるが、特に限定されない。

【0023】

グランド層212の表面には、層間絶縁膜213が形成される。層間絶縁膜213の形成材料としては、例えばSiO₂があるが、特に限定されない。

【0024】

層間絶縁膜213上には、超電導性材料によって、信号配線214が形成される。信号配線214は、本発明の第2信号配線に相当する。信号配線214の表面には、超電導性材料によって、コンタクト層215が形成される。層間絶縁膜213および信号配線214の表面には、SiO₂等の層間絶縁膜216が形成される。この層間絶縁膜216は、コンタクト層215の表面が露出するように、形成される。

【0025】

コンタクト層215および層間絶縁膜216の表面には、超電導性材料により、PTL用グランド層217が形成される。PTL用グランド層217の表面には、超電導性材料によって、コンタクト層218が形成される。PTL用グランド層217の表面には、コンタクト層218の表面が露出するように、SiO₂等の層間絶縁膜219が形成される。

【0026】

コンタクト層218および層間絶縁膜219の表面には、超電導性材料によって、信号配線220が形成される。信号配線220は、本発明の第1信号配線に相当し、論理ユニット(ゲートやフリップフロップ等)およびジョセフソン型転送線を構成するための配線で

10

20

30

40

50

ある(後述)。信号配線 220 の表面には、超電導性材料によって、コンタクト層 221 が形成される。層間絶縁膜 219 および信号配線 220 の表面には、 SiO_2 等の層間絶縁膜 222 が形成される。この層間絶縁膜 222 は、コンタクト層 221 の表面が露出するように、形成される。層間絶縁膜 222 の表面は、例えば CMP (Chemical Mechanical Polishing ; 化学機械的研磨) 法を用いて、平坦化される。

【0027】

このように、本実施形態では、信号配線 214 , 220 の間に、PTL 用グランド層 217 を設けた。これにより、信号配線 214 , 220 間におけるノイズの伝搬を抑制することができ、さらには、信号配線 214 , 220 で発生する磁場がジョセフソン接合(後述)の動作に与える影響を抑制することができる。

10

【0028】

層間絶縁膜 222 の表面には、超電導性材料により、ジョセフソン接合の下部電極層 223 が形成される。下部電極層 223 の表面には、トンネルバリア層 224 が形成される。トンネルバリア層 224 の形成材料としては、例えば酸化マグネシウム、酸化アルミニウム、窒化アルミニウム等が利用できるが、特に限定はされない。ここで、トンネルバリア層 224 は、下部電極層 223 のうち、コンタクト層 221 と接していない領域上、すなわち層間絶縁膜 222 と接している領域上に形成される。CMP 法を用いて平坦化された層間絶縁膜 222 の表面にトンネルバリア層 224 を設けることにより、ジョセフソン接合の良好な特性を確保することが容易になる。トンネルバリア層 224 の表面には、さらに、超電導性材料により、ジョセフソン接合の上部電極層 225 が形成される。このように、下部電極層 223、トンネルバリア層 224 および上部電極層 225 により、この JJ ブロック 200 のジョセフソン接合素子 301 (図 3 参照) が構成される。

20

【0029】

また、信号配線 220 の表面には、超電導性材料により、コンタクト層 226 が形成される(図 2 (C) 参照)。さらに、コンタクト層 226 の表面のうち領域 202 に属する部分には、例えばモリブデンにより、抵抗層 227 が形成される。さらに、この抵抗層 227 の表面には、コンタクト層 228 が形成される。このように、コンタクト層 226、抵抗層 227 およびコンタクト層 228 により、この JJ ブロック 200 のシャント抵抗 302 (図 3 参照) が形成される。

【0030】

ジョセフソン接合素子およびシャント抵抗は、層間絶縁膜 229 によって覆われる。層間絶縁膜 229 は、ジョセフソン接合素子の上部電極層 225 およびシャント抵抗のコンタクト層 228 の表面が露出するように、形成される。上部電極層 225、コンタクト層 228 および層間絶縁膜 229 の表面には、超電導性材料により、カウンタ層 230 が形成される。このように、ジョセフソン接合素子およびシャント抵抗は、コンタクト層 221 とカウンタ層 230 との間に、並列に接続されている(図 3 参照)。

30

【0031】

カウンタ層 230 の表面には、例えば柱状のコンタクト層 231 , 232 が、超電導性材料によって形成される。また、カウンタ層 230 の表面には、 SiO_2 等の層間絶縁膜 233 が形成される。層間絶縁膜 233 は、コンタクト層 231 , 232 の表面が露出するように、形成される。そして、コンタクト層 231 , 232 および層間絶縁膜 233 の表面には、電流引き抜き用グランド層 234 が形成される。すなわち、ジョセフソン接合素子の上部電極層 225 およびシャント抵抗のコンタクト層 227 は、カウンタ層 230 およびコンタクト層 231 , 232 を介して、電流引き抜き用グランド層 234 に接続される。

40

【0032】

電流引き抜き用グランド層 234 の表面には、 SiO_2 等の層間絶縁膜 235、モリブデンの抵抗層 236、 SiO_2 等の層間絶縁膜 237 および電流供給層 238 が、順次形成される。また、領域 204 (図 2 (A) 参照) には、下部電極層 223 と抵抗層 236 とを接続するコンタクト層(図示せず)、および、抵抗層 226 と電流供給層 238 とを接

50

続するコンタクト層（図示せず）が形成される。したがって、電流供給層 238 は、抵抗層 236 を介して下部電極層 223 と接続され、さらに、並列接続のジョセフソン接合素子およびシャント抵抗を介して電流引き抜き用グランド層 234 に接続されることになる。

【0033】

図 2 (A) ~ (C) に示したように、本実施形態では、信号配線線 214, 220 を含む積層（層 213 ~ 222）をグランド層 212 上に形成し、その上に、ジョセフソン接合素子およびシャント抵抗を含む積層（層 223 ~ 230）を形成し、さらにその上に、電流引き抜き用グランド層 234 および電流供給層 238 を含む積層（層 231 ~ 238）を形成した。これにより、CMP 法等を用いて平坦化された層間絶縁膜 222 の表面にトンネルバリア層 224 を設けることができるので、良好な特性のジョセフソン接合を容易に得ることができる（上述）。

10

【0034】

但し、電流引き抜き用グランド層 234 および電流供給層 238 を含む積層をグランド層上に形成し、その上に、ジョセフソン接合素子およびシャント抵抗を含む積層を形成し、さらにその上に、信号配線を含む積層を形成することとしてもよい。この場合には、信号配線前までの製造工程を、単一磁束量子論理回路の種類によらず共通化することができるので、製造コストの削減が可能である。

【0035】

図 4 は、第 1 信号配線 220 を用いて論理ユニット（論理ゲート、フリップフロップなど）を構成するときの配線例を示す概念図であり、(A)、(B) とともにトグルフリップフロップを構成する例である。

20

【0036】

図 4 (A), (B) に示したように、マトリクス配置された JJ ブロック 200 の信号端子（図 2 のコンタクト層 221 に相当）を第 1 信号配線 220 で適当に接続することによって、レイアウトが異なるトグルフリップフロップを複数種類作成することが可能である。なお、第 1 信号配線 220 に加えて、コンタクト層 228 やカウンタ層 230 を配線に使用してもよい。

【0037】

図 5 は、論理ユニット間の配線方法を示す概念図である。図 5 は、JJ ブロック 200 を用いて、従来回路と同様（図 8 参照）のフル・アダーを構成した場合の配線例である。また、図 6 (A)、(B) は、配線構造を示す回路図である。図 6 では、電流供給層やシャント抵抗等は省略されている。

30

【0038】

排他的論理和ゲート 501, 502、論理積ゲート 503, 504、データフリップフロップ 505 およびコンフレンスバッサー 506 は、第 1 信号配線 220 を用いて JJ ブロックを相互接続することにより、構成される。但し、各論理ユニット 501 ~ 506 内の第 1 信号線 220 は、図 5 では示していない。

【0039】

各論理ユニット 501 ~ 506 の入力端子 A, B、出力端子 O およびクロック端子 CK は、第 1 信号配線 220（図中、点線）および第 2 信号配線 214（図中、実線）を用いて、配線される。本実施形態では、これらの配線のうち、短い配線や分岐配線にはジョセフソン型転送線 (JTL; Josephson Transmission Line) を使用し、長い非分岐配線には受動型転送線 (PTL; Passive Transmission Line) を使用する。

40

【0040】

図 6 (A) に示したように、ジョセフソン型転送線は、ジョセフソン接合素子 301 を順次接続することによって、構成される。ジョセフソン型転送線ではドライバ回路 602 およびレシーバ回路 603（図 6 (B) 参照）を必要としない。したがって、短い配線の場合には、このジョセフソン型転送線を用いる方が回路規模が小さくなる。なお、図 6 (A) において、インダクタンス 601 は、信号配線のインダクタンスである。本実施形態で

50

は、ジョセフソン型転送線の構成に、第1信号配線220を使用した(図5参照)。

【0041】

図6(B)に示したように、受動型転送線とは、ジョセフソン接合素子を介さずに、信号端子どうしを配線で直接接続する方法である。受動型転送線を使用する場合には、配線の端部にドライバ回路602(例えばJJブロック1個で構成される)およびレシーバ回路603(例えばJJブロック2個で構成される)を設ける必要がある。その一方で、受動型転送線では、配線途中のジョセフソン接合素子が不要である。したがって、長い配線の場合には、この受動型転送線を使用する方が回路規模が小さくなる。なお、ドライバ回路602およびレシーバ回路603を設けるのは、ジョセフソン型転送線と間で、インピーダンスを整合させるためである。本実施形態では、受動型転送線の構成に、第2信号配線

10

【0042】

図4~図6から解るように、本実施形態では、論理ユニットおよびジョセフソン型転送線の構成には第1信号配線220を使用し、且つ、受動型転送線としては第2信号配線214を使用した。これにより、論理回路の自由度を向上させることができる。加えて、配線設計の自由度が向上するので、自動配線が容易になる。なお、本実施形態では第1、第2信号配線220, 214を異なる層に形成したが(図2参照)、同じ層に形成することも可能である。また、ジョセフソン型転送線と受動型転送線とを同じ配線層で形成し、論理ユニット用配線を別の配線層で形成してもよい。

【0043】

図7は、CAD(Computer Aided Design)等を用いて単一磁束量子論理回路の設計を行う際の、作業手順例を示す概念図である。

20

【0044】

例えばJJブロックアレイ100内にトグルフリップフロップを配置する場合、まず、このトグルフリップフロップのポート(例えば入力端子)の位置701を指定する(図7(A)参照)。そして、予めライブラリに登録された複数種類のトグルフリップフロップ702, 703から、いずれかを選択する(図7(B)参照)。そして、選択されたトグルフリップフロップ703を、図7(A)で指定された位置に、方向を決定した上で配置する(図7(C)参照)。

【0045】

すべての論理ユニットの配置が終了すると(図7(D)参照)、続いて、ジョセフソン型転送線および受動型転送線の配線パターンが設計される。この設計作業では、まず、各配線の始点および終点が決定される。そして、これらの始点・終点を接続する配線パターンの候補が、一種類または複数種類算出される(図7(E)参照)。最後に、これらの候補から、いずれかの候補が選択される(図7(E)参照)。

30

【0046】

以上説明したように、本実施形態では、ジョセフソン接合素子301およびシャント抵抗302を1個ずつ含むJJブロック100をマトリクス状に配置し、これらのJJブロック100を第1信号配線220で配線することによって、論理ユニットを構成することができる。このため、論理ユニットのレイアウトの自由度を、従来の回路(図8、図9参照)

40

【0047】

また、任意のJJブロックを配線することでジョセフソン型転送線が構成できることや、受動型転送線のレイアウトの自由度が高いことにより、信号の遅延時間を配線長によって調整する際の、設計の自由度が飛躍的に向上する。したがって、従来の場合(図8、図9)と比較して、配線の専有面積を非常に小さくすることが可能になる。

【0048】

加えて、本実施形態に係る単一磁束量子論理回路では、JJブロックがマトリクス状に配置されているので、ジョセフソン接合素子も等間隔で配置されることになる。このため、その配線の距離(すなわち、その配線が通過するJJブロック数)から、簡単に配線イン

50

ダクタンスを演算することができる。この点でも、従来の単一磁束量子論理回路よりも、設計が容易になる。

【 0 0 4 9 】

さらに、配線の自由度が向上することにより、各論理ユニットにおける入出力端子の位置の自由度が向上し、この点でも、レイアウトの自由度が向上する。

【 0 0 5 0 】

上述したように、従来の単一磁束量子論理回路技術でフル・アダーを作製した場合（図 8 参照）、論理回路全体に対する論理セルの面積占有率は 24.4% であり、配線部分の面積占有率は 73.1% であった（残りは不使用領域）。これに対して、本実施形態に係るフル・アダーでは、論理ユニットの面積占有率が 67.7% であり、配線領域は 12.5% であった。

10

【 0 0 5 1 】

【 発明の効果 】

以上詳細に説明したように、本発明によれば、設計が容易で、配線領域の面積が小さい単一磁束量子論理回路を、提供することができる。したがって、本発明によれば、集積度の高い単一磁束量子論理回路を低コストで提供することができる。

【 図面の簡単な説明 】

【 図 1 】実施形態に係る単一磁束量子論理回路の JJ ブロックアレイ 100 を概念的に示す平面図である。

【 図 2 】 JJ ブロックの構造を概念的に示す図であり、(A) は平面図、(B) は (A) の A - A ' 断面図、(C) は (A) の B - B ' 断面図である。

20

【 図 3 】図 2 に示した JJ ブロックの等価回路図である。

【 図 4 】実施形態における論理ユニット内の配線例を概念的に示す平面図である。

【 図 5 】実施形態における論理ユニット間の配線例を概念的に示す平面図である。

【 図 6 】実施形態の配線構造を示す回路図である。

【 図 7 】実施形態の設計手順を示す概念図である。

【 図 8 】従来の単一磁束量子論理回路の一例を示す回路図である。

【 図 9 】従来のジョセフソン接合素子の構造を概略的に示す断面図である。

【 符号の説明 】

100 JJ ブロックアレイ

30

200 JJ ブロック

211 基板

212 グランド層

213, 216, 219, 222, 228, 233 層間絶縁膜

214, 220 信号配線

215, 218, 221, 227, 231, 232 コンタクト層

217 PTL グランド層

223 下部電極層

224 トンネルバリア層

225 上部電極層

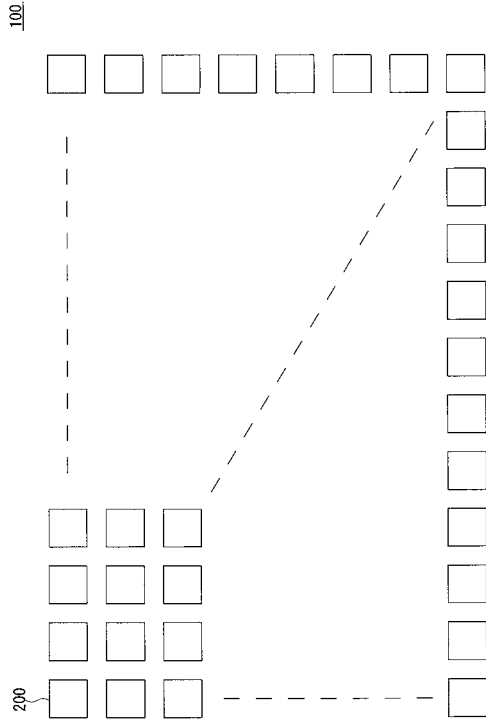
40

226 抵抗層

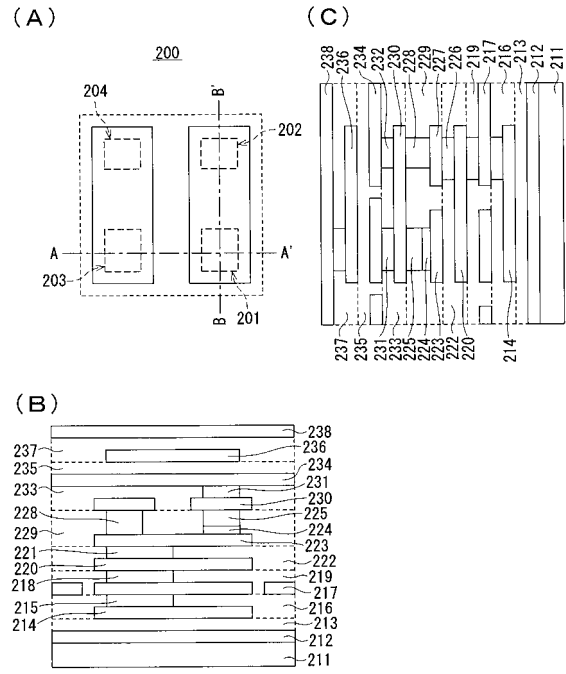
230 カウンタ層

234 電流引き抜き用グランド層

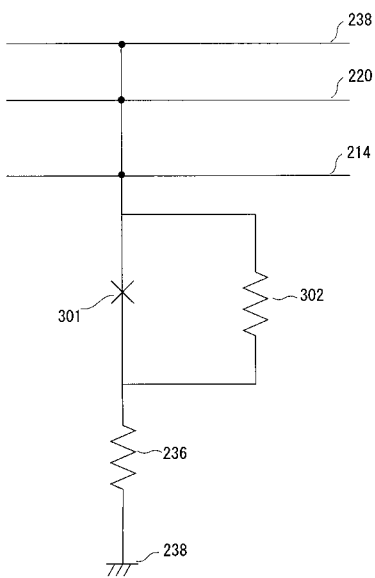
【 図 1 】



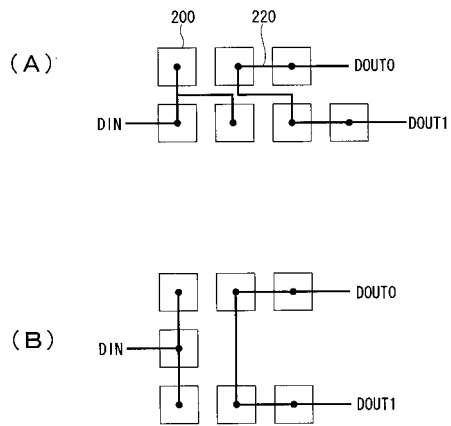
【 図 2 】



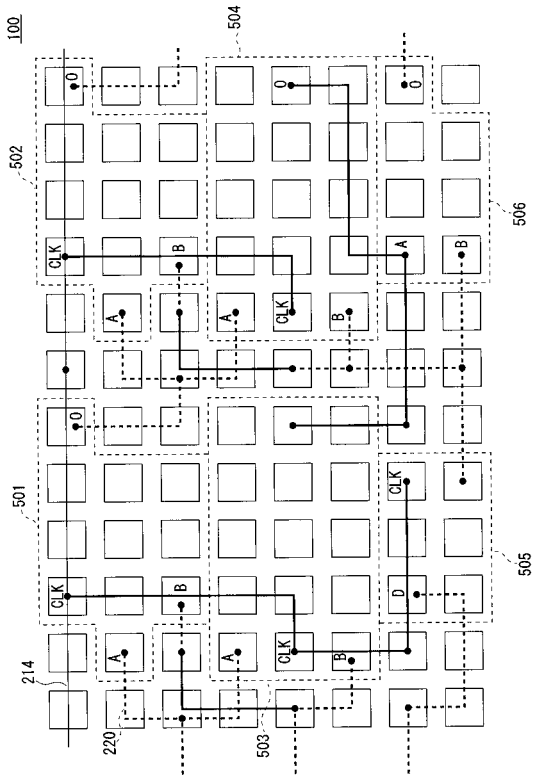
【 図 3 】



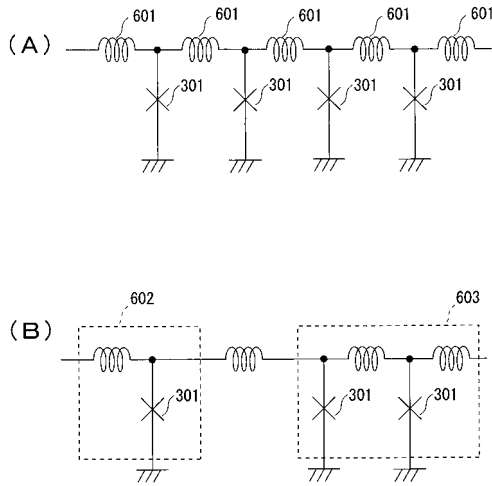
【 図 4 】



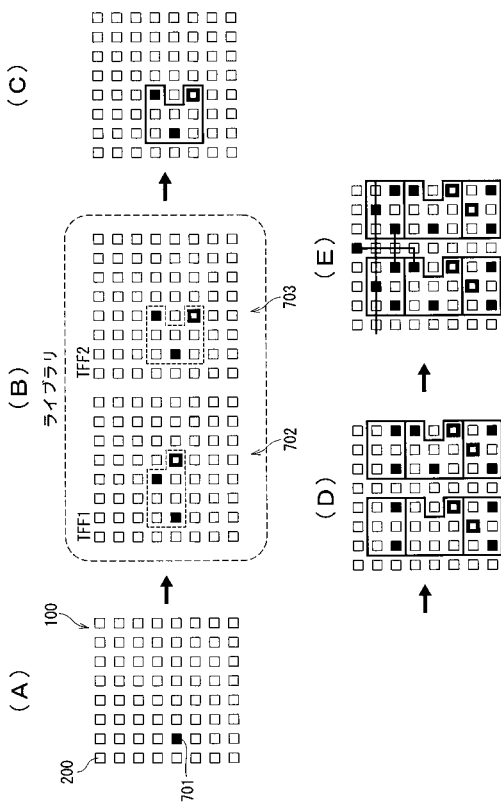
【 図 5 】



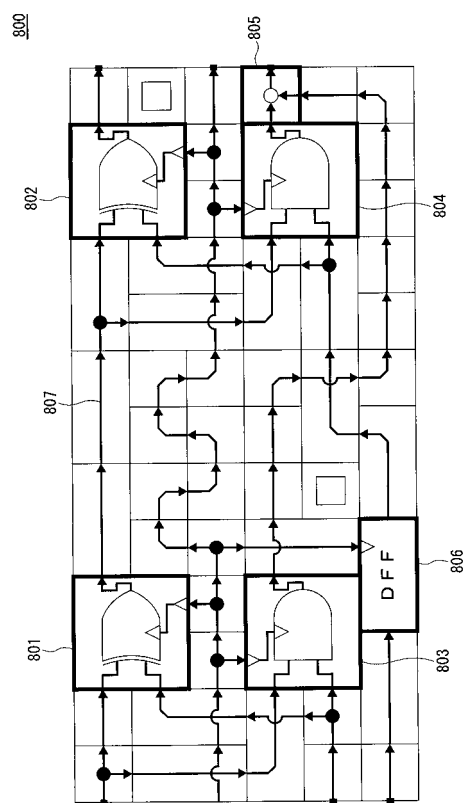
【 図 6 】



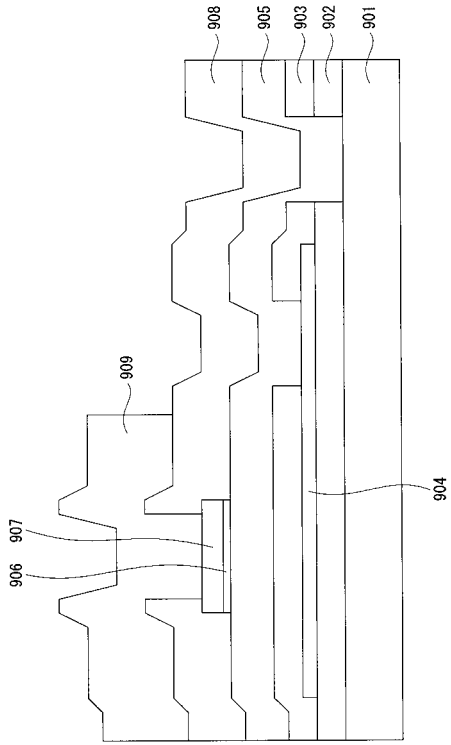
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(56)参考文献 特開2002-94370(JP,A)
特開2000-260187(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 19/195 ZAA

H01L 39/22

H03K 19/177