

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8242 (2006.01)

[12] 发明专利说明书

H01L 21/768 (2006.01)

H01L 21/28 (2006.01)



专利号 ZL 200310120429.6

[45] 授权公告日 2008年6月11日

[11] 授权公告号 CN 100394584C

[22] 申请日 2003.12.10

[21] 申请号 200310120429.6

[30] 优先权

[32] 2002.12.10 [33] KR [31] 78388/2002

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴昌敏 李重洙 赵汉九 朴俊洙

[56] 参考文献

US2002/0027259A1 2002.3.7

CN1365142A 2002.8.21

US2001/0041406A1 2001.11.15

US6461911B2 2002.10.8

US6403413B2 2002.6.11

US2002/0030222A1 2002.3.14

US5817562A 1998.10.6

CN1319886A 2001.10.31

CN1246726A 2000.3.8

US6465829B2 2002.10.15

US5897372A 1999.8.27

US2002/0034877A1 2002.3.21

JP10-284700A 1998.10.23

CN1244727A 2000.2.16

审查员 吴黎

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 谢丽娜 谷惠敏

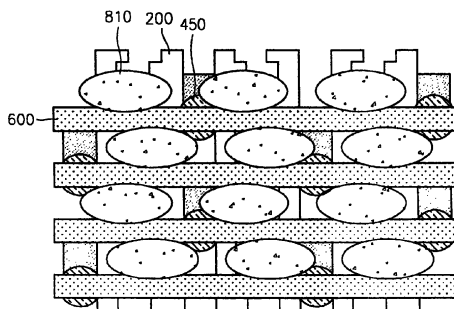
权利要求书 5 页 说明书 16 页 附图 16 页

[54] 发明名称

用于制造具有在位线方向延伸的接触体的半导体器件的方法

[57] 摘要

提供制造具有接触体的半导体器件的方法，接触体在位线方向延伸，以增加接触体和存储电极之间的接触面积。在一个方面，方法包括在半导体衬底上形成栅极线，形成覆盖栅极线的第一绝缘层，形成第一接触焊盘和第二接触焊盘，通过贯穿第一绝缘层电连接到栅极线之间的半导体衬底。而且，形成覆盖第一接触焊盘和第二接触焊盘的第二绝缘层，形成跨越栅极线的位线并通过贯穿第二绝缘层电连接到第二接触焊盘。此外，形成覆盖位线的第三绝缘层，并有选择地刻蚀，以形成与位线交叉并露出第一接触焊盘的带型开口。



1. 一种用于制造半导体器件的方法，包括：
 - 在半导体衬底上形成栅极线；
 - 形成覆盖栅极线的第一绝缘层；
 - 形成第一接触焊盘和第二接触焊盘，其中通过贯穿第一绝缘层第一接触焊盘和第二接触焊盘电连接到栅极线之间的半导体衬底；
 - 形成覆盖第一接触焊盘和第二接触焊盘的第二绝缘层；
 - 形成位线，其中位线跨越栅极线并通过贯穿第二绝缘层电连接到第二接触焊盘；
 - 形成覆盖位线的第三绝缘层；
 - 有选择地刻蚀第三绝缘层以形成带型开口，其中带型开口与位线交叉并露出第一接触焊盘；
 - 在第三绝缘层上形成导电层，以填充带型开口；
 - 构图导电层，以形成单个的存储电极接触体，其中每个接触体包括在位线方向上在第三绝缘层上延伸的延伸部分和电连接到第一接触焊盘的体区；以及
 - 在每个存储电极接触体上形成存储电极。
2. 如权利要求1所述的方法，其中第一接触焊盘布置在栅极线方向上，并布置在第一列上，以及第二接触焊盘布置在栅极线方向上，并布置在第二列上，并且其中栅极线位于第一列的第一接触焊盘和第二列的第二接触焊盘之间。
3. 如权利要求1所述的方法，其中带型开口在栅极线方向延伸。
4. 如权利要求1所述的方法，其中形成带型开口以露出第一接触焊盘并围绕位于栅极线之间的第一绝缘层。
5. 如权利要求1所述的方法，其中带型开口的宽度大于第一接触

焊盘的宽度。

6. 如权利要求5所述的方法，其中带型开口形成为允许部分第二绝缘层留在邻近第二接触焊盘的两个栅极线的部分上的宽度。

7. 如权利要求1所述的方法，其中形成带型开口包括：

在第三绝缘层上形成带型第一光刻胶图形，以露出覆盖第一接触焊盘的部分第三绝缘层；以及

通过使用带型第一光刻胶图形作为蚀刻掩模，有选择地刻蚀第三绝缘层的露出部分。

8. 如权利要求1所述的方法，其中形成位线还包括：

形成覆盖位线的帽盖绝缘层；

在位线侧壁上形成隔片，其中帽盖绝缘层和隔片防止刻蚀工序过程中损坏位线。

9. 如权利要求8所述的制造方法，其中通过使用帽盖绝缘层的顶面作为刻蚀停止层进行构图导电层。

10. 如权利要求1所述的方法，其中导电层是导电的多晶硅层。

11. 如权利要求1所述的方法，其中构图导电层还包括：

在导电层形成第二光刻胶图形，以部分地露出重叠位线的部分导电层和重叠栅极线之间布置的第二接触焊盘的部分导电层，以及

通过使用第二光刻胶图形作为蚀刻掩模，刻蚀导电层的露出部分。

12. 如权利要求1所述的方法，其中两个相邻的存储电极接触体的延伸部分在彼此相反的方向延伸，在该两个相邻的存储电极接触体的延伸部分之间布置位线。

13. 如权利要求1所述的方法，其中形成存储电极接触体，以致位线方向的延伸部分的宽度大于体区的宽度。

14. 如权利要求1所述的方法，其中形成存储电极接触体，以致在位线方向的延伸部分的宽度大于栅极线方向的延伸部分。

15. 如权利要求1所述的方法，其中形成存储电极，以致以与位线成一定角度布置最相邻存储电极，在该最相邻存储电极之间布置该位线。

16. 如权利要求1所述的方法，其中以与位线或栅极线成一定角度布置两个相邻的存储电极。

17. 如权利要求1所述的方法，其中以三维圆柱形形状形成存储电极。

18. 如权利要求1所述的方法，其中存储电极形成为占据圆形、椭圆形或矩形区域。

19. 如权利要求1所述的方法，其中形成存储电极还包括：
形成覆盖存储电极接触体的电极支撑层；
在电极支撑层上形成铸模层；
构图铸模层，以形成铸模，其中铸模将存储电极形成为三维形状；
在铸模上形成导电层；
构图导电层，以将导电层分为单个的存储电极；以及
有选择地除去铸模。

20. 如权利要求19所述的制造方法，其中电极支撑层还包括当除去铸模时用作停止的刻蚀停止层。

21. 一种用于制造半导体器件的方法，包括：
在半导体衬底上形成栅极线；
形成绝缘层以覆盖栅极线；
有选择地刻蚀绝缘层，以形成带型开口，其中带型开口与位线交叉并露出电连接到半导体器件中的有源区的第一接触焊盘；
在绝缘层上形成导电层，以填充带型开口；
构图导电层，以形成单个的存储电极接触体，其中每个存储电极接触体包括在位线方向上在绝缘层上延伸的延伸部分和电连接到第一接触焊盘的体区；以及
在每个存储电极接触体上形成存储电极。
22. 如权利要求21所要求的方法，还包括形成电连接到有源区和位线的第二接触焊盘，其中在第一列中布置第一接触焊盘，以及其中在第二列中布置第二接触焊盘，并且其中栅极线位于第一列的第一接触焊盘和第二列的第二接触焊盘之间。
23. 如权利要求21所述的制造方法，其中带型开口在栅极线方向延伸。
24. 如权利要求21所述的制造方法，其中形成带型开口，以露出栅极线之间布置的第一接触焊盘。
25. 如权利要求24所述的制造方法，其中带型开口的宽度大于第一接触焊盘的宽度。
26. 如权利要求25所要求的方法，其中带型开口形成为允许部分绝缘层留在邻近第二接触焊盘的两个栅极线的部分上的宽度。
27. 如权利要求21所述的制造方法，其中由位线分开的存储电极接触体的延伸部分在彼此相反的方向延伸。

28. 如权利要求21所述的制造方法，其中形成存储电极接触体，以致在位线方向的延伸部分的宽度大于体区的宽度。

29. 如权利要求21所述的制造方法，其中形成存储电极接触体，以致在位线方向的延伸部分的宽度大于栅极线方向的延伸部分。

30. 如权利要求21所述的制造方法，其中以三维圆柱形形状形成存储电极。

31. 如权利要求21所述的制造方法，其中形成存储电极，以占据圆形、椭圆形或矩形区域。

32. 如权利要求21所述的制造方法，其中形成存储电极包括：
形成覆盖存储电极接触体的电极支撑层；
在电极支撑层上形成铸模层；
构图铸模层以形成铸模，其中铸模将存储电极形成为三维形状；
在铸模上形成导电层；
构图导电层，以将导电层分为单个的存储电极；以及
有选择地除去铸模。

33. 如权利要求32所述的制造方法，其中电极支撑层还包括当除去铸模时用作停止刻蚀的刻蚀停止层。

用于制造具有在位线方向延伸的接触体的 半导体器件的方法

与相关申请的关系

本申请要求2002年12月10日申请的韩国专利申请号KR2002-0078388的优先权，在此将其引入作为参考。

技术领域

本发明涉及半导体器件。更具体地，本发明涉及用于制造具有存储电极接触体的半导体器件的方法，存储电极接触体在朝着位线的方向延伸，以增加电容器的存储电极接触体和存储电极之间的接触面积。

背景技术

因为半导体器件变得更高度地集成，所以晶体管的尺寸减小、DRAM单元的集成度增加，例如，产生大规模的十亿位DRAM单元。

通常，DRAM单元包括单晶体管和电容器，单晶体管DRAM单元要求电容器存储足够的电荷，以允许单元状态在刷新周期之间保持选中状态。而且，根据用来形成单元电容器的方法，DRAM单元可以分为层叠单元或沟槽单元之一。参考层叠的DRAM，存在用来获得占较小面积的单元电容器的各种方法，以遵守设计规则的减小。例如，已广泛地研究了增加电容器存储电极的高度的方法、使用半球形颗粒（HSG）增加有效表面积的方法，以及利用通过一个圆柱形存储（OCS）电容器的圆柱的内部和外部区域的方法。具体，已提出OCS电容器是遵守设计规则进一步减小、占较小的面积的最有可能的电容器类型。

但是，常规的OCS电容器导致两个位故障。当DRAM单元中的电

容器电极倒塌和接触其它DRAM单元的其它电容器电极时，产生一对位故障，由此导致每个DRAM单元出错。换句话说，由于设计规则减小，所以当存储器电极2维地布置且其间的间距急剧地减小时，圆柱形电容器电极易于坍塌。

图1是说明具有常规存储电极的半导体器件的顶视图。

参考图1，在位线30和字线，即栅极线20方向彼此垂直地布置OCS电容器的常规存储电极50。在顶视图中，存储电极50可以形成为矩形，每个存储电极具有主轴，例如在位线30方向，以及在位线30的方向上彼此邻近地布置。此外，直角边缘可能被环绕，如图1所示。而且，存储电极50形成为具有主轴的矩形，例如，在栅极线20方向，以及在栅极线20的方向彼此邻近地布置。

在具有矩形电极和遵守 $0.1\mu\text{m}$ 的设计规则的DRAM单元中，主轴方向的矩形电极的尺寸约为 300nm ，次轴方向的电极尺寸约为 120nm 。因此，存储电极50之间的间距不超过约 80nm 。而且，存储电极50的高度应该约 1500nm ，以保证DRAM需要的电容量。

由此，圆柱形存储电极50的高/宽比变为12或更多。因此，圆柱形存储电极50非常易于坍塌。当存储电极50倾斜或倒塌时，由于其间 80nm 的非常狭窄的间距，存储电极彼此接触。因此，受到一对位故障。由于DRAM单元的设计规则减小，例如减小到约 0.1nm 或更小，因此也增加存储电极之间的一对位故障的可能性。

已认识到如图1所示的存储电极50的坍塌源于存储电极50的布置。为此，已试图改变存储电极50的布置，以增加其间的间距。

当如图1所示布置存储电极50时，存储电极50可以与接触体对准，接触体电连接具有有源区11的存储电极50，有源区11由半导体衬底的

器件隔离区15定义。但是，如果存储电极50的布置改变，那么接触体不能恰当地与存储电极50对准。如图1所示，在常规方法中，存储电极50重叠在半导体衬底的有源区11上形成的导电掩埋接触焊盘41。而且，如果不同地布置存储电极50，那么存储电极50可能与导电掩埋接触焊盘未对准。

常规存储电极50通过在半导体衬底的有源区11上形成的掩埋接触焊盘41以及其上形成的存储电极接触体（未示出）如掩埋接触，电连接到有源区11。如图1所示，当存储电极50的中心与掩埋接触焊盘41的中心重合时，可以在存储电极50和焊盘41之间形成电极接触体，以致存储电极接触体的中心与掩埋接触焊盘41的中心重合。但是，如上所述，如果存储电极50的中心与掩埋接触焊盘41未对准，那么存储电极50的中心难以与存储电极接触体的中心对准。这样，减小存储电极50和存储电极接触体之间的接触面积，由此由于接触电阻增加，引起缺陷。

因此，要求待布置在导电掩埋接触焊盘41和存储电极50之间的存储电极接触体（未示出），即掩埋接触具有新结构。

而且，围绕导电掩埋接触焊盘41布置导电直接接触焊盘45。导电直接接触焊盘45与导电掩埋接触焊盘41分开，并用作使半导体衬底的有源区11与位线30电连接的介质。因而，将要布置在导电掩埋接触焊盘41和存储电极50之间的存储电极接触体，即具有新结构的掩埋接触应该与直接接触焊盘45充分隔开，以防止发生任何缺陷，例如短路。因此，难以布置存储电极接触体或具有更宽宽度的新结构的掩埋接触与在新排列中布置的存储电极对准。

由此，存储电极接触体应该具有新结构，以使存储电极50和半导体衬底的有源区11之间能够平稳的电连接。这些使得改变存储电极50的平面结构或相邻的存储电极50的排列成为可能，以防止OCS电容器

的存储电极50坍塌。此外，新存储电极接触体应该考虑层之间的未对准余量或覆盖余量。此外，为了增加工艺可行性，光刻工艺的分辨率应该考虑设计规则减小。

因此，需要增加半导体器件中的电容器的存储电极接触体和存储电极之间的接触面积，以防止如一对位（twin bit）错发生。

发明内容

本发明的示例性实施例包括用于制造半导体器件的方法，半导体器件具有在位线方向延伸的接触体，以增加接触体和存储电极之间的接触面积。示例性方法提供了未对准余量、覆盖余量或使存储电极与半导体衬底电连接的元件的工艺余量的改进。

在本发明一个示例性实施例中，提供一种方法，包括在半导体衬底上形成栅极线，形成覆盖栅极线的第一绝缘层，形成第一接触焊盘和第二接触焊盘，其中第一和第二接触焊盘电连接到栅极线之间的半导体衬底，形成覆盖第一接触焊盘和第二接触焊盘的第二绝缘层，形成跨越栅极线并通过贯穿第二绝缘层电连接到第二接触焊盘的位线，形成覆盖位线的第三绝缘层，有选择地刻蚀第三绝缘层以形成与位线交叉并露出第一接触焊盘的带型开口，在第三绝缘层上形成导电层，以填充开口，构图导电层，以形成单个的存储电极接触体，每个存储电极接触体包括在位线方向的第三绝缘层上延伸的延伸部分和电连接到第一接触焊盘的体区，以及在每个存储电极接触体上形成存储电极。

在本发明另一个示例性实施例中，该方法还可以包括通过形成覆盖存储电极接触体的电极支撑层形成存储电极，在电极支撑层上形成铸模层，构图铸模层以形成铸模，其中铸模将存储电极形成为三维形状，在铸模上形成导电层，构图导电层，以将导电层分为单个的存储电极，有选择地除去铸模。

在本发明又一个示例性实施例中，提供一种制造半导体器件的方法，包括有选择地刻蚀在半导体器件上形成的绝缘层，以形成带型开口。其中开口与位线交叉并露出电连接到半导体器件中的有源区的第一接触焊盘。在绝缘层上形成导电层，以填充带型开口，构图导电层，以形成单个的存储电极接触体，其中每个存储电极接触体包括在位线方向上的第三绝缘层上延伸的延伸部分和电连接到第一接触焊盘的体区，在每个存储电极接触体上形成存储电极。

在本发明再一个示例性实施例中，该方法包括：通过形成覆盖存储电极接触体的电极支撑层形成存储电极，在电极支撑层上形成铸模层，构图铸模层以形成铸模，其中铸模将存储电极形成为三维形状，在铸模上形成导电层，构图导电层，以将导电层分为单个的存储电极，有选择地除去铸模。

在本发明又一个示例性实施例中，该方法包括电极支撑层，电极支撑层包括当铸模除去时用作停止的刻蚀停止层。

根据本发明的示例性实施例，形成在位线方向延伸的接触体，以增加接触体和存储电极之间的接触面积。因此，可以增加未对准余量、覆盖余量或使存储电极电连接到半导体衬底的元件的工艺余量。此外，存储电极可以是在从位线或栅极线方向的对角线方向布置的存储电极。

下面将描述本发明的这些及其他示例性实施例、特点、方面和优点，当结合附图进行阅读时，从下面示例性实施例的详细说明使本发明的这些及其他示例性实施例、特点、方面和优点变得更为明显。

附图说明

图1是说明具有常规存储电极的半导体器件的顶视图。

图2A和2B至9A和9B，以及图10A至10C是说明根据本发明的示例性实施例，用于制造半导体器件的方法的变化示图，半导体器件具有在位线方向延伸的接触体，以增加接触体和存储电极之间的接触面积。

具体实施方式

下面参考附图更完全地描述本发明，其中示出了本发明的优选地实施例。但是，本发明可以以不同的形式体现，不应该认为限于在此阐述的实施例。相反，提供这些实施例是为了使本公开是彻底的和完全的，并将本发明的范围给完全传递给所属领域的技术人员。

优选地，使用掩埋接触，即，存储电极接触体和掩埋接触焊盘将电容器的存储电极电连接到半导体衬底。尽管以与位线成一角度，即，从位线或栅极线（即，字线）方向的对角线方向布置存储电极，但部分存储电极接触体在位线方向延伸，以增加存储电极和存储电极接触体之间的接触面积。

此外，优选地，与存储电极接触体基本上为相同形状的开口在栅极线方向形成为带型。此外，淀积导电层，以填充带型开口，然后进行光刻和刻蚀工序，以将导电层分为单个的存储电极接触体。通过形成带型开口，可以获得用于光刻工艺的工艺条件，例如工艺余量或分辨率。此外，用于将导电层分为单个存储电极接触体的光刻和刻蚀工序可以增加每个存储电极接触体的顶表面积。

根据本发明的示例性实施例，存储电极接触体可以具有在位线方向展开的增加顶面。因此，当在从位线方向的对角线方向或栅极线方向的对角线方向布置存储电极时，可以增加存储电极接触体和存储电极之间的接触面积。由此，在平面图中，可以以新的排列布置存储电极，因此增加其间的间距。这些防止存储电极倒塌和互相接触，由此防止一对位错。

图2A和2B至9A和9B，以及图10A至10C是说明根据本发明的示例性实施例，用于制造半导体器件的方法的变化示图，半导体器件具有在位线方向延伸的接触体，以增加接触体和存储电极之间的接触面积。

图2A是说明在半导体衬底上定义有源区110的顶视图。图2B是沿图2A的有源区110的主轴方向的剖视图。参考图2A和2B，通过将沟槽隔离工艺应用于半导体衬底100，形成器件隔离区150，以定义有源区110。此外，考虑到器件的设计规则，沟槽可以形成为约2500Å至约3000Å的深度。器件隔离区150决定有源区110的形状，例如，如图2A所示的“T”形有源区。

而且，光刻工艺和离子注入工艺可以应用于半导体衬底100，以形成阱（未示出）、晶体管的沟道等等。

图3A和3B分别是说明在半导体衬底100上形成栅极线的顶视图和剖视图。参考图3A和3B，在与有源区110交叉的直线中形成多个栅图形200。优选地，使用湿刻蚀工序除去离子注入工序过程中在有源区110上形成的氧化层（未示出）。然后，在有源区110上生长热氧化层至约40Å至约60Å的厚度，由此形成栅氧化层210。根据期望的器件性能，可以形成不同厚度的栅氧化层210。

接着，在栅氧化层210上顺序地形成栅极层220和230以及栅帽盖绝缘层260。可以由导电材料形成栅极层220和230，例如可以淀积约1000Å厚度的导电掺杂的多晶硅作为栅极层220，以及可以形成约1000Å厚度的增强栅极导电性的金属硅化物层（例如，硅化钨层）作为栅极层230。然后，可以在硅化钨层230上形成约2000Å厚度的氮化硅层。氮化硅层用作帽盖绝缘层260，防止在后续刻蚀工序过程中栅极被损坏。

接着，通过光刻和刻蚀工序连续地构图帽盖绝缘层260和栅极层220和230。因此，形成跨越有源区110的多个栅极线200，如图3A所示。然后，考虑待形成的NMOS晶体管或PMOS晶体管的特性和区域，执行光刻工序和离子注入工序。因此，以轻掺杂漏（LDD）结构形成晶体管的源区和漏区。

此后，淀积绝缘层（未示出），以覆盖栅极线200，刻蚀栅极线200，以形成覆盖栅极线200的侧壁的栅极隔片270。优选地，栅极隔片270是氮化硅。

图4A和4B分别是说明形成接触焊盘410和450的顶视图和剖视图。参考图4A和4B，形成第一绝缘层300，以填充栅极线200之间布置的部分。可以由氧化硅层如显示出良好填隙性能的高密度等离子体（HDP）氧化物或硼磷硅玻璃（BPSG）形成第一绝缘层300。之后，使用化学机械抛光（CMP）平整第一绝缘层300的顶面。

接着，通过使用自对准接触（SAC）工序在第一绝缘层300中形成多个接触焊盘410和450。接触焊盘410和450可以分为第一接触焊盘410，即掩埋接触焊盘，和第二接触焊盘450，即直接接触焊盘。此外，掩埋接触焊盘将有源区110电连接到后续工序待形成的存储电极。以及，直接接触焊盘将有源区110电连接到后续工序待形成的位线。而且，在彼此对角的方向布置第一和第二接触焊盘410和450，其间布置栅极线200。

形成接触焊盘410和450可以包括光刻工序和选择性蚀刻工序。因此，有选择地除去将形成位线接触和存储电极接触的部分第一绝缘层300，由此形成第一接触孔，以形成露出有源区110的接触焊盘。接着，将离子注入工序应用于有源区110的露出部分，以降低有源区110和之后待形成的接触焊盘410和450之间的接触电阻。然后，淀积导电层，

例如，包含N型杂质的掺杂多晶硅至约2500Å的厚度，以填充第一接触孔。接着，使用干刻蚀工序，例如深刻蚀或CMP工序刻蚀导电层，露出第一绝缘层300的顶面。因此，获得填充第一接触孔的接触焊盘410和450。

此外，形成接触焊盘410和450包括使用SAC工序形成带型开口（未示出），以露出将要形成多个接触孔的位置，形成导电层，以填充开口，然后平整化导电层。

图5A和5B分别是说明形成位线600的所得结构的顶视图和剖视图。参考图5A和5b，在第一绝缘层300上形成第二绝缘层510，以覆盖接触焊盘410和450。第二绝缘层510使位线与第一接触焊盘410绝缘，即掩埋接触焊盘。优选地，第二绝缘层510是氧化硅层。

接着，通过贯穿第二绝缘层510形成第二接触孔511，露出第二接触焊盘450的顶面，即直接接触焊盘的顶面。第二接触孔511用来形成第二接触，例如直接接触，将用来电连接第二接触焊盘450和位线600。

然后，形成位线600且电连接到第二接触焊盘450。例如，淀积并构图阻挡金属层610和金属导电层650，例如钨层，形成位线600。填充第二接触孔511的第二接触605将位线600与第二接触焊盘450电连接。换句话说，第二接触605形成将位线600与第二接触焊盘450电连接的直接接触。

然后，可以在位线600上形成位线帽盖绝缘层660和氮化硅层。此外，在位线600的侧边形成位线隔片670。优选地，位线隔片670由氮化硅组成。形成帽盖绝缘层660和隔片670，以防止在形成存储电极接触体，即掩埋接触层的后续工序过程中位线600被损坏。

图6A和6B分别是说明在覆盖位线600的第三绝缘层530上形成第

一光刻胶图形710为带型的顶视图和剖视图。参考图6A和6B，形成位线600之后，形成第三绝缘层530，以覆盖位线600。优选地，第三绝缘层530是具有良好的填隙性能的氧化硅，例如，HDP氧化物或BPSG。然后，如需要平整第三绝缘层530的表面。优选地，平面化工艺是CMP。

在第三绝缘层530上形成第一光刻胶图形710。在用于形成开口的光刻和刻蚀工序过程中使用第一光刻胶图形710。开口用来形成掩埋接触，即，存储电极接触体，以使第一接触焊盘410与之后待形成的存储电极连接。在第三绝缘层530上第一光刻胶图形710形成为带型，以及露出覆盖多个第一接触焊盘410的部分第三绝缘层530，多个第一接触焊盘410按行布置。此外，第一光刻胶图形710可以形成为沿栅极线200的线型或带型之一。

第一光刻胶图形710形成为带状，以保证用于构图第一光刻胶图形710的光刻工序过程中更宽的分辨率余量。利用比用于形成露出第一接触焊盘410的接触孔的光刻工序需要的分辨率更低分辨率的光刻工序，可以形成如上所述的带型第一光刻胶图形710。换句话说，如果需要ArF光刻工序形成露出第一接触焊盘410的接触孔，那么通过使用KrF光刻工序形成上述第一光刻胶图形710。这意味着可以确保增加用于光刻工序的工艺余量。

可以形成第一光刻胶图形710，以致露出覆盖第一接触焊盘410的第三绝缘层的露出部分比第一接触焊盘410的宽度宽。因此，可以增加用于构图第一光刻胶图形710的光刻工艺需要的工艺余量。然而，如有必要，可以形成第一光刻胶图形710，以露出第一接触焊盘410的顶面的较窄部分。即使当形成第一光刻胶图形710，以露出第一接触焊盘410的顶面的较窄部分时，也可以增加光刻工艺需要的工艺余量。这些因为带型图形比接触型图形可以更多地增加光刻工艺需要的分辨率余量。

图7A和7B分别是说明形成带型开口531以露出多个第一接触焊盘410的顶视图和剖视图。参考图7A和7B，通过使用第一光刻胶图形（图6A的710）作为蚀刻掩模，有选择地刻蚀露出的第三绝缘层，以形成带型开口531。如果第三绝缘层530是氧化硅，那么干刻蚀工序可以应用于氧化硅。执行刻蚀工序以露出第一接触焊盘410的顶面。

通过沿栅极线200刻蚀，获得带型开口531。因此，在通过带型开口531露出的区域内的行中露出多个第一接触焊盘410。此外，跨越位线600形成带型开口531，位线600接近第一接触焊盘410。如图7B和5B所示，由于通过位线隔片670和位线帽盖绝缘层660，防止位线600的顶部和侧边在刻蚀工艺过程中被损坏，所以通过带型开口531不露出位线600。

通过由第一光刻胶图形710露出的部分的宽度决定带型开口531的宽度。因此，当由第一光刻胶图形710露出的第三绝缘层530的宽度比第一接触焊盘410的宽度宽时，带型开口531的宽度比第一接触焊盘410的宽度宽。由于带型开口531的宽度增加，所以在之后待形成的存储电极和第一接触410之间可能发生未对准，同时仍然露出第一接触焊盘410的顶面。因此，进一步增加覆盖余量。

当形成带型开口531时，沿栅极线200形成构图为带状的第三绝缘层530'。

而且，尽管在图7A和7B中未示出，但是，如果刻蚀工艺需要的话，在第一光刻胶图形（图6A的710）下可以使用硬掩模。

图8A和8B分别是说明在第三绝缘层530'上形成导电层800，以填充带型开口531的顶视图和剖视图。参考图8A和8B，在构图的第三绝缘层530'上形成填充带型开口531的导电层800（例如，导电的多晶硅层）。导电层可以足够厚，以使用CVD工艺填充带型开口531。优选

地，导电层800如导电的多晶硅层，延伸覆盖第三绝缘层530'。实际上，导电层800覆盖位线帽盖绝缘层660和位线隔片670，位线帽盖绝缘层660和位线隔片670覆盖位线600并被带型开口531露出。

图9A和9B分别是说明导电层800分为分开的存储电极接触体810的顶视图和剖视图。参考图9A和9B，使用光刻和刻蚀工序构造导电层800，因此分为单个的存储电极接触体810，即掩埋接触。在导电层800上形成第二光刻胶图形750，然后用作蚀刻掩模以有选择地刻蚀导电层800的露出部分。优选地，使用干刻蚀工艺刻蚀导电层800露出的部分。进行刻蚀工序，直到完全除去导电层800的露出部分，由此将导电层800分为单个的存储电极接触体810。

因为部分存储电极接触体810重叠位线600，所以进行刻蚀工艺以露出在位线600上形成的位线帽盖绝缘层660的顶表面，以沿栅极线200完全分开存储电极接触体810，如图9A所示。此外，当执行刻蚀工艺，直到露出第三绝缘层530'的顶表面时，沿位线600完成存储电极接触体810的分离。因为布置第三绝缘层530'的顶面高于位线帽盖绝缘层660，所以当位线帽盖绝缘层660的顶面露出时，完成分离过程。优选地，使用氮化硅层来形成位线帽盖绝缘层660，且可以用作分离工序过程中刻蚀工序的刻蚀停止层。

形成由分离工序获得的存储电极接触体810，以使第一接触焊盘410与后续工艺待形成的存储电极电连接。在本发明的优选地实施例中，以新的排列布置存储电极，而不是如图1所示的沿位线和字线的矩阵形状。

例如，以位线600的方向上的Z形图形（参见图9A）布置存储电极。换句话说，以从位线600的对角线方向布置相邻的存储电极。此外，在栅极线200的方向上存储电极布置为Z形图形。换句话说，在栅极线200的对角线方向布置相邻的存储电极。下面参考附图更详细地

描述存储电极的布置。

但是，当存储电极布置在位线600或栅极线200的对角线方向时，存储电极的中心可能与第一接触焊盘410的中心不对准。因此，优选地存储电极接触体810的顶面在位线600的方向延伸，以使存储电极与第一接触焊盘410电连接。

当如上所述，开口531在位线600的方向延伸时，填充存储电极接触体810的开口531的体区811可以在位线600的方向延伸。优选地，为了增加存储电极接触体810和存储电极之间的接触面积，存储电极接触体810具有在体区815的顶上的延伸部分811。延伸部分811是在第三绝缘层530'的顶上朝着位线600的方向延伸的存储电极接触体810的一部分。

优选地，第二光刻胶图形750用作蚀刻掩模，以形成具有延伸部分811的存储电极接触体810。例如，优选地形成第二光刻胶图形750，以覆盖部分导电层800，以致第二光刻胶图形750的宽度比开口531宽，并沿朝着位线600的主轴形成延伸部分811。换句话说，优选地形成第二光刻胶图形750，以允许延伸部分811在位线600的方向延伸。

如图9B所示，构图的存储电极接触体810的延伸部分811延伸覆盖第三绝缘层530'的部分顶部，如图9A所示，延伸部分811在位线600的方向延伸。优选地，其间布置位线600的相邻延伸部分811优选地在彼此相反的方向延伸。这允许在延伸部分811上待形成的相邻存储电极布置在位线600的对角线方向。此外，相邻的延伸部分811使延伸部分811能与存储电极对准并重叠存储电极。因此，可以减小存储电极和存储电极接触体810之间的接触电阻。

而且，在用于将导电层800分为单个存储电极接触体810的刻蚀工序过程中可以将部分导电层800构图为电阻（未示出）。电阻器应用

于半导体器件如DRAM的外围电路区。由此，尽管在图中未示出，但是延至半导体器件的外围区的部分导电层800用作电阻器。在刻蚀工序过程中，通过使用导电层800形成电阻器，可以简化用于形成半导体器件的整个工艺。

图10A是顶视图，图10B和10C是剖面图，说明根据本发明的另一个示范性实施例形成存储电极900。

图10A是说明在存储电极接触体810上形成存储电极900的顶视图。图10B是说明涂敷铸模层950以形成圆柱形形状的存储电极900的步骤的剖视图，图10C是说明形成存储电极900的步骤的剖视图。

参考图10A、10B以及10C，以圆柱形形状形成电连接到存储电极接触体810的存储电极900。存储电极900还可以形成为圆形、椭圆形或矩形形状。如图10A所示，存储电极900与其他相邻的存储电极900布置在位线600或栅极线200的对角线方向。换句话说，在沿位线600或沿栅极线200的Z形图形中布置存储电极900。

当如上所述布置存储电极900时，增加其间的间距。由此，防止引起一对位错的存储电极的坍塌。

存储电极900布置在存储电极接触体810上。如上所述，因为形成存储电极接触体810，在沿位线600的顶部具有延伸部分811，所以增加存储电极接触体810和存储电极900之间的接触面积。即使存储电极900的中心可能与第一接触焊盘410的未对准，通过包括在朝着位线600方向的第三绝缘层530的顶面上延伸的延伸部分的存储电极接触体810，可以确保存储电极900和第一接触410之间的接触面积。

为了形成存储电极900为三维形状，例如圆柱形，可以采用图10B所示的铸模950。更具体地说，可以在存储电极接触体810和第三绝缘

层530'上形成约1500nm厚的铸模层。

可以在铸模层下附加地形成第四绝缘层930。优选地，第四绝缘层930包括氧化硅层和氮化硅层，当随后除去铸模层时，其中氧化硅层用作电极支撑层，氮化硅层用作刻蚀停止层。用于刻蚀停止层的氮化硅层可以形成为约500Å的厚度。此外，如有必要可以省去电极支撑层。优选地电极支撑层足够厚，以覆盖存储电极接触体810。此外，形成电极支撑层之后，可以增加用于平整化电极支撑层表面的工序。

形成存储电极900之后，将除去在第四绝缘层930上形成的铸模层。优选地，铸模层由可移动材料如等离子体增强的四乙基原硅酸盐（tetraethylorthosilicate）（PETEOS）形成。

淀积铸模层之后，使用光刻和刻蚀工艺有选择地除去将形成存储电极900的部分。因此，构图铸模层，直到露出存储电极接触体810的顶面。因此，形成铸模950。优选地，在刻蚀停止层即氮化硅层完成用于形成铸模950的刻蚀工序。

之后，在铸模950上形成导电层，并延伸以覆盖露出的存储电极接触体810的顶表面。导电层可以由导电多晶硅形成，使用CVD形成约400Å至约500Å的厚度。在电容器形成为金属-绝缘体-金属（MIM）结构的情况下，导电层可以由用作MIM电容器的电极的材料形成。

在导电层上淀积约3000Å至约6000Å厚的牺牲绝缘层（未示出），然后使用干刻蚀工序或化学机械抛光（CMP）平整。因此，如图10C所示，导电层分为单个的存储电极900。为了紧密的分开，执行平整化工序，直到露出铸模950的顶表面。换句话说，通过平整化工序刻蚀和除去约1000Å至约2000Å的牺牲绝缘层。接着，使用相对于多晶硅和氧化硅具有刻蚀选择性的湿刻蚀工序有选择地除去牺牲绝缘层和铸模950。因此，形成图10C所示的圆柱形存储电极900。

根据如上所述的本发明的示例性实施例，当使用接触孔形成存储电极接触体时，可以最小化存储电极接触体和存储电极之间的未对准。而且，通过光刻和刻蚀工序形成带型开口和填充开口的导电层分为单个存储电极接触体。这样，具有延伸部分的存储电极接触体的体区可以与在体区上整体地形成的延伸部分自对准。

因此，可以防止层之间的未对准，以及覆盖余量可以按比例缩小。此外，因为集成地形成存储电极接触体的延伸部分和体区，所以为了延伸存储电极的任何附加工序都变得没有必要。例如，可以省去采用缓冲层和平整化或刻蚀缓冲层的步骤。

当使用接触孔形成存储电极接触体时，考虑到间距和分辨率一般使用ArF光刻工艺形成接触孔。但是，可以使用KrF光刻工艺形成带型开口。

根据本发明的示例性实施例，可以形成具有在朝着位线方向的绝缘层上延伸的顶部的存储电极接触体。而且，可以以新的排列布置存储电极，存储电极接触体的中心与其下布置的掩埋接触焊盘的中心未对准。换句话说，相邻的存储电极可以布置在位线或栅极线的对角线方向。因此，通过新的排列增加了存储电极之间的间距。因此，消除在圆柱形存储电极中经常引起的存储电极之间的电桥。

尽管参考其优选地实施例已经具体展示和描述了本发明，但是本领域的普通技术人员应当明白，在不脱离下述权利要求所限定的本发明的精神和范围的情况下，可以在形式上和细节进行改变。

图1

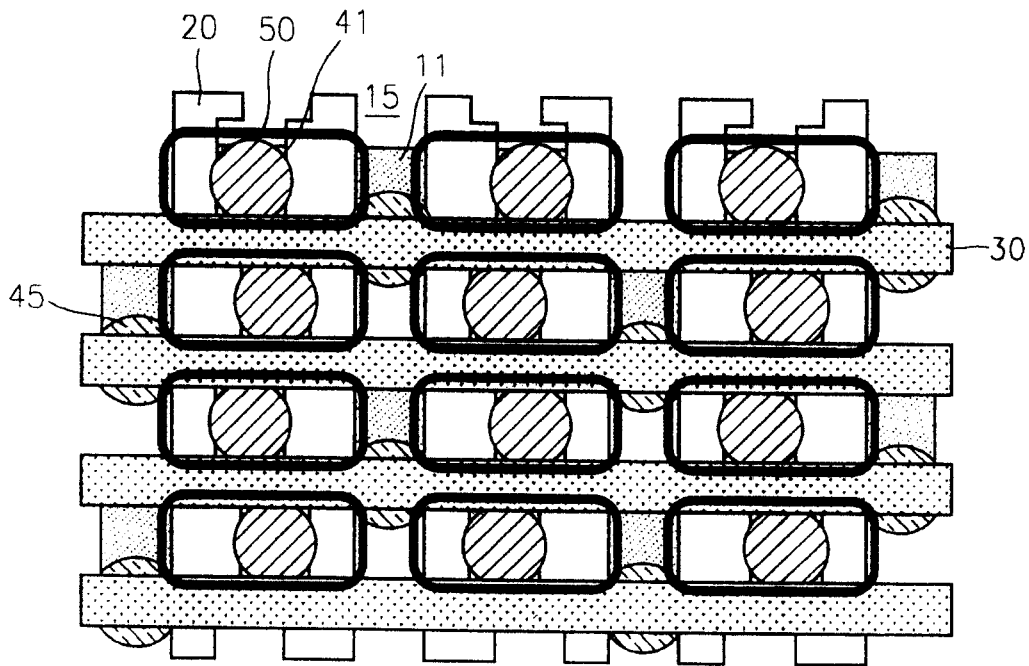


图2A

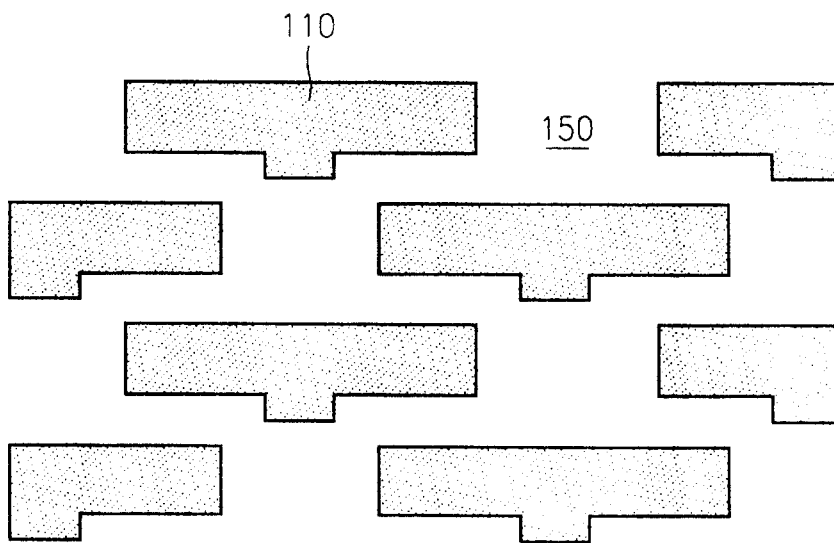


图2B

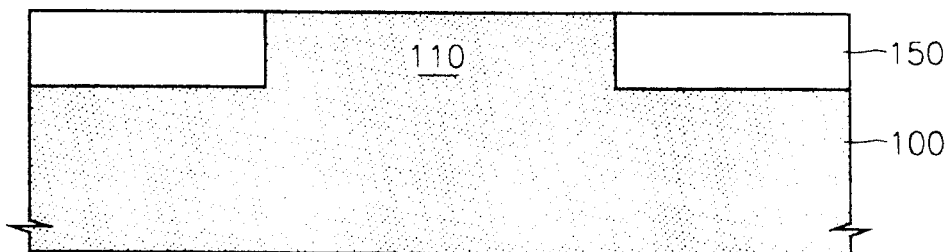


图3A

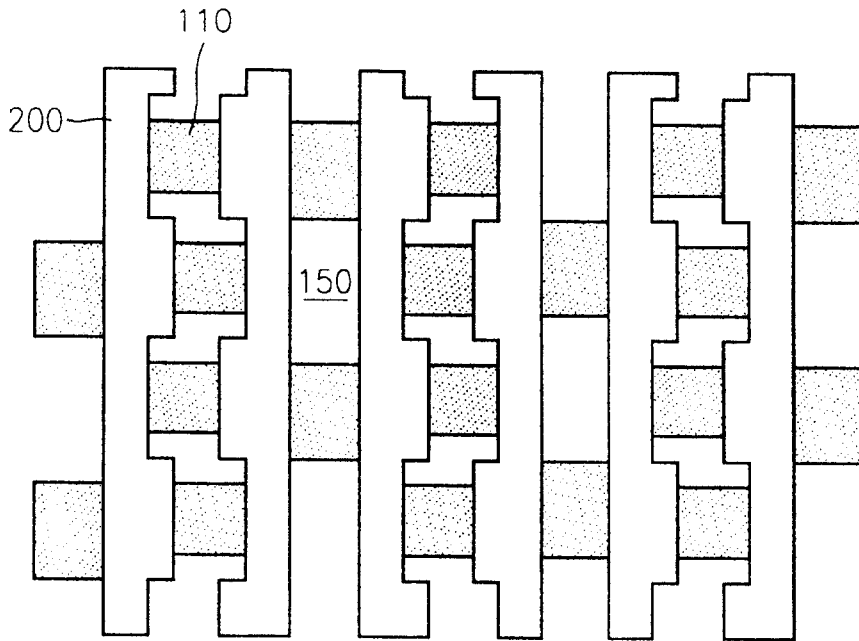


图3B

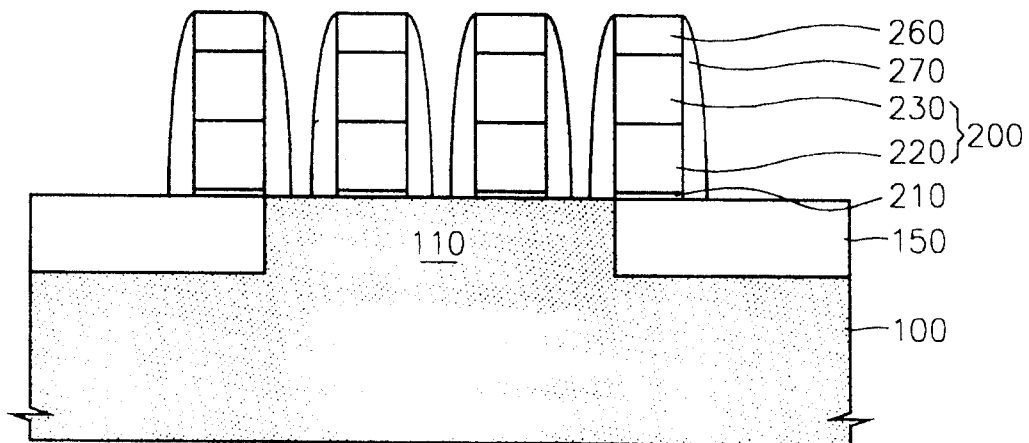


图4A

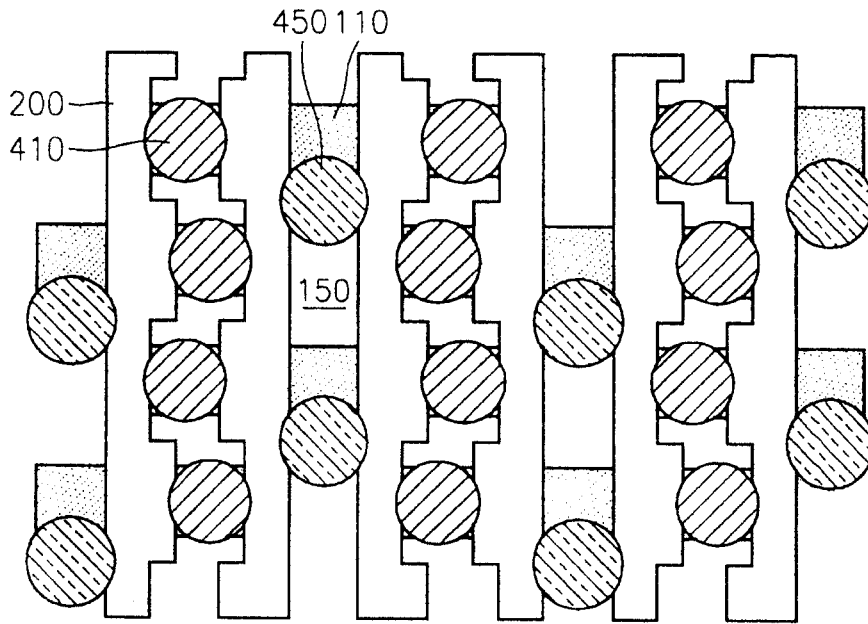


图4B

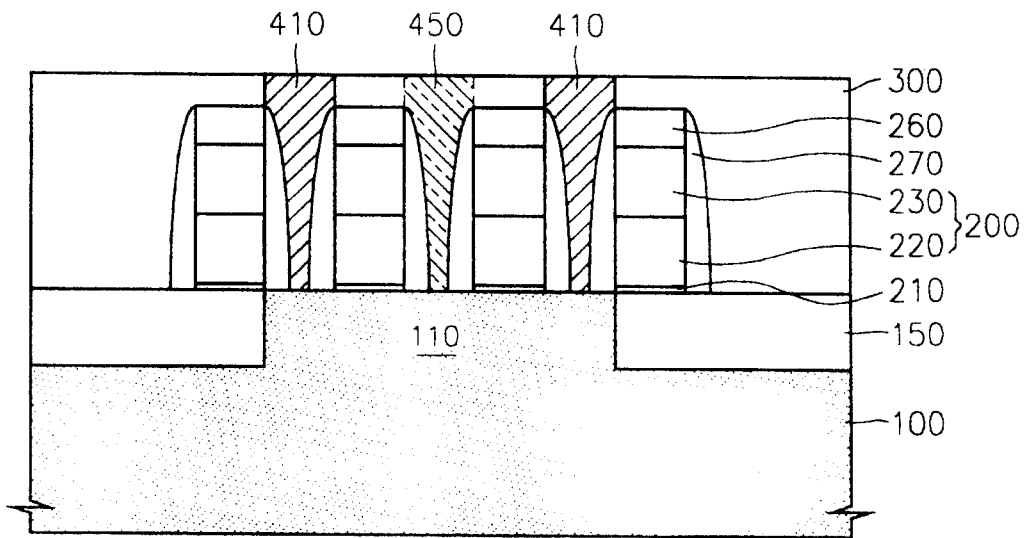


图5A

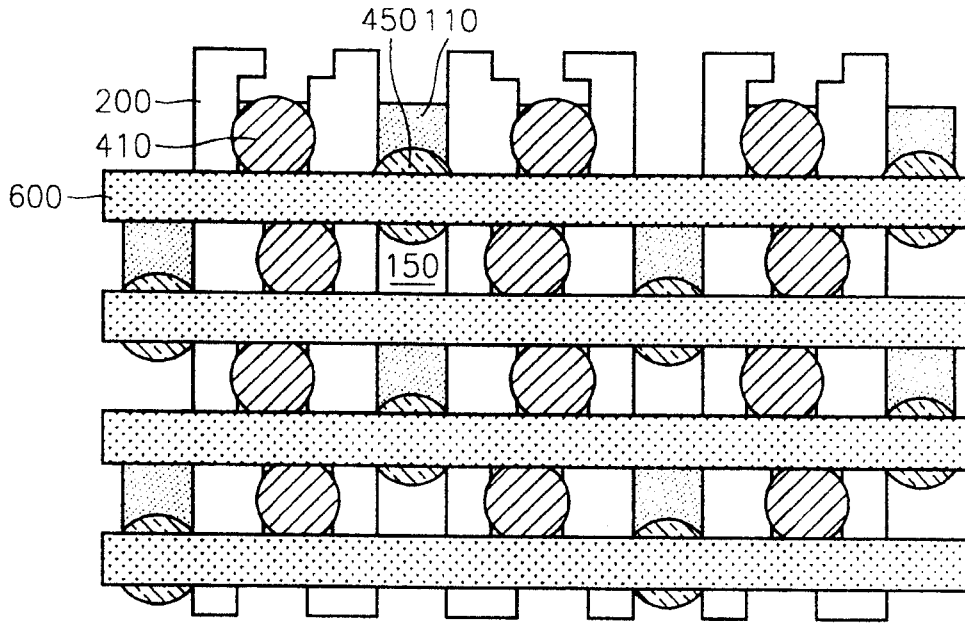


图5B

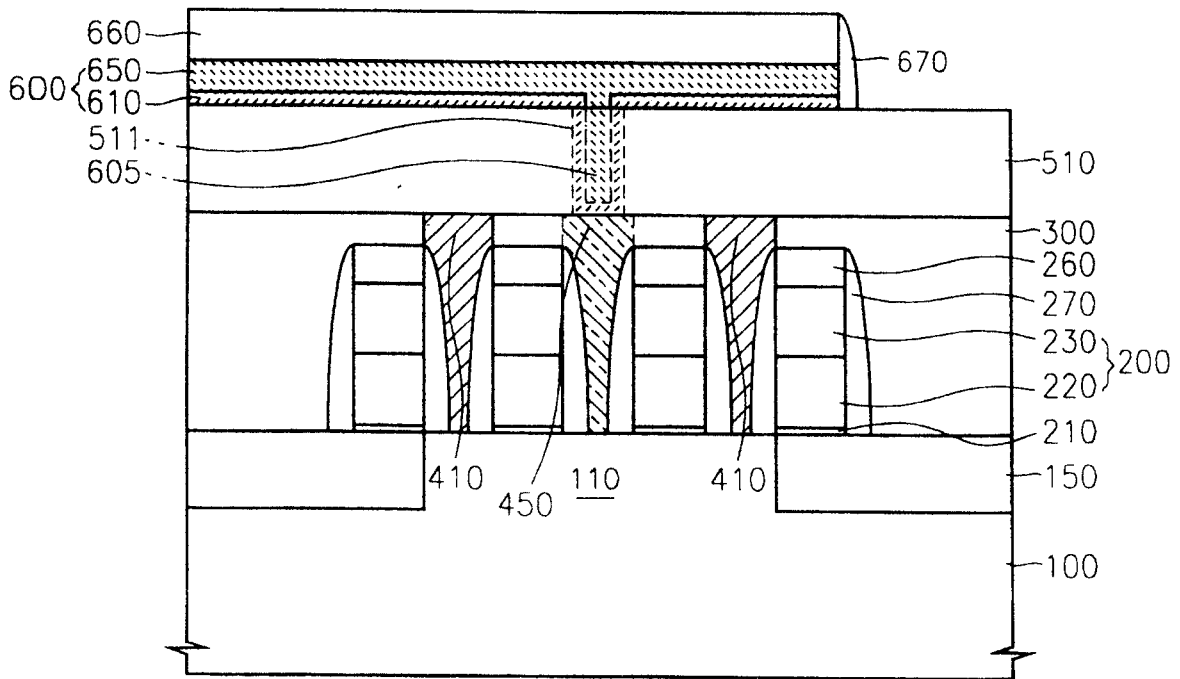


图6A

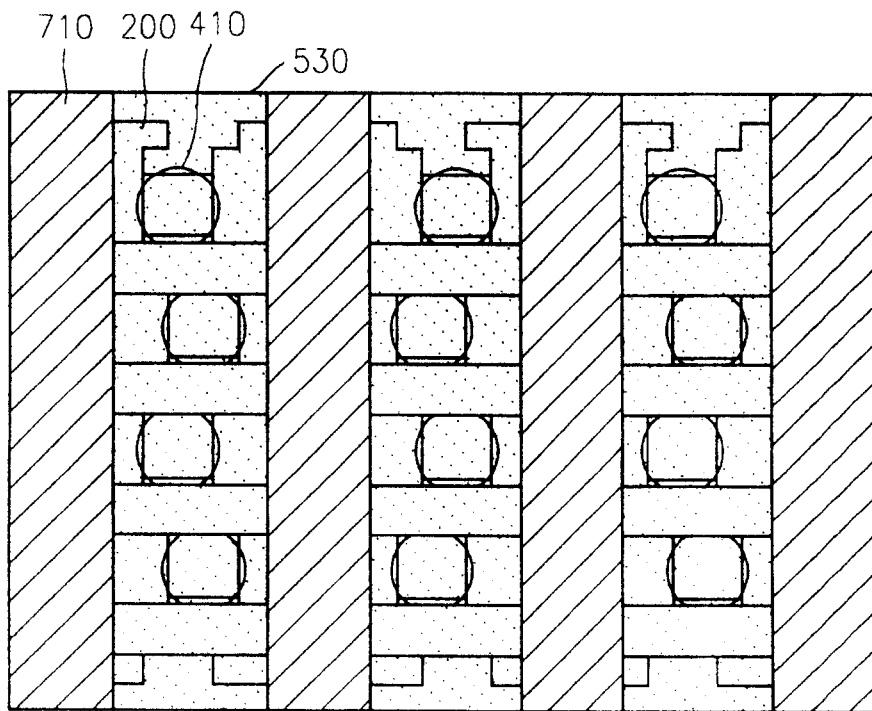


图6B

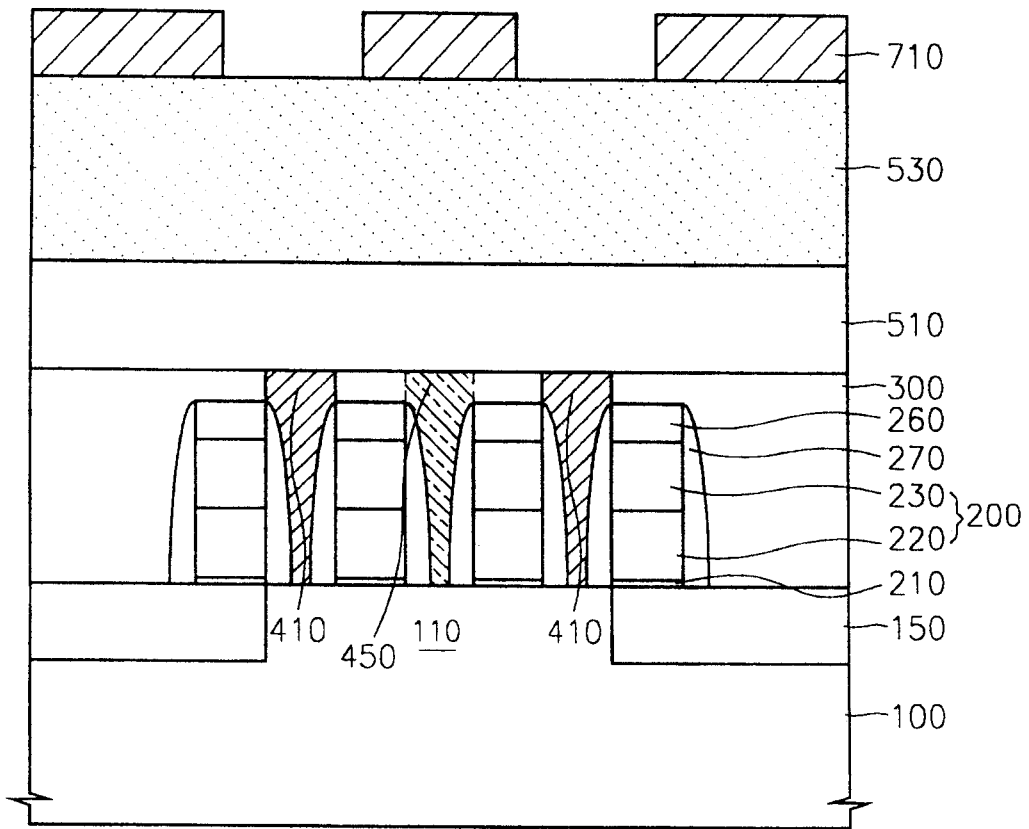


图7A

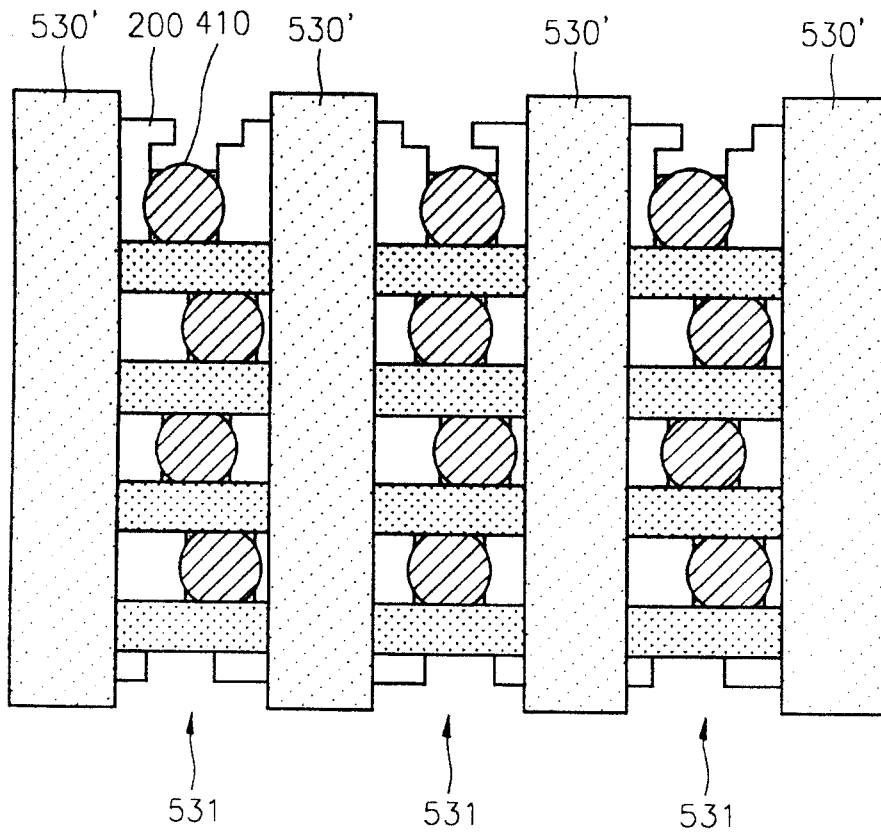


图7B

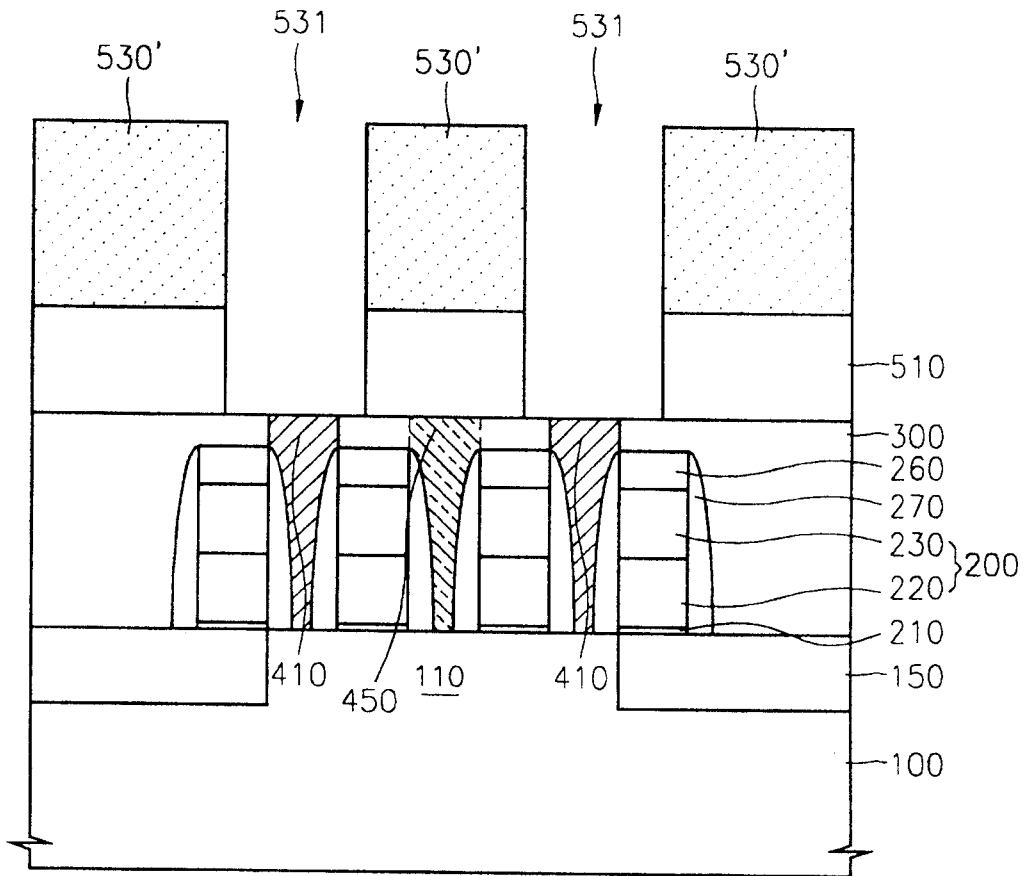


图8A

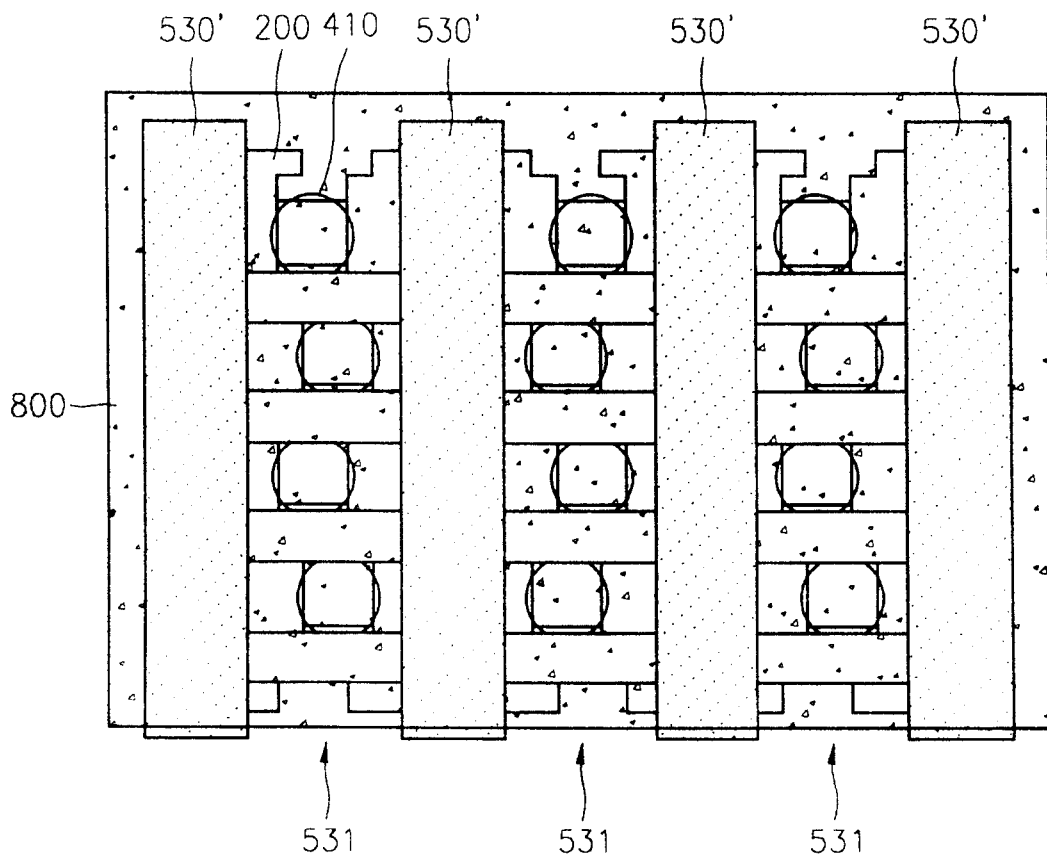


图8B

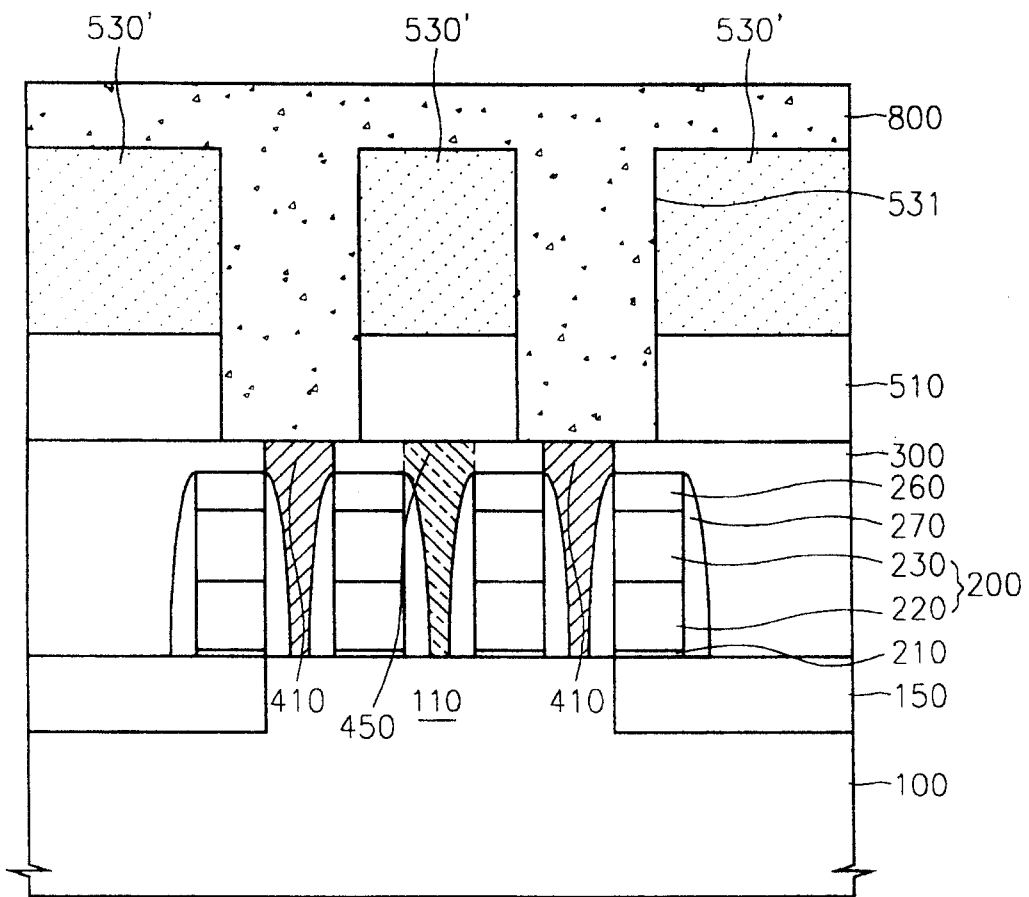


图9A

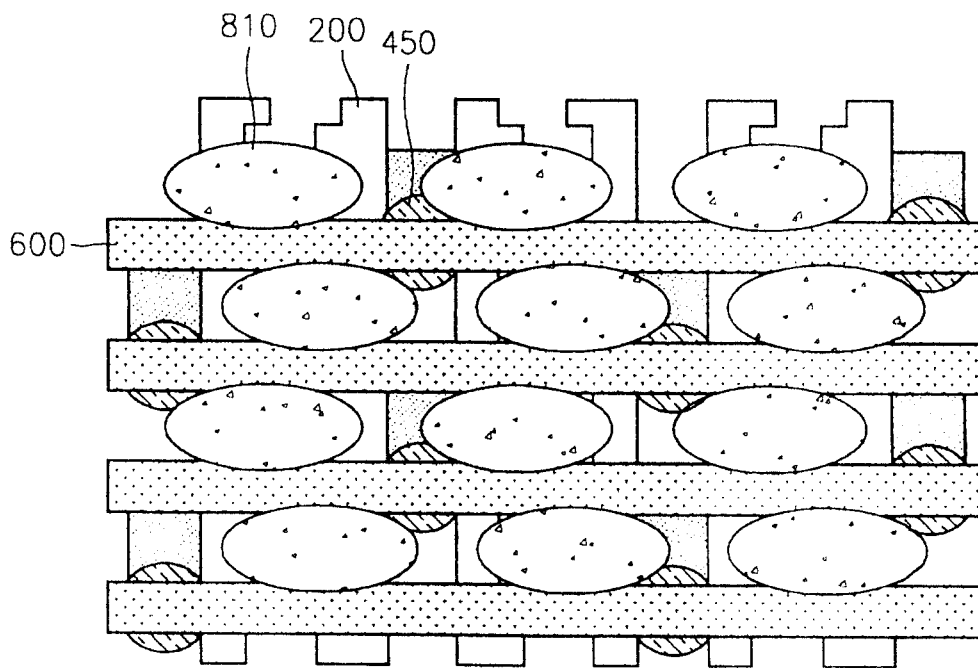


图9B

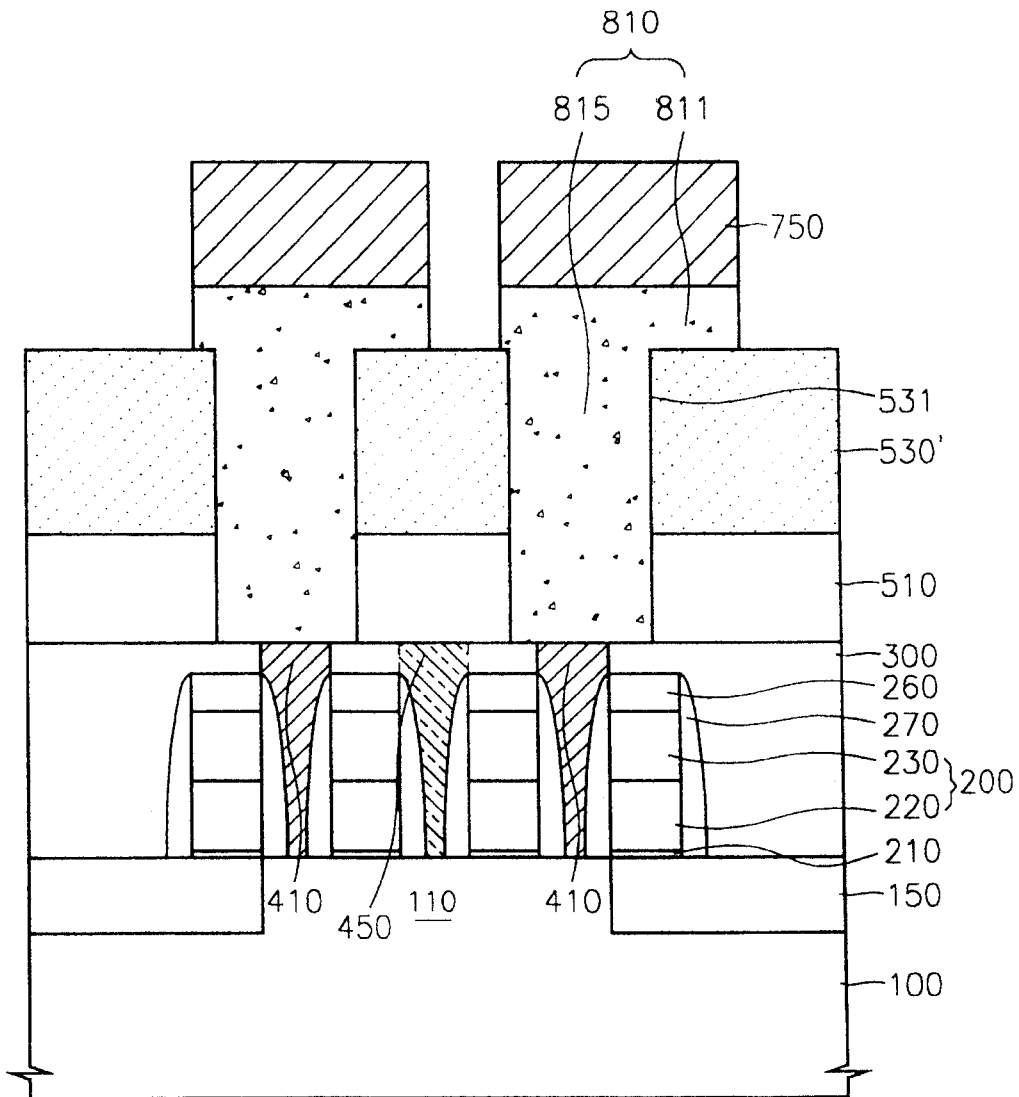


图10A

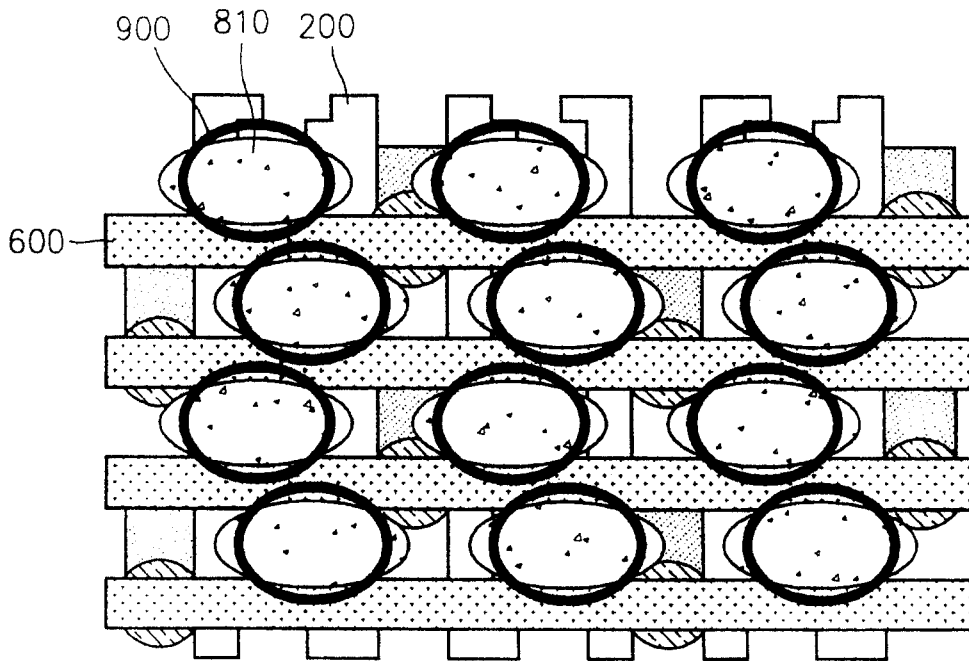


图10B

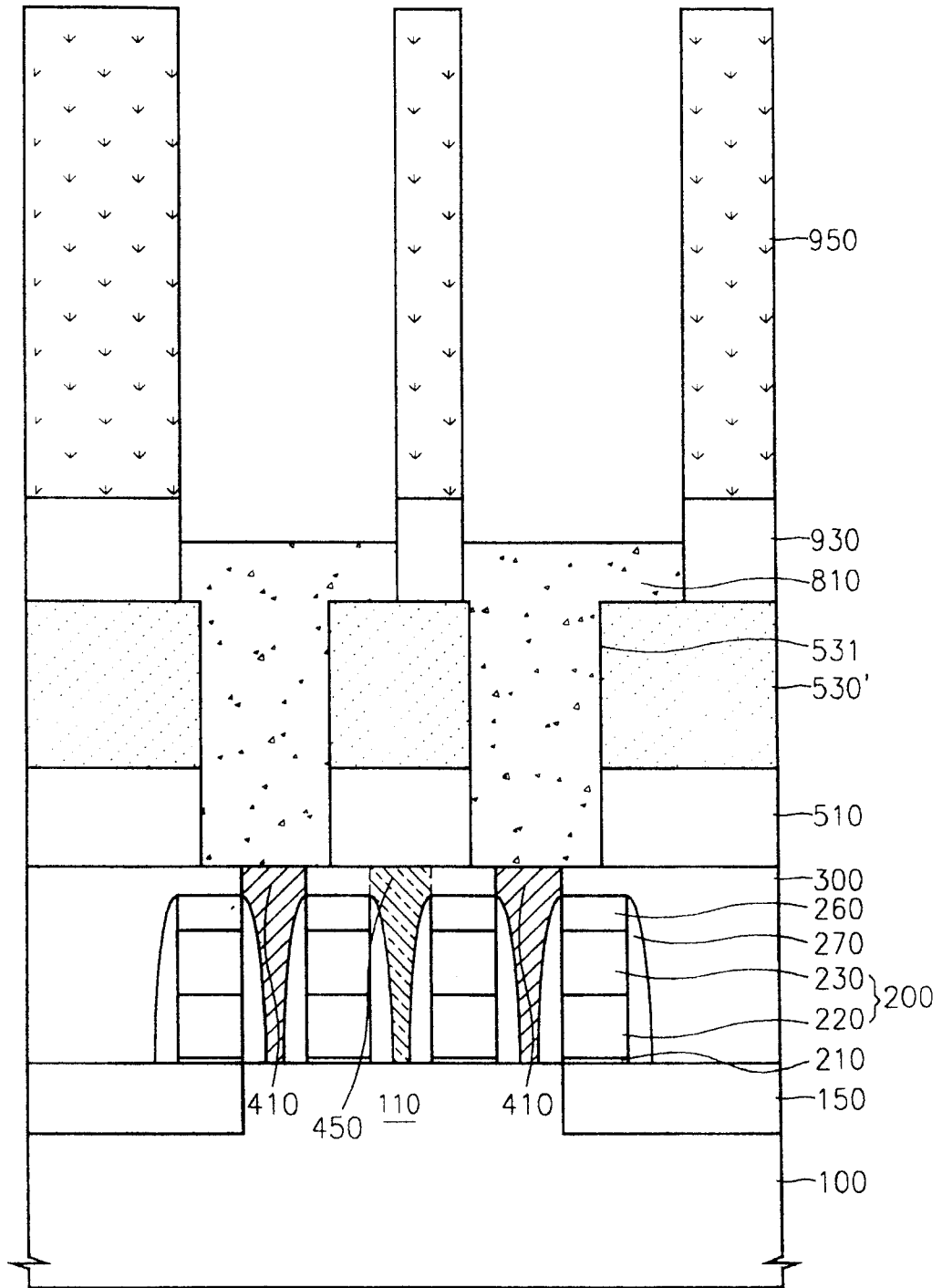


图10C

