



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 11 2006 000 832 T5 2008.02.14**

(12)

Veröffentlichung

der internationalen Anmeldung mit der
 (87) Veröffentlichungs-Nr.: **WO 2006/108011**
 in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
 (21) Deutsches Aktenzeichen: **11 2006 000 832.3**
 (86) PCT-Aktenzeichen: **PCT/US2006/012581**
 (86) PCT-Anmeldetag: **04.04.2006**
 (87) PCT-Veröffentlichungstag: **12.10.2006**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **14.02.2008**

(51) Int Cl.⁸: **H01L 29/94 (2006.01)**
H01L 21/8242 (2006.01)

(30) Unionspriorität:
60/669,063 06.04.2005 US

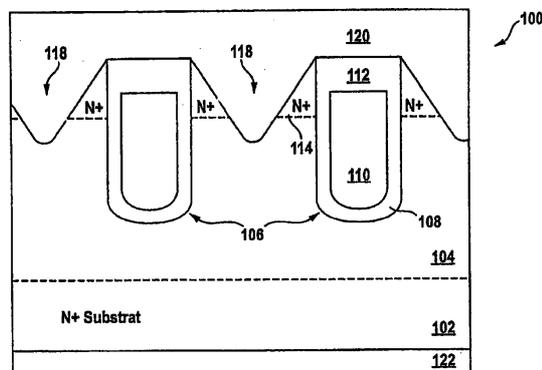
(71) Anmelder:
**Fairchild Semiconductor Corp., South Portland,
 Me., US**

(74) Vertreter:
**Manitz, Finsterwald & Partner GbR, 80336
 München**

(72) Erfinder:
**Kocon, Christopher Boguslaw, Mountaintop, Pa.,
 US; Sapp, Steven P., Santa Cruz, Calif., US;
 Thorup, Paul, West Jordan, Utah, US; Probst,
 Dean E., West Jordan, Utah, US; Herrick, Robert,
 Lehi, Utah, US; Losee, Becky, Cedar Hills, Utah,
 US; Yilmaz, Hamza, Saratoga, Calif., US; Rexer,
 Christopher Lawrence, Mountaintop, Pa., US;
 Calafut, Daniel, San Jose, Calif., US**

(54) Bezeichnung: **Trenched-Gate-Feldeffekttransistoren und Verfahren zum Bilden derselben**

(57) Hauptanspruch: Struktur mit einem Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei die Struktur ferner umfasst:
 Gate-Gräben, die sich in einen Halbleiterbereich erstrecken;
 Source-Bereiche, die jede Seite der Gate-Gräben flankieren, wobei die Source-Bereiche eine im Wesentlichen dreieckige Form aufweisen;
 eine Kontaktöffnung, die sich in den Halbleiterbereich zwischen benachbarten Gate-Gräben erstreckt; und
 eine Leiterschicht, die die Kontaktöffnung füllt, um elektrisch zu kontaktieren: (a) die Source-Bereiche entlang zumindest einem Abschnitt einer abgeschrägten Seitenwand jedes Source-Bereiches, und (b) den Halbleiterbereich entlang einem Bodenabschnitt der Kontaktöffnung, wobei die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.



Beschreibung

QUERVERWEISE AUF VERWANDTE ANMELDUNGEN

[0001] Diese Anmeldung beansprucht die Priorität der vorläufigen US-Anmeldung Nr. 60/669,063, die am 6. April 2005 eingereicht wurde und deren Offenbarungsgehalt hierin durch Bezugnahme zu allen Zwecken mit eingeschlossen ist. Die folgenden Patentanmeldungen sind hierin durch Bezugnahme in ihrem gesamten Offenbarungsgehalt zu allen Zwecken mit eingeschlossen: vorläufige US-Anmeldung Nr. 60/588,845, am 15. Juli 2004 eingereicht, US-Anmeldung Nr. 11/026,276, am 29. Dezember 2004 eingereicht, und US-Anmeldung Nr. 09/844,347, am 27. April 2001 eingereicht (Veröffentlichungsnummer US 2002/0008284).

HINTERGRUND DER ERFINDUNG

[0002] Die vorliegende Erfindung betrifft im Allgemeinen die Leistungshalbleitertechnologie und im Besonderen Trenched-Gate-Feldeffekttransistoren (FET) vom Akkumulationsmodus und Anreicherungsmodus und deren Herstellungsverfahren.

[0003] Die Schlüsselkomponente bei Leistungselektronikanwendungen ist der Festkörperschalter. Von der Zündungssteuerung bei Kraftfahrzeuganwendungen bis hin zu batteriebetriebenen elektronischen Geräten für Verbraucher und Leistungswandlern in industriellen Anwendungen gibt es einen Bedarf für einen Leistungsschalter, der die Anforderungen der besonderen Anwendung optimal erfüllt. Festkörperschalter, die beispielsweise den Leistungs-Metalloxid-Halbleiter-Feldeffekttransistor (Leistungs-MOSFET), den Bipolar-Transistor mit isoliertem Gate (IGBT) und verschiedene Typen von Thyristoren umfassen, haben sich fortlaufend entwickelt, um diese Anforderung zu erfüllen. In dem Fall des Leistungs-MOSFET beispielsweise sind doppelt diffundierte Strukturen (DMOS) mit lateralem Kanal (z.B. U.S. Patent Nr. 4,682,405 für Blanchard et al.), Trenched-Gate-Strukturen (z.B. U.S. Patent Nr. 6,429,481 für Mo et al.) und verschiedene Techniken zum Ladungsausgleich in dem Transistordriftbereich (z.B. U.S. Patente Nr. 4,941,026 für Temple, 5,216,275 für Chen und 6,081,009 für Neilson) neben vielen anderen Technologien entwickelt worden, um sich mit den differierenden und oftmals widersprechenden Leistungsanforderungen zu befassen.

[0004] Einige der definierenden Charakteristiken des Leistungsvermögens für den Leistungsschalter sind sein Ein-Widerstand, seine Durchbruchspannung und die Schaltgeschwindigkeit. Abhängig von den Anforderungen einer besonderen Anwendung wird eine unterschiedliche Betonung auf jedes dieser Kriterien für das Leistungsvermögen gelegt. Bei-

spielsweise für Leistungsanwendungen von mehr als etwa 300-400 Volt zeigt der IGBT einen inhärent niedrigeren Ein-Widerstand im Vergleich mit dem Leistungs-MOSFET, aber seine Schaltgeschwindigkeit ist aufgrund seiner langsameren Ausschaltcharakteristiken niedriger. Deshalb ist für Anwendungen mit mehr als 400 Volt mit niedrigen Schaltfrequenzen, die einen niedrigen Ein-Widerstand erfordern, der IGBT der bevorzugte Schalter, während der Leistungs-MOSFET häufig die Vorrichtung der Wahl für Anwendungen mit relativ hoher Frequenz ist. Wenn die Frequenzanforderungen einer gegebenen Anwendung den Typ eines verwendeten Schalters vorschreiben, bestimmen die Spannungsanforderungen den konstruktiven Aufbau des besonderen Schalters. Beispielsweise in dem Fall des Leistungs-MOSFET stellt die Verbesserung des Spannungsleistungsvermögens des Transistors bei gleichzeitiger Aufrechterhaltung eines niedrigen RDSon wegen der proportionalen Beziehung zwischen dem Ein-Widerstand zwischen Drain und Source RDSon und der Durchbruchspannung eine Herausforderung dar. Verschiedene Ladungsausgleichsstrukturen in dem Transistordriftbereich sind mit unterschiedlichen Graden von Erfolg, dieser Herausforderung gerecht zu werden, entwickelt worden.

[0005] Zwei Arten von Feldeffekttransistoren sind FET vom Akkumulationsmodus und FET vom Anreicherungsmodus. Bei herkömmlichen Akkumulations-FET ist der Kanalwiderstand beseitigt, da kein Inversionskanal gebildet wird, wodurch die Leistungshandhabungsfähigkeit und der Wirkungsgrad des Transistors verbessert sind. Ohne pn-Body-Diode werden die Verluste in synchronen Gleichrichterschaltkreisen, die auf die pn-Diode zurückzuführen sind, vermindert. Ein Nachteil von herkömmlichen Akkumulationstransistoren ist, dass der Driftbereich schwach dotiert sein muss, um eine genügend hohe Vorspannung in Sperrrichtung zu unterstützen. Ein schwach dotierter Driftbereich führt jedoch zu einem höheren Ein-Widerstand und zu einem niedrigeren Wirkungsgrad. Ähnlich erfolgt in FET vom Anreicherungsmodus eine Verbesserung der Durchbruchspannung des Transistors häufig auf Kosten eines höheren Ein-Widerstandes, oder umgekehrt.

[0006] Parameter des Leistungsvermögens der Vorrichtung werden auch durch den Fertigungsprozess beeinflusst. Es sind Versuche unternommen worden, einigen dieser Herausforderungen gerecht zu werden, indem eine Vielfalt von verbesserten Prozesstechniken entwickelt wurde. Ob es nun in besonders gut tragbaren (ultra-portable) elektronischen Vorrichtungen für Verbraucher oder Routern und Hubs in Kommunikationssystemen ist, wächst die Vielfalt der Anwendungen für den Leistungsschalter mit der Expansion der elektronischen Industrie fortlaufend an. Der Leistungsschalter bleibt daher eine Halbleitervorrichtung mit einem hohen Entwicklungspotential.

KURZE ZUSAMMENFASSUNG DER ERFINDUNG

[0007] Die vorliegende Erfindung stellt verschiedene Ausführungsformen für Leistungsvorrichtungen sowie deren Herstellungsverfahren bereit. Allgemein ist gemäß einem Aspekt der Erfindung eine Schottky-Diode optimal mit einem FET vom Akkumulationsmodus oder einem FET vom Anreicherungsmodus in einer einzigen Zelle integriert. Gemäß anderen Aspekten der Erfindung sind Verfahren zum Herstellen verschiedener Leistungstransistorstrukturen mit selbstjustierten Merkmalen sowie anderen Vorteilen und Merkmalen vorgesehen.

[0008] Gemäß einer Ausführungsform der Erfindung umfassen ein Feldeffekt-Transistor und eine Schottky-Diode, die monolithisch integriert sind, Gate-Gräben oder Trenches, die sich in einen Halbleiterbereich erstrecken. Source-Bereiche, die eine im Wesentlichen dreieckige Form aufweisen, flankieren jede Seite der Gate-Gräben. Eine Kontaktöffnung erstreckt sich in den Halbleiterbereich zwischen benachbarten Gate-Gräben. Eine Leiterschicht füllt die Kontaktöffnung, um elektrisch zu kontaktieren: (a) die Source-Bereiche entlang zumindest einem Abschnitt einer abgeschrägten Seitenwand jedes Source-Bereiches, und (b) den Halbleiterbereich entlang einem Bodenabschnitt der Kontaktöffnung, wobei die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.

[0009] Gemäß einer anderen Ausführungsform der Erfindung umfassen ein Trench-FET und eine Schottky-Diode, die monolithisch integriert sind, Gate-Gräben, die sich in eine Epitaxieschicht, die sich über einem Substrat erstreckt, erstrecken und darin enden. Jeder Gate-Graben weist darin ein vertieftes Gate mit einem Dielektrikummaterial über dem vertieften Gate auf. Die Epitaxieschicht ist von dem gleichen Leitfähigkeitstyp wie das Substrat, weist aber eine niedrigere Dotierungskonzentration als das Substrat auf. Source-Bereiche flankieren jede Seite der Gate-Gräben, wobei jeder Source-Bereich eine obere Oberfläche unter einer oberen Oberfläche des Dielektrikummaterials aufweist. Eine Kontaktöffnung erstreckt sich in die Epitaxieschicht zwischen benachbarten Gate-Gräben. Eine Leiterschicht füllt die Kontaktöffnung, um die Source-Bereiche und die Epitaxieschicht elektrisch zu kontaktieren und um einen Schottky-Kontakt mit dem Halbleiterbereich zu bilden. Die Epitaxieschicht und die Source-Bereiche umfassen eines von Siliziumcarbid, Galliumnitrid und Galliumarsenid.

[0010] Gemäß noch einer anderen Ausführungsform der Erfindung umfassen ein Trench-FET und eine Schottky-Diode, die monolithisch integriert sind, Gate-Gräben, die sich in einen Halbleiterbereich von einem ersten Leitfähigkeitstyp erstrecken, wobei jeder Gate-Graben ein vertieftes Gate darin mit einem

Dielektrikummaterial über dem vertieften Gate aufweist. Source-Bereiche von dem ersten Leitfähigkeitstyp flankieren jede Seite der Gate-Gräben. Jeder Source-Bereich weist eine obere Oberfläche auf, die relativ zu einer oberen Oberfläche des Dielektrikummaterials über dem entsprechenden vertieften Gate vertieft ist. Ein Body-Bereich von einem zweiten Leitfähigkeitstyp erstreckt sich entlang jeder Gate-Grabenseitenwand zwischen einem entsprechenden Source-Bereich und dem Halbleiterbereich. Eine Kontaktöffnung erstreckt sich in den Halbleiterbereich zwischen benachbarten Gate-Gräben. Eine Leiterschicht füllt die Kontaktöffnung und kontaktiert die Source-Bereiche, den Body-Bereich und den Halbleiterbereich elektrisch, und die Leiterschicht bildet einen Schottky-Kontakt mit dem Halbleiterbereich.

[0011] Gemäß einer anderen Ausführungsform der Erfindung umfassen ein Trench-FET und eine Schottky-Diode, die monolithisch integriert sind, Gate-Gräben, die sich in einen Halbleiterbereich erstrecken, wobei jeder Gate-Graben ein Gate darin mit einem Dielektrikummaterial über dem Gate aufweist. Halbleiter-Source-Spacer flankieren jede Seite der Gate-Gräben, so dass jedes Paar benachbarter Halbleiter-Source-Spacer, das zwischen jeweils zwei benachbarten Gate-Gräben angeordnet ist, eine Kontaktöffnung dazwischen bildet. Eine Leiterschicht füllt die Kontaktöffnungen und kontaktiert die Halbleiter-Source-Spacer und den Halbleiter-Bereich und bildet einen Schottky-Kontakt mit dem Halbleiterbereich.

[0012] Gemäß einer anderen Ausführungsform der Erfindung umfassen ein Trench-FET und eine Schottky-Diode, die monolithisch integriert sind, Gate-Gräben, die sich in einen Halbleiterbereich von einem ersten Leitfähigkeitstyp erstrecken. Source-Bereiche von dem ersten Leitfähigkeitstyp flankieren jede Seite der Gate-Gräben. Eine Abschirmelektrode ist entlang einem Bodenabschnitt jedes Gate-Grabens angeordnet und ist von dem Halbleiterbereich durch eine Abschirmdielektrikumschicht isoliert. Ein Gate ist über der Abschirmelektrode in jedem Graben angeordnet, und das Gate und die Abschirmelektrode weisen eine Dielektrikumschicht dazwischen auf. Eine Dielektrikum-Kappe ist über dem Gate angeordnet. Eine Leiterschicht kontaktiert die Source-Bereiche und den Halbleiter-Bereich, so dass die Leiterschicht einen Schottky-Kontakt mit dem Halbleiter-Bereich bildet.

[0013] Diese und andere Aspekte der Erfindung werden in Verbindung mit den begleitenden Zeichnungen nachstehend ausführlicher beschrieben.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0014] [Fig. 1](#) ist eine vereinfachte Querschnittsansicht eines Trenched-Gate-Akkumulations-FET mit

integriertem Schottky gemäß einer beispielhaften Ausführungsform der Erfindung;

[0015] [Fig. 2A-Fig. 2I](#) sind vereinfachte Querschnittsansichten, die verschiedene Prozessschritte zum Bilden der integrierten FET-Schottky-Diodenstruktur in [Fig. 1](#) gemäß einer beispielhaften Ausführungsform der Erfindung zeigen;

[0016] [Fig. 3A-Fig. 3E](#) sind vereinfachte Querschnittsansichten, die alternative Prozessschritte zu jenen in dem letzteren Abschnitt der Prozessfolge, die von den [Fig. 2G-Fig. 2I](#) gezeigt ist, gemäß einer anderen beispielhaften Ausführungsform der Erfindung zeigen;

[0017] [Fig. 3EE](#) ist eine vereinfachte Querschnittsansicht einer alternativen Ausführungsform, wobei die Dielektrikum-Spacer in der Prozessfolge in den [Fig. 3A-Fig. 3E](#) entfernt sind, bevor die Leiterschicht der Oberseite gebildet wird;

[0018] [Fig. 4](#) ist eine vereinfachte Querschnittsansicht einer Abwandlung der Struktur in [Fig. 3EE](#), wobei Abschirmelektroden unterhalb der Gates gebildet sind;

[0019] [Fig. 5](#) ist eine vereinfachte Querschnittsansicht einer Abwandlung der Struktur in [Fig. 3E](#), wobei die Kontaktöffnungen bis ungefähr zur selben Tiefe wie die Gate-Gräben verlängert sind;

[0020] [Fig. 6](#) ist eine vereinfachte Querschnittsansicht einer Abwandlung der Akkumulations-FET-Schottky-Diodenstruktur in [Fig. 5](#);

[0021] [Fig. 7A](#) zeigt Simulationsergebnisse, wobei die elektrischen Feldlinien für zwei Akkumulations-FET auf SiC-Basis gezeigt sind, wobei eine Schottky-Kontaktvertiefung tiefer als die andere ist;

[0022] [Fig. 7B](#) ist ein simulierter Ausdruck des Drain-Stroms über die Drain-Spannung über die zwei Fälle von tieferen und flacheren Schottky-Kontaktvertiefungen;

[0023] [Fig. 8](#) ist eine vereinfachte Querschnittsansicht eines Trenched-Gate-Akkumulations-FET mit Polysilizium-Source-Spacern gemäß einer beispielhaften Ausführungsform der Erfindung;

[0024] [Fig. 9A-Fig. 9H](#), [Fig. 9I-1](#) und [Fig. 9J-1](#) sind vereinfachte Querschnittsansichten, die verschiedene Prozessschritte zum Bilden der FET-Schottky-Diodenstruktur in [Fig. 8](#) gemäß einer beispielhaften Ausführungsform der Erfindung zeigen;

[0025] [Fig. 9I-1](#) und [Fig. 9J-2](#) sind vereinfachte Querschnittsansichten, die alternative Prozessschritte gegenüber den Schritten, die den [Fig. 9I-1](#) und

[Fig. 9J-1](#) entsprechen, zeigen, was zu einer Abwandlung der FET-Schottky-Diodenstruktur in [Fig. 8](#) führt;

[0026] [Fig. 10](#) und [Fig. 11](#) sind vereinfachte Querschnittsansichten, die jeweils Abwandlungen der FET-Schottky-Strukturen in den [Fig. 9J-1](#) und [Fig. 9J-2](#) darstellen, wobei Abschirmelektroden unterhalb der Gates gebildet sind;

[0027] [Fig. 12](#) ist eine vereinfachte Querschnittsansicht einer Trenched-Gate-Akkumulations-FET-Schottky-Struktur mit Abschirmelektroden unterhalb der Gates gemäß einer anderen Ausführungsform der Erfindung;

[0028] [Fig. 13](#) ist eine vereinfachte Querschnittsansicht, die eine Abwandlung der Ausführungsform von [Fig. 11](#) darstellt, wobei der Schottky-Bereich zwischen benachbarten Gräben modifiziert ist, um eine MPS-Struktur zu bilden;

[0029] [Fig. 14](#) zeigt simulierte Ausdrücke der Kennlinien des Drain-Stroms über die Drain-Spannung (linker Ausdruck) und der Gate-Spannung über die Gate-Ladung (rechter Ausdruck) für die FET-Schottky-Struktur in [Fig. 1](#);

[0030] [Fig. 15A-Fig. 15H](#) sind vereinfachte Querschnittsansichten, die verschiedene Prozessschritte zum Bilden eines Trenched-Gate-FET mit selbstjustierten Merkmalen gemäß einer anderen Ausführungsform der Erfindung zeigen;

[0031] [Fig. 16](#) zeigt eine Perspektivansicht eines Trenched-Gate-FET mit p-Kanal mit einer nichtplanaren oberen Oberfläche (vor einer Bildung von oberem Metall) gemäß einer anderen Ausführungsform der Erfindung;

[0032] [Fig. 17A](#), [Fig. 17B-1](#) und [Fig. 17B-2](#) sind Querschnittsansichten für zwei abgekürzte Prozessfolgen zum Bilden des FET in [Fig. 16](#);

[0033] [Fig. 18](#) ist eine Querschnittsansicht, die eine Technik zum Bilden von selbstjustierten Source- und Heavy-Body-Bereichen gemäß einer Ausführungsform der Erfindung darstellt;

[0034] [Fig. 18A-Fig. 18I](#) sind Querschnittsansichten unterschiedlicher Prozessschritte zum Bilden des Trenched-Gate-FET, der in [Fig. 18](#) gezeigt ist, gemäß einer beispielhaften Ausführungsform der Erfindung;

[0035] [Fig. 19A-Fig. 19H](#) sind Querschnittsansichten bei verschiedenen Prozessschritten einer Prozessfolge, bei der kein Oberflächenpolysilizium gebildet wird und die Anzahl von Masken im Vergleich mit der bei dem Prozess der [Fig. 18A-Fig. 18I](#) verringert

ist, gemäß einer anderen beispielhaften Ausführungsform der Erfindung;

[0036] [Fig. 20A-Fig. 20G](#) sind Querschnittsansichten, die eine andere Prozessfolge zeigen, bei der die Anzahl von Masken im Vergleich mit derjenigen in den [Fig. 18A-Fig. 18I](#) verringert ist, gemäß noch einer anderen beispielhaften Ausführungsform der Erfindung;

[0037] [Fig. 21A-Fig. 21H](#) sind Querschnittsansichten, die eine Prozessfolge zum Bilden eines ähnlichen Trenched-Gate-FET bezüglich demjenigen, der aus den [Fig. 18A-Fig. 18I](#) resultiert, zeigen, mit der Ausnahme, dass eine Schottky-Diode mit dem FET integriert ist, gemäß einer beispielhaften Ausführungsform der Erfindung;

[0038] [Fig. 22A-Fig. 22F](#) sind Querschnittsansichten, die eine noch andere Prozessfolge zum Bilden eines Trenched-Gate-FET mit einer reduzierten Anzahl von Masken gemäß einer anderen Ausführungsform der Erfindung zeigen;

[0039] [Fig. 23A-Fig. 23I](#) sind Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden eines Trenched-Gate-FET mit selbstjustierten Merkmalen gemäß noch einer anderen Ausführungsform der Erfindung; und

[0040] [Fig. 24A-Fig. 24I](#) zeigen Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden eines Trenched-Gate-FET mit selbstjustierten Merkmalen gemäß einer noch anderen Ausführungsform der Erfindung.

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

[0041] Der Leistungsschalter kann durch irgendeinen von einem Leistungs-MOSFET, IGBT, verschiedenen Arten von Thyristoren und dergleichen implementiert sein. Viele der hierin vorgestellten neuartigen Techniken sind zu Darstellungszwecken im Zusammenhang mit dem Leistungs-MOSFET beschrieben. Es ist jedoch zu verstehen, dass die verschiedenen hierin beschriebenen Ausführungsformen der Erfindung nicht auf Leistungs-MOSFETs beschränkt sind und auf viele andere Arten von Leistungsschaltertechnologien angewandt werden können, die beispielsweise IGBT and andere Arten von bipolaren Schaltern einschließen. Darüber hinaus sind zu Darstellungszwecken die verschiedenen Ausführungsformen der Erfindung so gezeigt, dass sie spezifische p- und n-leitende Bereiche umfassen. Fachleute werden verstehen, dass die Lehren hierin gleichermaßen auf Vorrichtungen anwendbar sind, bei denen die Leitfähigkeiten der verschiedenen Bereiche umgekehrt sind.

[0042] [Fig. 1](#) zeigt eine vereinfachte Querschnittsansicht eines Trenched-Gate-Akkumulations-Feldeffekttransistors (FET), der optimal mit einer Schottky-Diode in einer einzigen Zelle integriert ist, gemäß einer beispielhaften Ausführungsform der Erfindung. Eine schwach dotierte n-leitende Epitaxieschicht **104** erstreckt sich über einem stark dotierten n-leitenden Substrat **102** und steht mit diesem in Kontakt. Gate-Gräben **106** erstrecken sich in die Epitaxieschicht **104** und enden in dieser. Jeder Gate-Graben **106** ist mit einer Dielektrikumschicht **108** entlang seiner Seitenwände und seines Bodens ausgekleidet und umfasst ein vertieftes Gate **110** und ein Isoliermaterial **112** über dem vertieften Gate **110**. Dreiecksförmige Source-Bereiche **114** mit n-Leitfähigkeit flankieren jede Seite der Gräben **106**. Die Source-Bereiche **114** überlappen das Polysilizium-Gate **110** entlang der vertikalen Abmessung. Diese Überlappung ist in solchen Anwendungen, wie Hochspannungs-FET, bei denen das Fehlen der Überlappung einen minimalen Einfluss auf den Ein-Widerstand $R_{ds(on)}$ des Transistors haben würde, nicht notwendig. Das Fehlen der Gate-Source-Überlappung hat bei Niederspannungstransistoren einen stärkeren Einfluss auf den $R_{ds(on)}$ und daher wäre ihr Vorhandensein in derartigen Transistoren vorteilhaft.

[0043] Vertiefte Abschnitte der Epitaxieschicht **104** bilden zusammen mit den Source-Bereichen **114** V-förmige Kontaktöffnungen **118** mit abgerundeten Böden. Ein Schottky-Barrierenmetall **120** erstreckt sich über der Struktur und füllt die Kontaktöffnungen **118**, um einen Kontakt mit Source-Bereichen **114** entlang den abgeschrägten Seitenwänden der Source-Bereiche **114** herzustellen und die Epitaxieschicht **104** in den vertieften Abschnitten davon zu kontaktieren. Da die Source-Bereiche **114** stark dotiert sind und die Epitaxieschicht **104** schwach dotiert ist, bildet die oberseitige Leiterschicht **120** einen ohmschen Kontakt mit den Source-Bereichen **114** und einen Schottky-Kontakt mit der Epitaxieschicht **104**. In einer Ausführungsform umfasst das Schottky-Barrierenmetall **120** Titan. Eine rückseitige Leiterschicht **122**, die z.B. Aluminium (oder Titan) umfasst, kontaktiert das Substrat **102**.

[0044] Anders als Transistoren vom Anreicherungsmodus umfasst der Transistor vom Akkumulationsmodus in Struktur **100** in [Fig. 1](#) keinen sperrenden (in diesem Beispiel p-Typ) Wannens- oder Body-Bereich, in dem der Leitungskanal gebildet wird. Stattdessen wird ein leitender Kanal gebildet, wenn eine Akkumulationsschicht in der Epitaxieschicht **104** entlang der Grabenseitenwände gebildet wird. Der Transistor in Struktur **100** ist abhängig von der Dotierungskonzentration des Kanalbereiches und dem Dotierungstyp der Gates **110** normal ein oder aus. Er ist ausgeschaltet, wenn die Kanalbereiche vollständig abgereichert und schwach invertiert sind. Da kein Inversionskanal gebildet wird, wird auch der Kanalwider-

stand beseitigt, wodurch die Leistungshandhabungsfähigkeit des Transistors und sein Wirkungsgrad verbessert sind. Ohne pn-Body-Diode sind darüber hinaus die Verluste bei synchronen Gleichrichtungsschaltkreisen, die auf die pn-Diode zurückzuführen sind, beseitigt.

[0045] In der Ausführungsform von [Fig. 1](#) ist der FET in Struktur **100** ein vertikaler Trenched-Gate-Akkumulations-MOSFET mit einer oberseitigen Leiterschicht **120**, die den Source-Leiter bildet, und der unterseitigen Leiterschicht **120**, die den Drain-Leiter bildet. In einer anderen Ausführungsform ist das Substrat **102** p-leitend, wodurch ein Akkumulations-IGBT gebildet ist.

[0046] Die [Fig. 2A-Fig. 2I](#) sind vereinfachte Querschnittsansichten, die verschiedene Prozessschritte zum Bilden der integrierten FET-Schottky-Dioden-Struktur **100** in [Fig. 1](#) gemäß einer beispielhaften Ausführungsform der Erfindung darstellen. In [Fig. 2A](#) werden eine untere Epitaxieschicht **204** und eine obere Epitaxieschicht **205** sequentiell über einem n-leitenden Substrat **202** unter Verwendung herkömmlicher Verfahren gebildet. Alternativ kann ein Ausgangswafermaterial verwendet werden, das Epitaxieschichten **204**, **205** umfasst. Die obere n-leitende Epitaxieschicht **205** weist eine höhere Dotierungskonzentration als die untere n-leitende Epitaxieschicht **204** auf. Die obere n-leitende Epitaxieschicht **205** weist eine höhere Dotierungskonzentration als die untere n-leitende Epitaxieschicht **204** auf. In [Fig. 2B](#) wird unter Verwendung bekannter Techniken eine Maske (die nicht gezeigt ist) verwendet, um das Silizium zu definieren und zu ätzen und somit Gräben (Trenches) **206** zu bilden, die sich durch die obere Epitaxieschicht **205** erstrecken und in der unteren Epitaxieschicht **204** enden. Es kann ein herkömmliches Trocken- oder Nassätzen beim Bilden der Gräben verwendet werden. In [Fig. 2C](#) wird eine Dielektrikumschicht **208**, die z.B. Oxid umfasst, über der Struktur aufgewachsen oder abgeschieden, wodurch die Seitenwände und der Boden der Gräben **206** mit der Dielektrikumschicht **208** ausgekleidet werden.

[0047] In [Fig. 2D](#) wird dann eine Schicht aus Polysilizium **209** unter Verwendung herkömmlicher Techniken abgeschieden, um die Gräben **206** zu füllen. Die Polysiliziumschicht **209** kann in situ dotiert werden, um den gewünschten Gate-Dotierungstyp und die gewünschte Gate-Dotierungskonzentration zu erhalten. In [Fig. 2E](#) wird die Polysiliziumschicht **209** unter Verwendung herkömmlicher Techniken zurückgeätzt und in den Gräben **206** vertieft, um Gates **210** zu bilden. Die vertieften Gates **210** überlappen die obere Epitaxieschicht **205** entlang der vertikalen Abmessung. Wie es oben erwähnt wurde, müssen die vertieften Gates **210** abhängig von der Zielanwendung und dem gewünschten Design die obere Epita-

xieschicht **205** nicht überlappen (d.h. die Prozessfolge und die abschließende Struktur müssen nicht durch diese Überlappung begrenzt sein). In anderen Ausführungsformen umfasst das Gate **210** Polysiliziumcarbid oder Metall.

[0048] In [Fig. 2F](#) wird eine Dielektrikumschicht **211**, z.B. aus Oxid, unter Verwendung herkömmlicher Techniken über der Struktur gebildet und dann planarisiert. In [Fig. 2G](#) wird ein Deckschichtätzen der planarisierten Dielektrikumschicht **211** (in dem aktiven Bereich) zumindest in dem aktiven Gebiet der Vorrichtung ausgeführt, um Oberflächengebiete der oberen Epitaxieschicht **205** freizulegen, während Abschnitte **212** der Dielektrikumschicht **211** über den vertieften Gates **210** verbleiben. In [Fig. 2H](#) wird unter Verwendung herkömmlicher Techniken ein schräges Deckschichtsiliziumätzen (z.B. Trockenätzen in dem aktiven Bereich) zumindest in dem aktiven Gebiet ausgeführt, um die V-förmigen Kontaktöffnungen **218** mit gerundeten Böden zu bilden. Die Kontaktöffnungen **218** erstrecken sich klar durch die obere Epitaxieschicht **205**, wodurch zwei Source-Bereiche **214** zwischen jeweils zwei benachbarten Gräben gebildet werden. Die Kontaktöffnungen **218** erstrecken sich in eine obere Hälfte der unteren Epitaxieschicht **204** und enden darin.

[0049] In [Fig. 2I](#) wird unter Verwendung herkömmlicher Techniken eine oberseitige Leiterschicht **220** gebildet. Die oberseitige Leiterschicht **220** umfasst ein Schottky-Barrierenmetall. Wie es gezeigt ist, füllt die oberseitige Leiterschicht **220** die Kontaktöffnungen **218**, um einen Kontakt mit Source-Bereichen **214** entlang der abgeschrägten Seitenwände der Source-Bereiche **214** und mit der unteren Epitaxieschicht **204** entlang dem Boden der Kontaktöffnungen **218** herzustellen. Da die Source-Bereiche **214** stark dotiert sind und die unteren Epitaxieschicht **204** schwach dotiert ist, bildet die oberseitige Leiterschicht **220** einen ohmschen Kontakt mit den Source-Bereichen **214** und bildet einen Schottky-Kontakt mit der unteren Epitaxieschicht **204**. Wie es zu sehen ist, sind die Source-Bereiche **214** und die Schottky-Kontakte an den Gräben **206** selbstjustiert.

[0050] Die [Fig. 3A-Fig. 3E](#) sind vereinfachte Querschnittsansichten, die alternative Prozessschritte gegenüber jenen in dem letzteren Abschnitt der Prozessfolge, die in den [Fig. 2G-Fig. 2I](#) gezeigt wurde, gemäß einer anderen beispielhaften Ausführungsform der Erfindung zeigen. Somit werden in dieser Ausführungsform die gleichen Prozessschritte, die von den [Fig. 2A](#) bis [Fig. 2G](#) gezeigt wurden, ausgeführt, was zu dem Schritt führt, der von [Fig. 3B](#) gezeigt wird (der Schritt, der von [Fig. 3A](#) gezeigt wird, ist gleich wie der Schritt, der von [Fig. 2G](#) gezeigt ist). In [Fig. 3B](#) wird die obere Epitaxieschicht **305** zurückgeätzt, um die oberen Seitenwände des Dielektrikumaterials **312** ausreichend freizulegen, um eine

anschließende Bildung von Dielektrikum-Spacern **316** zu ermöglichen. In einer Ausführungsform wird die zweite Epitaxieschicht **305** um einen Betrag im Bereich von 0,05- 0,5 μm zurückgeätzt. In [Fig. 3C](#) werden Spacer **316** benachbart zu den freigelegten oberen Seitenwänden aus dielektrischem Material **312** unter Verwendung herkömmlicher Techniken gebildet. Die Spacer **316** werden aus einem Dielektrikummaterial gebildet, das sich von dem Dielektrikummaterial **312** unterscheidet. Wenn beispielsweise das Dielektrikummaterial **312** aus Oxid ist, können die Spacer **316** aus Nitrid sein.

[0051] In [Fig. 3D](#) werden die freigelegten Oberflächengebiete der oberen Epitaxieschicht **305** klar durch die Epitaxieschicht **305** vertieft, wodurch Kontaktöffnungen **318** gebildet werden, die sich in die untere Epitaxieschicht **304** erstrecken. Indem klar durch die obere Epitaxieschicht **305** vertieft wird, verbleiben nur Abschnitte **314** der oberen Epitaxieschicht **305** direkt unter den Spacern **316**. Die Abschnitte **314** bilden die Transistor-Source-Bereiche. Wie es zu sehen ist, sind die Kontaktöffnungen **318** und somit die Source-Bereiche **314** an den Gräben **306** selbstjustiert. In [Fig. 3E](#) werden eine oberseitige Leiterschicht **320** und eine unterseitige Leiterschicht **322** unter Verwendung herkömmlicher Techniken gebildet. Die Leiterschicht **320** umfasst ein Schottky-Barrierenmetall. Wie es gezeigt ist, füllt der oberseitige Leiter **320** die Kontaktöffnungen **318**, um einen Kontakt mit den Source-Bereichen **314** entlang der Seitenwände der Source-Bereiche **314** und mit den vertieften Abschnitten der unteren Epitaxieschicht **304** herzustellen. Da die Source-Bereiche **314** stark dotiert sind und die untere Epitaxieschicht **304** schwach dotiert ist, bildet die oberseitige Leiterschicht **320** einen ohmschen Kontakt mit den Source-Bereichen **314** und bildet einen Schottky-Kontakt mit der unteren Epitaxieschicht **304**.

[0052] In einer alternativen Ausführungsform, die in [Fig. 3EE](#) gezeigt ist, werden vor dem Bilden der oberseitigen Leiterschicht die Dielektrikum-Spacer **316** entfernt, wodurch die oberen Oberflächen der Source-Bereiche **314** freigelegt werden. Die oberseitige Leiterschicht **321** stellt somit einen Kontakt entlang der oberen Oberfläche und der Seitenwände der Source-Bereiche **314** her. Somit ist der Source-Kontaktwiderstand verringert. In einer alternativen Abwandlung der verschiedenen oben beschriebenen Ausführungsformen werden bekannte Techniken verwendet, um eine dicke Bodendielektrikumschicht entlang dem Boden jedes Grabens zu bilden, bevor die Gates gebildet werden. Die dicke Bodendielektrikumschicht verringert die Miller-Kapazität.

[0053] Wie es aus den verschiedenen hierin beschriebenen Ausführungsformen zu sehen ist, ist eine Schottky-Diode optimal mit einem FET in einer einzigen Zelle integriert, was vielfach in einem Array

von derartigen Zellen wiederholt ist. Der Schottky-Kontakt und die Source-Bereiche sind auch an den Gräben selbstjustiert. Ferner führt der Schottky-Kontakt zu einem niedrigeren Ein-Widerstand R_{dson} und somit zu niedrigeren Ein-Zustands-Verlusten und verbessert auch die Erholungskennlinie in Sperrrichtung des Transistors. Es wird auch eine gute Sperrfähigkeit ohne die Notwendigkeit für eine enge Zellenteilung erhalten.

[0054] In der beispielhaften Prozessfolge, die von den [Fig. 2A-Fig. 2I](#) und den [Fig. 3A-Fig. 3E](#) gezeigt wird, werden keine Diffusions- oder Implantationsprozesse verwendet. Obwohl diese Prozessfolgen mit einem herkömmlichen kristallinen Siliziummaterial verwendet werden können, sind sie besonders zur Verwendung mit solchen anderen Typen von Materialien geeignet, wie Siliziumcarbid (SiC), Galliumnitrid (GaN) und Galliumarsenid (GaAs), wo Diffusions-, Implantations- und Dotiermittelaktivierungsprozesse schwierig zu bewerkstelligen und zu steuern sind. In derartigen Ausführungsformen können das Substrat, die unteren und oberen Epitaxieschichten sowie andere Bereiche des Transistors eines von SiC, GaN und GaAs umfassen. Darüber hinaus ist bei herkömmlichen FET vom Anreicherungsmodus auf Siliziumcarbidbasis der Beitrag des Inversionskanals für den Ein-Widerstand besonders hoch. Im Gegensatz dazu ist der Beitrag für den Ein-Widerstand des akkumulierten Kanals in der Siliziumcarbidausführungsform der Akkumulationstransistoren in den [Fig. 2I](#) und [Fig. 3E](#) im Wesentlichen niedrig.

[0055] [Fig. 4](#) zeigt eine Querschnittsansicht einer anderen Ausführungsform der vorliegenden Erfindung. In [Fig. 4](#) sind Abschirmelektroden **424** unter Gates **410** gebildet. Die Abschirmelektrode **424** ist von der unteren Epitaxieschicht **404** durch ein Abschirmdielektrikum **425** isoliert und ist von dem darüber liegenden Gate **410** durch ein Innerelektrodendielektrikum **427** isoliert. Die Abschirmelektroden **424** helfen, die Miller-Kapazität auf einen vernachlässigbaren Betrag zu verringern und dadurch die Transistorschaltverluste drastisch zu reduzieren. Obwohl dies in [Fig. 4](#) nicht gezeigt ist, sind die Abschirmelektroden **424** elektrisch mit Source-Bereichen **414** oder mit dem Massepotential oder mit anderen Potentialen verbunden, wie es die Anforderungen der Konstruktion und des Leistungsvermögens vorschreiben. Es kann mehr als eine Abschirmelektrode, die auf das gleiche oder auf unterschiedliche Potentiale vorgespannt wird, unter jedem Gate **410** gebildet werden, falls dies erwünscht ist. Es ist/sind ein oder mehrere Verfahren zum Bilden derartiger Abschirmelektroden in der vorstehend genannten, gemeinsam übertragenen Anmeldung Nr. 11/026,276 offenbart. Auch andere Ladungsausgleichsstrukturen, die in der Anmeldung Nr. 11/026,276 offenbart sind, können mit den verschiedenen hierin offenbarten Ausführungsformen kombiniert werden, um die Charak-

teristiken des Leistungsvermögens der Vorrichtung weiter zu verbessern.

[0056] Eine Begrenzung von einigen herkömmlichen Trenched-Gate-Transistoren auf Siliziumcarbidbasis ist die niedrige Gate-Oxid-Durchbruchspannung. Erfindungsgemäß wird dieses Problem gelöst, indem die Schottky-Kontaktvertiefung tiefer ausgedehnt wird, z.B. bis zu einer Tiefe, die größer als eine Hälfte der Tiefe der Gate-Gräben ist. **Fig. 5** zeigt eine beispielhafte Ausführungsform, bei der die Schottky-Kontaktvertiefung bis ungefähr auf die gleiche Tiefe wie die Gate-Gräben **506** ausgedehnt ist. Der tiefe Schottky-Kontakt dient dazu, das Gate-Oxid **508** vor hohen elektrischen Feldern abzuschirmen, und verbessert somit den Gate-Oxid-Durchbruch. Dies ist in **Fig. 7A** zu sehen, die Simulationsergebnisse für zwei Akkumulations-FET auf SiC-Basis zeigt, von denen einer eine tiefere Schottky-Kontaktvertiefung aufweist. Die elektrischen Feldlinien, die entlang dem Boden des Grabens in dem Transistor mit einer flacheren Schottky-Kontaktvertiefung vorhanden sind (rechtes Diagramm), sind in dem Fall des Transistors mit einer tieferen Schottky-Kontaktvertiefung (linkes Diagramm) beseitigt. Die elektrischen Feldlinien unter dem Gate-Graben in dem rechten Diagramm spiegeln die Erhöhung des elektrischen Feldes von unten nach oben wider. Das heißt die unterste elektrische Feldlinie entspricht dem höchsten elektrischen Feld und die oberste elektrische Feldlinie entspricht dem niedrigsten elektrischen Feld.

[0057] Ein weiterer Vorteil der tiefen Schottky-Kontaktvertiefung ist die Verringerung der Transistorleckage im Sperrzustand. Dies ist deutlicher in den Simulationsergebnissen in **Fig. 7B** gezeigt, wobei der Drain-Strom über die Drain-Spannung für eine tiefere Schottky-Kontaktvertiefung über eine flachere Schottky-Kontaktvertiefung aufgetragen ist. Wie es zu sehen ist, ist die Drain-Spannung von 0 V bis 200 V erhöht, der Drain-Strom steigt in dem Fall der flacheren Schottky-Kontaktvertiefung kontinuierlich an, während der Drain-Strom für die tiefere Schottky-Kontaktvertiefung flach bleibt. Somit wird eine beträchtliche Verringerung der Transistorleckage sowie ein höherer Gate-Oxid-Durchbruch erreicht, indem der Schottky-Kontakt tiefer in die Epitaxieschicht **504** hinein vertieft wird.

[0058] Die tief vertiefte Schottky-Kontaktstruktur (z.B. die in **Fig. 5**) ist besonders in den Transistoren auf Siliziumcarbidbasis geeignet, da die Gate-Gräben sich nicht so tief in die Epitaxieschicht im Vergleich mit den Transistoren auf Siliziumbasis erstrecken müssen. Dies lässt flachere Schottky-Kontaktvertiefungen zu, die leichter zu definieren und zu ätzen sind. Jedoch können ähnliche Verbesserungen des Gate-Oxid-Durchbruchs und der Transistorleckage für ähnliche Strukturen erhalten werden, wenn andere Materialarten, wie SiC, GaN und GaAs, verwen-

det werden.

[0059] **Fig. 6** zeigt eine Abwandlung eines FET vom Anreicherungsmodus des Akkumulations-FET in der Struktur von **Fig. 5**. In **Fig. 6** erstreckt sich ein p-leitender Body-Bereich **613** entlang jeder Grabenseitenwand direkt unter einem entsprechenden Source-Bereich **614**. Wie es gezeigt ist, erstrecken sich die tiefen Kontaktöffnungen **606** unter eine untere Oberfläche der Body-Bereiche **613**, um eine Bildung des Schottky-Kontaktes zwischen der oberseitigen Leiterschicht **620** und der N-Epitaxieschicht **604** zu ermöglichen. Wie bei herkömmlichen MOSFET fließt, wenn sich der MOSFET in **Fig. 6** im Ein-Zustand befindet, ein Strom durch einen Kanal, der sich entlang jeder Grabenseitenwand in dem Body-Bereich **613** erstreckt. In der Abwandlung der Ausführungsform von **Fig. 6** sind die Spacer **618** entfernt, so dass die oberseitige Leiterschicht **620** die Source-Bereiche **614** entlang ihrer oberen Oberfläche kontaktiert.

[0060] **Fig. 8** zeigt eine Querschnittsansicht eines FET vom Akkumulationsmodus mit Spacer-Source-Bereichen, der optimal mit einer Schottky-Diode in einer einzigen Zelle integriert ist, gemäß einer anderen beispielhaften Ausführungsform der Erfindung. Eine n-leitende Epitaxieschicht **1104** erstreckt sich über einem n-leitenden Substrat **1102** und steht mit diesem in Kontakt. Gate-Gräben **1106** erstrecken sich in die Epitaxieschicht **1104** und enden darin. Jeder Gate-Graben **1106** ist mit einer Dielektrikum-schicht **1108** entlang seiner Seitenwände und seines Bodens ausgekleidet und umfasst ein Gate **1110** und Isoliermaterial **1112** über dem Gate **1110**.

[0061] Die Spacer-Source-Bereiche **1114** aus n-leitendem Material, beispielsweise n-leitendem Polysilizium, befinden sich über der Epitaxieschicht **1104** und flankieren jede Seite der Gräben **1106**.

[0062] Die Spacer-Source-Bereiche **1114** bilden Kontaktöffnungen **1118**, durch die eine oberseitige Leiterschicht **1120** sowohl die Epitaxieschicht **1104** als auch die Source-Bereiche **1114** elektrisch kontaktiert. Die oberseitige Leiterschicht **1120** umfasst Schottky-Barrierenmetall. Da die Epitaxieschicht **1104** schwach dotiert ist, bildet die oberseitige Leiterschicht **1120** einen Schottky-Kontakt mit der Epitaxieschicht **1104**.

[0063] Wie bei vorhergehenden Ausführungsformen umfasst der Transistor vom Akkumulationsmodus in Struktur **1110** keinen sperrenden (bei diesem Beispiel p-leitenden) Wannens- oder Body-Bereich, in dem der Leitungskanal gebildet wird. Stattdessen wird ein leitender Kanal gebildet, wenn eine Akkumulationsschicht in der Epitaxieschicht **1104** entlang der Grabenseitenwände gebildet wird. Der FET in Struktur **1100** ist abhängig von der Dotierungskonzentration des Kanalbereichs und dem Dotierungstyp der

Gates **1110** normal ein oder aus. Er ist ausgeschaltet, wenn die Kanalbereiche vollständig abgereichert und geringfügig invertiert sind. Da auch kein Inversionskanal gebildet wird, ist der Kanalwiderstand beseitigt, wodurch die Leistungshandhabungsfähigkeit des Transistors und sein Wirkungsgrad verbessert sind. Ohne pn-Body-Diode sind darüber hinaus die Verluste in synchronen Gleichrichterschaltkreisen, die auf die pn-Diode zurückzuführen sind, beseitigt.

[0064] In der Ausführungsform von [Fig. 8](#) ist der FET in Struktur **1100** ein vertikaler Trench-Gate-Akkumulations-MOSFET, wobei die oberseitige Leiterschicht **1120** den Source-Leiter bildet und die unterseitige Leiterschicht (die nicht gezeigt ist) den Drain-Leiter bildet. In einer anderen Ausführungsform kann das Substrat **1102** p-leitend sein, um einen Akkumulations-IGBT zu bilden.

[0065] Die [Fig. 9A](#) bis [Fig. 9H](#), [Fig. 9I-1](#) und [Fig. 9J-1](#) zeigen Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden der integrierten FET-Schottky-Diodenstruktur **1100** in [Fig. 8](#) gemäß einer Ausführungsform der Erfindung. In [Fig. 9A](#) wird unter Verwendung herkömmlicher Verfahren eine n-leitende Epitaxieschicht **1204** über einem n-leitenden Substrat **1202** gebildet. Alternativ kann ein Ausgangswafer verwendet werden, der eine Epitaxieschicht **1204** umfasst. In [Fig. 9B](#) wird unter Verwendung herkömmlicher Techniken eine Maske (die nicht gezeigt ist) dazu verwendet, Silizium zu definieren und zu ätzen, um Gräben **1206** zu bilden. Es kann ein herkömmliches Trocken- oder Nassätzen beim Bilden der Gräben verwendet werden. Die Gräben **1206** erstrecken sich durch die Epitaxieschicht **1204** und enden darin. In [Fig. 9C](#) wird eine Dielektrikumschicht **1208**, die z.B. Oxid umfasst, über der Struktur aufgewachsen und abgeschieden, so dass die Seitenwände und der Boden der Gräben **1206** mit der Dielektrikumschicht **1208** ausgekleidet werden.

[0066] In [Fig. 9D](#) wird eine Schicht aus Polysilizium **1209** unter Verwendung herkömmlicher Techniken abgeschieden, um die Gräben **1206** zu füllen. Die Polysiliziumschicht **1209** kann in situ dotiert werden, um den gewünschten Gate-Dotierungstyp und die gewünschte Gate-Dotierungskonzentration zu erhalten. In [Fig. 9E](#) wird die Polysiliziumschicht **1209** unter Verwendung herkömmlicher Techniken zurückgeätzt und in den Gräben **1206** vertieft, um vertiefte Gates **1210** zu bilden.

[0067] In [Fig. 9F](#) wird eine Dielektrikumschicht **1211**, die z.B. Oxid umfasst, unter Verwendung herkömmlicher Techniken über der Struktur gebildet und dann planarisiert. In [Fig. 9G](#) wird ein Deckschichtätzen der planarisierten Dielektrikumschicht **1211** (zumindest in dem aktiven Bereich) ausgeführt, um Oberflächengebiete **1204** freizulegen, während Abschnitte **1212** der Dielektrikumschicht **1211** über den

Gates **1210** verbleiben. In [Fig. 9H](#) wird die Epitaxieschicht **1204** zurückgeätzt, wobei die Seitenwände des Dielektrikummaterials **1212** ausreichend freigelegt werden, um die anschließende Bildung von Source-Spacern **1214** zu ermöglichen. In [Fig. 9I-1](#) wird eine leitfähige Schicht, z.B. Polysilizium, abgeschieden und dann zurückgeätzt, um stark dotierte Source-Spacer **1214** benachbart zu den freigelegten Seitenwänden des Dielektrikummaterials **1212** zu bilden. Wenn Polysilizium verwendet wird, um die Source-Spacer **1214** zu bilden, kann Polysilizium in situ dotiert werden, um stark dotierte Source-Spacer zu erhalten. In [Fig. 9J-2](#) wird eine oberseitige Leiterschicht **1220** unter Verwendung herkömmlicher Techniken gebildet. Die Leiterschicht **1220** umfasst Schottky-Barrierenmetall. In einer Ausführungsform umfasst die Leiterschicht **1220** Titan. Wie es gezeigt ist, bilden die Source-Spacer **1214** Kontaktöffnungen **1218**, durch die die oberseitige Leiterschicht **1220** die Epitaxieschicht **1204** kontaktiert. Die Leiterschicht **1220** kontaktiert auch die Source-Spacer **1214**. Da die Source-Spacer **1214** stark dotiert sind und die Epitaxieschicht **1204** schwach dotiert ist, bildet die oberseitige Leiterschicht **1220** einen ohmschen Kontakt mit den Source-Spacern **1214** und einen Schottky-Kontakt mit der Epitaxieschicht **1204**.

[0068] Die [Fig. 9I-2](#) und [Fig. 9J-2](#) sind Querschnittsansichten, die alternative Prozessschritte zu den Schritten zeigen, die in den [Fig. 9I-1](#) und [Fig. 9J-1](#) gezeigt sind, was zu einer Abwandlung der Struktur in [Fig. 8](#) führt. Im Kontrast zu dem Schritt in [Fig. 9I-1](#), bei dem das Polysiliziumätzen gestoppt wird, wenn die Oberfläche der Epitaxieschicht **1204** freigelegt ist, wird in dem Schritt, der in [Fig. 9I-2](#) gezeigt ist, das Polysiliziumätzen fortgesetzt, um die freigelegten Epitaxieschichtbereiche zwischen den Source-Spacern zu vertiefen. Wie es zu sehen ist, sind wegen des zusätzlichen Ätzens die Source-Spacer **1215** in den [Fig. 9I-2](#) kleiner als die Source-Spacer **1214** in [Fig. 9I-1](#). In [Fig. 9J-2](#) wird die oberseitige Leiterschicht **1221** unter Verwendung herkömmlicher Verfahren über der Struktur gebildet. Die oberseitige Leiterschicht **1221** bildet einen ohmschen Kontakt mit den Source-Spacern **1215** und einen Schottky-Kontakt mit der Epitaxieschicht **1204** in Bereichen **1219**.

[0069] Wie es zu sehen ist, sind der Schottky-Kontakt und die Source-Spacer an den Gräben **1406** selbstjustiert. Darüber hinaus führt der Schottky-Kontakt zu einem niedrigeren Ein-Widerstand R_{dson} und somit zu niedrigeren Ein-Zustands-Verlusten und verbessert auch die Erholungseigenschaften in Sperrrichtung des Transistors. Es wird auch eine gute Sperrfähigkeit ohne die Notwendigkeit für eine enge Zellenteilung erhalten. Darüber hinaus ist, wie es in Verbindung mit dem Diagramm von [Fig. 7](#) beschrieben ist, ein weiterer Vorteil des vertieften Schottky-Kontaktes der Ausführungsform der

[Fig. 9I-2](#), [Fig. 9J-2](#) die Verringerung der Transistorleckage im Sperrzustand. Die Polysilizium-Source-Spacer nehmen auch ein kleineres Gebiet als die herkömmlichen diffundierten Source-Bereiche ein. Dies führt vorteilhaft zu einem größeren Schottky-Kontaktgebiet.

[0070] [Fig. 10](#) zeigt eine Querschnittsansicht einer Abwandlung der Ausführungsform von [Fig. 8](#), wobei Abschirmelektroden **1324** unter Gates **1310** gebildet werden. Die Abschirmelektroden **1324** helfen, die Miller-Kapazität auf einen vernachlässigbaren Betrag zu verringern und dadurch Transistorschaltverluste drastisch zu reduzieren. Die Abschirmelektroden **1324** können elektrisch auf das gleiche Potential wie die Source-Spacer oder auf das Massepotential oder auf irgendwelche anderen Potentiale vorgespannt werden, wie es die Anforderungen der Konstruktion und des Leistungsvermögens vorschreiben. Es kann mehr als eine Abschirmelektrode, die auf das gleiche oder auf unterschiedliche Potentiale vorgespannt wird, unter jedem Gate **1310** gebildet werden, wenn dies erwünscht ist. Ein oder mehrere Verfahren zum Bilden derartiger Abschirmelektroden sind in der oben genannten gemeinschaftlich übertragenen Anmeldung Nr. 11/026,276 offenbart.

[0071] Die Vorteile der Verwendung eines vertieften Schottky-Kontaktes und der Verwendung von Abschirmelektroden können realisiert werden, indem sie zu einer einzigen Struktur kombiniert werden, wie es durch die beiden Beispiele in den [Fig. 11](#) und [Fig. 12](#) gezeigt ist. [Fig. 11](#) zeigt die Verwendung des vertieften Schottky-Kontaktes und der Abschirmelektrode in einem FET vom Akkumulationsmodus mit Polysilizium-Source-Spacern **1415**. [Fig. 12](#) zeigt die Verwendung des vertieften Schottky und der Abschirmelektrode in einem FET vom Akkumulationsmodus, wobei Source-Bereiche **1517** unter Verwendung herkömmlicher Diffusionsverfahren gebildet werden. [Fig. 13](#) zeigt eine Abwandlung der Ausführungsform von [Fig. 11](#), wobei der Schottky-Bereich modifiziert ist, um p-leitende Bereiche **1623** zu enthalten. Die p-leitenden Bereiche **1623** können gebildet werden, indem p-leitende Dotiermittel in dem Schottky-Bereich implantiert werden, bevor die oberseitige Leiterschicht **1620** gebildet wird. Die gut bekannte Merged P-i-N-Schottky-(MPS)-Struktur wird somit in dem Bereich zwischen benachbarten Gräben gebildet. Tatsächlich wird ein Sperrübergang in einen Akkumulationstransistor eingeleitet. Wie es in dieser Technik allgemein verstanden wird, verringert die MPS-Struktur die Transistorleckage, wenn er sich im Sperrzustand befindet.

[0072] [Fig. 14](#) zeigt Simulationsergebnisse, wobei die Struktur in [Fig. 1](#) verwendet wird. Es wurde ein MEDICI-Vorrichtungssimulator verwendet. [Fig. 14](#) umfasst ein linkes Diagramm, in dem der Drain-Strom über die Drain-Spannung aufgetragen

ist, und ein rechtes Diagramm, in dem die Gate-Spannung über die Gate-Ladung aufgetragen ist. Wie es der linke Ausdruck zeigt, werden ein niedriger Leakagestrom von 1×10^{-14} Ampere/ μm und eine BVDSS von mehr als 35 V erhalten, und wie der rechte Ausdruck zeigt, helfen die Abschirmelektroden, die Miller-Kapazität zu beseitigen.

[0073] In den beispielhaften Prozessfolgen, die von den [Fig. 9A-Fig. 9H](#), [Fig. 9I-1](#), [Fig. 9J-1](#), [Fig. 9I-2](#) und [Fig. 9J-2](#) gezeigt werden, und in den beispielhaften Transistorstrukturen in den [Fig. 10](#) und [Fig. 11](#) werden keine Diffusions- oder Implantationsprozesse verwendet. Während diese Prozessfolgen und Strukturen mit herkömmlichem kristallinem Siliziummaterial verwendet werden können, sind sie besonders zur Verwendung mit solchen anderen Materialarten geeignet, wie Siliziumcarbid (SiC), Galliumnitrid (GaN), Galliumarsenid (GaAs), bei denen Diffusions-, Implantations- und Dotiermittelaktivierungsprozesse schwierig zu bewerkstelligen und zu steuern sind. In derartigen Ausführungsformen können das Substrat, die Epitaxieschicht über dem Substrat, die Source-Bereiche sowie andere Bereiche des Transistors aus einem von SiC, GaN und GaAs bestehen. Darüber hinaus ist bei herkömmlichen FET vom Anreicherungsmodus auf Siliziumcarbidbasis der Beitrag des Inversionskanals für den Ein-Widerstand besonders hoch. Im Gegensatz dazu ist der Beitrag für den Ein-Widerstand des akkumulierten Kanals in der Ausführungsform mit Siliziumcarbid der Akkumulationstransistoren in den [Fig. 9J-1](#), [Fig. 9J-2](#), [Fig. 10](#) und [Fig. 11](#) im Wesentlichen niedrig.

[0074] Während die obigen Ausführungsformen unter Verwendung meistens von FET vom Akkumulationsmodus beschrieben wurden, können viele der obigen Merkmale und Vorteile in FET vom Anreicherungsmodus realisiert werden. Beispielsweise können die Prozessfolgen in den [Fig. 2A-Fig. 2I](#) und [Fig. 3A-Fig. 3E](#) modifiziert werden, indem p-leitende Wannengebiete in der unteren Epitaxieschicht **204** gebildet werden, bevor die obere Epitaxieschicht **205** gebildet wird. Die Prozessfolgen in den [Fig. 9A-Fig. 9H](#), [Fig. 9I-1](#), [Fig. 9J-1](#) und [Fig. 9A-Fig. 9H](#), [Fig. 9I-2](#) und [Fig. 9J-2](#) können auch modifiziert werden, indem p-leitende Wannengebiete in der Epitaxieschicht **1204** gebildet werden, bevor Source-Spacer **1214** und **1215** gebildet werden. Viele andere Möglichkeiten des Modifizierens der oben beschriebenen Strukturen und Prozessfolgeausführungsformen, um FET vom Anreicherungsmodus zu erhalten, die mit einer Schottky-Diode integriert sind, werden dem Fachmann in Anbetracht dieser Offenbarung deutlich.

[0075] Die [Fig. 15A-Fig. 15H](#) sind vereinfachte Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden eines Trenched-Gate-FET gemäß einer anderen Ausführungsform der Erfin-

dung. In [Fig. 15A](#) wird ein schwach dotierter p-leitender Body-Bereich **1704** in einem n-leitenden Bereich **1702** unter Verwendung von herkömmlichen Implantations- und Eintreibetechniken gebildet. In einer Ausführungsform umfasst der n-leitende Bereich **1702** einen stark dotierten Substratbereich, über dem eine niedriger dotierte n-leitende Epitaxieschicht gebildet wird. In einer derartigen Ausführungsform wird der Body-Bereich **1704** in der n-leitenden Epitaxieschicht gebildet.

[0076] In [Fig. 15B](#) wird über dem Body-Bereich **1704** ein Dielektrikastapel gebildet, der eine untere Dielektrikumschicht **1706**, eine mittlere Dielektrikumschicht **1708** und eine obere Dielektrikumschicht **1710** umfasst. Es ist erforderlich, dass die mittlere Dielektrikumschicht aus einem anderen Dielektrikummaterial als das obere Dielektrikummaterial besteht. In einer Ausführungsform umfasst der Dielektrikastapel Oxid-Nitrid-Oxid. Wie es zu sehen ist, beeinflusst die Dicke der mittleren Dielektrikumschicht **1708** die Dicke einer Dielektrikum-Kappe **1720** ([Fig. 15D](#)), die über dem Gate in einem späteren Schritt des Prozesses gebildet wird, und muss daher sorgfältig ausgewählt werden. Die untere Dielektrikumschicht ist relativ dünn, um die Dickenreduktion der Dielektrikumschicht **1720** während der Entfernung der unteren Dielektrikumschicht **1706** in einem späteren Schritt des Prozesses zu minimieren. Wie es gezeigt ist, wird der Dielektrikastapel strukturiert und geätzt, um eine Öffnung **1712** zu definieren, durch später die ein Gate-Graben gebildet wird.

[0077] In [Fig. 15C](#) wird ein herkömmliches Siliziumätzen ausgeführt, um einen Graben **1703** zu bilden, der sich durch den Body-Bereich **1704** erstreckt und in einem n-leitenden Bereich **1702** endet. Dann wird unter Verwendung herkömmlicher Techniken eine Gate-Dielektrikumschicht **1714** gebildet, die die Grabenseitenwände und den Boden auskleidet, gefolgt von einer Abscheidung einer Polysiliziumschicht **1716**. In [Fig. 15D](#) wird die Polysiliziumschicht **1716** in den Graben hinein vertieft, um das Gate **1718** zu bilden. Eine Dielektrikumschicht wird über der Struktur gebildet und dann zurückgeätzt, so dass die Dielektrikum-Kappe **1720** direkt über dem Gate **1718** verbleibt. Eine Nitridschicht **1708** dient als ein Ätzstopp oder eine Ätzstoppdetektionsschicht während des Rückätzens der Dielektrikumschicht. In [Fig. 15E](#) wird die Nitridschicht **1708** unter Verwendung herkömmlicher Techniken selektiv abgezogen, um Seitenwände der Dielektrikum-Kappe **1720** freizulegen. Die untere Oxidschicht **1706** verbleibt somit über dem Body-Bereich **1704**, und die Dielektrikum-Kappe **1720** verbleibt ebenfalls über dem Gate **1718** intakt.

[0078] In [Fig. 15F](#) wird eine Deckschicht-Source-Implantation in dem aktiven Bereich der Vorrichtung ausgeführt, um stark dotierte n-leitende Bereiche **1722** in den Body-Bereichen **1704** auf beiden

Seiten des Grabens **1703** zu bilden. Dann werden Dielektrikum-Spacer **1724** (die z.B. Oxid umfassen) entlang der freigelegten Seitenwände der Dielektrikum-Kappe **1720** unter Verwendung herkömmlicher Techniken gebildet. Die Aktivierung und das Eintreiben der implantierten Dotiermittel kann dann bei dieser oder zu einer späteren Stufe in der Prozessfolge ausgeführt werden. In [Fig. 15G](#) wird ein Siliziumätzen ausgeführt, um die freigelegten Oberflächen von n-leitenden Bereichen **1722** klar durch n-leitende Bereiche **1722** und in Body-Bereiche **1704** hinein zu vertiefen, wie es gezeigt ist. Abschnitte **1726** aus n-leitenden Bereichen **1222** verbleiben direkt unter den Spacern **1724**, um die Source-Bereiche der Vorrichtung zu bilden. Dann werden Heavy-Body-Bereiche **1728** in den vertieften Bereichen gebildet. In einer Ausführungsform werden die Heavy-Body-Bereiche **1728** gebildet, indem das geätzte Silizium mit p+-leitendem Silizium gefüllt wird, wobei ein herkömmliches epitaktisches Siliziumaufwachsen verwendet wird. Die Heavy-Body-Bereiche **1728** und Source-Bereiche **1726** sind somit an dem Graben **1703** selbstjustiert.

[0079] In [Fig. 15H](#) werden dann die Dielektrikum-Kappe **1720** und die Spacer **1724** teilweise rückgeätzt, um Oberflächengebiete der Source-Bereiche **1726** freizulegen. Nach dem Ätzen verbleibt ein kupelförmiges Dielektrikum **1703** über dem Gate **1718**. Anschließend wird eine obere Leiterschicht **1732** gebildet, um die Source-Bereiche **1726** und die Heavy-Body-Bereiche **1728** zu kontaktieren. Das als Kuppel ausgebildete Dielektrikum **1730** dient dazu, das Gate **1718** elektrisch von der oberen Leiterschicht **1732** zu isolieren. In einer Ausführungsform ist der n-leitende Bereich **1702** eine schwach dotierte Epitaxieschicht, wobei sich ein stark dotiertes n-leitendes Substrat (das nicht gezeigt ist) unter der Epitaxieschicht erstreckt. In dieser Ausführungsform wird eine rückseitige Leiterschicht (die nicht gezeigt ist) gebildet, so dass sie das Substrat kontaktiert, wobei die rückseitige Leiterschicht einen Drain-Anschluss der Vorrichtung bildet. Somit ist ein Trench-Gate-FET mit selbstjustierten Source- und Heavy-Body-Bereichen gebildet.

[0080] In einer alternativen Ausführungsform wird eine dicke Dielektrikumschicht (die z.B. Oxid umfasst) entlang einem Bodenabschnitt des Grabens **103** gebildet, bevor das Gate **1703** gebildet wird. Das dicke Bodendielektrikum weist eine größere Dicke als das Gate-Dielektrikum **1714** auf und dient dazu, die Kapazität von Gate zu Drain zu verringern, wodurch die Schaltgeschwindigkeit der Vorrichtung verbessert wird. In einer nochmals anderen Ausführungsform wird eine Abschirmelektrode unter dem Gate **1718** ähnlich wie jene gebildet, die in den [Fig. 4](#) und [Fig. 10-Fig. 13](#) gezeigt werden.

[0081] In einer nochmals anderen Abwandlung der

Prozessfolge, die von den [Fig. 15A-Fig. 15H](#) gezeigt wird, werden nach den Schritten, die [Fig. 15F](#) entsprechen, die freigelegten Siliziumoberflächen nicht vertieft, sondern stattdessen wird ein Heavy-Body-Implantations- und Eintreibprozess ausgeführt, um Heavy-Body-Bereiche zu bilden, die sich durch die n-leitenden Bereiche **1722** und in die Body-Bereiche **1704** erstrecken. Eine ähnliche Querschnittsansicht wie die von [Fig. 15G](#) wird erhalten, mit der Ausnahme, dass die Heavy-Body-Bereiche **1728** sich aufgrund einer seitlichen Diffusion während des Eintreibprozesses unter Dielektrikum-Spacer **1724** erstrecken. Die Dielektrikum-Spacer **1724** müssen breit genug sein, um sicherzustellen, dass der n-leitende Bereich **1722** während der seitlichen Diffusion des Heavy-Body-Bereiches nicht vollständig verbraucht wird. Dies kann erreicht werden, indem eine dickere mittlere Dielektrikumschicht **1708** ausgewählt wird.

[0082] Die Technik der Verwendung eines Dielektrikastapels, um selbstjustierte Source- und Heavy-Body-Bereiche zu erhalten, wie es in den [Fig. 15A-Fig. 15H](#) dargestellt ist, kann einfach in einer Anzahl von Prozessausführungsformen, die hierin offenbart sind, implementiert werden. Beispielsweise in der Prozessausführungsform, die von den [Fig. 3A-Fig. 3E](#) gezeigt wird, können die Prozessschritte, die den [Fig. 3A-Fig. 3B](#) entsprechen, durch die Prozessschritte ersetzt werden, die von den [Fig. 15B-Fig. 15E](#) gezeigt werden, um selbstjustierte Source-Bereiche und Schottky-Kontakte zu erhalten, wie es als Nächstes beschrieben wird.

[0083] Die Maske, die verwendet wird, um die Gräben **306** in [Fig. 3A](#) zu bilden, wird durch einen Dielektrikastapel aus drei Dielektrikaschichten ersetzt, der strukturiert und geätzt wird, um Öffnungen zu bilden, durch die Gräben gebildet werden (ähnlich wie die, die in den [Fig. 15B](#) und [Fig. 15C](#) gezeigt sind). Dann werden in [Fig. 3B](#), wobei die Öffnung in der ONO-Verbandschicht, die mit einer Dielektrikum-Kappe gefüllt wird (ähnlich wie die Dielektrikum-Kappe **1720** in [Fig. 15D](#)), das obere Oxid und die dazwischen liegende Nitridschicht der ONO-Verbandschicht entfernt, um Seitenwände der Dielektrikum-Kappe freizulegen (ähnlich wie die, die in [Fig. 15E](#) gezeigt ist). Der Rest der Prozessfolge, die von den [Fig. 3C-Fig. 3E](#) gezeigt wird, bleibt unverändert. Das Vertiefen einer n+-Epi-Schicht **305**, das in [Fig. 3B](#) ausgeführt wird, um Seitenwände des Dielektrikums **312** freizulegen, ist nicht länger notwendig, und es kann eine dünnere Epitaxieschicht **305** verwendet werden.

[0084] Die Dielektrikastapeltechnik kann auch in der Prozessausführungsform, die von den [Fig. 9A-9J](#) gezeigt wird, implementiert werden, indem die Prozessschritte, die den [Fig. 9B-9](#) entsprechen, durch die Prozessschritte, die von den [Fig. 15B-Fig. 15E](#) ge-

zeigt werden, ersetzt werden, auf eine ähnliche Weise wie es oben beschrieben wurde.

[0085] [Fig. 16](#) zeigt eine vereinfachte Perspektivansicht eines p-leitenden Trenched-Gate-FET mit einer nicht planaren oberen Oberfläche (vor der Bildung des oberen Metalls) gemäß einer anderen Ausführungsform der Erfindung. Die Erfindung ist nicht auf p-Kanal-FET beschränkt. Ein Fachmann würde in Betracht dieser Offenbarung wissen, wie die Erfindung in einem n-Kanal-FET oder anderen Arten von Leistungstransistoren zu implementieren wäre. In [Fig. 16](#) ist die obere Metallschicht **1832** zurückgeschält, um die darunter liegenden Bereiche aufzudecken. Ähnlich sind die Dielektrikum-Kappen **1820** teilweise von über den rechten beiden Gates **1818** zu Darstellungszwecken entfernt. Wie es gezeigt ist, erstreckt sich ein schwach dotierter n-leitender Body-Bereich **1804** über einem schwach dotierten p-leitenden Bereich **1802**. In einer Ausführungsform ist der p-leitende Bereich **1802** eine Epitaxieschicht, die über einem stark dotierten p-leitenden Substrat (das nicht gezeigt ist) gebildet wird, und der Body-Bereich **1804** ist in der Epitaxieschicht **1802** durch Implantieren und Eintreiben geeigneter Dotiermittel gebildet, wie es in dieser Technik bekannt ist.

[0086] Gate-Gräben **1806** erstrecken sich durch den Body-Bereich **1804** und enden in dem p-leitenden Bereich **1802**. Jeder Gate-Graben **1806** ist mit einem Gate-Dielektrikum **1805** ausgekleidet und dann mit Polysilizium gefüllt, das relativ zu einer oberen Oberfläche der benachbarten Silizium-Mesa-Bereiche vertieft ist. Eine Dielektrikum-Kappe **1820** erstreckt sich vertikal über jedem Gate **1818**. Stark („heavy“) dotierte p-leitende Source-Bereiche **1826** werden in dem Body-Bereich **1804** zwischen benachbarten Gräben gebildet. Wie es gezeigt ist, befindet sich eine obere Oberfläche der Dielektrikum-Kappe **1820** auf einer höheren Ebene als die obere Oberfläche der Source-Bereiche **1826**, was zu einer nicht planaren oberen Oberfläche führt. In einer Ausführungsform wird diese Nichtplanarität erhalten, indem der Silizium-Mesa zwischen den Dielektrikum-Kappen **1820** vertieft wird. Heavy-Body-Bereiche **1828** sind unterbrechend entlang der streifenförmigen Body-Bereiche **1804** zwischen benachbarten Gräben gebildet. Eine oberseitige Metallschicht **1832** ist über der Struktur gebildet, um einen elektrischen Kontakt mit beiden Source-Bereichen **1826** und Heavy-Body-Bereichen **1828** herzustellen. Diese FET-Struktur ist darin vorteilhaft, dass die Zellenteilung reduziert ist, indem der Heavy-Body-Bereich unterbrechend entlang des Source-Streifens gebildet wird, und somit wird ein FET mit hoher Dichte erreicht.

[0087] Die [Fig. 17A](#), [Fig. 17B-1](#) und [Fig. 17B-2](#) werden verwendet, um zwei Möglichkeiten zum Bilden des FET in [Fig. 16](#) zu beschreiben. Diese Figuren zeigen nicht die Heavy-Body-Bereiche, da diese

Figuren Querschnittsansichten entlang der Vorderfläche der Perspektivansicht in [Fig. 16](#) entsprechen. In [Fig. 17A](#) wird ein n-leitender Body-Bereich **1904** in der p-leitenden Epitaxieschicht **1902** unter Verwendung herkömmlicher Implantations- und Eintreibetechniken gebildet. Gräben **1906**, Gate-Isolator **1907**, der die Gräben **1906** auskleidet, und die vertieften Polysilizium-Gates **1918** werden unter Verwendung bekannter Techniken gebildet. Eine Dielektrikumschicht wird über dem Substrat gebildet, dann planarisiert und schließlich gleichmäßig zurückgeätzt, bis die Siliziumoberfläche freigelegt ist. Der Raum direkt über jedem Gate wird somit mit einer Dielektrikum-Kappe **1920** gefüllt. In einer Ausführungsform werden die freigelegten Silizium-Mesa-Oberflächen zwischen benachbarten dielektrischen Bereichen **1920** bis zu einer Tiefe zwischen den oberen und unteren Oberflächen des dielektrischen Bereiches **1920** vertieft, gefolgt von einer Source-Implantation, um p-leitende Source-Bereiche zu bilden. In einer alternativen Ausführungsform wird die Source-Bildung ausgeführt, bevor das Silizium vertieft wird. Die Heavy-Body-Bereiche (die nicht gezeigt sind) können vor oder nach dem Bilden der Source-Bereiche gebildet werden.

[0088] [Fig. 17B-1](#) zeigt eine Abwandlung, bei der das Vertiefen des Siliziums so ausgeführt wird, dass obere Seitenwände der dielektrischen Bereiche **1920** freigelegt werden (d.h. Source-Bereiche **1926** weisen flache obere Oberflächen auf). [Fig. 17B-2](#) zeigt eine andere Abwandlung, wobei das Vertiefen des Siliziums derart ausgeführt wird, dass die obere Oberfläche der Source-Bereiche zwischen benachbarten Gräben schalenförmig ist und somit die Seitenwände der dielektrischen Bereiche **1920** nicht freigelegt sind. In einer Ausführungsform wird dies erreicht, indem ein anisotropes Siliziumätzen durchgeführt wird. Ein Vorteil der Abwandlung von [Fig. 17B-2](#) ist, dass ein größeres Source-Oberflächengebiet zum Kontakt mit der oberen Leiterschicht **1935** bereitgestellt wird und somit der Source-Kontaktwiderstand vermindert ist. Es werden auch eine engere Zeilenteilung und somit ein FET mit hoher Dichte erhalten, indem die Heavy-Body-Bereiche unterbrechend entlang der Source-Streifen gebildet werden.

[0089] [Fig. 18](#) ist ein vereinfachter Querschnitt, der eine Technik zum Erhalten eines hochkompakten Trenched-Gate-FET mit selbstjustierten Heavy-Body- und Source-Bereichen zeigt. In [Fig. 18](#) erstrecken sich Gate-Gräben mit Gates **2012** darin durch einen p-Wannenbereich **2004** und enden in einem n-leitende Driftbereich **2000**. In einer Ausführungsform ist der n-leitende Driftbereich **2000** eine Epitaxieschicht, die über einem stark dotierten n-leitenden Substrat (das nicht gezeigt ist) gebildet ist. Jeder Gate-Graben umfasst eine Dielektrikum-Kappe **2014** über dem Gate **2012**. Wie es gezeigt ist, sind die Mesa-Bereiche zwischen den beiden Gräben derart ver-

tieft, dass die Siliziumvertiefung abgeschrägte Außenwände aufweist, die sich von der Nähe der Oberseite der Dielektrikum-Kappe **2014** bis zum Boden der Mesa-Vertiefung erstrecken.

[0090] Wie es durch den Pfeil mit durchgezogener Linie **2019** angedeutet ist, der sich senkrecht zur Bodenoberfläche der Mesa-Vertiefung erstreckt, wird ein stark dotierter p-leitender Heavy-Body-Bereich **2016** gebildet, indem eine Deckschichtimplantation (Blanket-Implantation) von Dotiermitteln (z.B. BF_2) unter einem Winkel von Null Grad gebildet wird. Unter der Voraussetzung des Winkels der Heavy-Body-Implantation von Null Grad stellen die entgegengesetzten Schrägen jeder Grabenseitenwand und ihrer dazwischen liegenden benachbarten Außenwand der Mesa-Vertiefung zusammen mit einer sorgfältigen Auswahl des Implantationsdotiermitteltyps und solche Implantationsvariablen, wie Implantationsenergie, sicher, dass die implantierten Dotiermittel nicht die Kanalbereiche erreichen, die sich entlang der Grabenseitenwände in den Wannenbereichen **2004** erstrecken.

[0091] Wie es durch die zwei schrägen Pfeile **2018** in gestricheltem Linienzug angedeutet ist, wird eine schräge Deckschichtimplantation mit zwei Durchgängen von n-leitenden Dotiermitteln durchgeführt, um Source-Bereiche **2020** entlang der abgeschrägten Wände jeder Mesa-Vertiefung zu bilden. Wie es gezeigt ist, blockieren die oberen Grabenecken die Source-Implantationen, so dass sie nicht in den zentralen Abschnitt des Heavy-Body-Bereiches eintreten. Wie es zu sehen ist, wird während sowohl der Heavy-Body-Implantation als auch der schrägen Source-Implantation mit zwei Durchgängen keine Maske verwendet. Die Mesa-Vertiefung schafft in der Tat eine natürliche Maske, die die Bildung von selbstjustierten Heavy-Body- und Source-Regionen ermöglicht.

[0092] Die selbstjustierten Heavy-Body- und Source-Bereiche ermöglichen eine signifikante Verringerung der Zellenteilung, was zu einer Zellenstruktur mit hoher Dichte führt, die wiederum hilft, den Ein-Widerstand des Transistors zu verringern. Darüber hinaus helfen selbstjustierte Heavy-Body-Bereiche, die Unclamped Inductive Switching (UIL) Robustheit zu verbessern. Das Bilden der Source- und Heavy-Body-Bereiche auf eine selbstjustierte Weise reduziert auch die Anzahl von Masken, wodurch die Herstellungskosten verringert werden, während die Prozessfolge vereinfacht und die Herstellungsausbeute verbessert wird. Darüber hinaus ist das besondere Profil der Source- und Heavy-Body-Bereiche darin vorteilhaft, dass: (i) die abgeschrägten Außenwände der Mesa-Vertiefung ein großes Source-Oberflächengebiet bereitstellen, das hilft, den Source-Kontaktwiderstand zu verringern, und (ii) der Heavy-Body-Bereich unter den Source-Bereichen überlappt,

was hilft, die Robustheit der Transistors-UIL zu verbessern. Darüber hinaus ist die in [Fig. 18](#) dargestellte Technik mit vielen Prozessen mit dickem Bodendielektrikum verträglich und eignet sich gut für den LO-COS-Prozess, wie es zu sehen sein wird.

[0093] Die [Fig. 18A-Fig. 18I](#), [Fig. 19A-Fig. 19H](#), [Fig. 20A-Fig. 20G](#), [Fig. 21A-Fig. 21H](#) und [Fig. 22A-Fig. 22F](#) zeigen verschiedene Prozessfolgen, wobei die in [Fig. 18](#) dargestellte Technik verwendet wird, um verschiedene FET-Strukturen mit selbstjustierten Merkmalen zu bilden. Viele andere Prozessfolgen, oder Abwandlungen von jenen, die hierin offenbart sind, mit der in [Fig. 18](#) dargestellten Technik, die darin implementiert sind, können von dem Fachmann in Anbetracht dieser Offenbarung ins Auge gefasst werden.

[0094] Die [Fig. 18A-Fig. 18I](#) zeigen Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden eines Trenched-Gate-FET mit selbstjustierten Source- und Heavy-Body-Bereichen gemäß einer anderen Ausführungsform der Erfindung. In [Fig. 18A](#) werden herkömmliche Siliziumätz- und LO-COS-Prozesse verwendet, um einen mit Isolierung gefüllten Graben **2001** in dem Terminierungsbereich zu bilden. Eine Padoxidschicht (die nicht gezeigt ist) und eine Nitridschicht (die nicht gezeigt ist) werden zunächst über einem n-leitenden Siliziumbereich **2000** gebildet. Dann wird eine erste Maske verwendet, um den Abschnitt des Siliziumbereiches **2000** in dem Terminierungsbereich zu definieren, wo das Silizium entfernt werden soll. Die Nitridschicht, das Padoxid und der darunter liegende Siliziumbereich werden durch die erste Maske entfernt, um den Graben **2001** in dem Terminierungsbereich zu bilden. Anschließend wird eine lokale Oxidation durchgeführt, um den Graben **2001** mit Isoliermaterial **2002** zu füllen. Obwohl es nicht gezeigt ist, kann das Ausgangsmaterial ein stark dotiertes n-leitendes Substrat umfassen, über dem der n-leitende Bereich **2000**, beispielsweise epitaktisch, gebildet wird.

[0095] In [Fig. 18B](#) werden eine Deckschichtwanneimplantation und ein Eintreiben ausgeführt, um einen p-leitenden Wannbereich **2004** in dem Siliziumbereich **2000** zu bilden. Die implantierten Fremdstoffe können alternativ in einem späteren Stadium des Prozesses eingetrieben werden. In [Fig. 18C](#) wird ein zweiter Maskierschritt ausgeführt, um Gräben **2006** zu definieren und zu ätzen, die sich durch den Wannbereich **2004** erstrecken und in dem Siliziumbereich **2000** enden. Ein Bodenabschnitt der Gräben **2006** wird mit Isoliermaterial gefüllt, beispielsweise indem hochdichtes Plasma-(HDP von high density plasma)-Oxid abgeschieden wird und dann das abgeschiedene HDP-Oxid geätzt wird, um das dicke Bodenoxid **2008** zu bilden.

[0096] In [Fig. 18D](#) wird eine Gate-Isolierschicht

2010 entlang aller Oberflächengebiete einschließlich der Grabenseitenwände gebildet. Daraufhin wird Polysilizium abgeschieden und dotiert (z.B. in situ). Eine dritte Maske wird verwendet, um das Polysilizium zu definieren und zu ätzen und somit vertiefte Gates **2012A** in dem aktiven Gebiet, ein Terminierungs-Trench-Gate **2012B** und das Oberflächen-Gate **2012c** zu bilden. In [Fig. 18E](#) wird eine Dielektrikumschicht über der Struktur gebildet. Dann wird eine vierte Maske verwendet, um den Abschnitt des aktiven Bereiches und die Öffnung **2015** in dem Terminierungsbereich zu definieren, wo die Dielektrikumschicht zurückzuätzen ist. Die Dielektrikumschicht wird durch die Maskenöffnungen zurückgeätzt, bis das Silizium erreicht ist. Somit bleibt in dem aktiven Bereich der Raum direkt über jedem Gate **2012A** mit Dielektrikummaterial **2014A** gefüllt, während die Öffnung **2015** in dem Terminierungsbereich gebildet wird. Wie es zu sehen ist, werden die Oberflächen der Wannbereiche **2004B** in dem aktiven Bereich und dem Wannbereich **2004A** in dem Terminierungsbereich freigelegt.

[0097] In [Fig. 18F](#) wird ein Siliziumätzschritt ausgeführt, um die freigelegten Siliziumoberflächengebiete in den aktiven und Terminierungsbereichen zu vertiefen. Eine beinahe schalenförmige Siliziumoberfläche wird in den Wannbereichen **2004B** zwischen benachbarten Gräben in dem aktiven Bereich und in dem Wannbereich **2004A** in dem Terminierungsbereich gebildet. Als Nächstes wird eine Null-Grad-Heavy-Body-Implantation (z.B. BF_2) ausgeführt, um p-leitende Heavy-Body-Bereiche **2016B** in den Wannbereichen **2004B** des aktiven Bereiches zu bilden und einen Heavy-Body-Bereich **2016A** in dem Wannbereich **2004A** des Terminierungsbereiches zu bilden. Anschließend werden Source-Bereiche **2020** unter Verwendung einer schrägen Source-Implantation mit zwei Durchgängen gebildet, wie es durch die Pfeile **2018** gezeigt ist. Bei der schrägen Implantation mit zwei Durchgängen werden n-leitende Fremdstoffe unter einem solchen Winkel implantiert, dass die oberen Grabenecken verhindern, dass ein zentraler Abschnitt **2016B** der Heavy-Body-Bereiche den Implantationsstoff erhält. Somit werden Source-Bereiche **2020** unmittelbar benachbart zu den Gräben gebildet, während ein zentraler Abschnitt **2016B** der Heavy-Body-Bereiche intakt bleibt, wie es gezeigt ist. Wegen des Querschnittsverhältnisses der Öffnung **2015** ([Fig. 18E](#)) und des Winkels der Source-Implantation mit zwei Durchgängen erhält der Terminierungswannbereich **2004A** nicht die Source-Implantationsstoffe.

[0098] In [Fig. 18G](#) wird ein Implantationsaktivierungsschritt ausgeführt, um die implantierten Dotiermittel einzutreiben. Anschließend wird eine fünfte Maske verwendet, um die Isolierschicht **2014C** zu definieren und zu ätzen und somit eine Gate-Kontaktöffnung **2019** zu bilden. In [Fig. 18H](#) wird dann eine Lei-

terschicht (die z.B. Metall umfasst) über der Struktur gebildet. Eine sechste Maske wird verwendet, um die Leiterschicht zu definieren und zu ätzen und somit dem Source-Leiter **2021A** von dem Gate-Leiter **2021B** zu isolieren. In [Fig. 18I](#) wird eine Passivierungsschicht abgeschieden. Anschließend wird eine siebte Maske verwendet, um Abschnitte der Passivierungsschicht zu ätzen und dadurch Source- und Gate-Gebiete zu definieren, wo Drahtbondkontakte herzustellen sind. In Ausführungsformen, in denen keine Passivierungsschicht notwendig ist, sind die entsprechenden Maskierungs- und Prozessschritte beseitigt.

[0099] Wie es zu sehen ist, wird beim Bilden der Heavy-Body-Bereiche **2016B** und der Source-Bereiche **2220** keine Maske verwendet. Sowohl die Heavy-Body- als auch die Source-Bereiche sind auch an den Grabenkanten selbstjustiert. Darüber hinaus überlappt der Heavy-Body-Bereich **2016B** unterhalb Source-Bereiche **2020**, erstreckt sich aber nicht in die Kanalbereiche. Somit wird eine enge Zellenteilung mit einer außergewöhnlichen Snapback- und UIL-Robustheit erreicht. Die kleine Zellenteilung hilft, einen niedrigeren R_{dson} zu erreichen. Da die Source-Bereiche **2020** entlang der äußeren gekrümmten Oberflächen der Wannenbereiche **2004B** gebildet werden, wird auch ein größeres Source-Kontaktgebiet erhalten und es wird somit ein niedrigerer Source-Kontaktwiderstand erreicht. Darüber hinaus verwendet die einfache Prozessfolge eine verringerte Anzahl von Maskierungsschritten, ist mit vielen Prozessmodulen mit dickem Bodenoxid (TBO von thick bottom oxide) verträglich und eignet sich gut für das LOCOS-Verfahren zum Bilden des TBO.

[0100] Die Querschnitte in den [Fig. 18A-Fig. 18I](#) zeigen lediglich eine beispielhafte Prozessfolge und eine beispielhafte Terminierungsstruktur. Diese Prozessfolge kann auf verschiedene Weisen optimiert werden, um die Anzahl von Masken zu verringern und unterschiedliche Terminierungsstrukturen zu implementieren, einschließlich jene, die durch die Prozessfolgen in den [Fig. 19A-Fig. 19H](#), [Fig. 20A-Fig. 20G](#), [Fig. 21A-Fig. 21H](#) und [Fig. 22A-Fig. 22F](#) dargestellt sind, die als Nächstes beschrieben werden.

[0101] Die [Fig. 19A-Fig. 19H](#) sind Querschnittsansichten einer Prozessfolge, bei der anstatt eines Oberflächenpolysiliziums ein Trenched-Polysilizium gebildet wird, was eine Verringerung der Anzahl von Masken im Vergleich mit der bei dem Prozess der [Fig. 18A-Fig. 18I](#) ermöglicht. Die Prozessschritte, die den [Fig. 19A-Fig. 19C](#) entsprechen, sind ähnlich wie jene, die den [Fig. 18A-Fig. 18C](#) entsprechen, und werden somit nicht erläutert. In [Fig. 19D](#) wird ein Gate-Isolator **2110** gebildet und anschließend wird Polysilizium abgeschieden und dotiert. Ein Deckschichtätzen (blanket etch) des abgeschiedenen Po-

lysiliziums wird ausgeführt, so dass vertiefte Gates **2112** in den Gräben verbleiben. Hier ist die Gate-Maske in [Fig. 18D](#) der vorhergehenden Ausführungsform beseitigt. In [Fig. 19E](#) wird eine ähnliche Folge von Prozessschritten wie die in [Fig. 18E](#) ausgeführt, so dass der Raum direkt über jedem Gate **2112** mit dielektrischem Material **2114A** gefüllt wird, während die Öffnung **2115** in der Dielektrikumschicht über der Terminierungs-p-Wanne **2014A** gebildet wird. In [Fig. 19F](#) wird eine ähnliche Folge von Prozessschritten wie die in [Fig. 18F](#) ausgeführt, um selbstjustierte Heavy-Body-Bereiche **2116A** und **2116B** und selbstjustierte Source-Bereiche **2120** zu bilden.

[0102] In [Fig. 19G](#) wird eine Gate-Kontaktmaske (die vierte Maske) verwendet, um eine Gate-Kontaktöffnung **2113** in der Dielektrikumschicht über dem Gate-Graben weit links zu definieren und zu ätzen, gefolgt von einer Aktivierung der implantierten Dotiermittel. Die Gate-Kontaktöffnung **2113** stellt einen elektrischen Zugang zu den Trenched-Polysilizium-Gates bereit, die entlang einer dritten Dimension miteinander verbunden sind, was in [Fig. 19G](#) nicht gezeigt ist. In einer alternativen Ausführungsform wird zugelassen, dass die Terminierungs-p-Wanne **2104A** schwimmt, wodurch die Notwendigkeit für einen Terminierungs-Source-Leiter **2121A** beseitigt ist.

[0103] In [Fig. 19H](#) wird eine Leiterschicht (die z.B. Metall umfasst) abgeschieden, gefolgt von einem Maskierungsschritt (dem fünften), um Source-Leiterabschnitte **2121A** zu definieren und von dem Gate-Leiterabschnitt **2121B** zu isolieren. Wie es zu sehen ist, werden in dem Prozess, der von den [Fig. 19A-Fig. 19H](#) gezeigt ist, nur fünf Masken verwendet. Die dünne Schicht direkt unterhalb der Gate- und Source-Leiterschichten ist ein optionales Barrierenmetall.

[0104] Die [Fig. 20A-Fig. 20G](#) sind Querschnittsansichten einer anderen Prozessfolge, die weniger Masken im Vergleich mit dem Prozess, der von den [Fig. 18A-Fig. 18I](#) gezeigt ist, verwendet. Die Prozessschritte, die den [Fig. 20A-Fig. 20D](#) entsprechen, sind ähnlich wie jene, die den [Fig. 18A-Fig. 18D](#) entsprechen, und werden somit nicht erläutert. Die Prozessfolge, die [Fig. 20E](#) entspricht, ist ähnlich wie die, die [Fig. 18E](#) entspricht, mit der Ausnahme, dass die vierte Maske verwendet wird, um eine zusätzliche Öffnung **2217** in der Terminierungsdielektrikumschicht über dem Oberflächenpolysilizium **2212C** zu bilden. Die Prozessfolge, die [Fig. 20F](#) entspricht, ist ähnlich wie die, die [Fig. 18F](#) entspricht. Jedoch wegen der Öffnung **2217** (in [Fig. 20E](#)) über dem Oberflächenpolysilizium **2212C** ätzt das Siliziumätzen zum Vertiefen der freigelegten Mesa-Oberflächen auch den freigelegten Abschnitt des Oberflächenpolysiliziums **2212C**, wodurch eine Öffnung **2218** darin geschaffen wird. Seitenwände

des Oberflächenpolysiliziums werden somit durch die Kontaktöffnung **2218** freigelegt. Abhängig von der Tiefe der Mesa-Vertiefung in dem aktiven Gebiet und der Dicke des Oberflächenpolysiliziums **2212C** kann das Mesa-Vertiefungsätzen klar durch das Oberflächenpolysilizium **2212C** ätzen oder eine dünne Schicht aus Polysilizium entlang dem Boden der Öffnung **2218** zurücklassen. In einer Ausführungsform wird die Öffnung **2218** derart gebildet, dass ihr Querschnittsverhältnis zulässt, dass die beiden schrägen Source-Implantationen **2218** die Seitenwände der Oberflächenpolysiliziumabschnitte **2213A** und **2213B** erreichen. Dies minimiert vorteilhaft den Kontaktwiderstand zwischen letzterer gebildeter Gate-Leiterschicht **2221B** ([Fig. 20G](#)) und Oberflächenpolysiliziumabschnitten **2213A** und **2213B**.

[0105] Die Prozessfolge, die [Fig. 20G](#) entspricht, ist ähnlich wie die, die [Fig. 18H](#) entspricht, mit der Ausnahme, dass die Prozessfolge von [Fig. 20G](#) eine Aktivierung der implantierten Bereiche umfasst. Anders als [Fig. 18H](#), bei der der Gate-Leiter **2021B** eine obere Oberfläche aus Polysilizium **2012C** kontaktiert, kontaktiert der Gate-Leiter **2221B** in [Fig. 20G](#) auch die Seitenwände des Oberflächenpolysiliziums durch die Öffnung **2218**. Wenn nach dem Siliziumvertiefungsschritt in [Fig. 20F](#) das Oberflächenpolysilizium **2212C** nicht vollständig durchgeätzt ist (d.h. ein Abschnitt davon verbleibt entlang dem Boden der Öffnung **2218**), dann würde der Gate-Leiter **2021B** auch ein Oberflächengebiet des verbleibenden Polysiliziums in der Öffnung **2218** kontaktieren.

[0106] In [Fig. 20G](#) ist die dünne Schicht direkt unterhalb der Source- und Gate-Leiterschichten ein optionales Barrierenmetall. Diese Ausführungsform ist darin vorteilhaft, dass sie ähnlich wie bei der Ausführungsform der [Fig. 19A-Fig. 19H](#) nur fünf Masken bis durch den Schritt des Bildens der oberseitigen Leiter verwendet werden und auch ein Oberflächengebiet bewahrt wird, indem die Notwendigkeit für eine Source-Leiterschicht **2121A** ([Fig. 19H](#)), die die periphere Gate-Leiterschicht **2121B** ([Fig. 19H](#)) umgibt, beseitigt wird.

[0107] Die [Fig. 21A-Fig. 21H](#) sind Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden eines ähnlichen Trenched-Gate-FET wie der, der aus dem Prozess resultiert, der von den [Fig. 18A-Fig. 18I](#) gezeigt wird, mit der Ausnahme, dass eine Schottky-Diode mit dem FET integriert ist. Die Prozessfolge, die [Fig. 21A](#) entspricht, ist ähnlich wie die, die [Fig. 18A](#) entspricht, und wird somit nicht erläutert. In [Fig. 21B](#) werden unter Verwendung einer p-Wannen-Sperrmaske (die zweite Maske) p-leitende Fremdstoffe implantiert und eingetrieben, um Wannenbereiche **2304** in dem n-leitenden Siliziumbereich **2300** zu bilden. Die implantierten Fremdstoffe können alternativ in einem späteren Stadium der Prozessfolge eingetrieben werden. Die p-Wan-

nen-Sperrmaske verhindert, dass die p-leitenden Fremdstoffe in einem Abschnitt **2303** des Siliziumbereiches **2300** implantiert werden, der, wie es zu sehen sein wird, den Schottky-Bereich bildet.

[0108] In den [Fig. 21C](#) und [Fig. 21D](#) werden ähnliche Sätze von Prozessschritten wie jene für die [Fig. 18C](#) und [Fig. 18D](#) ausgeführt und somit nicht beschrieben. In [Fig. 21E](#) werden ähnliche Prozessschritte wie jene für [Fig. 18E](#) ausgeführt, jedoch werden die Schritte der Kontaktmaske (der fünfte) und der Planarisierung des Dielektrikums ausgeführt, so dass Abschnitt **2314D** der Isolierschicht über dem Schottky-Bereich **2303** verbleibt, um zu verhindern, dass dieser Bereich Dotiermittel während der späteren Source- und Heavy-Body-Implantationschritte erhält ([Fig. 21F](#)). Die Prozessfolge, die [Fig. 21F](#) entspricht, ist ähnlich wie die, die [Fig. 18F](#) entspricht, und wird somit nicht beschrieben.

[0109] In [Fig. 21G](#) wird ein Implantationsaktivierungsschritt ausgeführt, um die implantierten Dotiermittel einzutreiben. Anschließend wird eine sechste Maske verwendet, um sowohl den Isolierbereich **2314D** von über dem Schottky-Bereich **2303** zu definieren und zu ätzen, als auch eine Gate-Kontaktöffnung **2319** über dem Oberflächen-Gate **2312C** zu bilden. Die Prozessfolge, die [Fig. 21H](#) entspricht, ist gleich wie die, die [Fig. 18H](#) entspricht, mit der Ausnahme, dass der Source-Leiter **2321A** zusätzlich dazu, dass er die Source- und Heavy-Body-Bereiche kontaktiert, den Schottky-Bereich **2303** kontaktiert, um einen Schottky-Kontakt mit dem Siliziumbereich **2300** zu bilden, beispielsweise unter Verwendung von Titansilizid als ein Barrierenmetall. Somit wird ein Trenched-Gate-FET mit einer integrierten Schottky-Diode gebildet.

[0110] Obgleich die [Fig. 21A-Fig. 21H](#) zeigen, wie eine Schottky-Diode mit der Prozessfolge, die von den [Fig. 18A-Fig. 18I](#) gezeigt wird, integriert wird, können die Prozessfolgen, die jeweils von den [Fig. 19A-Fig. 19H](#), [Fig. 20A-Fig. 20G](#), [Fig. 21A-Fig. 21H](#), [Fig. 22A-Fig. 22F](#), [Fig. 23A-Fig. 23I](#) und [Fig. 24A-Fig. 24I](#) gezeigt werden, ähnlich modifiziert werden, um damit eine Schottky-Diode zu integrieren.

[0111] Die [Fig. 22A-Fig. 22F](#) sind Querschnittsansichten einer anderen Prozessfolge zum Bilden eines Trenched-Gate-FET gemäß einer Ausführungsform, wobei die Anzahl von Masken durch die Bildung der oberseitigen Source- und Gate-Leiter auf vier verringert ist. In [Fig. 22A](#) wird eine Padoxidschicht (die nicht gezeigt ist) über dem n-leitenden Siliziumbereich **2400** gebildet. Dotiermittel mit p-Leitfähigkeit werden implantiert und eingetrieben, um einen p-Wannenbereich **2404** in dem n-leitenden Siliziumbereich **2400** zu bilden. Die implantierten Fremdstoffe können alternativ in einem späteren Stadium der

Prozessfolge eingetrieben werden. Eine erste Maske wird verwendet, um Gräben **2406** in dem aktiven Bereich sowie einen breiten Graben **2401** in dem Terminierungsbereich zu definieren und zu ätzen. Anschließend wird ein LOCOS-Thick-Bottom-Oxide-(TBO)-Prozess verwendet, um eine Schicht aus Isoliermaterial **2402** entlang dem Bodenabschnitt sowohl der aktiven Gräben **2406** als auch des breiten Terminierungsgrabens **2401** sowie über einer oberen Oberfläche des Silizium-Mesas zwischen benachbarten Gräben zu bilden.

[0112] Die Prozessschritte, die [Fig. 22C](#) entsprechen, sind ähnlich wie jene, die [Fig. 20D](#) entsprechen, jedoch erstreckt sich in [Fig. 22C](#), statt ein planares Oberflächenpolysilizium **2212C** zu bilden, wie in [Fig. 20D](#), Polysilizium **2412C** über eine Terminierungs-p-Wanne **2204A** und herunter in den breiten Graben **2401**. Die Prozessschritte, die jeder der [Fig. 22D](#), [Fig. 22E](#) und [Fig. 22F](#) entsprechen sind ähnlich wie jene, die jeder der [Fig. 20E](#), [Fig. 20F](#) bzw. [Fig. 20G](#) entsprechen, und werden somit nicht beschrieben. Wie es in [Fig. 22F](#) zu sehen ist, stellt der Gate-Leiter **2421B** einen Kontakt mit den Seitenwänden des Gates **2412D** innerhalb des breiten Grabens in dem Terminierungsbereich her. Wie bei der Ausführungsform der [Fig. 20A-Fig. 20G](#) würde, wenn nach dem Siliziumvertiefungsschritt in [Fig. 22F](#) das Terminierungspolysilizium **2412C** nicht vollständig durchgeätzt ist (d.h. ein Abschnitt davon verbleibt entlang dem Boden der Öffnung **2218** in Polysilizium **2412C**), dann der Gate-Leiter **2021B** auch ein Oberflächengebiet des verbleibenden Polysiliziums in der Öffnung **2218** kontaktieren. Es wird eine Summe von 4 Masken verwendet, die zusammen mit der Passivierungspadmaske (wie es beispielsweise durch die Prozessfolge identifiziert ist, die [Fig. 18I](#) entspricht) eine Summe von 5 Masken bildet.

[0113] Die [Fig. 23A-Fig. 23I](#) sind Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden eines Trenched-Gate-FET mit selbstjustierten Merkmalen gemäß einer nochmals anderen Ausführungsform der Erfindung. Die Prozessschritte, die den [Fig. 23A-Fig. 23D](#) entsprechen, sind ähnlich wie jene, die den [Fig. 18A-Fig. 18D](#) entsprechen, und werden somit nicht beschrieben. In [Fig. 23E](#) wird eine Dielektrikumschicht über der Struktur gebildet. Anschließend wird eine vierte Maske verwendet, um den Terminierungsbereich abzudecken, da ein Planarisierungsätzen des Dielektrikums in dem aktiven Bereich ausgeführt wird, so dass Dielektrikum-Kappen **2514A** über jedem Trench-Gate **2512A** verbleiben. In [Fig. 23F](#) wird ein Mesa-Vertiefungsätzen ausgeführt, um die p-leitenden Wannengebiete **2504B** unter die obere Oberfläche der Dielektrikum-Kappen **2514A** zu vertiefen, so dass die oberen Seitenwände der Dielektrikum-Kappen **2514A** freigelegt werden. Eine Deckschichtimplantation von Dotiermitteln (z.B. Arsen) wird daraufhin ausgeführt, um n+-Bereiche

2517 in den Wannengebieten **2504B** zwischen benachbarten Gräben zu bilden. Anschließend werden Nitrid-Spacer **2518** über den n+-Bereichen **2517** entlang der freigelegten Seitenwände der Dielektrikum-Kappen **2514A** unter Verwendung herkömmlicher Techniken gebildet. In [Fig. 23G](#) wird das freigelegte Silizium-Mesa zwischen benachbarten Spacern **2518** bis zu einer Tiefe innerhalb der Wannengebiete **2504B** vertieft. Die Siliziumvertiefung entfernt den mittleren Abschnitt des n+-Bereiches **2517** ([Fig. 23F](#)), wobei äußere Abschnitte **2520** der n+-Bereiche **2517**, die sich direkt unter die Spacer **2518** erstrecken, intakt belassen werden. Die Abschnitte **2520** bilden die Transistor-Source-Bereiche. Anschließend werden Dotiermittel aus n-leitendem Fremdstoff implantiert, um Heavy-Body-Bereiche **2516** zu bilden.

[0114] In [Fig. 23H](#) werden die Nitrid-Spacer **2518** unter Verwendung herkömmlicher Techniken entfernt. Anschließend wird eine fünfte Maske in dem Terminierungsbereich verwendet, um Öffnungen **2515** und **2519** in dem dielektrischen Bereich **2514B** zu schaffen. In [Fig. 23I](#) werden Source- und Gate-Leiter auf eine ähnliche Weise wie jene in [Fig. 18I](#) gebildet. Somit wird eine Summe von sechs Masken verwendet. Diese Prozessfolge ist besonders zum Bilden von Trench-Gate-FET mit einem Body mit breiter Teilung geeignet. Diese Prozessfolge führt auch vorteilhaft zur Bildung von Source- und Heavy-Body-Bereichen, die an den Gräben selbstjustiert sind.

[0115] Die [Fig. 24A-Fig. 24I](#) sind Querschnittsansichten bei unterschiedlichen Prozessschritten zum Bilden eines Trenched-Gate-FET gemäß nochmals einer anderen Ausführungsform der Erfindung. Die Prozessschritte, die den [Fig. 24A-Fig. 24D](#) entsprechen, sind ähnlich wie jene, die den [Fig. 19A-Fig. 19D](#) entsprechen, und werden somit nicht beschrieben. In [Fig. 24E](#) wird eine Dielektrikumschicht über der Struktur gebildet. Anschließend wird eine dritte Maske verwendet, um den Terminierungsbereich abzudecken, wenn ein Planarisierungsätzen des Dielektrikums in dem aktiven Bereich ausgeführt wird, um Dielektrikum-Kappen **2614A** über jedem Trench-Gate **2612** zu bilden. Die Prozessschritte, die den [Fig. 24F](#) und [Fig. 24G](#) entsprechen, sind ähnlich wie jene, die den [Fig. 23F](#) bzw. [Fig. 23G](#) entsprechen, und werden somit nicht beschrieben.

[0116] In [Fig. 24H](#) werden die Nitrid-Spacer **2618** unter Verwendung herkömmlicher Techniken entfernt. Anschließend wird eine vierte Maske in dem Terminierungsbereich verwendet, um eine Öffnung **2615** in dem dielektrischen Bereich **2614B** zu schaffen ([Fig. 24G](#)). In [Fig. 24I](#) wird eine Metallschicht über der Struktur gebildet, und es wird eine fünfte Maske verwendet, um den Source-Leiter **2621A** und den Gate-Leiter **2621B** zu definieren. Wie es gezeigt

ist, kontaktiert der Source-Leiter **2621A** die Heavy-Body-Bereiche **2616** und die Source-Bereiche **2620** entlang ihrer oberen Oberfläche und der Seitenwand. Der Terminierungswannenbereich **2604B** schwimmt elektrisch. Alternativ kann der Wannenbereich **2604B** über einen elektrischen Kontakt vorgespannt werden, der entlang der Dimension in das Blatt hergestellt wird.

[0117] Ähnlich wie bei der Ausführungsform, die von den [Fig. 23A-Fig. 23I](#) dargestellt wird, ist diese Ausführungsform zum Bilden von Trench-Gate-FET mit einem Body mit breiter Teilung geeignet, und weist Source- und Heavy-Body-Bereiche auf, die an den Gräben selbstjustiert sind. Diese Ausführungsform erfordert jedoch vorteilhafterweise eine Maske weniger als die Ausführungsform der [Fig. 23A-Fig. 23I](#).

[0118] Obgleich die verschiedenen Prozessfolgen, die von den [Fig. 18A-Fig. 18I](#), [Fig. 19A-Fig. 19H](#), [Fig. 20A-Fig. 20G](#), [Fig. 21A-Fig. 21H](#), [Fig. 22A-Fig. 22F](#), [Fig. 23A-Fig. 23I](#) und [Fig. 24A-Fig. 24I](#) gezeigt werden, im Zusammenhang mit einer Grabenstruktur mit einem einzigen Gate dargestellt sind, wäre dem Fachmann in Anbetracht dieser Offenbarung deutlich, dass diese Prozesse modifiziert werden können, um eine Abschirmelektrode unterhalb des Gates zu enthalten, ähnlich wie das Abschirmgate **1324** in [Fig. 10](#).

[0119] Die verschiedenen Strukturen und Verfahren der vorliegenden Erfindung können mit einer oder mehreren einer Anzahl von Ladungsausbreitungstechniken kombiniert werden, die in der oben angeführten, gemeinschaftlich übertragenen Anmeldung Nr. 11/026,276 offenbart sind, um einen noch niedrigeren Ein-Widerstand, eine höhere Sperrfähigkeit und einen höheren Wirkungsgrad zu erhalten.

[0120] Die Querschnittsansichten der unterschiedlichen Ausführungsformen müssen nicht maßstäblich sein, und sollen als solche nicht die möglichen Abwandlungen des Layout-Entwurfs der entsprechenden Strukturen beschränken. Die verschiedenen Transistoren können auch in einer offenzelligen Architektur (z.B. einem Streifen) oder einer geschlossenzelligen Architektur (z.B. hexagonalen oder quadratischen Zellen) gebildet sein.

[0121] Obwohl vorstehend eine Anzahl von spezifischen Ausführungsformen gezeigt und beschrieben wurde, sind Ausführungsformen der Erfindung nicht darauf beschränkt. Es ist beispielsweise zu verstehen, dass die Dotierungspolaritäten der gezeigten und beschriebenen Strukturen umgekehrt werden könnten und/oder die Dotierungskonzentrationen der verschiedenen Elemente verändert werden könnten, ohne von der Erfindung abzuweichen. Als ein anderes Beispiel könnten verschiedene oben beschriebene beispielhafte vertikale Transistoren vom Akkumu-

lationsmodus und Anreicherungsmodus Gräben aufweisen, die in dem Driftbereich enden (eine schwach dotierte Epitaxieschicht, die sich über dem Substrat erstreckt), aber sie können auch in dem stärker dotierten Substrat enden. Die Merkmale von einer oder mehreren Ausführungsformen der Erfindung können auch mit einem oder mehreren Merkmalen von anderen Ausführungsformen der Erfindung kombiniert werden, ohne vom Schutzzumfang der Erfindung abzuweichen. Aus diesem und aus anderen Gründen sollte daher die obige Beschreibung nicht als den durch die beigefügten Ansprüche definierten Schutzzumfang der Erfindung einschränkend betrachtet werden.

Zusammenfassung

[0122] Ein Feldeffekttransistor und eine Schottky-Diode, die monolithisch integriert sind, umfassen Gate-Gräben, die sich in einen Halbleiterbereich erstrecken. Source-Bereiche mit einer im Wesentlichen dreieckigen Form flankieren jede Seite der Gate-Gräben. Eine Kontaktöffnung erstreckt sich in die Halbleiterbereiche zwischen benachbarten Gate-Gräben. Eine Leiterschicht füllt die Kontaktöffnung, um elektrisch zu kontaktieren: (a) die Source-Bereiche entlang zumindest einem Abschnitt einer abgeschrägten Seitenwand jedes Source-Bereiches und (b) den Halbleiterbereich entlang einem Bodenabschnitt der Kontaktöffnung, wobei die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.

Patentansprüche

1. Struktur mit einem Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei die Struktur ferner umfasst: Gate-Gräben, die sich in einen Halbleiterbereich erstrecken; Source-Bereiche, die jede Seite der Gate-Gräben flankieren, wobei die Source-Bereiche eine im Wesentlichen dreieckige Form aufweisen; eine Kontaktöffnung, die sich in den Halbleiterbereich zwischen benachbarten Gate-Gräben erstreckt; und eine Leiterschicht, die die Kontaktöffnung füllt, um elektrisch zu kontaktieren: (a) die Source-Bereiche entlang zumindest einem Abschnitt einer abgeschrägten Seitenwand jedes Source-Bereiches, und (b) den Halbleiterbereich entlang einem Bodenabschnitt der Kontaktöffnung, wobei die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.
2. Struktur nach Anspruch 1, wobei der Halbleiterbereich und die Source-Bereiche eines von Silizium, Siliziumcarbid, Galliumnitrid und Galliumarsenid umfassen.
3. Struktur nach Anspruch 1, wobei die Source-Bereiche an den Gate-Gräben selbstjustiert sind.

4. Struktur nach Anspruch 1, wobei der Halbleiterbereich und die Source-Bereiche von einem ersten Leitfähigkeit sind, wobei der Halbleiterbereich einen ersten Siliziumbereich umfasst, der eine niedrigere Dotierungskonzentration als die Source-Bereiche aufweist, wobei sich die Kontaktöffnung in den ersten Siliziumbereich erstreckt, so dass die Leiterschicht einen Schottky-Kontakt mit dem ersten Siliziumbereich bildet.

5. Struktur nach Anspruch 4, wobei der Feldeffekttransistor ein Akkumulations-Feldeffekttransistor ist und der erste Siliziumbereich eine Epitaxieschicht ist, die sich zwischen den Source-Bereichen und einem Substrat von dem ersten Leitfähigkeit erstreckt, wobei die Epitaxieschicht eine niedrigere Dotierungskonzentration als das Substrat aufweist.

6. Struktur nach Anspruch 1, wobei jeder Gate-Graben umfasst:
ein dickes Bodendielektrikum, das einen Bodenabschnitt des Gate-Grabens füllt;
ein Gate-Dielektrikum, das die Seitenwände des Gate-Grabens auskleidet, wobei das dicke Bodendielektrikum dicker ist als das Gate-Dielektrikum; und
ein vertieftes Gate über dem dicken Bodendielektrikum.

7. Struktur nach Anspruch 1, wobei jeder Gate-Graben umfasst:
eine Abschirmelektrode in einem Bodenabschnitt des Gate-Grabens, wobei die Abschirmelektrode von dem Halbleiterbereich durch eine Abschirmdielektrikumschicht isoliert ist; und
ein vertieftes Gate über der Abschirmelektrode, wobei das vertiefte Gate und die Abschirmelektrode eine Dielektrikumschicht dazwischen aufweisen.

8. Verfahren zum Bilden eines Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei das Verfahren umfasst, dass:
Gate-Gräben gebildet werden, die sich durch eine obere Halbleiterschicht erstrecken und in einer unteren Halbleiterschicht enden, wobei die untere Halbleiterschicht eine niedrigere Dotierungskonzentration als die obere Halbleiterschicht aufweist;
zwischen jedem Paar benachbarter Gate-Gräben eine Kontaktöffnung gebildet wird, die abgeschrägte Seitenwände und einen gerundeten Boden aufweist, sich durch die obere Halbleiterschicht erstreckt und in der unteren Halbleiterschicht endet, so dass verbleibende Abschnitte der oberen Halbleiterschicht Source-Bereiche bilden, die die Gate-Gräben flankieren; und
eine oberseitige Leiterschicht gebildet wird, um elektrisch zu kontaktieren: (a) die Source-Bereiche entlang einer abgeschrägten Seitenwand jedes Source-Bereiches, und (b) die untere Halbleiterschicht entlang einem Bodenabschnitt der Kontaktöffnung, wobei die oberseitige Leiterschicht einen Schott-

ky-Kontakt mit der unteren Halbleiterschicht bildet.

9. Verfahren nach Anspruch 8, wobei die untere und die obere Halbleiterschicht epitaktisch über einem Substrat gebildet werden, wobei das Substrat und die obere und untere Halbleiterschicht von dem gleichen Leitfähigkeitstyp sind, wobei die untere Halbleiterschicht eine niedrigere Dotierungskonzentration als das Substrat aufweist.

10. Verfahren nach Anspruch 8, wobei die obere und untere Halbleiterschicht eines von Silizium, Siliziumcarbid, Galliumnitrid und Galliumarsenid umfassen.

11. Verfahren nach Anspruch 8, wobei keine Implantation von Dotiermitteln beim Bilden des Trench-FET und der Schottky-Diode, die monolithisch integriert sind, verwendet wird.

12. Verfahren nach Anspruch 8, wobei die Source-Bereiche an den Gate-Gräben selbstjustiert sind.

13. Verfahren nach Anspruch 8, das ferner umfasst, dass:
ein dickes Bodendielektrikum entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird;
ein Gate-Dielektrikum gebildet wird, das die Seitenwände jedes Gate-Grabens auskleidet; und
ein vertieftes Gate über dem dicken Bodendielektrikum in jedem Gate-Graben gebildet wird, wobei das dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

14. Verfahren nach Anspruch 8, das ferner umfasst, dass:
eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird;
eine Dielektrikumschicht über jeder Abschirmelektrode gebildet wird; und
ein vertieftes Gate über der Dielektrikumschicht gebildet wird.

15. Struktur mit einem Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei die Struktur ferner umfasst:
Gate-Gräben, die sich in eine Epitaxieschicht, die sich über einem Substrat erstreckt, erstrecken und darin enden, wobei jeder Gate-Graben ein vertieftes Gate darin mit einem Dielektrikummaterial über dem vertieften Gate aufweist, wobei die Epitaxieschicht von dem gleichen Leitfähigkeitstyp wie das Substrat ist, aber eine niedrigere Dotierungskonzentration als das Substrat aufweist;
Source-Bereiche, die jede Seite der Gate-Gräben flankieren, wobei jeder Source-Bereich eine obere Oberfläche unter einer oberen Oberfläche des Dielektrikummaterials aufweist;
eine Kontaktöffnung, die sich in die Epitaxieschicht zwischen benachbarten Gate-Gräben erstreckt; und

eine Leiterschicht, die die Kontaktöffnung füllt, um die Source-Bereiche und die Epitaxieschicht elektrisch zu kontaktieren, wobei die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet, wobei die Epitaxieschicht und die Source-Bereiche eines von Siliziumcarbid, Galliumnitrid und Galliumarsenid umfassen.

16. Struktur nach Anspruch 15, wobei sich die Kontaktöffnung in den Halbleiterbereich bis zu einer Tiefe erstreckt, die größer als eine Hälfte der Tiefe der Gate-Gräben ist.

17. Struktur nach Anspruch 15, die ferner einen Dielektrikum-Spacer zwischen jedem Source-Bereich und der darüber liegenden Leiterschicht umfasst.

18. Struktur nach Anspruch 15, wobei die Leiterschicht die Source-Bereiche entlang einer oberen Oberfläche und einer Seitenwand jedes Source-Bereiches elektrisch kontaktiert.

19. Struktur nach Anspruch 15, wobei die Source-Bereiche an den Gate-Gräben selbstjustiert sind.

20. Struktur nach Anspruch 15, wobei jeder Gate-Graben ferner umfasst:
ein Gate-Dielektrikum, das die Gate-Grabenseitenwände auskleidet; und
ein dickes Bodendielektrikum, das einen Bodenabschnitt des Gate-Grabens unter dem vertieften Gate füllt, wobei das dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

21. Struktur nach Anspruch 15, wobei jeder Gate-Graben ferner umfasst:
eine Abschirmelektrode unter dem vertieften Gate, wobei das vertiefte Gate und die Abschirmelektrode eine Dielektrikumschicht dazwischen aufweisen; und
ein Abschirmdielektrikum, das die Abschirmelektrode von der Epitaxieschicht isoliert.

22. Verfahren zum Bilden eines Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei das Verfahren umfasst, dass:
Gate-Gräben gebildet werden, die sich durch eine obere Halbleiterschicht erstrecken und in einer unteren Halbleiterschicht in einer vorbestimmten Tiefe enden, wobei die untere Halbleiterschicht eine niedrigere Dotierungskonzentration als die höhere Halbleiterschicht aufweist;
ein vertieftes Gate in jedem Gate-Graben gebildet wird;
ein Dielektrikummaterial über jedem vertieften Gate gebildet wird;
die obere Halbleiterschicht vertieft wird, um obere Seitenwände des Dielektrikummaterials über den vertieften Gates freizulegen;
ein Dielektrikum-Spacer entlang jeder freigelegten

oberen Seitenwand des Dielektrikummaterials gebildet wird, so dass eine Öffnung zwischen zwei benachbarten Dielektrikum-Spacern, die zwischen jeweils zwei benachbarten Gate-Gräben angeordnet sind, gebildet wird;

die oberen und unteren Halbleiterbereiche durch die Öffnung zwischen jeweils zwei benachbarten Dielektrikum-Spacern vertieft werden, so dass nur Abschnitte der oberen Halbleiterschicht direkt unter den Dielektrikum-Spacern verbleiben, wobei die verbleibenden Abschnitte der oberen Halbleiterschicht Source-Bereiche bilden; und
eine oberseitige Leiterschicht gebildet wird, um die Source-Bereiche und die untere Halbleiterschicht zu kontaktieren, wobei die oberseitige Leiterschicht einen Schottky-Kontakt mit der unteren Halbleiterschicht bildet.

23. Verfahren nach Anspruch 22, wobei der Schottky-Kontakt bei einer Tiefe gebildet wird, die größer als eine Hälfte der vorbestimmten Tiefe der Gate-Gräben ist.

24. Verfahren nach Anspruch 22, wobei die oberen und unteren Halbleiterbereiche eines von Silizium, Siliziumcarbid, Galliumnitrid und Galliumarsenid umfassen.

25. Verfahren nach Anspruch 22, wobei die untere und obere Halbleiterschicht epitaktisch über einem Substrat gebildet werden, wobei das Substrat und die obere und untere Halbleiterschicht von dem gleichen Leitfähigkeitstyp sind, wobei die untere Halbleiterschicht eine niedrigere Dotierungskonzentration als das Substrat aufweist.

26. Verfahren nach Anspruch 22, das ferner umfasst, dass die Dielektrikum-Spacer entfernt werden, bevor die oberseitige Leiterschicht gebildet wird, so dass die oberseitige Leiterschicht eine obere Oberfläche jedes Source-Bereiches kontaktiert.

27. Verfahren nach Anspruch 22, wobei keine Implantation von Dotiermitteln beim Bilden des Trench-FET und der Schottky-Diode, die monolithisch integriert sind, verwendet wird.

28. Verfahren nach Anspruch 22, wobei die Source-Bereiche an den Gate-Gräben selbstjustiert sind.

29. Verfahren nach Anspruch 22, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates ein dickes Bodendielektrikum entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates ein Gate-Dielektrikum gebildet wird, das die Seitenwände jedes Gate-Grabens auskleidet, wobei das dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

30. Verfahren nach Anspruch 22, das ferner umfasst, dass:

vor dem Bilden des vertieften Gates eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates eine Dielektrikumschicht über jeder Abschirmelektrode gebildet wird.

31. Struktur mit einem Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei die Struktur ferner umfasst:

Gate-Gräben, die sich in einen Halbleiterbereich von einem ersten Leitfähigkeitstyp erstrecken, wobei jeder Gate-Graben ein vertieftes Gate darin mit einem Dielektrikummaterial über dem vertieften Gate aufweist;

Source-Bereiche von dem ersten Leitfähigkeitstyp, die jede Seite der Gate-Gräben flankieren, wobei jeder Source-Bereich eine obere Oberfläche aufweist, die relativ zu einer oberen Oberfläche des Dielektrikummaterials über dem entsprechenden vertieften Gate vertieft ist;

einen Body-Bereich von einem zweiten Leitfähigkeitstyp, der sich entlang jeder Gate-Grabenseitenwand zwischen einem entsprechenden Source-Bereich und dem Halbleiterbereich erstreckt;

eine Kontaktöffnung, die sich in den Halbleiterbereich zwischen benachbarten Gate-Gräben erstreckt; und
eine Leiterschicht, die die Kontaktöffnung füllt, um die Source-Bereiche, den Body-Bereich und den Halbleiterbereich elektrisch zu kontaktieren, wobei die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.

32. Struktur nach Anspruch 31, wobei sich die Kontaktöffnung bis zu einer Tiefe unter einer Bodenoberfläche des Body-Bereichs erstreckt.

33. Struktur nach Anspruch 31, die ferner einen Dielektrikum-Spacer zwischen jedem Source-Bereich und der darüber liegenden Leiterschicht umfasst.

34. Struktur nach Anspruch 31, wobei die Leiterschicht die Source-Bereiche entlang einer oberen Oberfläche und einer Seitenwand jedes Source-Bereiches elektrisch kontaktiert.

35. Struktur nach Anspruch 31, wobei die Source-Bereiche an den Gate-Gräben selbstjustiert sind.

36. Struktur nach Anspruch 31, wobei jeder Gate-Graben ferner umfasst:

ein Gate-Dielektrikum, das die Gate-Grabenseitenwände auskleidet; und

ein dickes Bodendielektrikum, das einen Bodenabschnitt des Gate-Grabens unter dem vertieften Gate füllt, wobei das dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

37. Struktur nach Anspruch 31, wobei jeder Gate-Graben ferner umfasst:

eine Abschirmelektrode unter dem vertieften Gate, wobei das vertiefte Gate und die Abschirmelektrode eine Dielektrikumschicht dazwischen aufweisen; und
ein Abschirmdielektrikum, das die Abschirmelektrode von dem Halbleiterbereich isoliert.

38. Struktur mit einem Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei die Struktur ferner umfasst:

Gate-Gräben, die sich in einen Halbleiterbereich erstrecken, wobei jeder Gate-Graben ein Gate darin mit einem Dielektrikummaterial über dem Gate aufweist;
Halbleiter-Source-Spacer, die jede Seite der Gate-Gräben flankieren, so dass jedes Paar benachbarter Halbleiter-Source-Spacer, das zwischen jeweils zwei benachbarten Gate-Gräben angeordnet ist, eine Kontaktöffnung dazwischen bildet; und
eine Leiterschicht, die die Kontaktöffnungen füllt, um die Halbleiter-Source-Spacer und den Halbleiterbereich zu kontaktieren, wobei die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.

39. Struktur nach Anspruch 38, wobei sich die Kontaktöffnungen in den Halbleiterbereich erstrecken, so dass der Schottky-Kontakt unter den Halbleiter-Source-Spacern gebildet ist.

40. Struktur nach Anspruch 39, die ferner einen ersten Bereich von einem entgegengesetzten Leitfähigkeitstyp zu dem des Halbleiterbereichs zwischen jeweils zwei benachbarten Halbleiter-Source-Spacern umfasst, wobei die Leiterschicht die ersten Bereiche durch die Kontaktöffnungen kontaktiert.

41. Struktur nach Anspruch 38, wobei der Halbleiterbereich eines von Silizium, Siliziumcarbid, Galliumnitrid und Galliumarsenid umfasst.

42. Struktur nach Anspruch 38, wobei die Halbleiter-Source-Spacer eines von Polysilizium und Polysiliziumcarbid umfassen.

43. Struktur nach Anspruch 38, wobei der Feldefekttransistor ein Akkumulations-Feldefekttransistor ist und der Halbleiterbereich eine Epitaxieschicht ist, die sich zwischen den Halbleiter-Source-Spacern und einem Substrat erstreckt, wobei die Epitaxieschicht, die Halbleiter-Source-Spacer und das Substrat vom gleichen Leitfähigkeitstyp sind und die Epitaxieschicht eine niedrigere Dotierungskonzentration als das Substrat aufweist.

44. Struktur nach Anspruch 38, wobei jeder Gate-Graben umfasst:

ein dickes Bodendielektrikum, das einen Bodenabschnitt des Gate-Grabens unter dem Gate füllt;
ein Gate-Dielektrikum, das die Gate-Grabenseitenwände auskleidet, wobei das dicke Bodendielektri-

kum dicker als das Gate-Dielektrikum ist; und ein vertieftes Gate über dem dicken Bodendielektrikum.

45. Struktur nach Anspruch 38, wobei jeder Gate-Graben umfasst:

eine Abschirmelektrode entlang einem Bodenabschnitt des Gate-Grabens unter dem Gate, wobei die Abschirmelektrode von dem Halbleiterbereich durch eine Abschirmdielektrikumschicht isoliert ist; und ein vertieftes Gate über der Abschirmelektrode, wobei das vertiefte Gate und die Abschirmelektrode eine Dielektrikumschicht dazwischen aufweisen.

46. Struktur nach Anspruch 38, wobei die Halbleiter-Source-Spacer an den Gate-Gräben selbstjustiert sind.

47. Verfahren zum Bilden eines Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei das Verfahren umfasst, dass:

Gate-Gräben gebildet werden, die sich in einen Halbleiterbereich erstrecken, wobei jeder Gate-Graben ein Gate darin mit einem Dielektrikumaterial über dem Gate aufweist;

der Halbleiterbereich vertieft wird, um Seitenwände des Dielektrikumaterials über den Gates freizulegen;

Halbleiter-Source-Spacer entlang der freigelegten Seitenwände des Dielektrikumaterials gebildet werden, so dass jedes Paar benachbarter Halbleiter-Source-Spacer, das zwischen jeweils zwei benachbarten Gräben angeordnet ist, eine Kontaktöffnung dazwischen bildet; und

eine oberseitige Leiterschicht gebildet wird, um den Halbleiterbereich durch die Kontaktöffnungen zu kontaktieren und die Halbleiter-Source-Spacer zu kontaktieren, wobei die oberseitige Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.

48. Verfahren nach Anspruch 47, wobei der Schritt des Bildens der Halbleiter-Source-Spacer umfasst, dass:

eine Schicht aus Polysilizium über den Gate-Gräben und dem Halbleiterbereich gebildet wird; und ein Spacer-Ätzen durchgeführt wird, um Polysilizium-Spacer zu bilden, die jede Seite der Gate-Gräben flankieren.

49. Verfahren nach Anspruch 48, wobei das Spacer-Ätzen auch eine Vertiefung in dem Halbleiterbereich zwischen jedem Paar benachbarter Polysilizium-Spacer bildet, so dass der Schottky-Kontakt unter den Polysilizium-Spacern gebildet wird.

50. Verfahren nach Anspruch 47, wobei der Halbleiterbereich eines von Silizium, Siliziumcarbid, Galliumnitrid und Galliumarsenid umfasst.

51. Verfahren nach Anspruch 47, wobei die Halb-

leiter-Source-Spacer eines von Polysilizium und Polysiliziumcarbid umfassen.

52. Verfahren nach Anspruch 47, wobei der Halbleiterbereich epitaktisch über einem Substrat gebildet wird, wobei das Substrat und die Halbleiterschichten vom gleichen Leitfähigkeitstyp sind.

53. Verfahren nach Anspruch 47, wobei keine Implantation von Dotiermitteln beim Bilden des Trench-FET und der Schottky-Diode, die monolithisch integriert sind, verwendet wird.

54. Verfahren nach Anspruch 47, wobei die Halbleiter-Source-Spacer an den Gate-Gräben selbstjustiert sind.

55. Verfahren nach Anspruch 47, das ferner umfasst, dass:

vor dem Bilden des Gates ein dickes Bodendielektrikum entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und

vor dem Bilden des Gates ein Gate-Dielektrikum gebildet wird, das die Seitenwände jedes Gate-Grabens auskleidet, wobei das dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

56. Verfahren nach Anspruch 47, das ferner umfasst, dass:

vor dem Bilden des Gates eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und

vor dem Bilden des Gates eine Dielektrikumschicht über jeder Abschirmelektrode gebildet wird.

57. Struktur mit einem Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei die Struktur ferner umfasst:

Gate-Gräben, die sich in einen Halbleiterbereich von einem ersten Leitfähigkeitstyp erstrecken;

Source-Bereiche von dem ersten Leitfähigkeitstyp, die jede Seite der Gate-Gräben flankieren;

eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens, wobei die Abschirmelektrode von dem Halbleiterbereich durch eine Abschirmdielektrikumschicht isoliert ist;

ein Gate über der Abschirmelektrode in jedem Graben, wobei das Gate und die Abschirmelektrode eine Dielektrikumschicht dazwischen aufweisen;

eine Dielektrikumschicht über dem Gate; und

eine Leiterschicht, die die Source-Bereiche und den Halbleiterbereich kontaktiert, so dass die Leiterschicht einen Schottky-Kontakt mit dem Halbleiterbereich bildet.

58. Struktur nach Anspruch 57, wobei der Halbleiterbereich und die Source-Bereiche eines von Silizium, Siliziumcarbid, Galliumnitrid und Galliumarsenid umfassen.

59. Struktur nach Anspruch 57, wobei sich eine Kontaktöffnung in den Halbleiterbereich zwischen jeweils zwei benachbarten Source-Bereichen erstreckt, wobei die Leiterschicht den Halbleiterbereich durch die Kontaktöffnungen kontaktiert.

60. Struktur nach Anspruch 57, wobei der Halbleiterbereich eine Epitaxieschicht ist, die sich zwischen den Source-Bereichen und einem Substrat von dem ersten Leitfähigkeitstyp erstreckt, wobei die Epitaxieschicht eine niedrigere Dotierungskonzentration als das Substrat und die Source-Bereiche aufweist.

61. Verfahren zum Bilden eines Feldeffekttransistors, das umfasst, dass:
ein Dielektrikastapel aus oberen, mittleren und unteren Dielektrikschichten über einem Siliziumbereich gebildet wird, wobei die mittlere Dielektrikumschicht aus einem anderen Dielektrikummaterial als die obere und untere Dielektrikumschicht besteht;
eine Vielzahl von Öffnungen in dem Dielektrikastapel gebildet wird, um ein Oberflächengebiet des Siliziumbereiches durch jede Öffnung freizulegen;
das Oberflächengebiet des Siliziumbereiches, das durch jede Öffnung freigelegt wird, bis zu einer vorbestimmten Tiefe in dem Siliziumbereich vertieft wird, um dadurch eine Vielzahl von Gate-Gräben zu bilden;
ein vertieftes Gate in jedem Gate-Graben gebildet wird;
ein Dielektrikummaterial über jedem vertieften Gate gebildet wird; und
die obere Dielektrikumschicht des Dielektrikastapels und das Dielektrikummaterial über jedem vertieften Gate gleichzeitig geätzt werden, so dass eine obere Oberfläche eines verbleibenden Abschnitts des Dielektrikummaterials über jedem vertieften Gate im Wesentlichen koplanar mit einer oberen Oberfläche der mittleren Dielektrikumschicht des Dielektrikastapels ist.

62. Verfahren nach Anspruch 61, das ferner umfasst, dass:
die mittlere Dielektrikumschicht entfernt wird, um dadurch Seitenwände des verbleibenden Abschnitts des Dielektrikummaterials über jedem vertieften Gate freizulegen; und
ein Dielektrikum-Spacer entlang jeder freigelegten Seitenwand des verbleibenden Abschnitts des Dielektrikummaterials über jedem vertieften Gate gebildet wird, so dass eine Öffnung zwischen zwei benachbarten Dielektrikum-Spacern, die zwischen jeweils zwei benachbarten Gate-Gräben angeordnet sind, gebildet wird.

63. Verfahren nach Anspruch 61, wobei der Siliziumbereich einen Body-Bereich von einem ersten Leitfähigkeitstyp umfasst, wobei das Verfahren ferner umfasst, dass:

die mittlere Dielektrikumschicht entfernt wird, um dadurch Seitenwände des verbleibenden Abschnitts des Dielektrikummaterials über jedem vertieften Gate freizulegen;

Dotiermittel in den Body-Bereich implantiert werden, um dadurch einen ersten Bereich von einem zweiten Leitfähigkeitstyp zu bilden, der sich in dem Body-Bereich zwischen jeweils zwei benachbarten Gräben erstreckt; und

ein Dielektrikum-Spacer entlang jeder freigelegten Seitenwand des verbleibenden Abschnitts des Dielektrikummaterials über jedem vertieften Gate gebildet wird, so dass eine Öffnung zwischen zwei benachbarten Dielektrikum-Spacern, die zwischen jeweils zwei benachbarten Gate-Gräben angeordnet sind, gebildet wird, wobei sich jeder Dielektrikum-Spacer direkt über einem Abschnitt eines entsprechenden ersten Bereichs erstreckt.

64. Verfahren nach Anspruch 63, das ferner umfasst, dass:

Oberflächengebiete des ersten Bereiches, die durch die Öffnungen freigelegt sind, die zwischen zwei benachbarten Dielektrikum-Spacern gebildet sind, vertieft werden, so dass von dem ersten Bereich, der sich zwischen jeweils zwei benachbarten Gate-Gräben erstreckt, nur die Abschnitte, die sich direkt unter entsprechenden Dielektrikum-Spacern erstrecken, verbleiben, wobei die übrigen Abschnitte jedes ersten Bereichs Source-Bereiche bilden.

65. Verfahren nach Anspruch 64, wobei der Schritt des Vertiefens von Oberflächengebieten des Siliziumbereiches, die durch die Öffnungen freigelegt werden, die zwischen zwei benachbarten Dielektrikum-Spacern gebildet sind, eine Oberfläche des Body-Bereichs zwischen jeweils zwei benachbarten Gate-Gräben freilegt, wobei das Verfahren ferner umfasst, dass:

die Vertiefung, die infolge des Schritts des Vertiefens von Oberflächengebieten des Siliziumbereiches, die durch die Öffnungen freigelegt werden, die zwischen zwei benachbarten dielektrischen Spacern gebildet sind, gebildet wird, mit einem Siliziummaterial von dem ersten Leitfähigkeitstyp gefüllt wird, wobei das Siliziummaterial von dem ersten Leitfähigkeitstyp einen Heavy-Body-Bereich mit einer höheren Dotierungskonzentration als der Body-Bereich bildet; und eine oberseitige Leiterschicht gebildet wird, um die Source-Bereiche und die Heavy-Body-Bereiche zu kontaktieren.

66. Verfahren nach Anspruch 64, wobei die Source-Bereiche an der Vielzahl von Gate-Gräben selbstjustiert sind.

67. Verfahren nach Anspruch 63, das ferner umfasst, dass:

Dotiermittel in den ersten Bereich durch die Öffnungen, die zwischen zwei benachbarten Dielektri-

kum-Spacern gebildet sind, implantiert werden, um einen Heavy-Body-Bereich von dem zweiten Leitfähigkeitstyp zu bilden, der sich klar durch den ersten Bereich erstreckt und in dem Body-Bereich endet, so dass von dem ersten Bereich, der sich zwischen jeweils zwei benachbarten Gate-Gräben erstreckt, nur Abschnitte, die sich direkt unter entsprechenden Dielektrikum-Spacern erstrecken, verbleiben, wobei die übrigen Abschnitte von jedem ersten Bereich Source-Bereiche bilden.

68. Verfahren nach Anspruch 63, wobei der Body-Bereich in einer Epitaxieschicht gebildet wird, die sich über einem Substrat erstreckt, wobei die Epitaxieschicht und das Substrat von dem zweiten Leitfähigkeitstyp sind.

69. Verfahren nach Anspruch 61, wobei die mittlere Dielektrikumschicht dicker als die obere und untere Dielektrikumschicht ist.

70. Verfahren nach Anspruch 61, wobei jede von der oberen und unteren Dielektrikaschichten Oxid umfasst und die mittlere Dielektrikumschicht Nitrid umfasst.

71. Verfahren nach Anspruch 61, wobei bei dem Schritt des gleichzeitigen Ätzens die mittlere Dielektrikumschicht als ein Ätzstopp verwendet wird.

72. Verfahren nach Anspruch 61, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates ein dickes Bodendielektrikum entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates ein Gate-Dielektrikum gebildet wird, das die Seitenwände jedes Grabens auskleidet, wobei die Dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

73. Verfahren nach Anspruch 61, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates eine Dielektrikumschicht über jeder Abschirmelektrode gebildet wird.

74. Verfahren zum Bilden eines Feldeffekttransistors, der ein aktives Gebiet und einen Terminierungsbereich, der das aktive Gebiet umgibt, umfasst, wobei das Verfahren umfasst, dass:
Gate-Gräben gebildet werden, die sich in einen Siliziumbereich von einem ersten Leitfähigkeitstyp erstrecken;
ein Wannbereich von einem zweiten Leitfähigkeitstyp in dem Siliziumbereich gebildet wird;
ein vertieftes Gate in jedem Gate-Graben gebildet wird;

eine Dielektrikum-Kappe über jedem Gate gebildet wird;

alle freigelegten Oberflächen des Wannbereichs vertieft werden, um eine Vertiefung in dem Wannbereich zwischen jeweils zwei benachbarten Gräben zu bilden, so dass die Vertiefung abgeschrägte Wände und einen Boden aufweist, der zwischen einer oberen Oberfläche der Dielektrikum-Kappe und einer oberen Oberfläche des vertieften Gates angeordnet ist; und

ohne Maskierung irgendeines Abschnittes des aktiven Gebietes eine Null-Grad-Deckschichtimplantation durchgeführt wird, um einen Heavy-Body-Bereich von dem zweiten Leitfähigkeitstyp in dem Wannbereich zwischen jeweils zwei benachbarten Gräben zu bilden, wodurch der Heavy-Body-Bereich an den Gate-Gräben selbstjustiert ist.

75. Verfahren nach Anspruch 74, das ferner umfasst, dass eine schräge Implantation mit zwei Durchgängen in die abgeschrägten Wände jeder Vertiefung durchgeführt wird, um dadurch Source-Bereiche von dem ersten Leitfähigkeitstyp benachbart zu der Dielektrikum-Kappe zu bilden, wobei die abgeschrägten Wände der Vertiefung eine Außenwand jedes Source-Bereichs bilden, wobei die Source-Bereiche an den Gräben selbstjustiert sind.

76. Verfahren nach Anspruch 75, das ferner umfasst, dass ein Source-Leiter gebildet wird, der die Außenwand jedes Source-Bereichs kontaktiert und den Heavy-Body-Bereich entlang dem Boden der Vertiefung kontaktiert.

77. Verfahren nach Anspruch 74, das ferner umfasst, dass:
ein breiter Graben in dem Terminierungsbereich gebildet wird; und
der breite Graben mit LOCOS gefüllt wird.

78. Verfahren nach Anspruch 74, das ferner umfasst, dass ein Oberflächen-Gate in dem Terminierungsbereich gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird.

79. Verfahren nach Anspruch 78, das ferner umfasst, dass:
eine Öffnung über dem Oberflächen-Gate gebildet wird; und
ein Gate-Leiter gebildet wird, der das Oberflächen-Gate durch die Öffnung kontaktiert.

80. Verfahren nach Anspruch 74, das ferner umfasst, dass:
ein Terminierungsgraben in dem Terminierungsbereich gleichzeitig mit dem Bilden der Gate-Gräben gebildet wird;
ein vertieftes Gate in dem Terminierungsgraben gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird;

eine Öffnung über dem vertieften Gate in dem Terminierungsgraben gebildet wird; und ein Gate-Leiter gebildet wird, der das vertiefte Gate in dem Terminierungsgraben durch die Öffnung kontaktiert.

81. Verfahren nach Anspruch 78, das ferner umfasst, dass:
eine Öffnung über dem Oberflächen-Gate gebildet wird; und
gleichzeitig mit dem Vertiefen aller freigelegten Oberflächen des Wannensbereiches das Oberflächen-Gate durch die Öffnung vertieft wird, um dadurch Seitenwände des Oberflächen-Gates durch die Öffnung freizulegen; und
die Öffnung mit einem Gate-Leiter gefüllt wird, wobei der Gate-Leiter das Oberflächen-Gate entlang der freigelegten Seitenwände des Oberflächen-Gates kontaktiert.

82. Verfahren nach Anspruch 74, das ferner umfasst, dass:
gleichzeitig mit dem Bilden der Gate-Gräben ein breiter Graben in dem Terminierungsbereich gebildet wird; und
ein Bodenabschnitt des breiten Grabens und jedes Gate-Grabens mit LOCOS gefüllt wird.

83. Verfahren nach Anspruch 82, das ferner umfasst, dass ein Terminierungs-Gate gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird, wobei das Terminierungs-Gate sich zum Teil im Inneren des breiten Grabens und zum Teil über einem Mesa-Bereich neben dem breiten Graben erstreckt.

84. Verfahren nach Anspruch 83, das ferner umfasst, dass:
eine Kontaktöffnung über dem Terminierungs-Gate in dem breiten Graben gebildet wird; und
gleichzeitig mit dem Vertiefen aller freigelegten Oberflächen des Wannensbereiches das Terminierungs-Gate durch die Öffnung vertieft wird, um dadurch Seitenwände des Terminierungs-Gates durch die Öffnung freizulegen; und
die Öffnung mit einem Gate-Leiter gefüllt wird, wobei der Gate-Leiter die freigelegten Seitenwände des Terminierungs-Gates kontaktiert.

85. Verfahren nach Anspruch 74, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates ein dickes Bodendielektrum entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates ein Gate-Dielektrum gebildet wird, das die Seitenwände jedes Gate-Grabens auskleidet, wobei die Dicke Bodendielektrum dicker als das Gate-Dielektrum ist.

86. Verfahren nach Anspruch 74, das ferner um-

fasst, dass:
vor dem Bilden des vertieften Gates eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates eine Dielektrikumschicht über jeder Abschirmelektrode gebildet wird.

87. Verfahren zum Bilden eines Feldeffekttransistors und einer Schottky-Diode, die in einem Chip integriert sind, welche ein aktives Gebiet und einen Terminierungsbereich, der das aktive Gebiet umgibt, umfassen, wobei das Verfahren umfasst, dass:
ein Wannensbereich in einem ersten Abschnitt eines Siliziumbereichs gebildet wird, wo der Feldeffekttransistor zu bilden ist, aber nicht an einem zweiten Abschnitt des Siliziumbereiches, wo die Schottky-Diode zu bilden ist, wobei der Siliziumbereich und der Wannensbereich von einem entgegengesetzten Leitfähigkeitstyp sind;
Gate-Gräben gebildet werden, die sich in den Siliziumbereich erstrecken;
ein vertieftes Gate in jedem Gate-Graben gebildet wird;
eine Dielektrikum-Kappe über jedem Gate gebildet wird;
alle freigelegten Oberflächen des Wannensbereiches vertieft werden, um eine Vertiefung in dem Wannensbereich zwischen jeweils zwei benachbarten Gräben zu bilden, so dass die Vertiefung abgeschrägte Wände und einen Boden aufweist, der zwischen einer oberen Oberfläche der Dielektrikum-Kappe und einer oberen Oberfläche des vertieften Gates angeordnet ist; und
ohne Maskierung irgendeines Abschnitts des aktiven Gebiets eine Null-Grad-Abdeckschichtimplantation durchgeführt wird, um einen Heavy-Body-Bereich von dem zweiten Leitfähigkeitstyp in dem Wannensbereich zwischen jeweils zwei benachbarten Gräben zu bilden, wodurch der Heavy-Body-Bereich an den Gate-Gräben selbstjustiert ist.

88. Verfahren nach Anspruch 87, das ferner umfasst, dass eine schräge Implantation mit zwei Durchgängen in die abgeschrägten Wände jeder Vertiefung durchgeführt wird, um dadurch Source-Bereiche von dem ersten Leitfähigkeitstyp benachbart zu der Dielektrikum-Kappe zu bilden, wobei die abgeschrägten Wände der Vertiefung eine Außenwand jedes Source-Bereichs bilden, wobei die Source-Bereiche an den Gräben selbstjustiert sind.

89. Verfahren nach Anspruch 88, das ferner umfasst, dass ein Source-Leiter gebildet wird, der die Außenwand jedes Source-Bereichs kontaktiert und der den Heavy-Body-Bereich entlang dem Boden der Vertiefung kontaktiert, wobei der Source-Leiter auch eine obere Oberfläche des zweiten Abschnitts des Siliziumbereichs kontaktiert, um dadurch einen Schottky-Kontakt dazwischen zu bilden.

90. Verfahren nach Anspruch 87, das ferner umfasst, dass:
ein breiter Graben in dem Terminierungsbereich gebildet wird; und
der breite Graben mit LOCOS gefüllt wird.

91. Verfahren nach Anspruch 87, das ferner umfasst, dass ein Oberflächen-Gate in dem Terminierungsbereich gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird.

92. Verfahren nach Anspruch 91, das ferner umfasst, dass:
eine Öffnung über dem Oberflächen-Gate gebildet wird; und
ein Gate-Leiter gebildet wird, der das Oberflächen-Gate durch die Öffnung kontaktiert.

93. Verfahren nach Anspruch 87, das ferner umfasst, dass:
ein Terminierungsgraben in dem Terminierungsbereich gleichzeitig mit dem Bilden der Gate-Gräben gebildet wird;
ein vertieftes Gate in dem Terminierungsgraben gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird;
eine Öffnung über dem vertieften Gate in dem Gate-Graben gebildet wird; und
ein Gate-Leiter gebildet wird, der das vertiefte Gate in dem Terminierungsgraben durch die Öffnung kontaktiert.

94. Verfahren nach Anspruch 91, das ferner umfasst, dass:
eine Öffnung über dem Oberflächen-Gate gebildet wird; und
gleichzeitig mit dem Vertiefen aller freigelegten Oberflächen des Wannensbereichs das Oberflächen-Gate durch die Öffnung vertieft wird, um dadurch Seitenwände des Oberflächen-Gates durch die Öffnung freizulegen; und
die Öffnung mit einem Gate-Leiter gefüllt wird, wobei der Gate-Leiter das Oberflächen-Gate entlang der freigelegten Seitenwände des Oberflächen-Gates kontaktiert.

95. Verfahren nach Anspruch 87, das ferner umfasst, dass:
gleichzeitig mit dem Bilden der Gate-Gräben ein breiter Graben in dem Terminierungsbereich gebildet wird; und
ein Bodenabschnitt des breiten Grabens und jedes Gate-Grabens mit LOCOS gefüllt werden.

96. Verfahren nach Anspruch 95, das ferner umfasst, dass ein Terminierungs-Gate gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird, wobei das Terminierungs-Gate sich zum Teil innerhalb des breiten Grabens und zum Teil über einem Mesa-Bereich benachbart zu dem breiten

Graben erstreckt.

97. Verfahren nach Anspruch 96, das ferner umfasst, dass:
eine Kontaktöffnung über dem Terminierungs-Gate in dem breiten Graben gebildet wird; und
gleichzeitig mit dem Vertiefen aller freigelegten Oberflächen des Wannensbereichs das Terminierungs-Gate durch die Öffnung vertieft wird, um dadurch Seitenwände des Terminierungs-Gates durch die Öffnung freizulegen; und
die Öffnung mit einem Gate-Leiter gefüllt wird, wobei der Gate-Leiter die freigelegten Seitenwände des Terminierungs-Gates kontaktiert.

98. Verfahren nach Anspruch 87, wobei der zweite Abschnitt des Siliziumbereiches während des Vertiefungsschrittes blockiert wird, so dass keine Vertiefung in dem zweiten Abschnitt des Siliziumbereiches gebildet wird.

99. Verfahren nach Anspruch 87, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates ein dickes Bodendielektrikum entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates ein Gate-Dielektrikum gebildet wird, das die Seitenwände jedes Gate-Grabens auskleidet, wobei die Dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

100. Verfahren nach Anspruch 87, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates eine Dielektrikumschicht über jeder Abschirmelektrode gebildet wird.

101. Verfahren zum Bilden eines Feldeffekttransistors mit einem aktiven Oberflächengebiet und einem Terminierungsbereich, der das aktive Gebiet umgibt, das umfasst, dass:
einen Wannensbereich in einem ersten Siliziumbereich gebildet wird, wobei der Wannensbereich und der erste Siliziumbereich von einem entgegengesetzten Leitfähigkeitstyp sind;
Gate-Gräben gebildet werden, die sich durch den Wannensbereich erstrecken und in dem ersten Siliziumbereich enden;
ein vertieftes Gate in jedem Gate-Graben gebildet wird;
eine Dielektrikum-Kappe über jedem vertieften Gate gebildet wird;
der Wannensbereich zwischen benachbarten Gräben vertieft wird, um obere Seitenwände jeder Dielektrikum-Kappe freizulegen;
eine Deckschicht-Source-Implantation durchgeführt wird, um einen zweiten Siliziumbereich in einem obe-

ren Abschnitt des vertieften Wannensbereichs zwischen jeweils zwei benachbarten Gräben zu bilden, wobei der zweite Siliziumbereich von dem gleichen Leitfähigkeitstyp wie der erste Siliziumbereich ist; ein Dielektrikum-Spacer entlang jeder freigelegten oberen Seitenwand der Dielektrikum-Kappe gebildet wird, wobei jeweils zwei benachbarte Dielektrikum-Spacer zwischen jeweils zwei benachbarten Gate-Gräben angeordnet sind, wobei eine Öffnung über dem zweiten Siliziumbereich gebildet wird; und der zweite Siliziumbereich durch die Öffnung zwischen jeweils zwei benachbarten Dielektrikum-Spacern vertieft wird, so dass nur Abschnitte des zweiten Siliziumbereichs direkt unter den Dielektrikum-Spacern verbleiben, wobei die übrigen Abschnitte des zweiten Siliziumbereichs Source-Bereiche bilden.

102. Verfahren nach Anspruch 101, das ferner umfasst, dass die Dielektrikum-Spacer entfernt werden, bevor die oberseitige Leiterschicht gebildet wird, so dass die oberseitige Leiterschicht eine obere Oberfläche jedes Source-Bereiches kontaktiert.

103. Verfahren nach Anspruch 101, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates ein dickes Bodendielektrikum entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates ein Gate-Dielektrikum gebildet wird, das die Seitenwände jedes Gate-Grabens auskleidet, wobei die Dicke Bodendielektrikum dicker als das Gate-Dielektrikum ist.

104. Verfahren nach Anspruch 101, das ferner umfasst, dass:
vor dem Bilden des vertieften Gates eine Abschirmelektrode entlang einem Bodenabschnitt jedes Gate-Grabens gebildet wird; und
vor dem Bilden des vertieften Gates eine Dielektrikumschicht über jeder Abschirmelektrode gebildet wird.

105. Verfahren nach Anspruch 101, das ferner umfasst, dass:
ein breiter Graben in dem Terminierungsbereich gebildet wird; und
der breite Graben mit LOCOS gefüllt wird.

106. Verfahren nach Anspruch 101, das ferner umfasst, dass ein Oberflächen-Gate in dem Terminierungsbereich gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird.

107. Verfahren nach Anspruch 106, das ferner umfasst, dass:
eine Öffnung über dem Oberflächen-Gate gebildet wird; und
ein Gate-Leiter gebildet wird, der das Oberflächen-Gate durch die Öffnung kontaktiert.

108. Verfahren nach Anspruch 101, das ferner umfasst, dass:
ein Terminierungsgraben in dem Terminierungsbereich gleichzeitig mit dem Bilden der Gate-Gräben gebildet wird;
ein vertieftes Gate in dem Terminierungsgraben gleichzeitig mit dem Bilden des vertieften Gates in den Gate-Gräben gebildet wird;
eine Öffnung über dem vertieften Gate in dem Terminierungsgraben gebildet wird; und
ein Gate-Leiter gebildet wird, der das vertiefte Gate in dem Terminierungsgraben durch die Öffnung kontaktiert.

Es folgen 29 Blatt Zeichnungen

Anhängende Zeichnungen

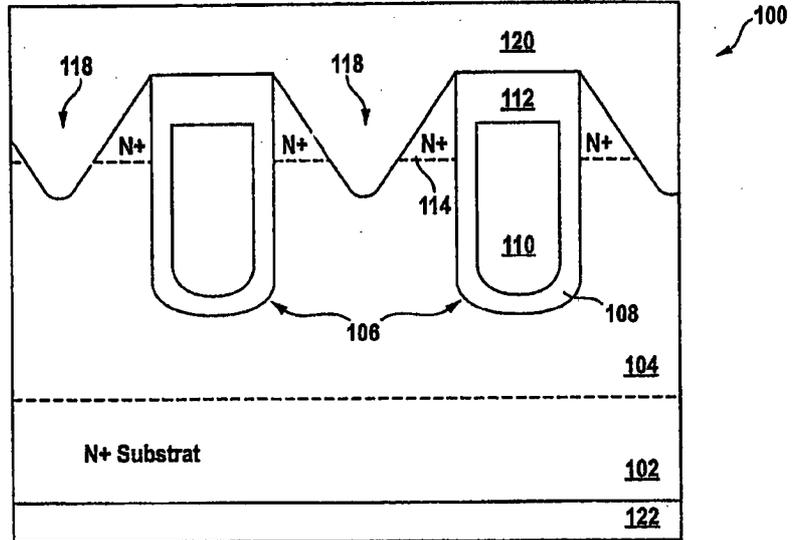


FIG. 1

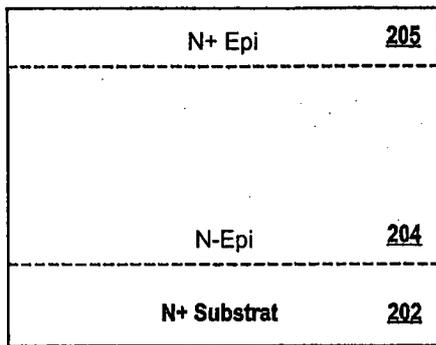


FIG. 2A

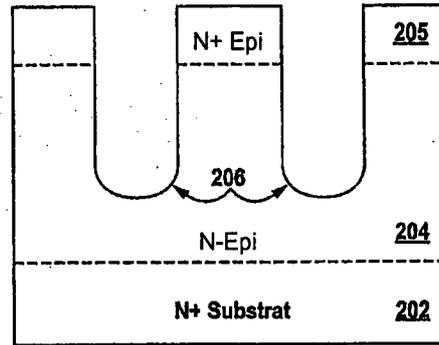


FIG. 2B

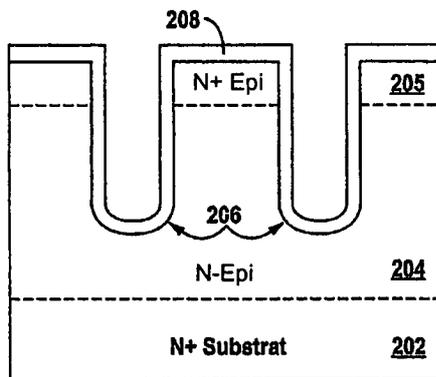


FIG. 2C

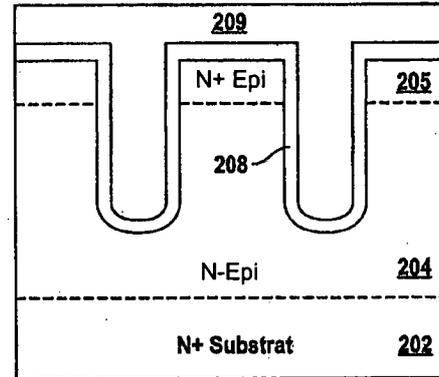


FIG. 2D

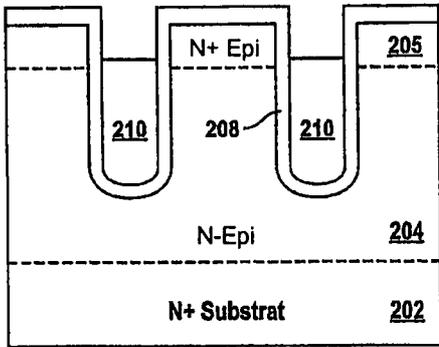


FIG. 2E

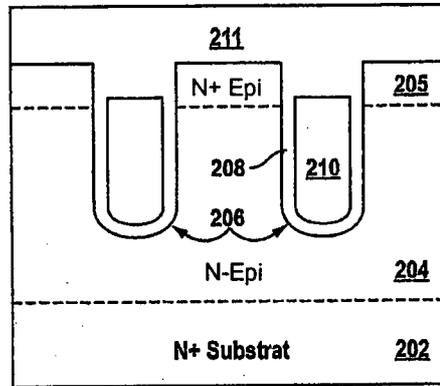


FIG. 2F

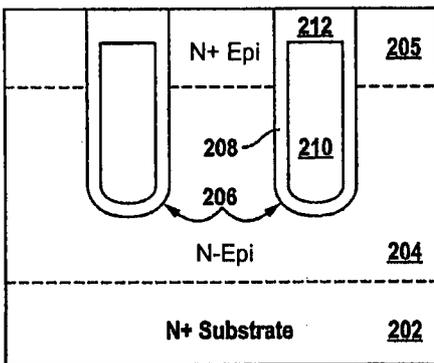


FIG. 2G

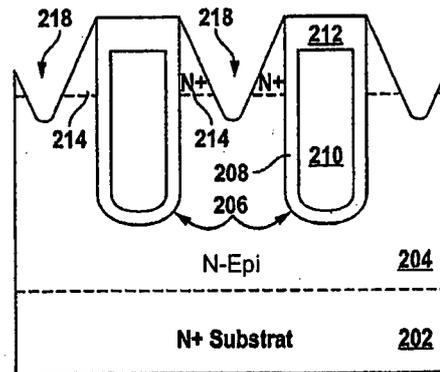


FIG. 2H

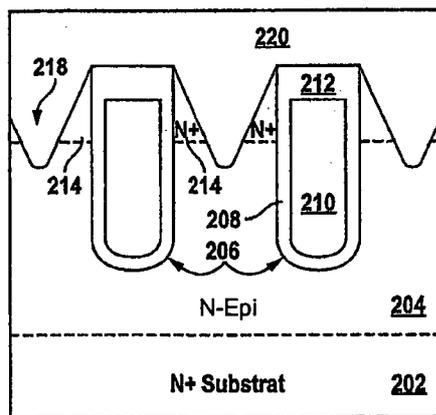


FIG. 2I

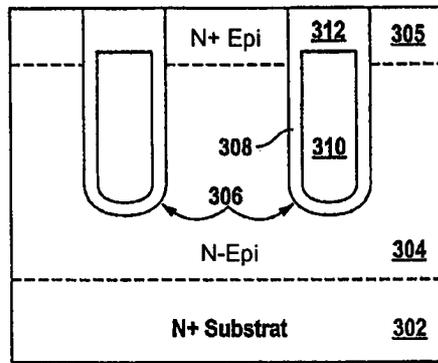


FIG. 3A

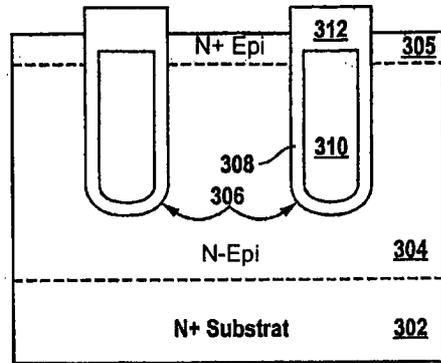


FIG. 3B

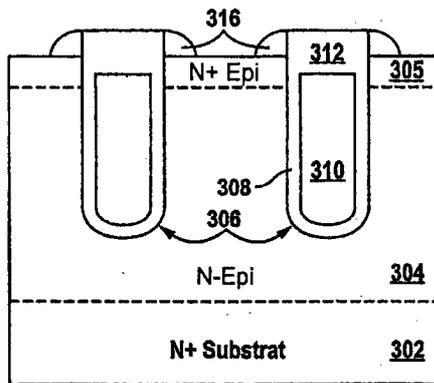


FIG. 3C

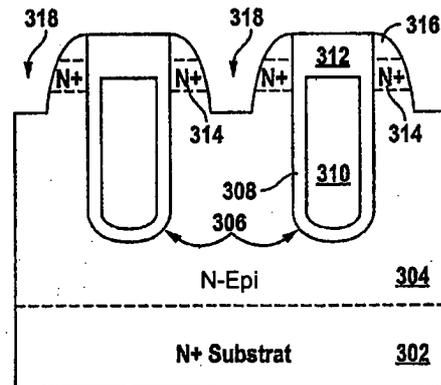


FIG. 3D

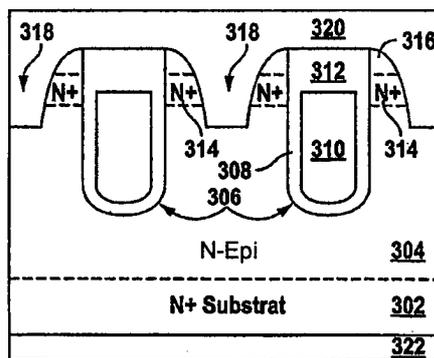


FIG. 3E

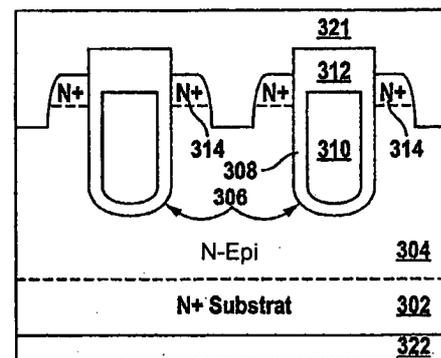


FIG. 3EE

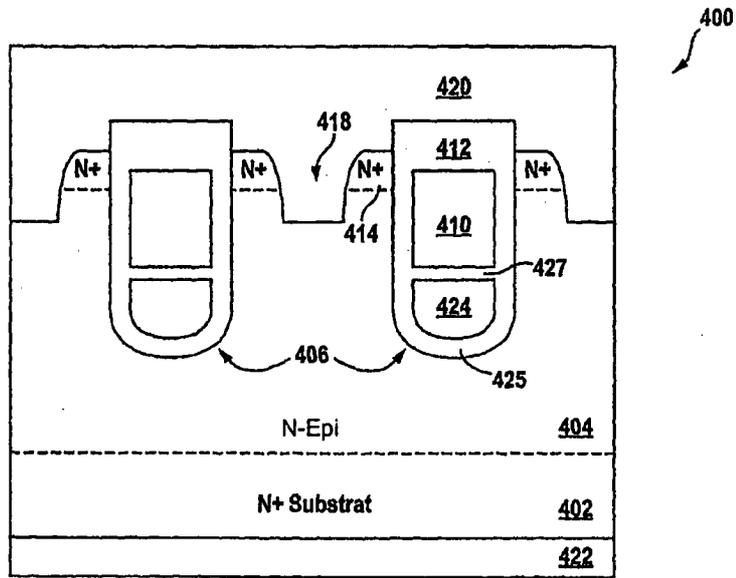


FIG. 4

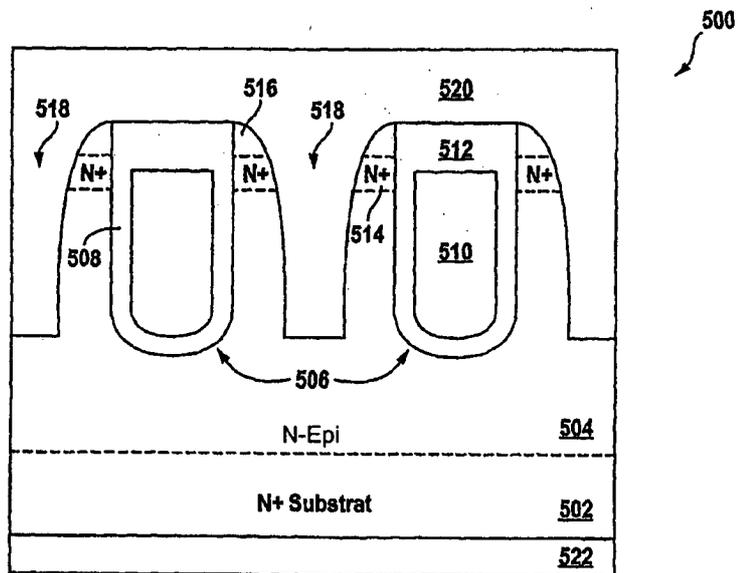


FIG. 5

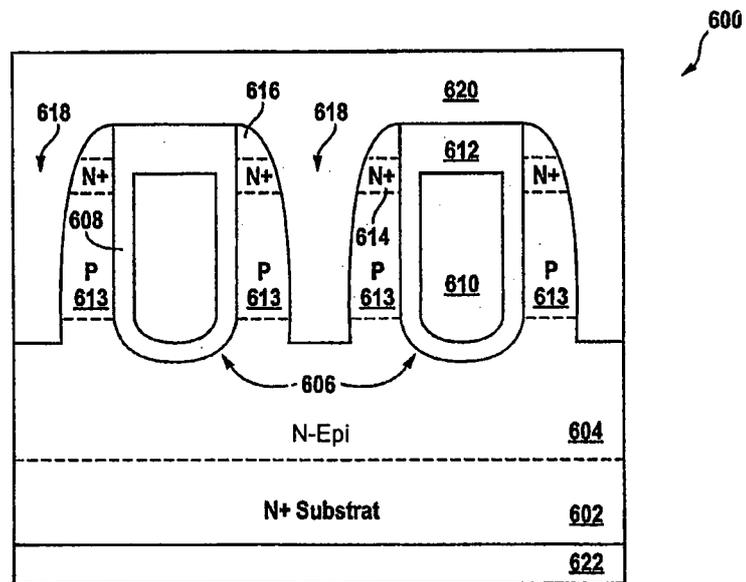


FIG. 6

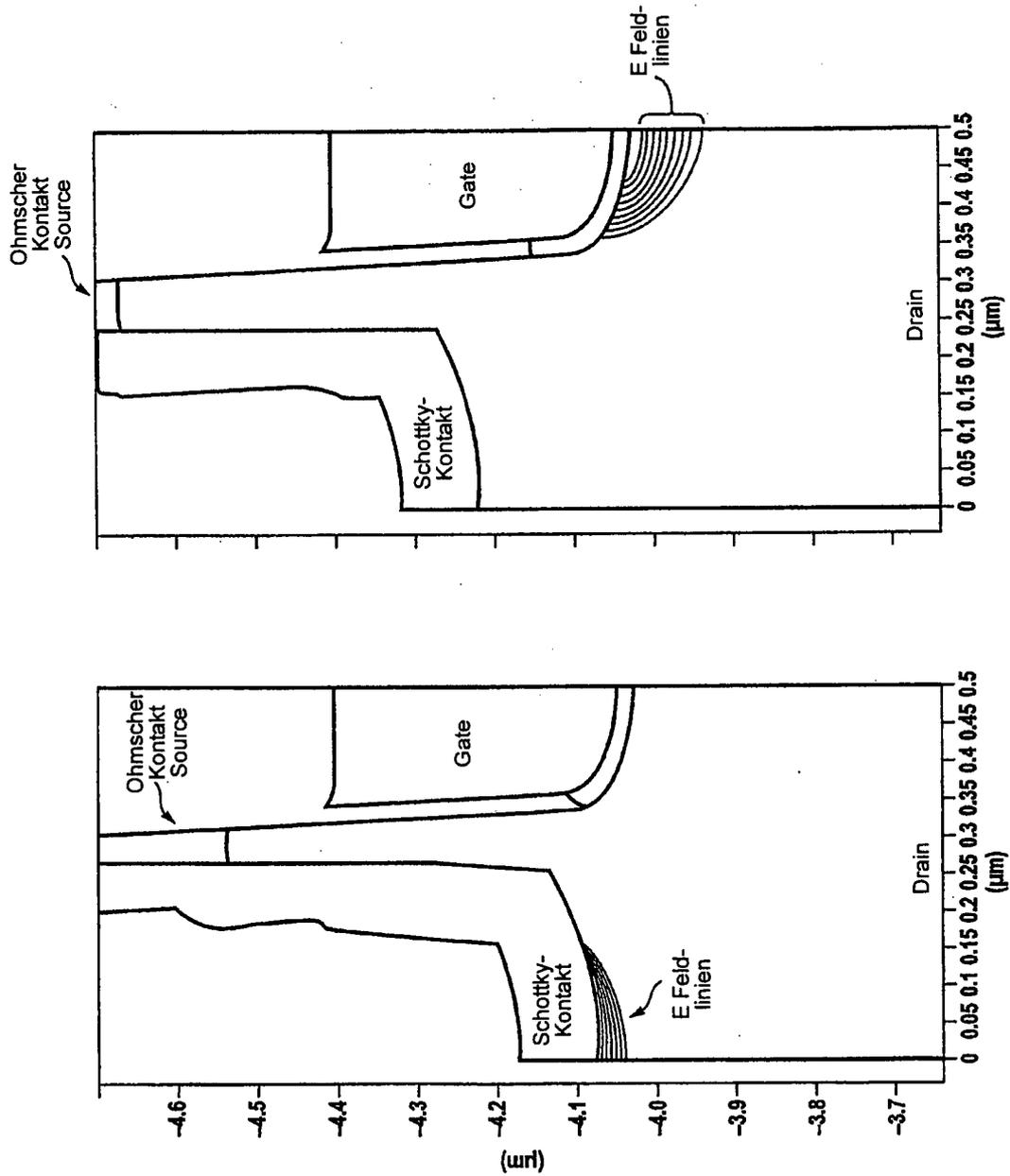


FIG. 7A

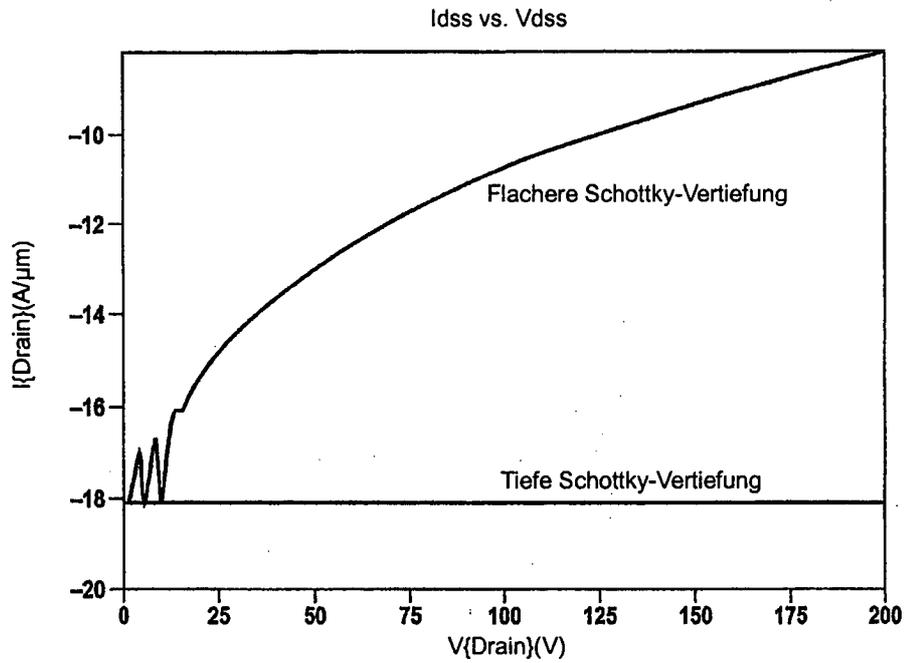


FIG. 7B

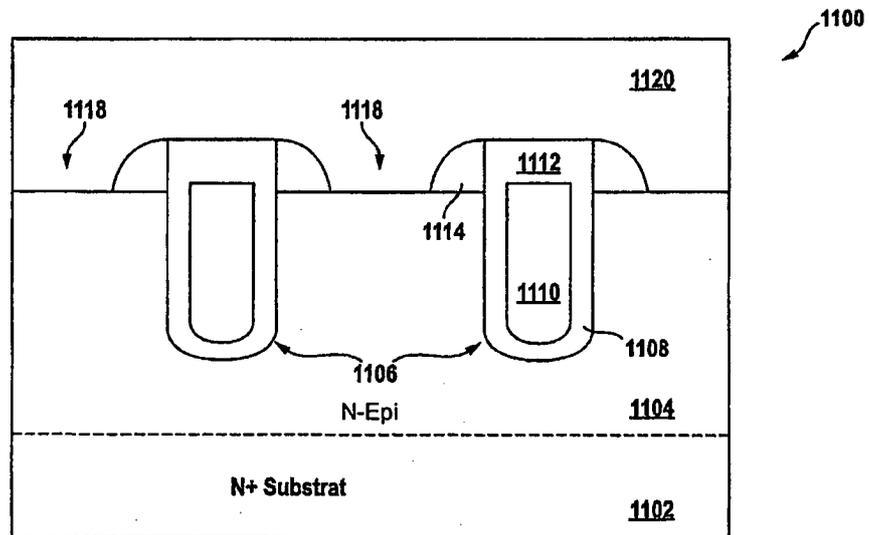


FIG. 8

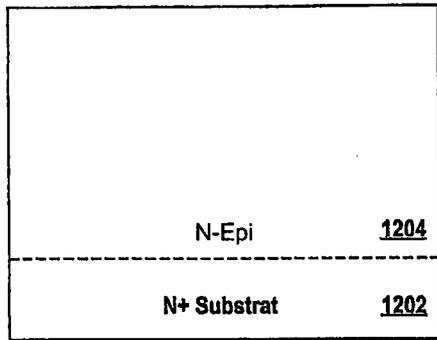


FIG. 9A

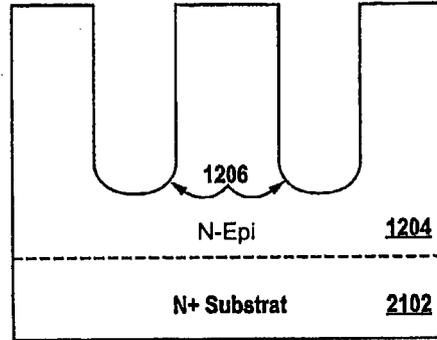


FIG. 9B

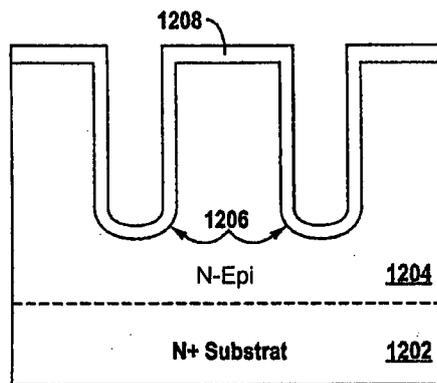


FIG. 9C

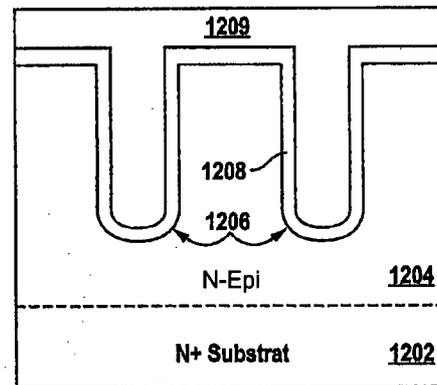


FIG. 9D

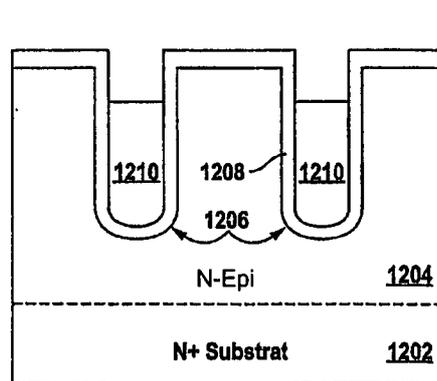


FIG. 9E

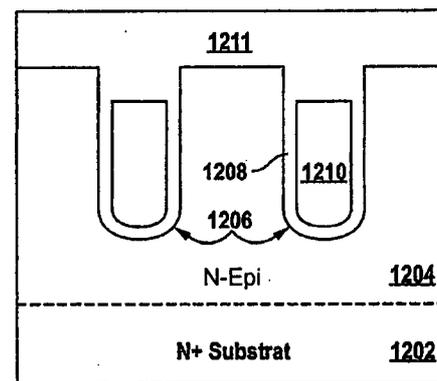


FIG. 9F

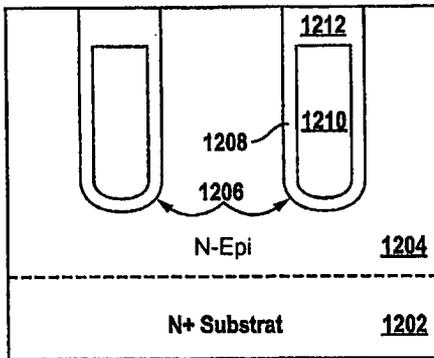


FIG. 9G

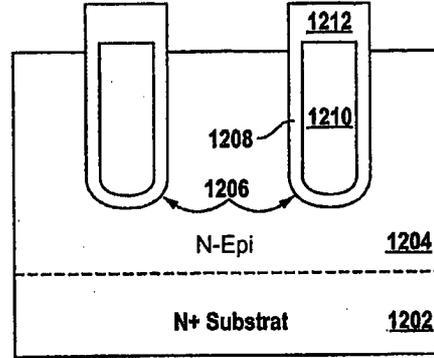


FIG. 9H

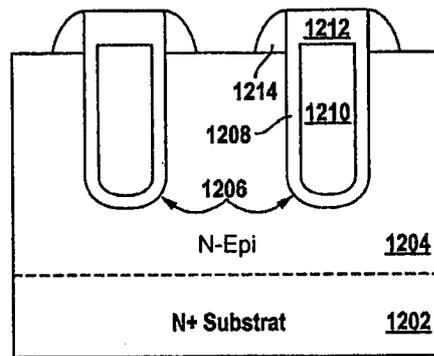


FIG. 9I-1

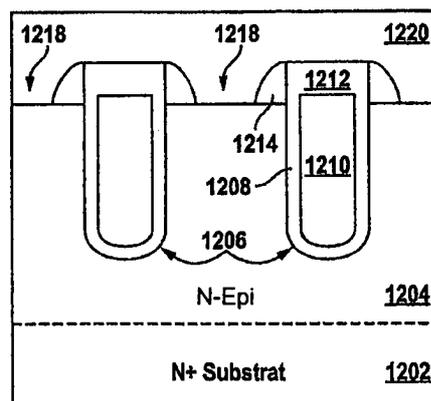


FIG. 9J-1

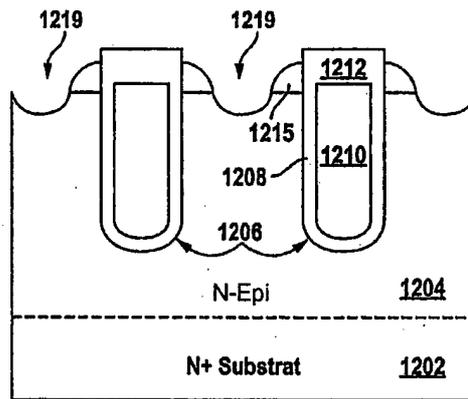


FIG. 9I-2

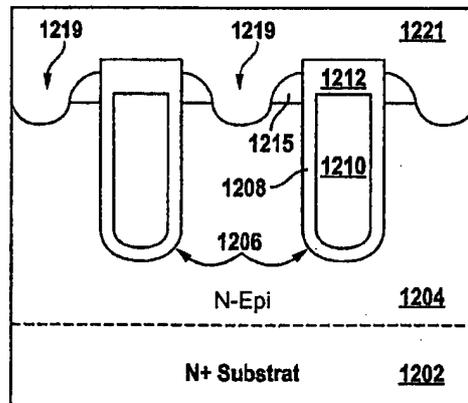


FIG. 9J-2

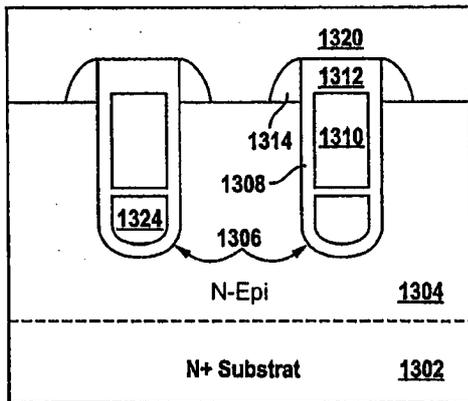


FIG. 10

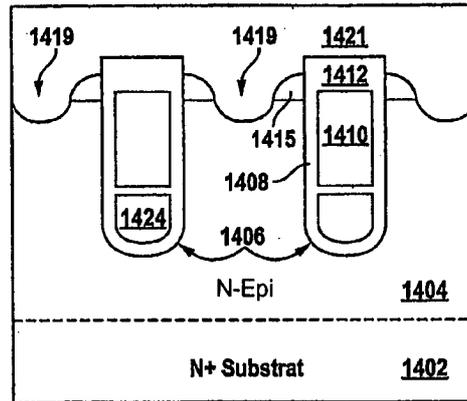


FIG. 11

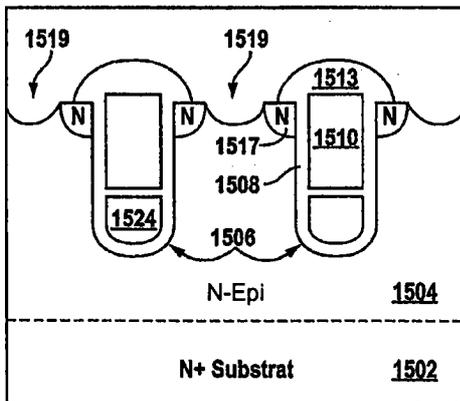


FIG. 12

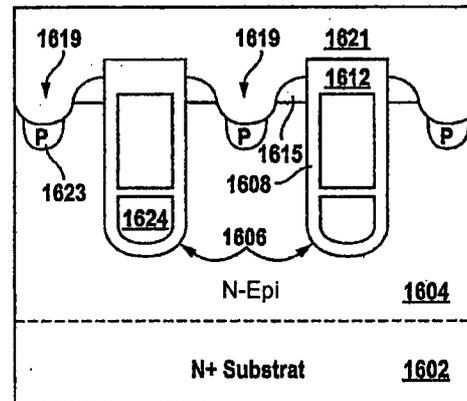


FIG. 13

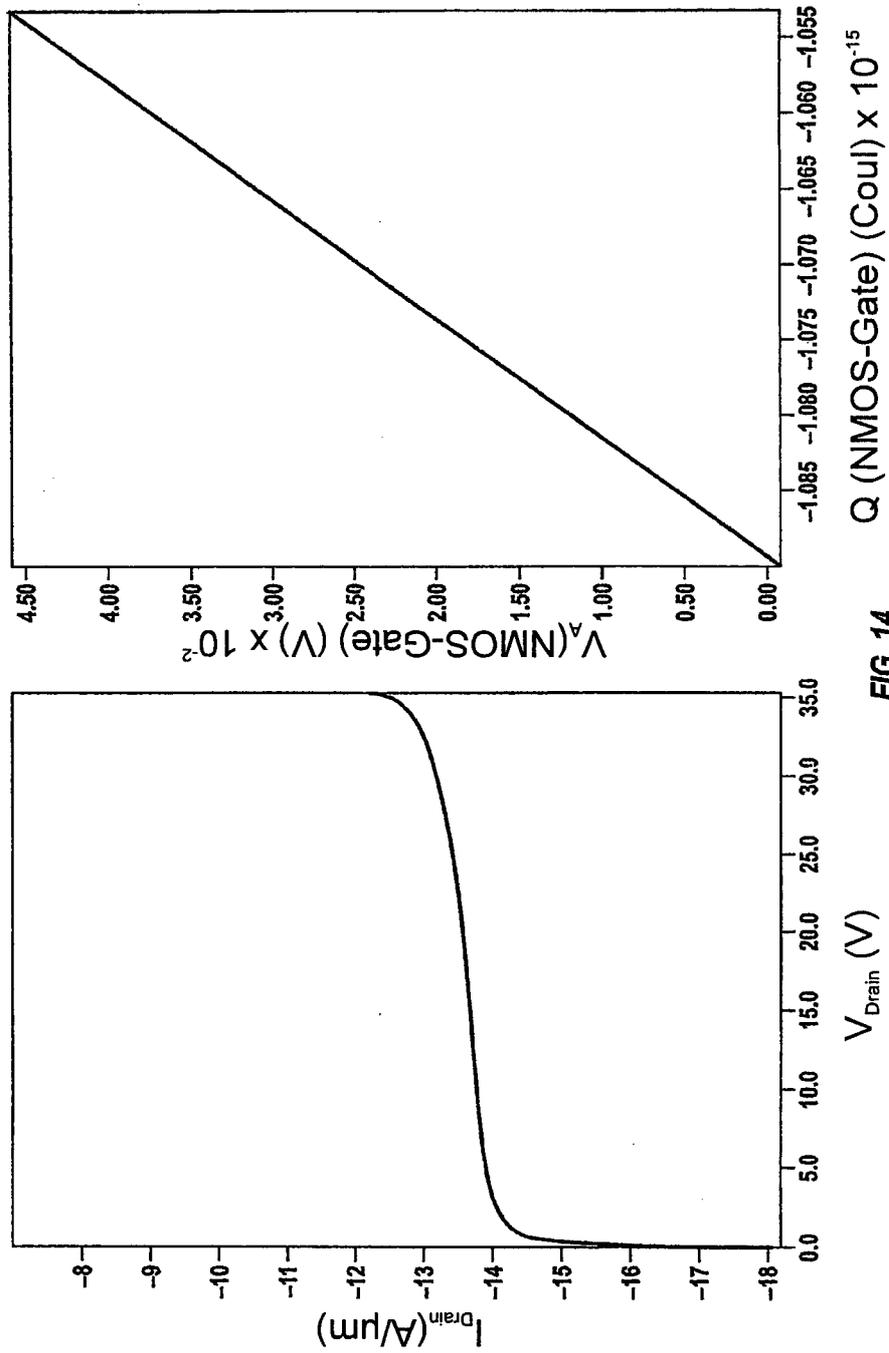


FIG. 14

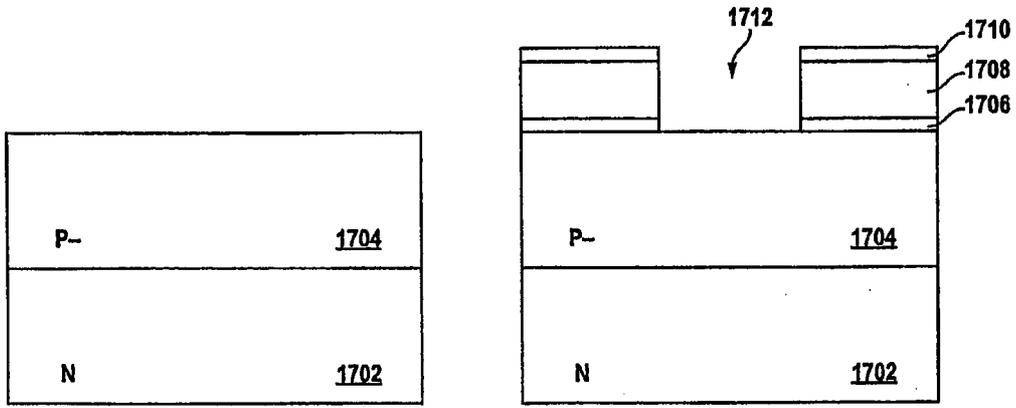


FIG. 15A

FIG. 15B

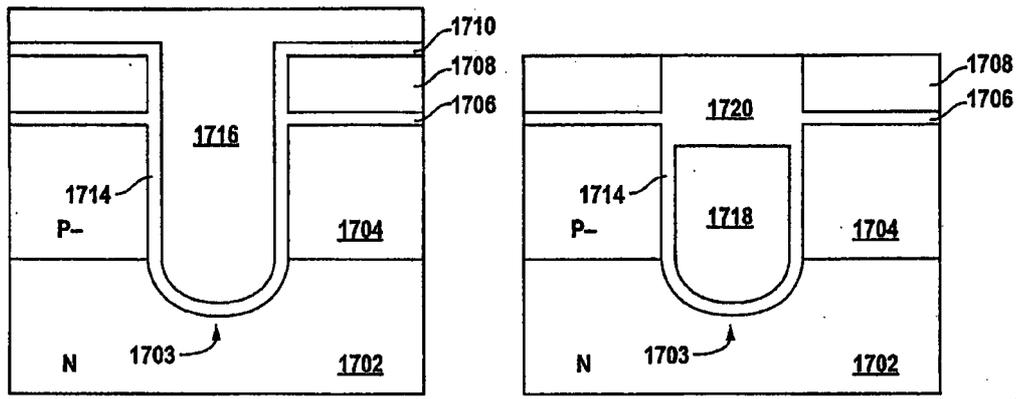


FIG. 15C

FIG. 15D

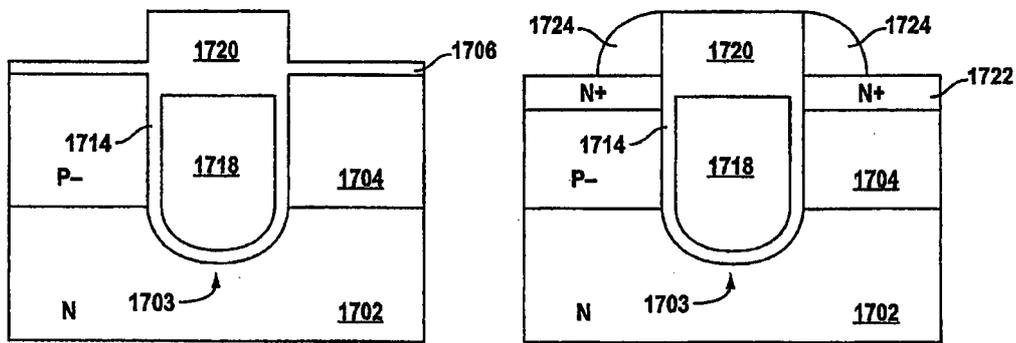


FIG. 15E

FIG. 15F

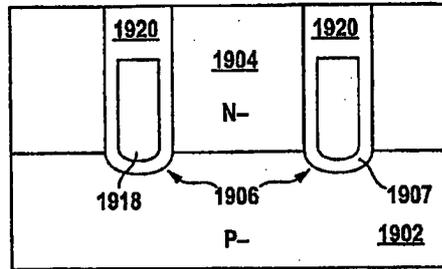


FIG. 17A

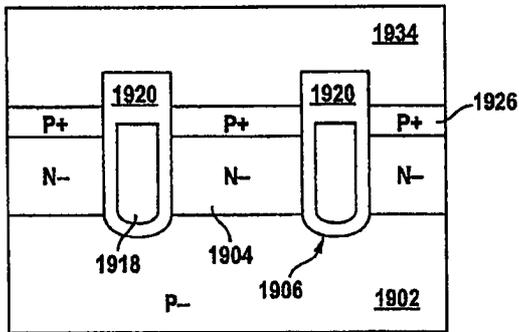


FIG. 17B-1

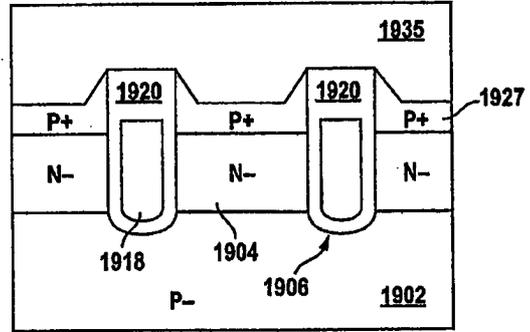


FIG. 17B-2

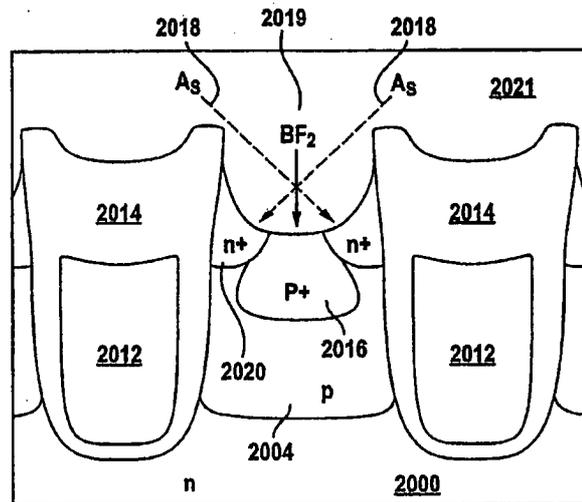


FIG. 18

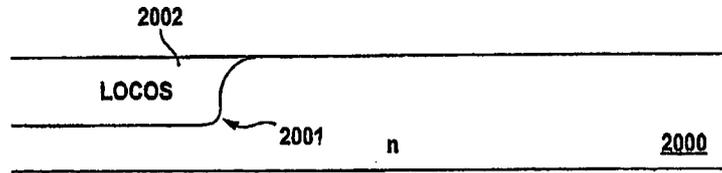


FIG. 18A

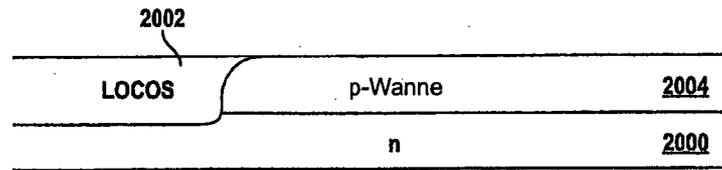


FIG. 18B

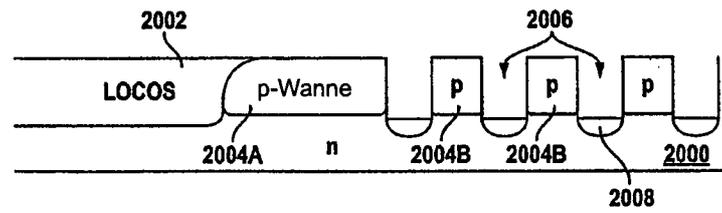


FIG. 18C

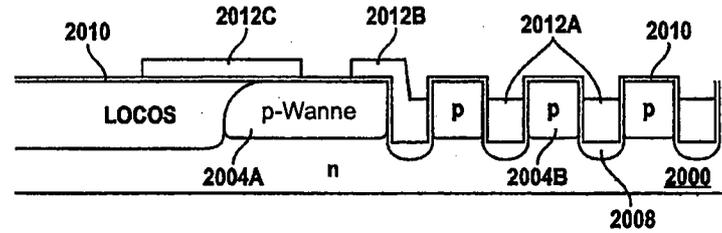


FIG. 18D

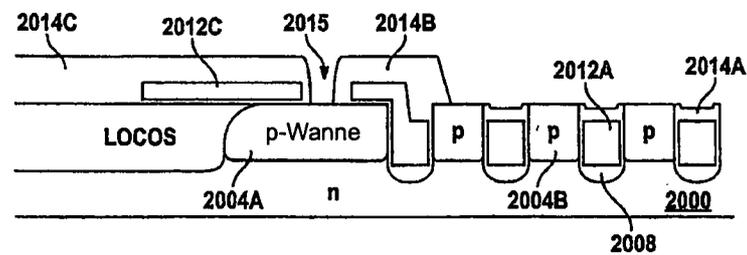


FIG. 18E

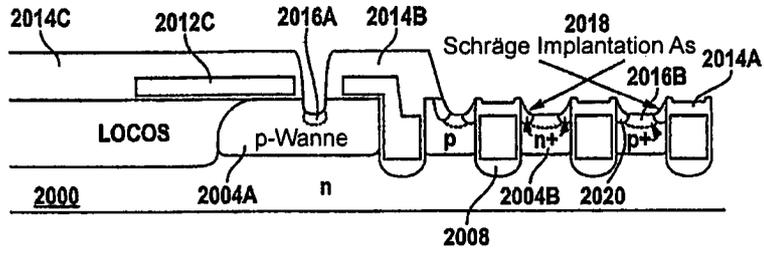


FIG. 18F

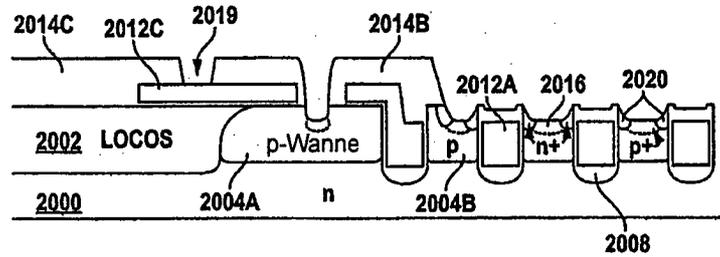


FIG. 18G

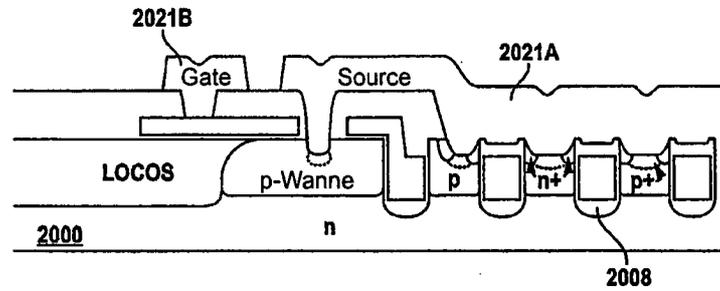


FIG. 18H

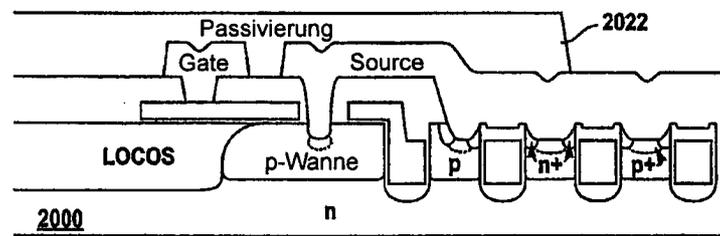


FIG. 18I

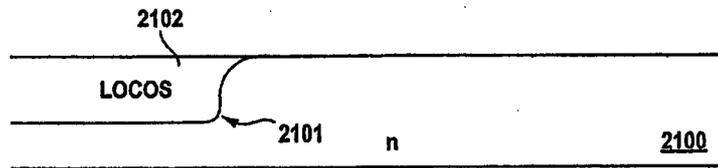


FIG. 19A

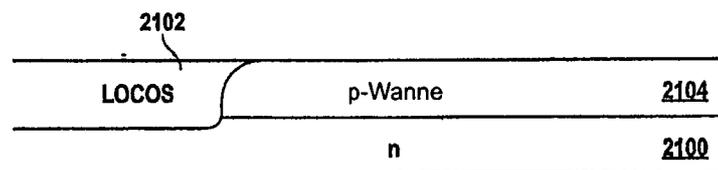


FIG. 19B

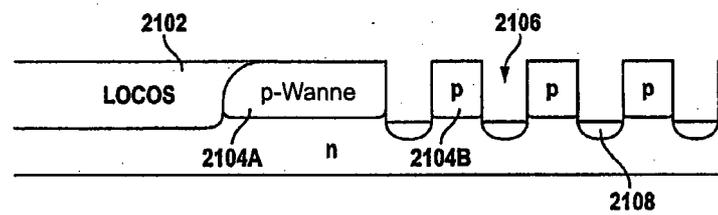


FIG. 19C

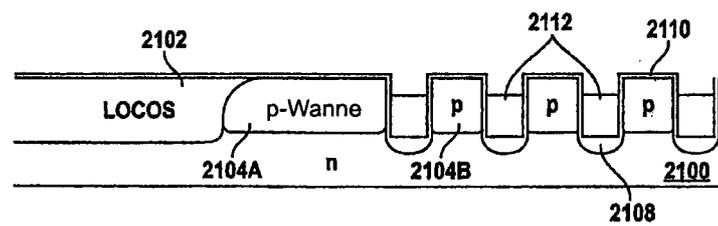


FIG. 19D

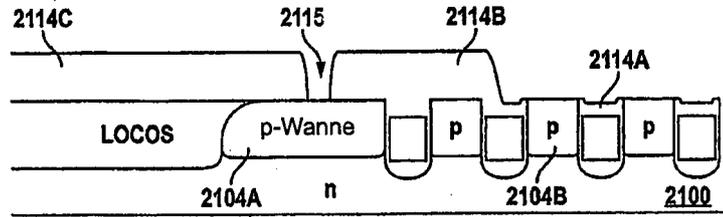


FIG. 19E

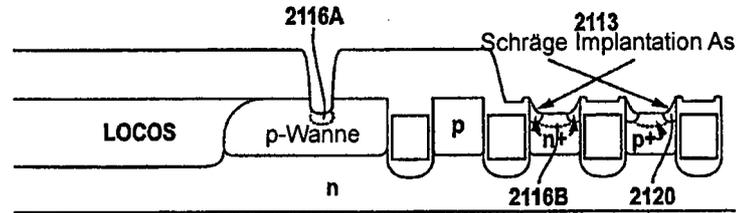


FIG. 19F

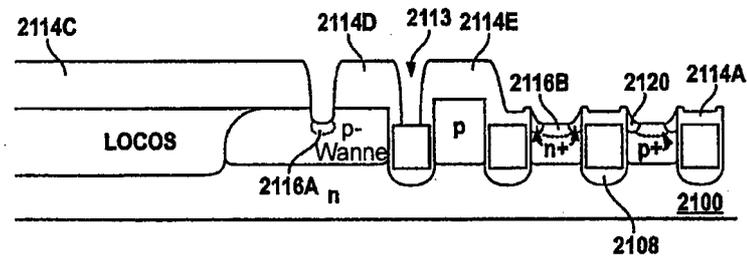


FIG. 19G

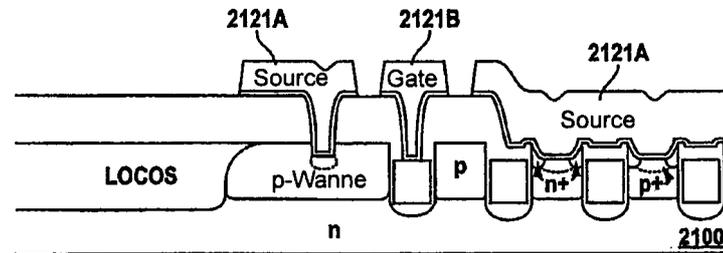


FIG. 19H

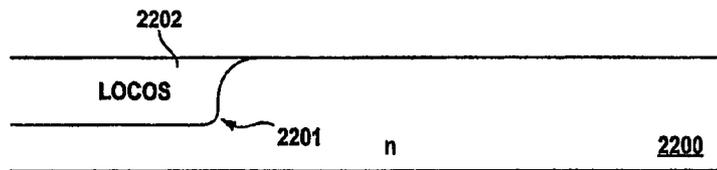


FIG. 20A

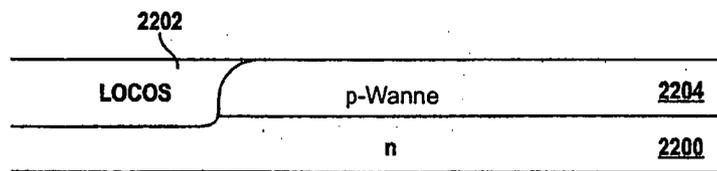


FIG. 20B

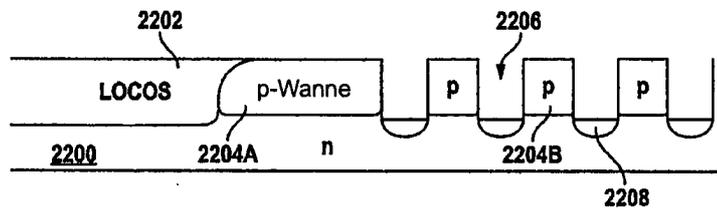


FIG. 20C

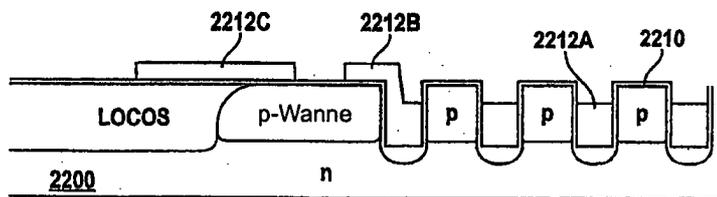


FIG. 20D

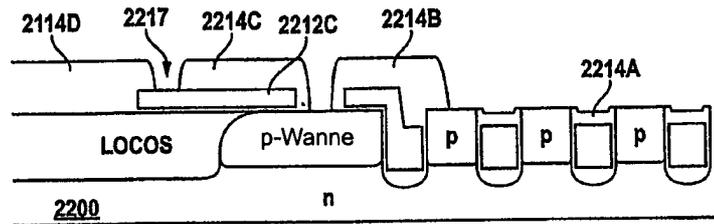


FIG. 20E

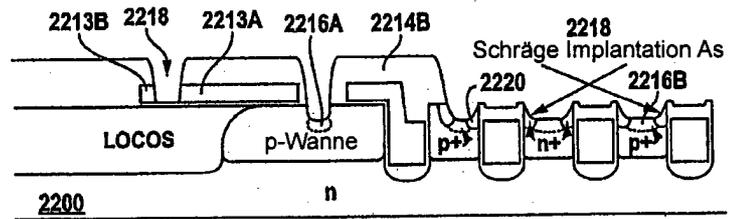


FIG. 20F

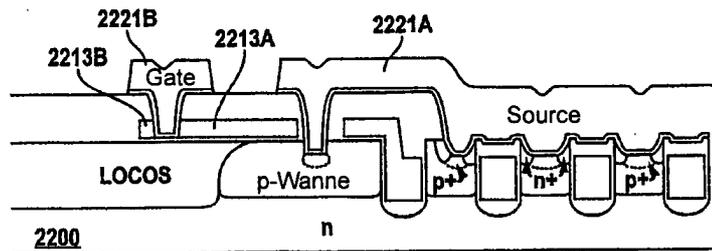


FIG. 20G

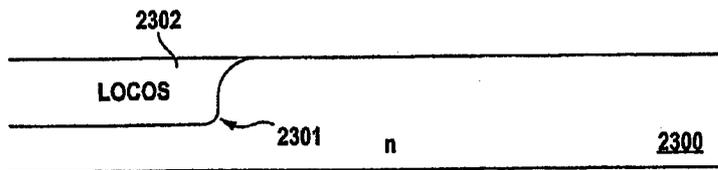


FIG. 21A

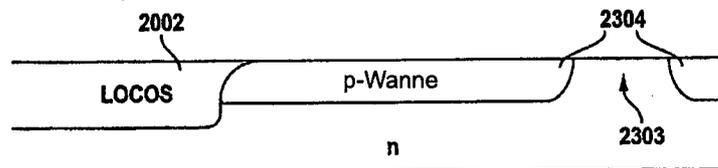


FIG. 21B

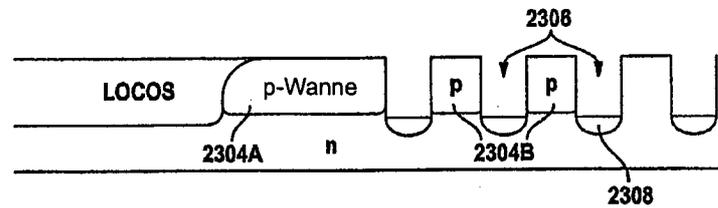


FIG. 21C

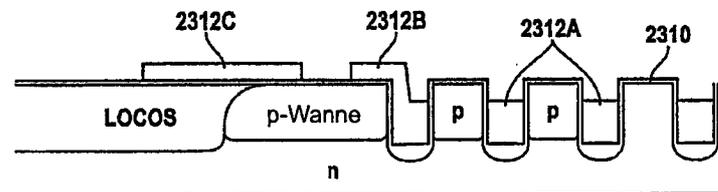


FIG. 21D

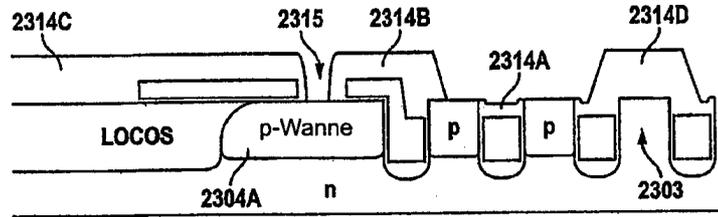


FIG. 21E

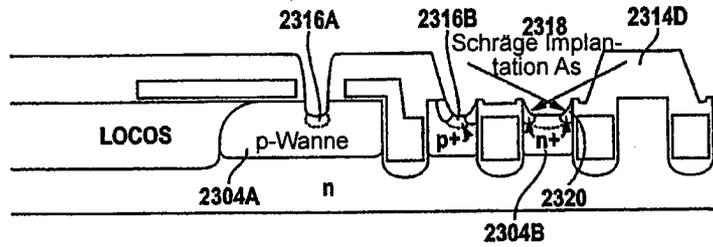


FIG. 21F

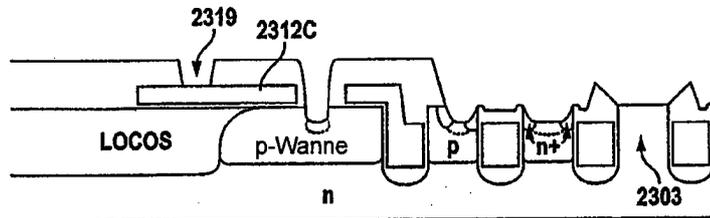


FIG. 21G

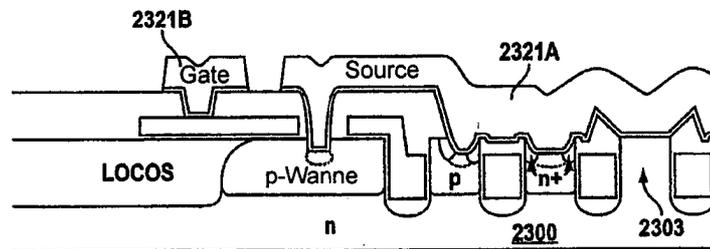


FIG. 21H

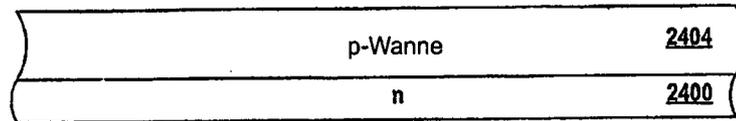


FIG. 22A

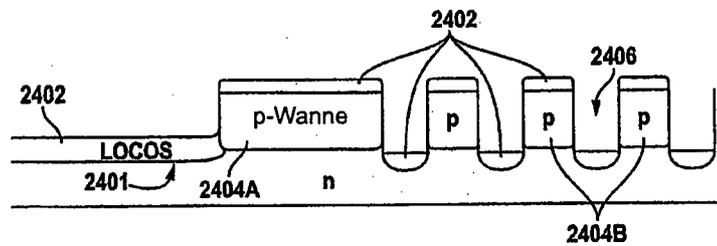


FIG. 22B

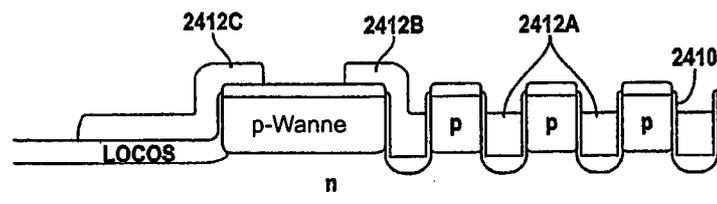


FIG. 22C

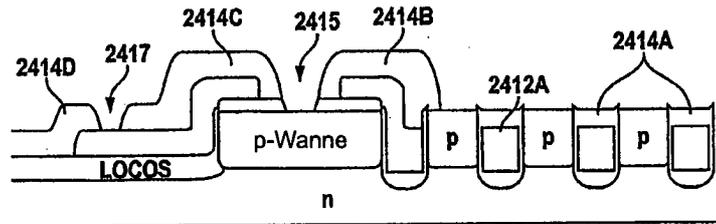


FIG. 22D

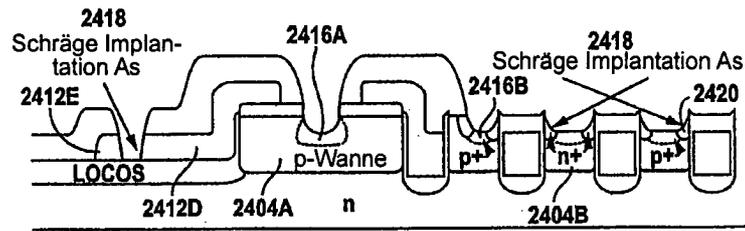


FIG. 22E

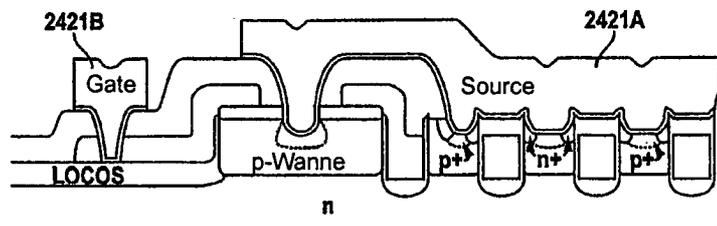


FIG. 22F

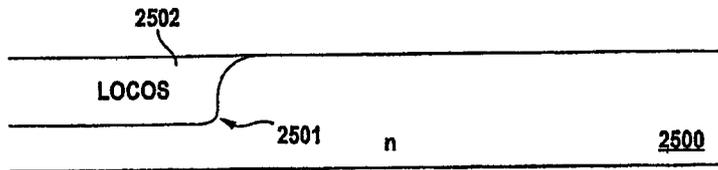


FIG. 23A

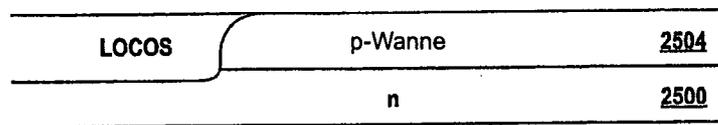


FIG. 23B

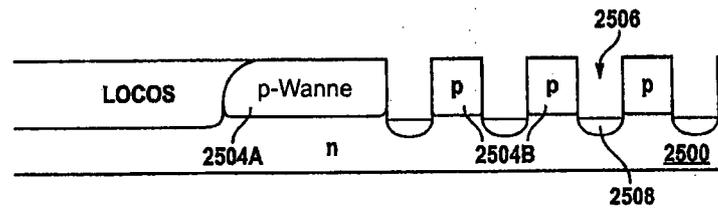


FIG. 23C

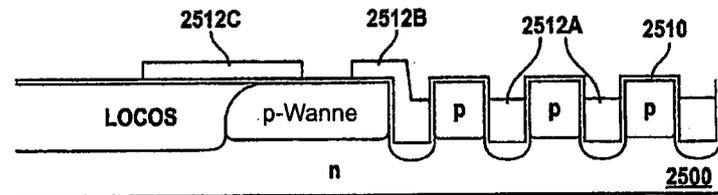


FIG. 23D

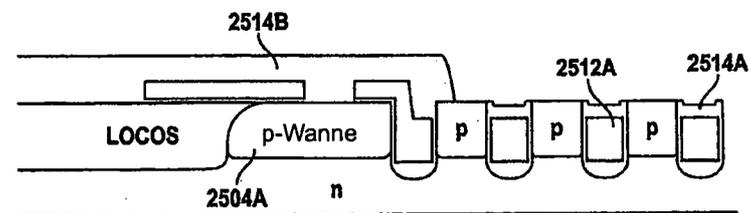


FIG. 23E

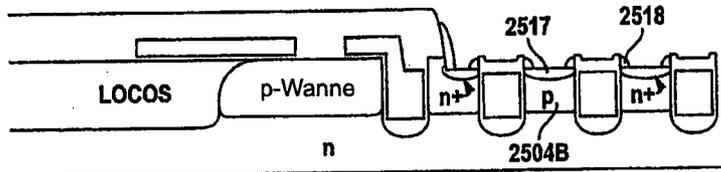


FIG. 23F

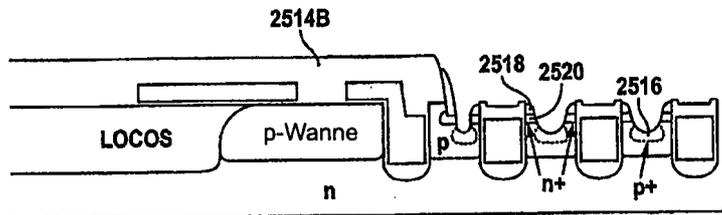


FIG. 23G

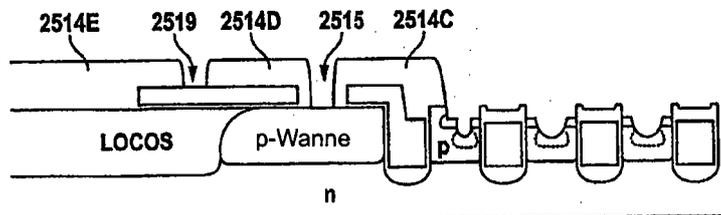


FIG. 23H

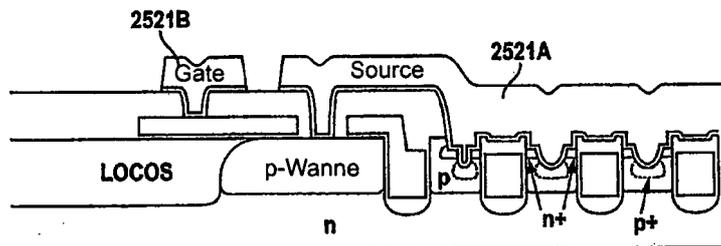


FIG. 23I

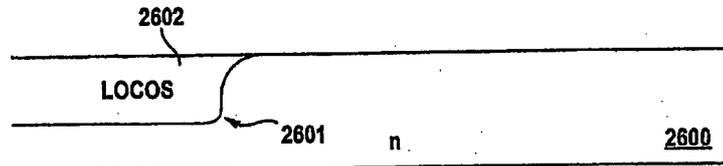


FIG. 24A

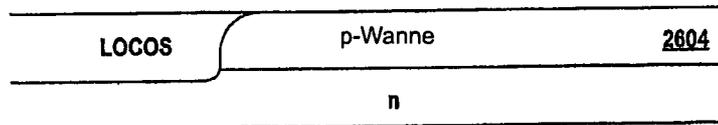


FIG. 24B

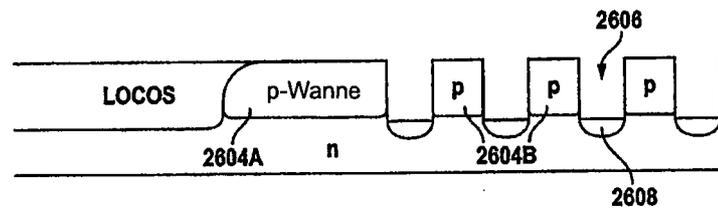


FIG. 24C

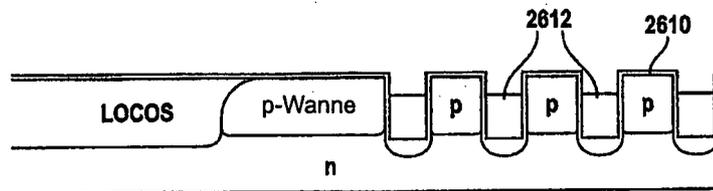


FIG. 24D

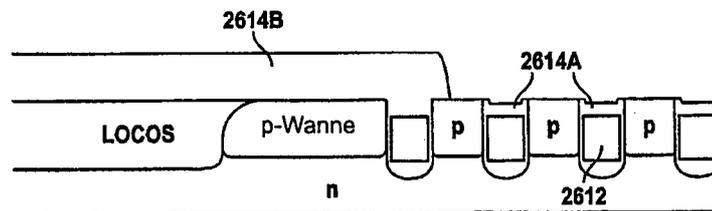


FIG. 24E

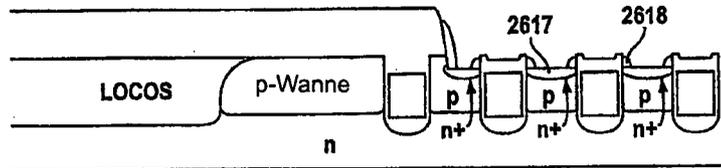


FIG. 24F

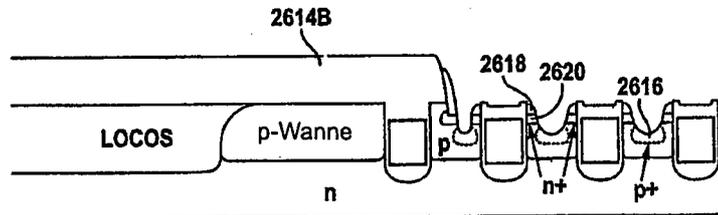


FIG. 24G

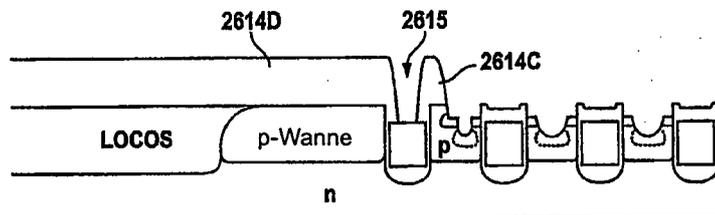


FIG. 24H

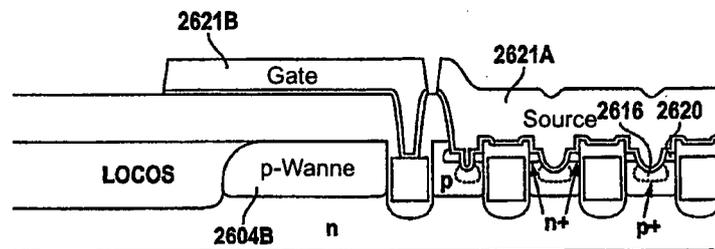


FIG. 24I