

公告本

申請日期	880614
案 號	88109911
類 別	H01L27/4 H04N1/335

A4
C4

444404

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	互補金氧半導體型式影像感測器內類比數位轉換器的自動校正
	英 文	AUTOCALIBRATION OF AN A/D CONVERTER WITHIN A COSM TYPE IMAGE-SENSOR
二、發明 創作人	姓 名	李學能
	國 籍	中華民國
	住、居所	台北市內湖區文德路111號5樓
三、申請人	姓 名 (名稱)	泰視科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	北市和平東路一段214號12樓
	代 表 人 姓 名	李學能

O:\56\58218.DOC\MFY

4 4 4 4 0 4

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權
美國 1998年6月24日 09/103,959 ☒ 有 ☐ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明是關於一種互補式金氧半導體 (CMOS) 式的影像感測器 (Image Sensor)，特別是關於一互補式金氧半導體影像感測器內部類比數位轉換器的初始化設定程序。

發明背景

影像感測器的目的是用來將聚焦於影像感測器上的光學影像轉換成電子訊號。一般說來，影像感測器是由複數個排成陣列狀的感光元件 (Light Detecting Elements) 所組成。當光學影像聚焦於這些排列成陣列狀的感光元件上時，每個感光元件會分別依據其所感測到的光線強度，來產生相對應、不同大小的電子訊號。這些電子訊號將再進一步處理，以便轉換成適合在螢幕上顯示的各種畫面訊號。

一種普為人知的影像感測器是電荷耦合元件 (Charge Coupled Device, CCD)。由於其製程特殊，內含 CCD 的積體電路晶片價格高昂，除此之外，由於 CCD 需要時脈訊號 (Clock Signal) 來作同步處理，且使用較高的工作電壓，因此也會消耗較多的電力。相較於 CCD 影像感測器，CMOS 主動像素感測器 (Active Pixel Sensors - APS) 將控制、驅動、訊號處理線路都整合在單一感測晶片上，因此擁有許多優點，包括：(1) 採用較低的工作電壓，因此消耗的功率也較低；(2) 其製程可與一般積體電路的製程整合在一起；(3) 由於採用標準的 CMOS 製程，因此一旦量產，其成本可望低於傳統的 CCD 元件。

雖然 CMOS 主動像素感測器擁有上述許多優點，然而本案

五、發明說明 (2)

的發明人發現，對大面積、高亮度的像素陣列 (Pixel Array) 而言，不同感光元件所感應而產生的類比訊號會受到元件本身寄生效應的干擾，而導致影像訊號失真的現象。這些寄生效應可能是來自寄生電容、寄生電阻或是漏電流 (Dark Current Leakage)，也可能是來自感光元件本身感光特性的不一致。這些寄生效應對半導體元件而言難以避免，但會大幅度地降低影像訊號的訊號-雜訊比 (Signal-to-Noise Ratio)，使影像品質變差。因此，雜訊問題是 CMOS 主動像素感測器性能良好與否的關鍵，也將會是 CMOS 主動像素感測器在技術上最需要克服的主要挑戰。上面所述的雜訊主要包括了下列幾項：取樣影像資料時，所產生的 kTC 雜訊；放大影像訊號時，所產生的 $1/f$ 雜訊；感光元件陣列中，每一行 (Column) 的感光元件本身特性不一致，所造成的固定圖像雜訊 (Fixed Pattern Noise)。

即使感光元件陣列中，每一行的感光元件都接收到相同的光線強度，但是由於各個感光元件本身元件特性的歧異、漏電流的產生、或是相關雙重取樣 (Correlated-Doubled Sampling, CDS) 電路與 CMOS 感測器晶片內部類比數位轉換器 (A/D Converters, ADC) 中的比較器 (Comparators) 的不匹配，都將使各個類比數位轉換器在輸出端產生不同的數位訊號。當陣列中每一行間之佈線間距更緊靠時，不同行所對應的 ADC 及 CDS 電路間之操作差異會更加顯著。本發明的目的是希望能使這些類比數位轉換器與 CDS 電路間寄生效應所造成的不良影響可以降到最低。

五、發明說明 (3)

發明概述

本發明係有關於一種以 CMOS 製程製造之主動像素影像感測器 (Active Pixel Image Sensor)，該影像感測器包含一個主要由光電二極體組成之二維像素陣列。當光線照射在這些光電二極體上時，該二維像素陣列各行線上傳輸之電氣訊號將隨光線強度之變化而改變；這些光電二極體所產生的類比訊號將先送至一個作為緩衝器用的源極隨耦器 (Source Follower)，再經由一存取訊號用的電晶體耦接到陣列中相對應的行線；行線的末端接有一類比數位轉換器，會將這些行線所感測到的類比訊號轉換成數位訊號。本發明中所使用的類比數位轉換器可能有許多種不同的形式，在本說明書所舉出的一實施例中，該類比數位轉換器包括一個高增益比較器、一個八位元二進位計數器，該八位元二進位計數器與一參考上升信號協調配合，而參考上升信號與一特定時序信號同步。本發明採用一種特殊的時序信號 (Timing Sequence)，使所有類比數位轉換器得以在一個時框 (Time Frame) 時間內完成類比數位的訊號轉換，如此一來，同一列的感測元件都可以在這段時間內將其個別所感測到的光線強度轉換成相對應的數位訊號。該轉換後的數位訊號將被送入另一功能區塊 (可以設置在該感測晶片內，也可以設置在該感測晶片外) 做進一步的處理，處理的時機可以依實際情況設計在該時段內，也可以設計在其他時段。在本發明的較佳實施例中，於讀取第一條列線前，每一行線之 CDS 輸入端的電位被設定至一參考值，然後此值被每一

五、發明說明 (4)

行之類比數位轉換器轉換成一數位值，最後輸出的數位資料將包含關於各個類比數位轉換器和CDS電路元件特性的資訊。在每一列的像素陣列開始掃描影像資料時，這些數位資料將被用來作為每一類比數位轉換器內部計數器的初始資料，以分別補償各個類比數位轉換器及CDS電路在元件特性上的個別差異。如此一來，在正式掃描影像時，類比數位轉換器及CDS電路的主要寄生效應將可以有效的補償回來，這些寄生效應所衍生造成的影像失真程度也將可以減少。

圖式之簡單說明

圖1為習知技術中，640 x 480 CMOS主動像素感測器晶片的功能方塊示意圖。

圖2為圖1的主動像素感光元件(Active Pixel Cell)10的電路圖，及其在基本運作時的時序圖。

圖3為圖1的八位元類比數位轉換器16的功能方塊示意圖，及其參考上升信號的時序圖。

圖4簡單地說明習知技術中，類比訊號的傳遞路徑。

圖5說明了習知技術中，兩相鄰列線(two adjacent row lines)上的像素感光元件10在讀取影像時的時序圖。

圖6a為本發明的一實施例簡化後的電路圖，其可以降低寄生效應所造成的影像失真現象。

圖6b為圖6a的實施例在操作時的時序圖。

圖7a為本發明的另一實施例簡化後的電路圖，本實施例可以降低寄生效應所造成的影像失真現象。

五、發明說明 (5)

圖 7b 為圖 7a 的實施例在操作時的時序圖。

圖 8a 為本發明的又一實施例簡化後的電路圖，本實施例可以降低寄生效應所造成的影像失真現象。

圖 8b 為圖 8a 的實施例在操作時的時序圖。

圖 9 為八位元類比數位轉換器 16 參考上升信號的時序圖。

圖 10 為說明在本發明的一實施例中，初始化線路的實現方式。該初始化線路可以對類比數位轉換器內部的計數器進行初始化動作。

圖式元件符號說明

M1	重置電晶體
M2	源極隨耦器
M3	存取電晶體
10	感光元件
12	列位址移位暫存器
13	移位暫存器
14	內部行線
15	時序暨控制邏輯
16	類比數位轉換器
18	習知的 CDS 電路
19	影像感測器核心陣列
20	光電二極體
21	位址線
24	內部行線
32	高增益比較器

五、發明說明 (6)

- 33、35 反相器
- 34 閘邏輯
- 36 八位元二進位計數器
- 38 參考上升訊號
- 39 時脈訊號
- 151 切換訊號
- 152、153、154 控制訊號

較佳實施例的詳細說明

本發明以下會參考後附的圖式而更完整地說明。圖式中顯示本發明的實施例。雖然實施例之一係有關於CMOS感測器的應用，然而熟習此項技藝之人士可以察知本發明可以各種形式實施且本發明不限於這裡所提出的實施例和應用。這些實施例提供徹底完整地揭露本發明，並能對熟習此項技藝之人士完整地表達本發明之範圍。在圖示中，相同的元件具有相同的元件符號。

圖1說明傳統的640 x 480 CMOS主動像素感測器晶片的架構。影像感測器核心(Image Sensor Core)陣列19是由多個排成兩維陣列狀的感光元件10所組成，其中感光元件10內部的線路將在圖2中說明。列位址移位暫存器(Row Address Shift Register)12的控制訊號152是來自時序暨控制邏輯(Timing & Control Logic)15，而列位址移暫存器12本身則是接到影像感測器核心19陣列、並且藉位址線21一次定址一系列感光元件10。列位址移位暫存器12根據一事先設定好的圖框速度(Frame Rate)時序要求，一系列地將影像感測器核心陣列19中的諸條類比訊號讀入行線(Column Lines)14。

在本發明的一實施例中，行線14的類比訊號將經由習知

五、發明說明 (7)

的 CDS 電路 18 進入類比數位轉換器 16，類比數位轉換器 16 再將接收到的類比訊號轉換成代表感光元件 10 感受強度的數位訊號。舉例來說，若採用八位元類比數位轉換，則將有 256 種不同的數值可用來代表類比數位轉換器 16 所接收到的類比訊號大小，而每一數值均代表著不同的感光強度，CDS 電路 18 的作用將在圖 4 中說明。時序暨控制邏輯 15 輸出數種不同的時序訊號，包括 CDS 電路 18 的切換訊號 151、列移位暫存器 12 的控制訊號 152、以及移位暫存器 13 的控制訊號 153、154，以控制整個系統的運作。

當感測動作進行時，被掃描的影像聚焦於影像感測器核心 19，而且整個影像的各部份都有相對應的感光元件 10 負責感測。請參考圖 2，每一感光元件 10 內部均包含一光電二極體 (Photodiode) 20 或是光電閘 (Photogate)、雙載子光電晶體 (Bipolar Phototransistor) 等有類似功能的光線感測元件。當光線照射到這些光線感測元件時，這些光線感測元件將產生相對應於該光線強度的導通電流。

如圖 2 所示，在曝光週期 (Exposure Cycle) 剛開始時，讀取 (read, RD) 訊號的低位準電位將關掉存取電晶體 (Access Transistor) M3，因而隔離內部行線 (Internal Column Line) 24。重置 (reset, RST) 訊號是來自於圖 1 中列位址移位暫存器 12 的輸出，當 RST 訊號在高位準時，將啟動重置電晶體 (Reset Transistor) M1，並使光電二極體 20 的電位被重置至 VDD 的位準。

當 RST 訊號在低位準時，將關掉重置電晶體 M1，並啟始

五、發明說明 (8)

曝光週期。光線的照射使得光電二極體 20 產生電流，此電流將使光電二極體 20 內部的固有電容放電，因而降低節點 P 的電位。圖 5 的 t_{exp} 為影像曝光時間 (Image Exposure Time)，該影像曝光時間自 RST 訊號的下降緣 (Downward Transition) 開始至 RST 訊號的上升緣 (Upward Transition) 結束。該影像曝光時間的長短可依影像感測敏感度 (Image Sensitivity) 或是曝光控制 (Exposure Control) 的差異而有所不同。一旦曝光時間充分，RD 訊號將啟動存取電晶體 M3，並使光電二極體 20 在端點 P 的電位透過源極隨耦器 M2、存取電晶體 M3、到達內部行線 24，並儲存在內部行線 24 之另一端的電路 (未顯示) 中。由於源極隨耦電晶體 M2 本身的特性，內部行線 24 所感測到的電位將比端點 P 的電位略低，該電位與端點 P 電位的差異與源極隨耦電晶體 M2 本身的特性有關。當影像曝光時間結束時，同一列的重置電晶體 M1 再度被啟動，並旋即啟動源極隨耦電晶體 M2，使位於光電二極體 20 陰極的端點 P 電位很快被拉昇至 VDD。RST 訊號啟動前後，端點 C 的電位將有所變化，假設變化量為 ΔV_c ，CDS 電路 18 將可感測並計算 ΔV_c 。CDS 18 電路為業界人士所習知，並非本發明重點，因此不予贅述。由於內部行線 24 在不同時刻量得的電位值都已經包含源極隨耦電晶體 M2 及存取電晶體 M3 所造成的電位偏移，因此源極隨耦電晶體 M2 及存取電晶體 M3 所造成端點 C 的電位偏移將不至於影響 ΔV_c 的值。CDS 電路 18 計算得的 ΔV_c 訊號將隨即進入類比數位轉換器 16，以便轉換成數位訊號。換句話說，真正的影像捕捉動作 (Image

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (9)

Capturing Operation) 分別是利用曝光時間結束時、重置訊號 RST 啟動後，測量在端點 C 的訊號變化而完成的。

圖 3 為圖 1 的八位元類比數位轉換器 16 的功能方塊圖。該類比數位轉換器 16 包含一個高增益比較器 (High Gain Comparator) 32、一個時脈訊號的閘邏輯 (Clock Gating Logic) 34、一個八位元二進位計數器 (8-bit Binary Counter) 36、及兩個反相器 (Inverter) 33、35。需要特別說明的是，本發明亦可以使用以其他方式設置，可將類比訊號轉換成數位訊號的類比數位轉換器。在圖 3 中，參考上升信號 38 輸入比較器 32 的非反相輸入端 (Non-inverting Input Node)、來自 CDS 電路的類比訊號 31 輸入比較器 32 的反相輸入端 (Inverting Input Node)；時脈訊號 39 與反相器 33 的輸出端接到閘邏輯 34 的兩個輸入端。類比數位轉換器 16 將類比訊號轉換成數位訊號的過程簡述如下：當參考上升信號 38 開始增加、時脈訊號 39 開始啟動時，計數器 36 就會開始計數；當參考上升信號 38 的值增加到與類比訊號 31 相同時，比較器 32 的輸出轉變而經由閘邏輯 34 讓時脈訊號 39 無法通過閘邏輯 34；當計數器 36 停止計數時，計數器 36 的輸出值即代表類比訊號 31 相對應的數位值；如此一來，就完成了類比數位訊號的轉換。圖 3 中，Vramp- 代表上升信號 (Ramp Signal) 38 的最低位準；Vramp+ 代表上升信號 38 的最高位準。

請參考圖 4。類比訊號 31 的路徑包括源極隨耦器 M2、存取電晶體 M3、內部行線 24、CDS 電路 18、以及類比數位轉換器 16 內部的比較器 32。不同感光元件 10 中，源極隨耦器

五、發明說明 (10)

M2 以及存取電晶體 M3 的元件特性不盡相同，因此對不同的感光元件 10 上的節點 P 而言，同樣的類比訊號在經過源極隨耦器 M2 以及存取電晶體 M3、到達內部行線 24 時，將成為大小不同的類比訊號值。但是由於 CDS 電路 18 的存在，使得這些基於元件本身特性不同所造成的影響將被顯著降低。

圖 5 為兩相鄰列線上的像素感光元件，在讀取影像時的時序圖。S1、S2 訊號是分別用來控制圖 4 中之 CDS 40 線路內的 S1、S2 開關。圖 5 中的 69.4 微秒時間，其對應 30 Hz 圖框速度 (Frame Rate)、480 個列線 (Row Lines)，將在後面的描述中運用到。

即使 CMOS 感測晶片 19 中每一行線均接收到相同的訊號，由於元件本身的差異、漏電流、或是 CDS 電路與比較器 (內含類比數位轉換器) 之間線路的不匹配 (Mismatch)，也會造成類比數位轉換器 16 輸出結果的不一致。當陣列中每一行間之佈線間距更緊靠時，不同行所對應的 ADC 及 CDS 電路間之操作差異會更加顯著。為了減輕 CDS 電路 40 與類比數位轉換器 16 之間寄生效應所造成的影像失真現象，本發明提出以下的實施例。

請參考圖 6a 的線路圖及圖 6b 的時序圖。在圖框 (Frame) 時段 (Time Slot) 開始和該圖框的時間內讀取第一條線的訊號前，本發明會針對每一行線做出一連串的動作。圖 6b 中，S1、S2 在時間點 t2、t3 產生的脈衝 (Pulse) 與實際影像訊號 (Actual Image Signal) 的取樣 (Sampling) 有關。本實施例在習知的

五、發明說明 (11)

開關(Switch) S1、S2之外，特別提供了兩個額外的開關S3、S4。這兩個開關S3、S4是由圖6b中的訊號S3、S4所控制，其目的是用來選擇性地提供不同的訊號。

在時間點t1a時，啟動開關S3，使每一內部行線24的電位被下拉到電位 V_L 。時間點t1b時，啟動開關S1，使電位 V_L 儲存在CDS電路40內部差動放大器(Differential Amplifier)60的反相輸入端(SIG)。時間點t1c時，啟動S4，使每一內部行線24的電位被上拉到電位 V_H 。請特別注意，當啟動開關S1時，不可以啟動開關S4。在一較佳實施例中，假設 V_{ramp+} 為圖3中上升信號的最高位準、 V_{ramp-} 為圖3中上升信號的最低位準、 V_{sh} 為一預定製程下可能由於類比數位轉換器16及CDS電路18的不當匹配造成於正方向所允許的最大有效電壓偏移(Maximum Effective Voltage Offset)，則 V_H 與 V_L 的差值 V_{ref} 通常被設定成小於或等於 $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ 。時間點t1d時，啟動開關S2，使電位 V_H 儲存在CDS電路40內部差動放大器(Differential Amplifier)60的非反相輸入端(PRE)。假設每一CDS電路的偏移電位(Offset Voltage)可忽略，則時間t1d後不久，陣列中每一行線中CDS電路40的輸出 V_{ref} 值，將等於端點REF的電位 V_H 減去端點SIG的電位 V_L 。在此特別說明，為了對實際訊號取樣，開關S2必須在M3啟動之前就關掉。

圖7a、圖7b說明本發明之另一實施例。與圖6a類似，圖7a的電路設計可在CDS電路40的輸出端產生 $V_{ref}(=V_H - V_L)$ 電位，請參考圖7a、7b。在時間t1，同時啟動開關S3、S4，

五、發明說明 (12)

則差動放大器 60 的輸入端 SIG、PRE 上將分別產生電位 V_L 、 V_H 。假設每一 CDS 電路 18 的偏移電位 (Offset Voltage) 可忽略，則 CDS 電路 18 的輸出電位將為 $V_{ref}(=V_H-V_L)$ 。圖 7b 中，S1、S2 在時間點 t_2 、 t_3 產生的脈衝，與實際影像訊號的取樣有關。

CDS 電路 18 與類比數位轉換器 16 都可能對行線訊號造成不良的影響。假設 CDS 電路 18 所造成的影響可以忽略，那麼我們可以針對類比數位轉換器 16 的部份做補償，請參考圖 8a、圖 8b。在時間點 t_1 ，啟動開關 S3，則擬真 (Pseudo) 影像訊號 $V_{ref}(=V_H-V_L)$ 將進入每一行的類比數位轉換器 16。圖 8b 中，S1、S2 在時間點 t_2 、 t_3 產生的脈衝與實際影像訊號的取樣有關。

該等三種方法之任一種都可以使 CDS 電路 18 輸出端的電位被轉換成一數位值。對圖 6a 而言，轉換的時間點則是在 t_{1d} 後、 t_2 前，對圖 7(a) 和 7(b) 而言，轉換的時間點則是在 t_1 後、 t_2 前。如果在每一行中，類比數位轉換器內部之比較器的偏移電位、CDS 電路本身的元件特性均不相同，那麼即使是相同的 V_{ref} 訊號，類比數位轉換器所輸出的數位值也會不同。

在每個圖框時段中，每一列的實際影像訊號進行轉換前，本發明包含一段初始化期間 (Initialization Period)。在這一段初始化期間，類比數位轉換器 16 輸出值 (V_{oc}) 的二進位補數 (Binary Complement)，將用來初始化該類比數位轉換器 16 內部的計數器。換句話說，每一行類比數位轉換器中計數器

五、發明說明 (13)

的初始值，將被用來降低不同行間，源自於類比數位轉換器 16 元件本身及 CDS 電路 18 特性不同所造成的訊號失真現象。

在下面的例子中，我們假設無論是那一方向，最大允許輸出電位偏移量 (Maximum Allowable Output Voltage Shift) V_{sh} 都是 0.5 伏特。必須了解的是，在實際狀況中，正向 (Positive Direction) 的 V_{sh} 值與逆向 (Negative Direction) 的 V_{sh} 值是不同的。將上升信號的上下限 V_{ramp+} 及 V_{ramp-} 值，設定為相差 3.5 伏特，如此一來，輸入比較器 32 的類比訊號就會落入 V_{ramp+} 與 V_{ramp-} 的區間範圍內了。我們可以利用統計的方式，篩選掉元件本身差異在 ± 0.5 伏特區間以外的影像感測元件。藉由選擇適當的製程及曝光時程，我們可以設計端點 C 的電位差 ΔV_c 的範圍為 0.5 到 3 伏特、任一方向之 V_{sh} 均為 0.5 伏特之元件。如此一來，最後的輸出結果就不會大於 3.5 伏特、或是小於 0 伏特。感應到的光線強度最小 (完全黑暗) 時， $\Delta V_c = 0.5$ 伏特。舉例來說，本實施例在感測影像的過程中、時間點 t_2 、 t_3 的相對應開關動作完成後，倘若輸入 CDS 電路的訊號達到最大值 3 伏特，則輸出的類比訊號為 3.5 伏特；另一方面，若輸入 CDS 電路的訊號達到最小值 0.5 伏特，則輸出的類比訊號為 0 伏特。因此，在考量 V_{sh} 的影響之後，類比數位轉換器 16 的輸出 31 的動態範圍為 0 伏特到 3.5 伏特。

如果不採用本發明的方法，假設 $\Delta V_c = 3$ 伏特、 $V_{sh} = \pm 0.5$ 伏特，則八位元類比數位轉換器 16 輸出端的輸出值 V_{OCn} 、

五、發明說明 (14)

VOC+、VOC- 將如下表列。這些數值的差異正是本發明所試圖解決的問題。

$$\text{VOC+}=11111111=255(\text{十進位})\dots\dots\dots\text{相對應於}3.5\text{伏特時}\dots(1)$$

$$\text{VOCn}=11011010=218(\text{十進位})\dots\dots\dots\text{相對應於}3\text{伏特時}\dots(2)$$

$$\text{VOC-}=10110110=182(\text{十進位})\dots\dots\dots\text{相對應於}2.5\text{伏特時}\dots(3)$$

在影像訊號完成類比訊號轉換前，本發明提供一初始化期間。在這一段初始化期間，本發明初始化該類比數位轉換器 16 內部的計數器，以降低不同行間，源自於類比數位轉換器 16 及 CDS 電路 18 特性不同所造成的差異。對每一圖框時段，讀取圖框中第一列之前，藉由設定每一行的 CDS 18 或類比數位轉換器 16 的輸入端值為一參考電壓 Vref，可初始化該計數器乙次。

舉例而言，假設在初始化過程中， $V_{\text{ref}} = (V_{\text{ramp}+}) - (V_{\text{ramp}-}) - V_{\text{sh}} = 3.5 \text{ 伏特} - 0.5 \text{ 伏特} = 3 \text{ 伏特}$ 。則每一行的類比數位轉換器 16 開始進行轉換，以產生相對應的數位訊號。假設三條行線 X、Y、Z 的類比數位轉換結果分別如方程式 (4)、(5)、(6) 所列，本發明利用方程式 (4)、(5)、(6) 的值取二進位補數，如方程式 (7)、(8)、(9) 所列。

$$\text{VOC+}=11111111=255(\text{十進位})\dots\dots\dots\text{相對應於}3.5\text{伏特時}\dots(4)$$

$$\text{VOCn}=11011010=218(\text{十進位})\dots\dots\dots\text{相對應於}3\text{伏特時}\dots(5)$$

$$\text{VOC-}=10110110=182(\text{十進位})\dots\dots\dots\text{相對應於}2.5\text{伏特時}\dots(6)$$

$$\text{ColumnX}: 00000000=0(\text{十進位})\dots\dots\dots(7)$$

$$\text{ColumnY}: 00100101=37(\text{十進位})\dots\dots\dots(8)$$

$$\text{ColumnZ}: 01001001=73(\text{十進位})\dots\dots\dots(9)$$

五、發明說明 (15)

該二進位補數值將分別用來初始化行線 X、Y、Z 相對應之類比數位轉換器 16 內部的計數器。換句話說，本實施例在初始化過程結束後和影像訊號的類比數位轉換開始前，行線 X、Y、Z 相對應之類比數位轉換器 16 內部計數器的值已經分別被設定為 0、37、73。在一較佳實施例中，我們採用的是圖 10 的初始化線路 (Initialization Circuit)。在本發明中，圖 10 的初始化線路的輸出端是連接到類比數位轉換器 16 內的計數器。當初始化過程進行時，該初始化線路將初始化類比數位轉換器 16 內部的計數器。請參考圖 10，門栓致能 (Latch-Enable) 訊號是用來將計數器的輸出訊號暫存在初始化線路的門栓 (Latch) 中。SCTR 訊號是用來啟動門栓的輸出端 (IS0、IS1.....IS7)，以事先載入計數器的資料。

由於在正式掃描影像前，每一行線類比數位轉換器 16 內部計數器的值都已經完成初始化動作，因此源自於類比數位轉換器本身寄生效應所導致的不一致 (Non-Uniformity) 可以降低到影響最小的程度。

例如，在針對影像訊號取樣時，若該行線 X、Y、Z 的電位 ΔV_c 均為 3 伏特，則行線 X 的類比數位轉換器輸出值將為 $0 + 255 = 255$ ；行線 Y 的類比數位轉換器輸出值將為 $37 + 218 = 255$ ；行線 Z 的類比數位轉換器輸出值將為 $73 + 182 = 255$ 。換個方式來說，在對影像訊號取樣時，若不採用本發明所提供之方法，則對 ΔV_c 均為 3 伏特的情況而言，行線 X、Y、Z 的類比數位轉換器輸出值將分別如 (1)、(2)、(3) 所示，為 255、218、182。相對的，若採用本

五、發明說明 (16)

發明所提供之方法，則行線X、Y、Z的類比數位轉換器輸出值將均為255，因此可以達到所有行線輸出特性一致(Uniformity)的要求。

相同地，如果不採用本發明的方法，假設 $\Delta V_c = 3$ 伏特、 $V_{sh} = \pm 0.5$ 伏特，且假設八位元類比數位轉換器16輸出端的輸出值 VOC_n 、 VOC_+ 、 VOC_- 如下：

$$VOC_+ = 01001001 = 73(\text{十進位}) \dots\dots\dots \text{相對應於1伏特時} \dots\dots\dots (10)$$

$$VOC_n = 00100100 = 36(\text{十進位}) \dots\dots\dots \text{相對應於0.5伏特時} \dots\dots\dots (11)$$

$$VOC_- = 00000000 = 0(\text{十進位}) \dots\dots\dots \text{相對應於0伏特時} \dots\dots\dots (12)$$

利用本發明，在針對影像訊號取樣時，若該行線X、Y、Z的電位 ΔV_c 均為0.5伏特，則行線X的類比數位轉換器輸出值將為 $0 + 73 = 73$ ；行線Y的類比數位轉換器輸出值將為 $37 + 36 = 73$ ；行線Z的類比數位轉換器輸出值將為 $73 + 0 = 73$ 。換個方式來說，在對影像訊號取樣時，若不採用本發明所提供之方法，則對 ΔV_c 均為0.5伏特的情況而言，行線X、Y、Z的類比數位轉換器輸出值將分別如(10)、(11)、(12)所示，為73、36、0。相對的，若採用本發明所提供之方法，則行線X、Y、Z的類比數位轉換器輸出值將均為73，因此可以達到所有行線輸出特性一致的要求。

倘若在實際運用上要求更高的解析度，可以利用高於八位元的類比數位轉換器來達成目的。除了圖3所示的類比數位轉換器之外，在不脫離本發明精神下，亦可以採用其他不同種類的類比數位轉換器。

五、發明說明 (17)

雖然本發明的實施例是針對CMOS的應用而言，但是本發明亦可應用在其他利用類比數位轉換器陣列並且要求訊號輸出特性一致的電路上。

本發明的較佳實施例已經揭露並詳細說明如上，然其並非用以限定本發明。任何熟習此項技藝者，在不脫離本發明的精神和範圍內，當可作更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。

例如，熟習此項技藝的人士可以不採用圖10的初始化線路來初始化類比數位轉換器內部的計數器，而改用下述的方式：在每個圖框的初始化過程中取類比數位轉換器輸出值的補數，以取得初始值；將該初始值存放在資料儲存電路(Data Latch Circuit)；在捕捉影像訊號時，利用一額外的加法器線路(Adder Circuit)將該初始值加至類比數位轉換器的輸出端，以補償行線間元件特性的不一致。熟習此項技藝的人士可以察知本發明並不限於CMOS感測器的應用，本發明可藉由採用不同形式的感測器10而應用於各種不同的訊號感測應用，例如溫度感測、壓力感測等涉及物理變化或化學反應的應用。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 互補金氧半導體型式影像感測器內)
類比數位轉換器的自動校正

一種將單一晶片互補式金氧半導體(CMOS)式影像感測器內部N個類比數位轉換器其中一組之計數器初始化設定的方法(N為大於1之整數)，用以降低源自於N個類比數位轉換器元件特性不一致所造成的影響。該單晶片互補式金氧半導體式影像感測器包含一影像感測陣列，該影像感測陣列擁有N行輸出線以分別輸出N個類比訊號；一訊號處理裝置，該訊號處理裝置有N行輸入線及N個類比數位轉換器。該類比數位轉換器內含一計數器，以針對該N個類比訊號產生相對應的N個數位訊號。該方法包含的步驟包括：在該等N個數位訊號產生之前的初始化程序期間，將一預定之參考電

英文發明摘要(發明之名稱： AUTOCALIBRATION OF AN A/D CONVERTER)
WITHIN A CMOS TYPE IMAGE SENSOR

A method for initializing a counter within a corresponding set (N being an integer greater than 1) of A/D converter of N A/D converters of a single chip CMOS type image sensor in order to minimize non-uniformity across the N A/D converters is provided. The single chip CMOS type image sensor includes an image sensing array having N columns of output line for outputting N analog signals respectively; and a signal process device for generating N digital signal each of which corresponds to one of the N analog signals respectively. The signal process device has N input lines and N A/D converter each of which includes a respective counter for generating one of the N digital signals. The method comprises the steps of applying a predetermined reference voltage at each of the N input lines of the signal process device such that a compensation value corresponding to each set of the A/D converter is obtained. The method further loads the

四、中文發明摘要（發明之名稱：

壓輸入該訊號處理裝置之所有N行輸入線，以得到N個相對應於該每一類比數位轉換器的補償值；以及將該補償值在該N組數位訊號產生之前載入每一組相對應之類比數位轉換器內的計數器。

英文發明摘要（發明之名稱：

counter of each corresponding set of the A/D converter with the compensation value corresponding to each set of the A/D converter prior to generating the N digital signals.

六、申請專利範圍

1. 一種訊號感測器裝置，包含：

一訊號感測陣列，該陣列包含N行輸出線，以分別輸出N個類比訊號，其中N為大於1的整數；

一訊號處理裝置，具有N行輸入線，用以分別針對該等N個類比訊號產生相對應的N個數位訊號，其中，該訊號處理裝置包括：

N個類比數位轉換器，用以產生該等N個數位訊號，其中每一個類比數位轉換器包含一計數器，在該等N個數位訊號產生之前的初始化程序期間，一預定之參考電壓耦合至該訊號處理裝置之所有N個類比數位轉換器的輸入，以在該每一類比數位轉換器的輸出得到一對應補償值，而且在該等N個數位訊號產生之前，該每一類比數位轉換器內的計數器以相對應的補償值初始化，以補償每個相對應類比數位轉換器輸出的數位訊號，藉此平衡源自於該訊號處理裝置內元件之間的特性不一致性。

2. 如申請專利範圍第1項之訊號感測器裝置，其中該訊號處理裝置更包含N個初始化電路，用以將每一補償值載入相對應的計數器，以補償該計數器輸出的數位訊號。

3. 如申請專利範圍第1項之訊號感測器裝置，其中該訊號處理裝置更包含N個初始化電路，用以閃鎖每一補償值並與相對應的計數器輸出相加，以補償該計數器輸出的數位訊號。

4. 如申請專利範圍第1項之訊號感測器裝置，其中該訊號

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

處理裝置更包含N個取樣電路連接於該訊號處理裝置的N行輸入線，每一個取樣電路用以針對該等N個類比訊號之每一組，分別產生相對應之取樣後類比訊號。

5. 如申請專利範圍第4項之~~訊號感測器~~裝置，其中每個類比數位轉換器包含一第一輸入端及一第二輸入端，其中該第一輸入端接收一參考上升信號，該第二輸入端接收該取樣後類比訊號。
6. 如申請專利範圍第4項之~~訊號感測器~~裝置，其中每一取樣電路包含一第一輸入端及一第二輸入端，在初始化程序期間，該預定參考電壓會施加在每個取樣電路之第一輸入端及第二輸入端之間，以在該每一類比數位轉換器的輸出得到一對應補償值。
7. 如申請專利範圍第4項之~~訊號感測器~~裝置，其中在初始化程序期間，該預定參考電壓會施加在每個取樣電路之輸出端，以在該每一類比數位轉換器的輸出得到一對應補償值。
8. 如申請專利範圍第1項之~~訊號感測器~~裝置，該訊號感測陣列為一影像感測陣列。
9. 如申請專利範圍第5項之影像感測器裝置，其中該預定之參考電壓的值相當於 $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ ，其中 V_{sh} 的值大於或等於該類比數位轉換器所造成之偏移電位值， V_{ramp+} 為該參考上升信號的上限值， V_{ramp-} 為該參考上升信號的下限值。
10. 如申請專利範圍第1項之~~訊號感測器~~裝置，其中該補償

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

值為初始化期間，該預定之參考電壓輸入該訊號處理裝置時，相對應之類比數位轉換器輸出之數位值的二進位補數。

11. 如申請專利範圍第8項之訊號感測器裝置，其中該訊號感測器裝置為一互補式金氧半導體(CMOS)式的影像感測器。
12. 如申請專利範圍第11項之影像感測器裝置，其中該影像感測器為一單晶片互補式金氧半導體式的影像感測器。
13. 一種初始化一訊號感測器裝置之方法，其中該訊號感測器裝置包含一訊號感測陣列，該陣列包含N行輸出線以分別輸出N個類比訊號；一訊號處理裝置，該訊號處理裝置具有N行輸入線並包含N個類比數位轉換器，以產生相對應之N個數位訊號，該方法包含下列步驟：
 - (a) 在該等N個數位訊號產生之前的初始化程序期間，將一預定之參考電壓耦合至該訊號處理裝置之所有N組類比數位轉換器的輸入，以在該每一類比數位轉換器的輸出得到一對應補償值；以及
 - (b) 在該等N個數位訊號產生之前，將該每一類比數位轉換器內的計數器以相對應的補償值初始化，藉此平衡源自於該訊號處理裝置內元件之間的特性不一致性。
14. 如申請專利範圍第13項之方法，步驟(b)尚包含以N個初始化線路將每一補償值載入相對應的計數器，以補償該計數器輸出的數位訊號的步驟。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

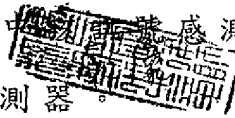
15. 如申請專利範圍第13項之方法，步驟(b)尚包含以N個初始化線路門鎖該補償值並與相對應的計數器輸出相加，以補償該計數器輸出的數位訊號的步驟。
16. 如申請專利範圍第13項之方法，在步驟(a)之前尚包含以N個取樣電路取樣該等N個類比訊號之每一組，以分別產生相對應之取樣後類比訊號的步驟。
17. 如申請專利範圍第16項之方法，其中每個類比數位轉換器均包含一第一輸入端及一第二輸入端，該第一輸入端接收一參考上升信號，該第二輸入端接收該之取樣後類比訊號。
18. 如申請專利範圍第16項之方法，步驟(a)尚包含在初始化程序期間，將該預定參考電壓施加在每個取樣電路之第一輸入端及第二輸入端之間，以在該每一類比數位轉換器的輸出得到一對應補償值的步驟。
19. 如申請專利範圍第16項之方法，步驟(a)尚包含在初始化程序期間，將該預定參考電壓施加在每個取樣電路之輸出端，以在該每一類比數位轉換器的輸出得到一對應補償值的步驟。
20. 如申請專利範圍第13項之方法，其中該訊號感測陣列為一影像感測陣列。
21. 如申請專利範圍第17項之方法，其中該預定之參考電壓的值相當於 $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ ，其中 V_{sh} 的值大於或等於該類比數位轉換器所造成之偏移電位值， V_{ramp+} 為該參考上升信號的上限值， V_{ramp-} 為該參考上升信號的

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

下限值。

22. 如申請專利範圍第13項之方法，其中該補償值為初始化程序期間，該預定之參考電壓輸入該訊號處理裝置時，相對應之類比數位轉換器輸出之數位值的二進位補數。
23. 如申請專利範圍第20項之方法，其中該影像感測器裝置為一互補式金氧半導體式的影像感測器。
24. 如申請專利範圍第23項之方法，其中該影像感測器為一單晶片互補式金氧半導體式的影像感測器。
25. 一種使用於一訊號感測器裝置中的訊號處理裝置，該訊號感測器裝置包含一訊號感測裝置，包含N行輸出線，用以分別輸出N個類比訊號，該訊號處理裝置，包含N行輸入線，用以分別針對該等N個類比訊號產生相對應的N個數位訊號，該訊號處理裝置包含：
- N個包含一計數器之類比數位轉換器，以分別產生該等N個數位訊號，其中，在該等N組數位訊號產生之前的初始程序期間，一預定之參考電壓耦合至該訊號處理裝置之所有N個類比數位轉換器的輸入，以在該每一類比數位轉換器的輸出得到一對應補償值，並在該等N個數位訊號產生之前，該每一類比數位轉換器內的計數器以相對應的補償值初始化，藉此平衡源自於該訊號處理裝置內元件之間的特性不一致性。
26. 如申請專利範圍第25項之訊號處理裝置，更包含N個初始化電路，用以將每一補償值載入相對應的該類比數位

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

轉換器內部之計數器。

27. 如申請專利範圍第25項之訊號感測裝置，其中該訊號處理裝置更包含N個初始化電路，用以門鎖每一補償值並與相對應的計數器輸出相加，以補償該計數器輸出的數位訊號。
28. 如申請專利範圍第25項之訊號處理裝置，更包含N個取樣電路連接於該訊號處理裝置的N行輸入線，每一取樣電路用以針對該N組類比訊號之每一組，分別產生相對應之取樣後類比訊號。
29. 如申請專利範圍第28項之訊號處理裝置，其中每個類比數位轉換器包含一第一輸入端及一第二輸入端，該第一輸入端接收一參考上升信號，該第二輸入端接收該之取樣後類比訊號。
30. 如申請專利範圍第28項之訊號處理裝置，其中每一取樣電路包含一第一輸入端及一第二輸入端，在該初始化程序期間，該預定參考電壓會施加在每個取樣電路之第一輸入端及第二輸入端之間，以在每一類比數位轉換器的輸出得到一對應補償值。
31. 如專利申請範圍第25項之訊號處理裝置，該訊號感測裝置為一影像感測陣列。
32. 如專利申請範圍第29項之訊號處理裝置，其中該參考電壓的值相當於 $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ ，其中 V_{sh} 的值大於或等於該類比數位轉換器所造成之偏移電位值， V_{ramp+} 為該參考上升信號的上限值， V_{ramp-} 為該參考上升信號

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

的下限值。

33. 如申請專利範圍第25項之訊號處理裝置，其中該補償值為初始程序期間，該預定之參考電壓輸入該訊號處理裝置時，相對應之類比數位轉換器輸出之數位值的二進位補數。
34. 一種在一包含一訊號感測裝置和一訊號處理裝置的訊號感測器裝置中，用以初始化該訊號處理裝置內部N個類比數位轉換器之每個內的計數器之方法，該感測裝置具有N行輸出線，用以感測分別輸出N個類比訊號，該訊號處理裝置，具有N行輸入線，包含N個分別內含一計數器之類比數位轉換器，以產生該相對應之N個數位訊號，該方法包含下列步驟：
- (i) 在該等N個數位訊號產生之前的初始化程序期間，將一預定之參考電壓輸入該訊號處理裝置之所有N個類比數位轉換器的輸入，以得到該每一類比數位轉換器的對應補償值；以及
 - (ii) 在該N個數位訊號產生之前，該每一類比數位轉換器內的計數器以相對應的補償值初始化，藉此平衡源自於N個類比數位轉換器元件間的不一致性。
35. 如申請專利範圍第34項之方法，步驟(ii)尚包含以N個初始化線路將該每一補償值載入相對應的計數器，以補償該計數器輸出的數位訊號的步驟。
36. 如申請專利範圍第34項之方法，步驟(ii)尚包含以N個初始化線路門鎖該補償值並與相對應的計數器輸出相加，

六、申請專利範圍

以補償該計數器輸出的數位訊號的步驟。

37. 如申請專利範圍第34項之方法，在步驟(i)之前尚包含以N個取樣電路取樣該等N個類比訊號之每一組，以分別產生相對應之取樣後類比訊號的步驟。
38. 如申請專利範圍第37項之方法，其中每組類比數位轉換器均包含一第一輸入端及一第二輸入端，該第一輸入端接收一參考上升信號，該第二輸入端接收該之取樣後類比訊號。
39. 如申請專利範圍第37項之方法，步驟(i)尚包含在初始化程序期間，將該預定參考電壓施加在每個取樣電路之第一輸入端及第二輸入端之間，以在每一類比數位轉換器的輸出得到一對應補償值的步驟。
40. 如申請專利範圍第37項之方法，步驟(i)尚包含在初始化程序期間，將該預定參考電壓施加在每個取樣電路之輸出端，以在該每一類比數位轉換器的輸出得到一對應補償值的步驟。
41. 如申請專利範圍第34項之方法，其中該訊號感測裝置為一影像感測裝置。
42. 如申請專利範圍第38項之方法，其中該參考電壓的值相當於 $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ ，其中 V_{sh} 的值大於或等於該類比數位轉換器所造成之偏移電位值， V_{ramp+} 為該參考上升信號的上限值， V_{ramp-} 為該參考上升信號的下限值。
43. 如申請專利範圍第33項之方法，其中該補償值為初始化

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

程序期間，該預定之參考電壓輸入該訊號處理裝置時，相對應之類比數位轉換器輸出之數位值的二進位補數。

(請先閱讀背面之注意事項再填寫本頁)

訂

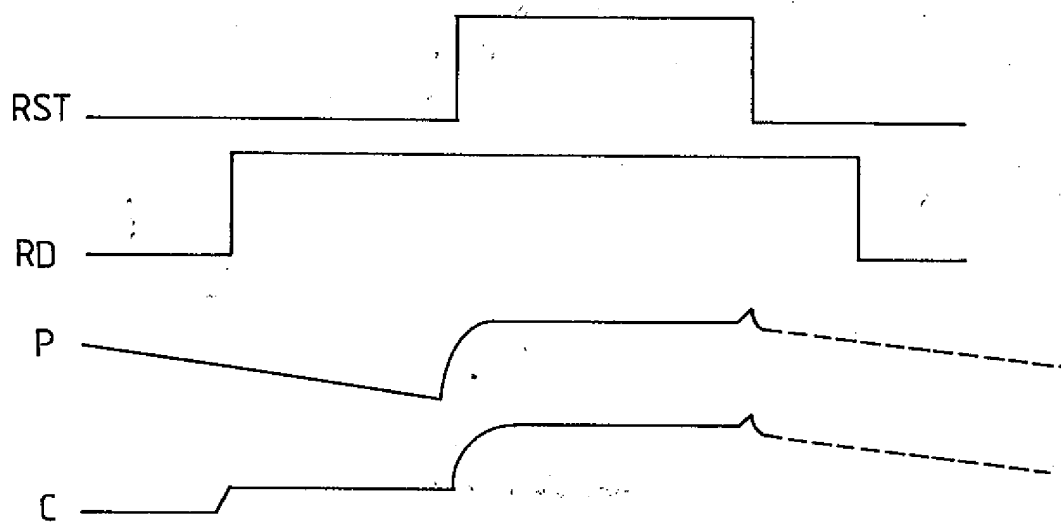
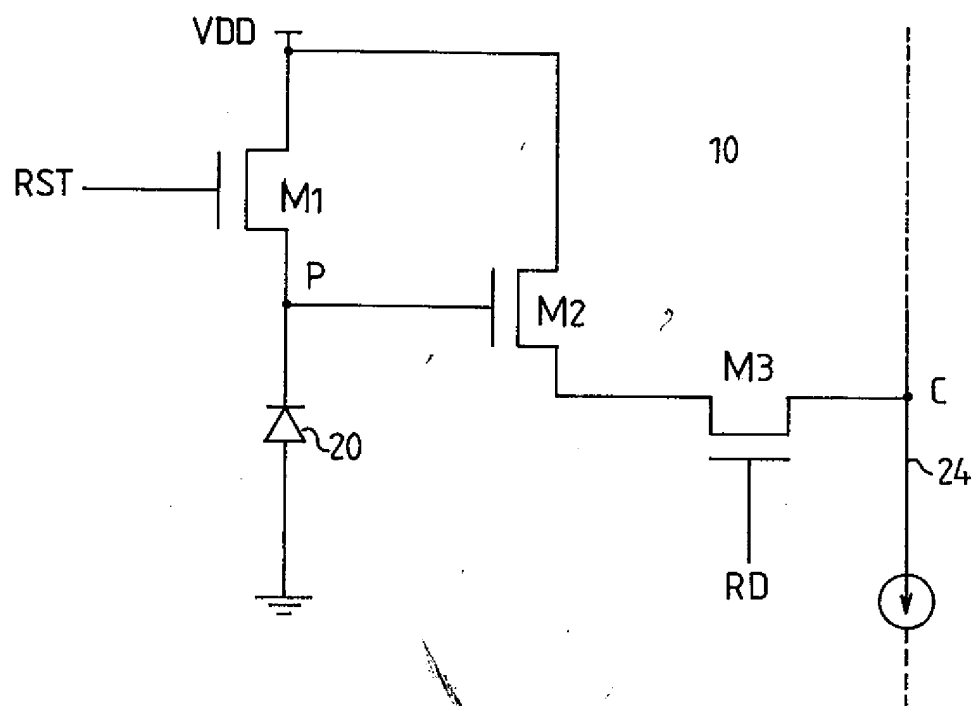


圖 2

444404

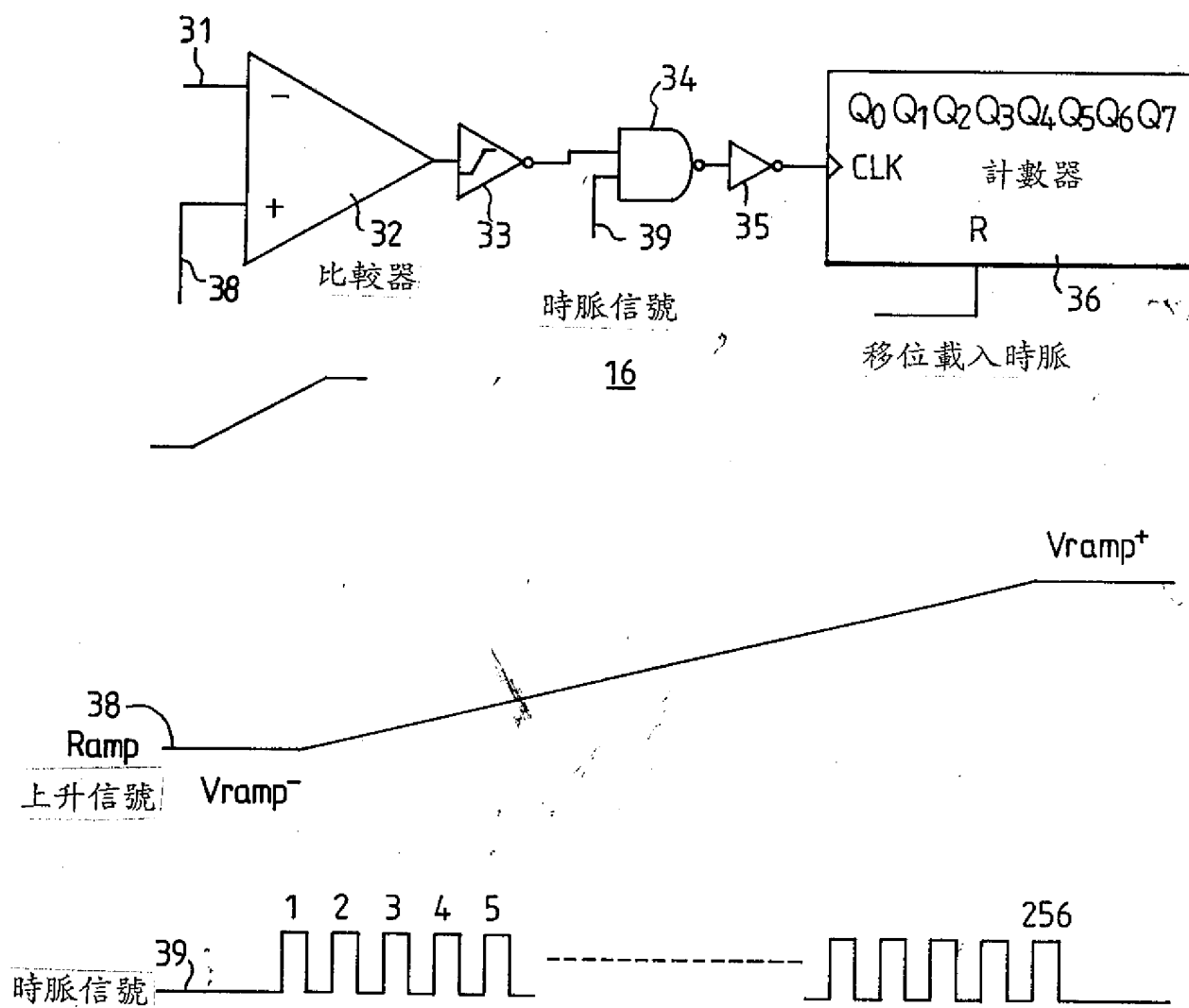


圖 3

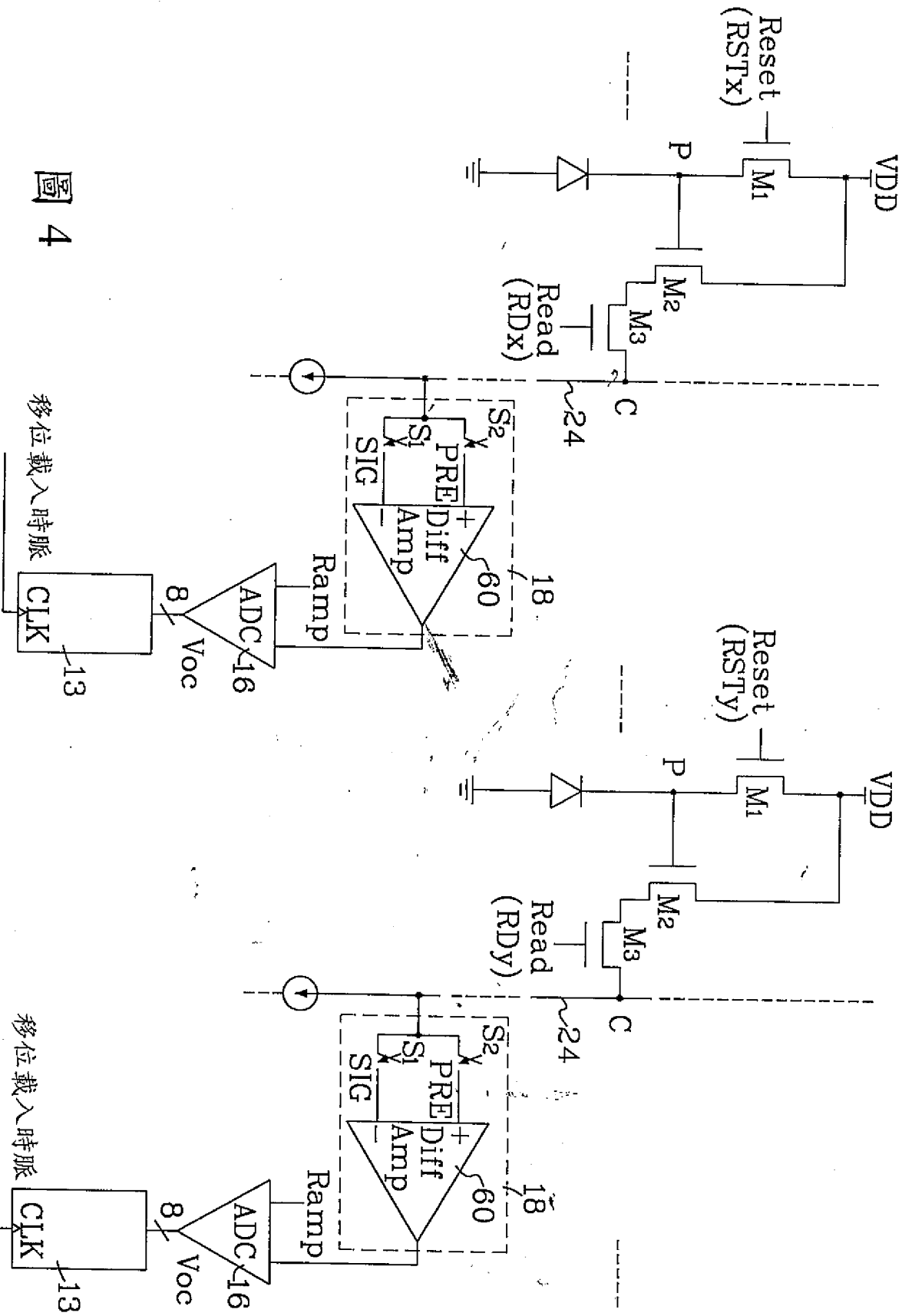


圖 4

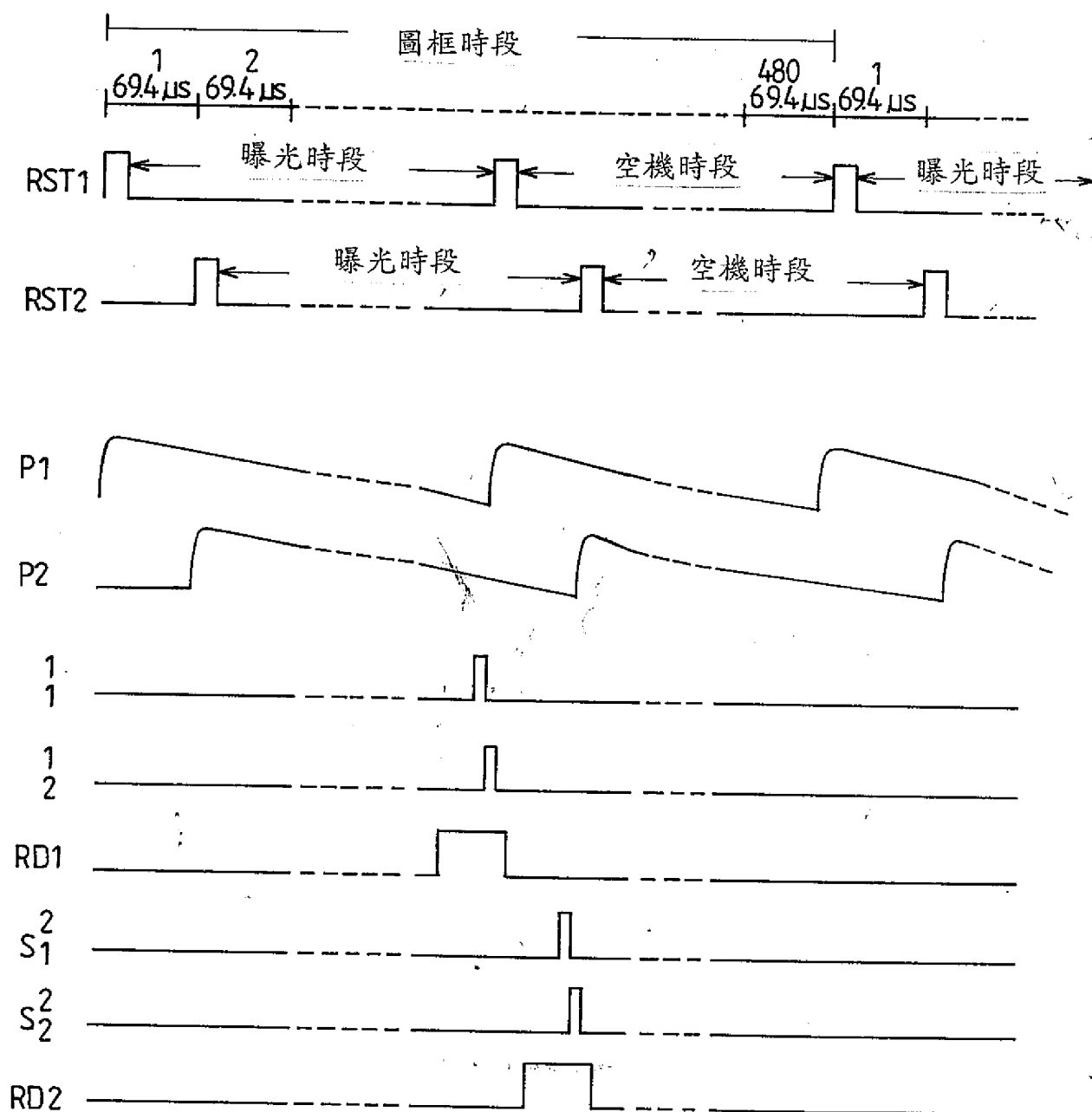


圖 5

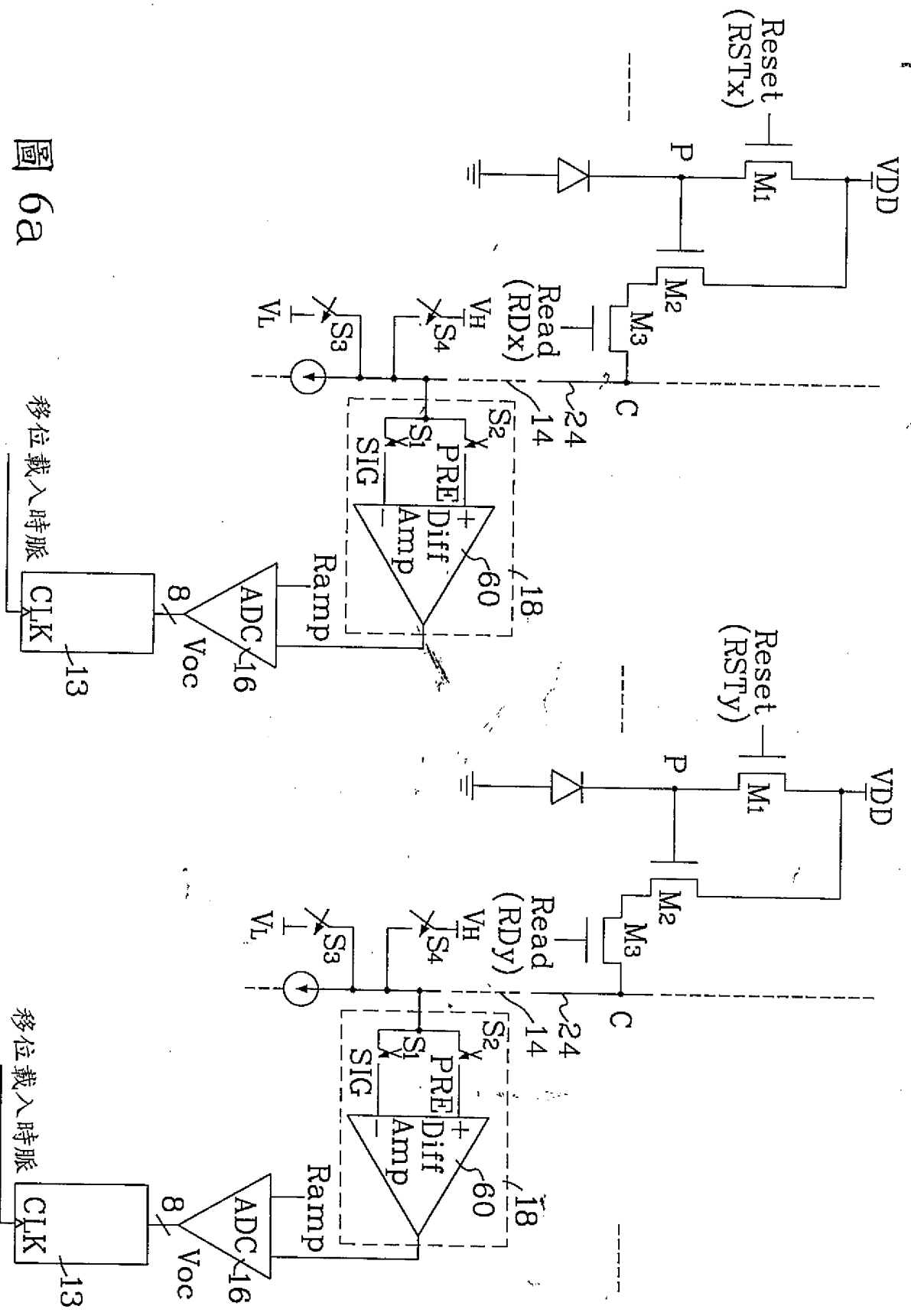


圖 6a

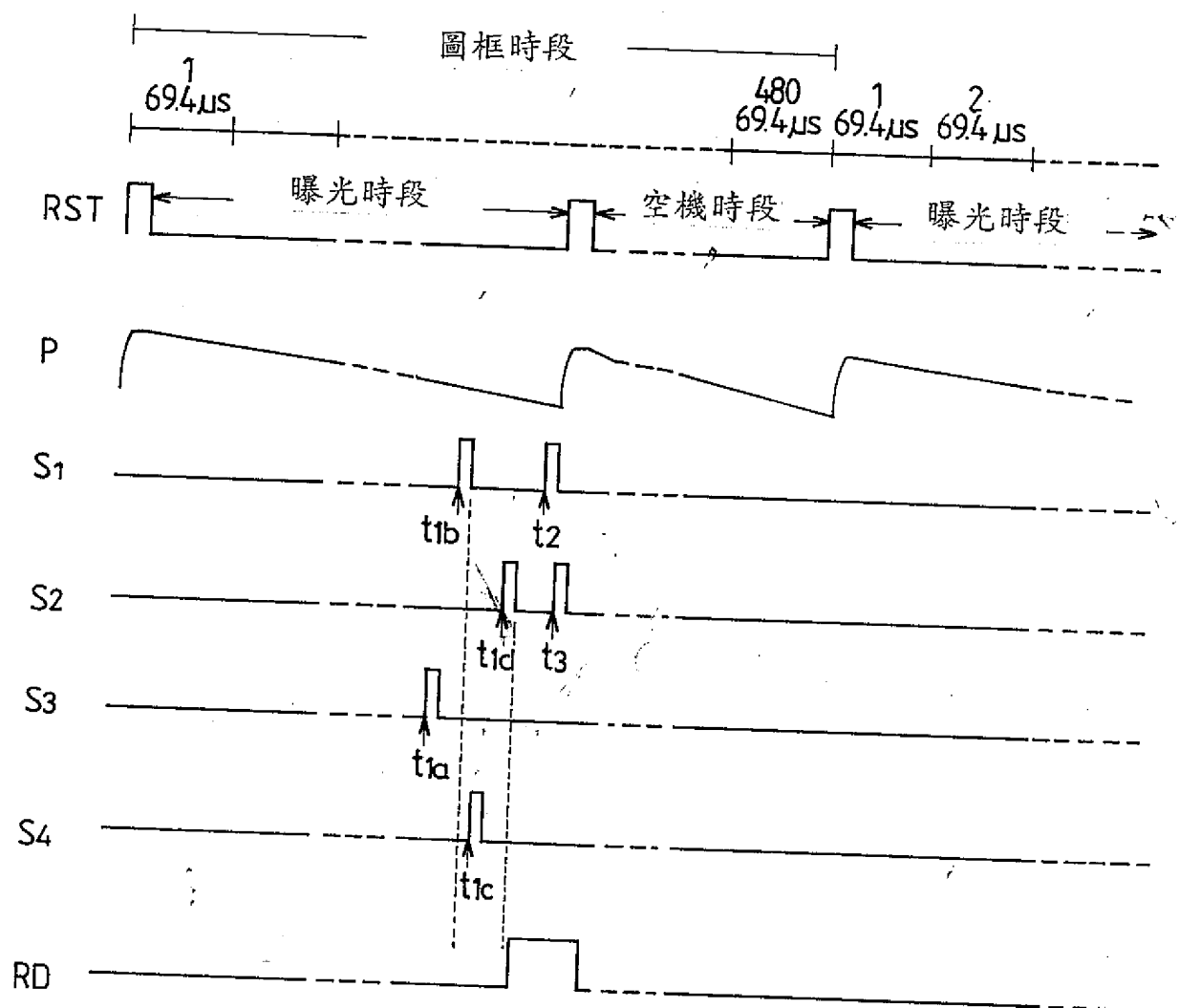


圖 6b

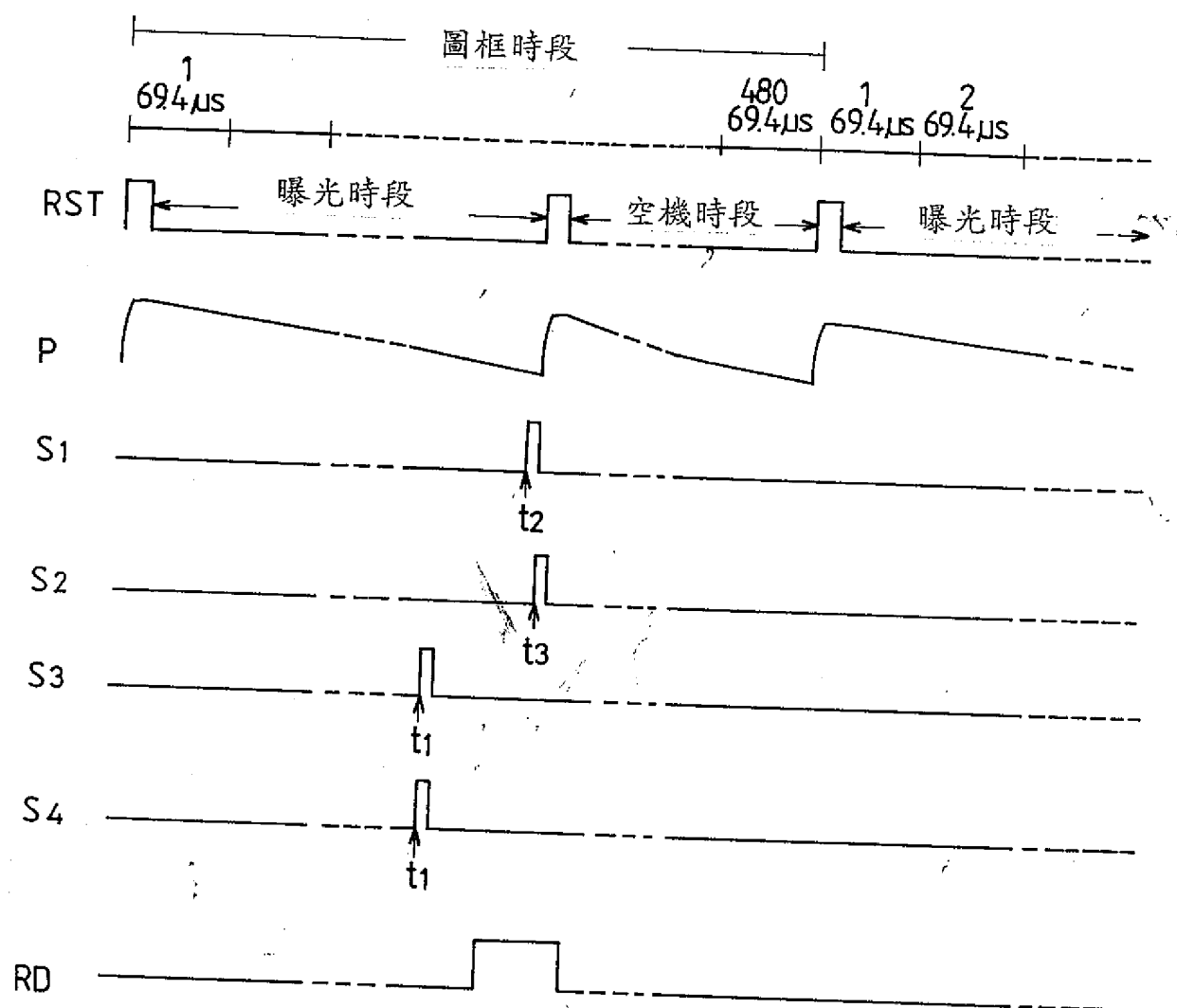
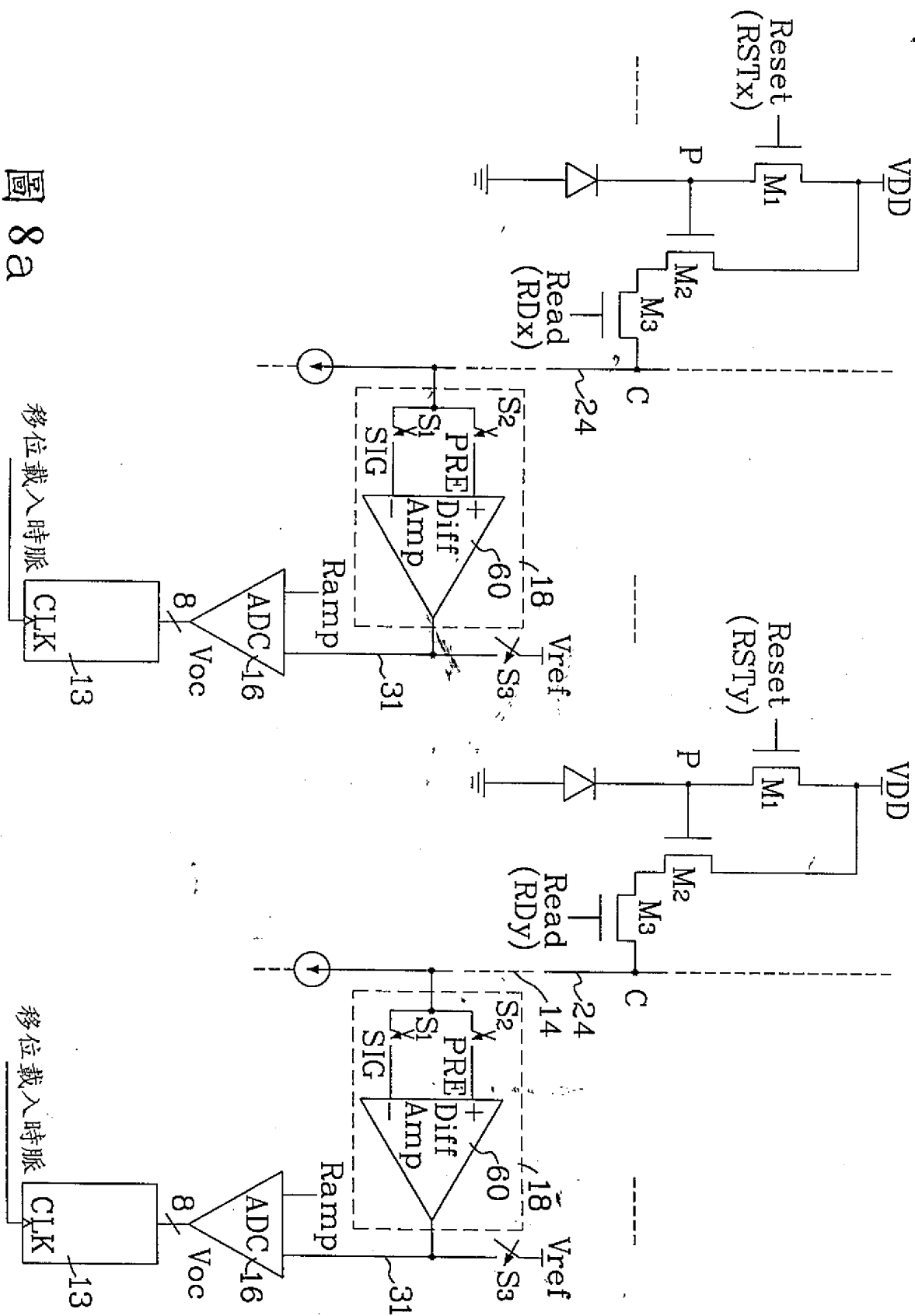


圖 7b



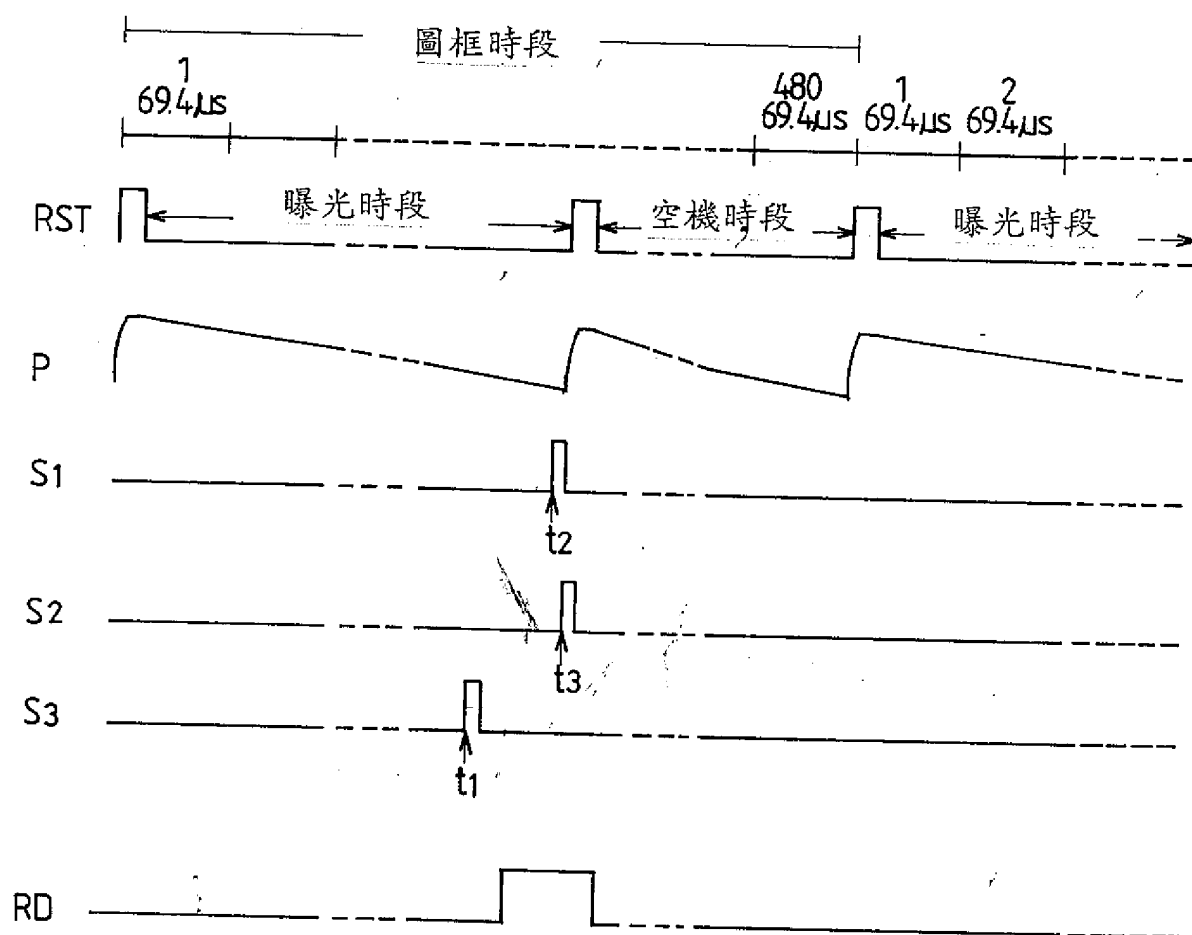


圖 8b

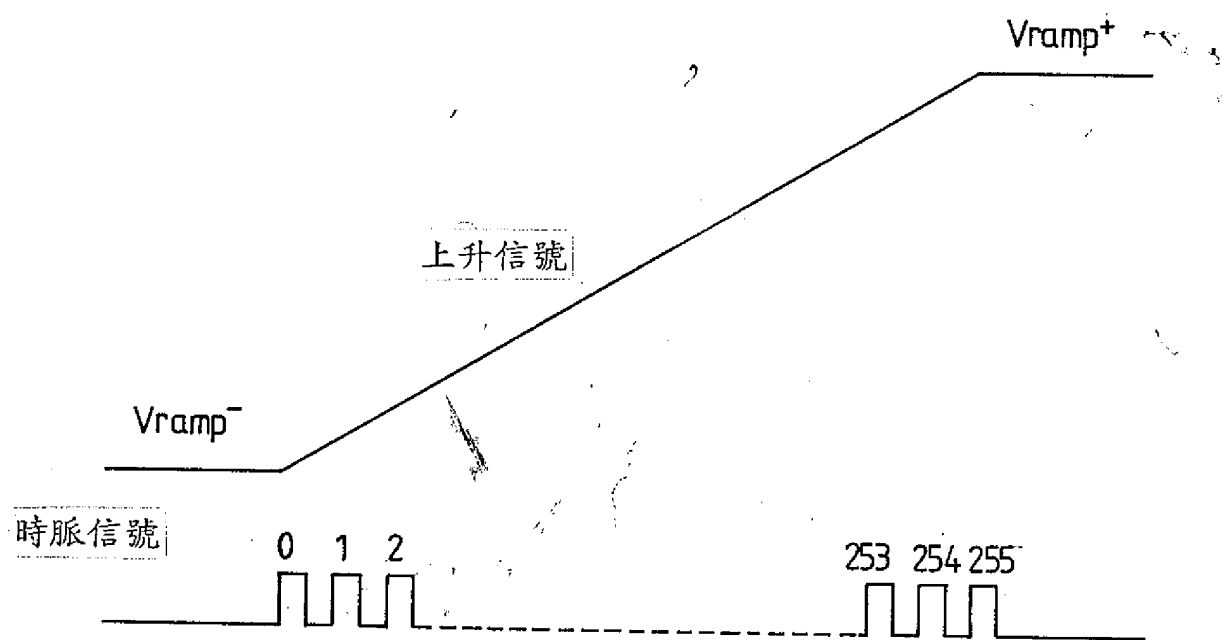


圖 9

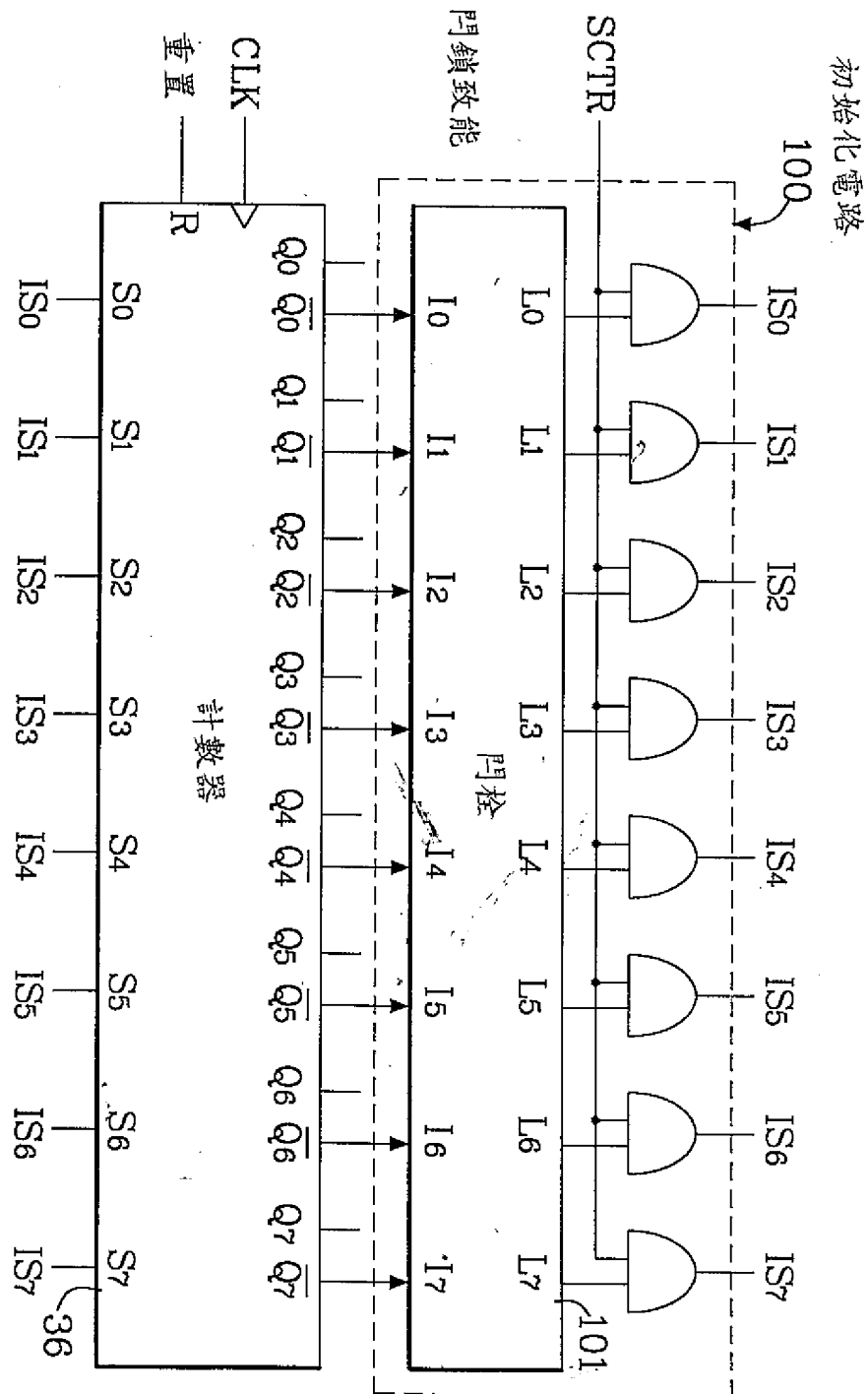


圖 10